

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2010年8月12日(12.08.2010)

PCT

(10) 国際公開番号  
WO 2010/090152 A1

- (51) 国際特許分類:  
H01L 21/66 (2006.01) G06T 1/00 (2006.01)  
G01N 21/956 (2006.01)
- (21) 国際出願番号: PCT/JP2010/051319
- (22) 国際出願日: 2010年2月1日(01.02.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2009-023178 2009年2月4日(04.02.2009) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社日立ハイテクノロジーズ(HITACHI HIGH-TECHNOLOGIES CORPORATION) [JP/JP]; 〒1058717 東京都港区西新橋一丁目24番14号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 石川玉雄 (ISHIKAWA Tamao) [JP/JP]; 〒3128504 茨城県ひた

ちなか市大字市毛882番地 株式会社日立ハイテクノロジーズ 那珂事業所内 Ibaraki (JP). 丹代裕(TANDAI Yutaka) [JP/JP]; 〒3128504 茨城県ひたちなか市大字市毛882番地 株式会社日立ハイテクノロジーズ 那珂事業所内 Ibaraki (JP). 栗原茂樹(KURIHARA Shigeki) [JP/JP]; 〒3128504 茨城県ひたちなか市大字市毛882番地 株式会社日立ハイテクノロジーズ 那珂事業所内 Ibaraki (JP).

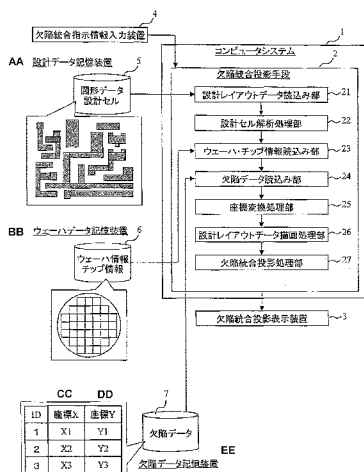
- (74) 代理人: 平木祐輔(HIRAKI Yusuke); 〒1050001 東京都港区虎ノ門4丁目3番20号 神谷町MTビル19階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,

[続葉有]

(54) Title: SEMICONDUCTOR DEFECT INTEGRATED PROJECTION METHOD AND DEFECT INSPECTION SUPPORT APPARATUS EQUIPPED WITH SEMICONDUCTOR DEFECT INTEGRATED PROJECTION FUNCTION

(54) 発明の名称: 半導体欠陥統合投影方法および半導体欠陥統合投影機能を実装した欠陥検査支援装置

(図1)



(57) Abstract: A defect inspection support apparatus provided with: a design layout data read unit which acquires design layout data including the position information of the design circuit patterns used in each step of semiconductor production; a wafer/chip information read unit which acquires wafer/chip information including the position information of at least the design cells from data relating to the wafer on which a plurality of design circuit patterns are formed for each chip; a defect data read unit which acquires defect data including the position information of the defects that occurred in each step; a design layout data drawing processing unit which performs integrated projection processing, based on the layout data and wafer/chip information, on the abovementioned defect data and the design layout data where defects had occurred out of the abovementioned design layout data to thereby create a design layout data defect integrated projection display chart; and a defect integrated projection display device which displays the design layout data defect integrated projection display chart.

(57) 要約:

[続葉有]

- 4 DEFECT INTEGRATED INSTRUCTION INFORMATION INPUT DEVICE  
AA DESIGN DATA STORAGE DEVICE  
5 DRAWING DATA DESIGN CELL  
BB WAFER DATA STORAGE DEVICE  
6 WAFER INFORMATION/CHIP INFORMATION  
CC X-COORDINATE  
DD Y-COORDINATE  
7 DEFECT DATA  
EE DEFECT DATA STORAGE DEVICE  
1 COMPUTER SYSTEM  
2 DEFECT INTEGRATED PROJECTING MEANS  
21 DESIGN LAYOUT DATA READ UNIT  
22 DESIGN CELL ANALYSIS PROCESSING UNIT  
23 WAFER/CHIP INFORMATION READ UNIT  
24 DEFECT DATA READ UNIT  
25 COORDINATE CONVERSION PROCESSING UNIT  
26 DESIGN LAYOUT DATA DRAWING PROCESSING UNIT  
27 DEFECT INTEGRATED PROJECTION PROCESSING UNIT  
3 DEFECT INTEGRATED PROJECTING DISPLAY DEVICE

WO 2010/090152 A1



PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、半導体製造の各工程で用いられる設計回路パターンの位置情報を含む設計レイアウトデータを取得する設計レイアウトデータ読み込み部と、前記設計回路パターンがチップ毎に複数形成されたウェーハに関するデータの中から少なくとも設計セルの位置情報を含むウェーハ・チップ情報を取得するウェーハ・チップ情報読み込み部と、前記各工程で生じた欠陥の位置情報を含む欠陥データを取得する欠陥データ読み込み部と、前記設計レイアウトデータと前記ウェーハ・チップ情報に基づき、前記設計レイアウトデータのうち欠陥が生じた工程における設計レイアウトデータと前記欠陥データとを統合投影処理することで、設計レイアウトデータ欠陥統合投影表示図を作成する設計レイアウトデータ描画処理部と、前記設計レイアウトデータ欠陥統合投影表示図を表示する欠陥統合投影表示装置と、を備えることを特徴とする。

## 明 細 書

### 発明の名称：

### 半導体欠陥統合投影方法および半導体欠陥統合投影機能を実装した欠陥検査支援装置

### 技術分野

[0001] 本発明は半導体デバイスや液晶デバイスなど、微細な回路パターンが形成された検査装置あるいは欠陥レビュー装置で取得されたデータを処理し各装置にフィードバックすることにより、各装置の操作性、利便性を向上させるための検査支援技術に関する。

### 背景技術

[0002] 一般に、半導体デバイスの製造工程においては、異物付着などの異物欠陥を発見し、原因を追究する目的で、光学画像を用いて複数のＬＳＩの同種の回路パターンを比較して欠陥の存在位置を検出する光学式パターン検査装置や、走査型電子顕微鏡（ＳＥＭ：Scanning Electron Microscope）の技術を応用し光学画像よりも分解能の高い電子線画像を用いて、光学式パターン検査装置と同様の比較演算処理により回路パターンの構造的あるいは電氣的な欠陥の存在位置を検出するＳＥＭ式パターン検査装置などが使用されている。また、検出した欠陥の位置を高精度に撮像し、欠陥の種類毎の分類処理を自動実行（ＡＤＣ：Automatic Defect Classification）する欠陥レビュー装置なども実用化されている。

[0003] 一般的にこれらの検査装置は、半導体デバイスを構成する各レイヤ（階層）の製造工程毎に配置され、異物検査及び回路パターン検査により欠陥を検出する。検出された欠陥は、種類を特定し、種類毎の発生数を計測することにより、製造工程の良不良を判別する情報として使用されている。

[0004] 上のような欠陥の検出方法として、例えば特許文献１には、製造工程ごとに作成された不良分布画像データまたは不良分布濃淡画像データを比較することで、ある製造工程では検出されず、ある製造工程では検出される不良を

見つけ、不良発生の原因となる製造工程を判明させる発明が開示されている。そして、検出された欠陥の如何によって、設計変更や製造条件を変更する等、製造上の対策が講じられる。

[0005] また、特許文献2には、光学式検査装置から得られる画像情報と半導体デバイスの設計パターンとを比較し、欠陥と配線パターンとの重なり具合に応じて検出欠陥の致命・非致命を判定する検査方法が開示されている。製造工程の良不良を判別する情報として真に必要なのは致命欠陥の発生数であって、検査速度向上の観点から、検査装置としては、非致命欠陥は検出せずに致命欠陥のみを検出するような機能が要求される場合が多い。

[0006] 更にまた、特許文献3には、電子ビームの照射位置を設計パターン上で指定するEBテストに関する発明が開示されている。ここで、EBテストとは、ウェーハ上の完成したチップに電子線を照射し、回路として動作するかを試験するための検査装置である。特許文献3に開示された発明においては、電子線の照射位置を設計パターン上で指定する際に、GUI上に表示する画像を検査対象である配線パターンの画像ではなく配線パターン上の保護膜パターンの画像に変えることにより、設計パターンとSEMの実画像との画像マッチング精度を向上し、電子線の照射位置を自動決定する際の精度を向上している。

## 先行技術文献

### 特許文献

[0007] 特許文献1：特開平11-45919号公報

特許文献2：特開2000-311924号公報

特許文献3：特開2000-266706号公報

### 発明の概要

### 発明が解決しようとする課題

[0008] しかしながら、上記検査装置だけでは原因を決定できない欠陥も増加しつつある。そのため、検出された欠陥情報から本質的な原因が設計レイアウト

データに起因するか否かを判断するにあたり、時間とコストがかかるという問題点がある。

[0009] また、近年の半導体製造では、集積度向上に伴う微細化により、物理的に設計レイアウトデータに起因する欠陥の割合が増加しつつある。このように欠陥が多数ある場合に、回路設計を見直すか又は製造条件を変えるか等、その影響度を判断して問題回避を検討するための有効な手段が無い。

[0010] さらに、検査装置により発見される欠陥が次工程の欠陥なのか又は上層以降の欠陥であるか発生位置を判断することが難しく、信頼性を保障した製品出荷のための迅速な対応をとりづらいという問題がある。

[0011] 半導体製造プロセスにおいては、集積度向上に伴う微細化により、製造プロセス起因による欠陥よりも設計起因による欠陥が増加しつつあり、設計起因による欠陥の原因を早急に突き止め、設計へ反映し、歩留まりを向上させることが課題となっている。

[0012] 本発明は、上記問題に鑑みてなされたものであり、検査装置により発見された欠陥又は検査レビュー装置による欠陥に関する情報を設計レイアウトデータと統合して表示し、分析を可能にし、設計レイアウトデータ起因による原因を効率的に突き止める手段を提供するものである。

### 課題を解決するための手段

[0013] 本発明は、半導体の設計レイアウトデータを活用し、当該設計レイアウトデータ上へチップ単位の欠陥を統合投影する。また、欠陥発見時の欠陥レビュー装置により撮像された画像とそれに対応する設計レイアウトデータおよび任意の設計レイアウトデータを同時に統合投影し、下層及び上層になる回路パターンについて表示し、それらの回路パターンの表示を切替えることで、欠陥部位の解析を支援する。

[0014] すなわち、本発明の半導体検査支援装置は、半導体製造の各工程で用いられる設計回路パターンの位置情報を含む設計レイアウトデータを取得する設計レイアウトデータ読み込み部と、前記設計回路パターンがチップ毎に複数形成されたウェーハに関するデータの中から少なくとも設計セルの位置情報を

含むウェーハ・チップ情報を取得するウェーハ・チップ情報読み部と、前記各工程で生じた欠陥の位置情報を含む欠陥データを取得する欠陥データ読み部と、前記設計レイアウトデータと前記ウェーハ・チップ情報に基づき、前記設計レイアウトデータのうち欠陥が生じた工程における設計レイアウトデータと前記欠陥データとを統合投影処理することで、設計レイアウトデータ欠陥統合投影表示図を作成する設計レイアウトデータ描画処理部と、前記設計レイアウトデータ欠陥統合投影表示図を表示する欠陥統合投影表示装置と、を備えることを特徴とする。

### 発明の効果

- [0015] 本発明によれば、発見された設計レイアウトデータに起因する欠陥の原因究明、種類の判別、チップ全体に対する影響の度合いの判定を容易にする。また、欠陥情報を多角的かつ多層的に検討できる。それにより、欠陥対策の検討のための有用な情報として、結果的に歩留まりを向上させることができる。

### 図面の簡単な説明

- [0016] [図1]実施形態1における半導体欠陥統合投影システムの説明である。
- [図2]実施形態1における欠陥統合投影表示の表示例である。図2（A）はダイ欠陥統合投影の表示例、図2（B）はチップ欠陥統合投影の表示例、図2（C）は設計セル欠陥統合投影の表示例である。
- [図3]実施形態1における欠陥と設計レイアウトデータの統合投影表示の表示例である。図3（A）はダイ欠陥統合投影の表示例、図3（B）は欠陥部位の設計レイアウトデータ拡大表示例、図3（C）は任意の設計レイアウトデータ拡大表示例、図3（D）は欠陥部位の設計レイアウトデータと複数の任意の設計レイアウトデータとの重ね拡大表示例、図3（E）は撮像画像と任意の設計レイアウトデータとの重ね拡大表示例である。
- [図4]実施形態1における欠陥統合投影手段のフローチャートを示す図である。
- [図5]ある階層のパターンが複数のレイヤの設計パターンの重ね合わせにより

形成されていることを示す概念図である。図5（A）は上層パターン2（ダミーパターン）に対応する設計パターン、図5（B）は上層パターン1（アクティブパターン）に対応する設計パターン、図5（C）は中層パターン（アクティブパターン）に対応する設計パターン、図5（D）は下層パターン（アクティブパターン）に対応する設計パターン、図5（E）は図5（A）～（D）の設計パターンの重ね合わせにより形成されるある階層の設計パターンである。

[図6]実施形態2の欠陥検査支援装置とその周囲の環境を示す配置図である。

[図7]実施形態2の欠陥統合投影手段を実現する機能ブロック図である。

[図8]アクティブパターンとダミーパターンとを弁別して合成した背景図である。図8（A）はアクティブパターンに対応する設計パターン、図8（B）はダミーパターンに対応する設計パターン、図8（C）は図8（A）及び（B）に示す設計パターンを重ね合わせた設計パターンである。

[図9]アクティブパターンとダミーパターンとを弁別して合成した欠陥統合投影画像である。図9（A）は欠陥統合投影画像の合成前の検査画像、図9（B）は背景となる設計上の配線パターン、図9（C）は欠陥－背景合成処理後の欠陥投影画像である。

[図10]致命欠陥スクリーニング前後の表示画像である。図10（A）は致命欠陥のスクリーニング前におけるウェーハ全体を示す欠陥マップ図、図10（B）は致命欠陥のスクリーニング後におけるウェーハ全体を示す欠陥マップ図、図10（C）は致命欠陥のスクリーニング前におけるセルの一部分を拡大した図、図10（D）は致命欠陥のスクリーニング後におけるセルの一部分を拡大した図である。

[図11]検査画像とは異なる階層の設計レイアウトデータを使用して合成された欠陥統合投影画像の模式図である。図11（A）は検査画像、図11（B）は下流工程の設計レイアウトデータ、図11（C）は図11（A）及び（B）の合成後の欠陥統合投影画像である。

**発明を実施するための形態**

[0017] 以下、添付図面を参照して本発明の実施形態に係る半導体欠陥統合投影システムについて説明する。ただし、本実施形態は本発明を実現するための一例にすぎず、本発明の技術的範囲を限定するものではないことに注意すべきである。また、各図において共通の構成には同一の参照番号が付されている。

[0018] (実施形態1)

＜半導体欠陥統合投影システムの構成＞

図1は、本発明の実施形態を示す半導体欠陥統合投影システムの説明である。

[0019] 半導体欠陥統合投影システムは、欠陥統合投影手段2を搭載したコンピュータシステム1により構成される検査支援装置、欠陥統合投影手段2へユーザからの指示を与える欠陥統合指示情報入力装置4、半導体チップの設計レイアウトデータの製造工程情報、マスク情報、設計回路パターンの位置情報、設計セル位置情報、ある設計パターンが属するレイヤの識別情報であるレイヤID (ID Information: Identification Information) 等を格納する設計データ記憶装置5、ウェーハ上のダイ位置情報、チップ位置情報、チップ上の設計回路パターンの位置情報や設計セル位置情報、ウェーハやチップの識別情報であるウェーハIDないしチップID、製造工程情報、撮像データ等を格納するウェーハデータ記憶装置6、各製造工程で生じた欠陥の位置情報、分類情報等を格納する欠陥データ記憶装置7、欠陥統合投影手段2により設計レイアウトデータと欠陥統合投影を行う欠陥統合投影表示装置3、を備える。欠陥統合投影手段2の動作については後述する。

[0020] 尚、設計データ記憶装置5、ウェーハデータ記憶装置6、欠陥データ記憶装置7はネットワークを介して接続された構成でもよい。または、各データを持ち運び可能な記録媒体に格納し、コンピュータシステム上に入力し処理する構成でもよい。

[0021] ＜設計レイアウトデータ欠陥統合投影の表示＞

設計レイアウトデータに欠陥表示を投影する欠陥統合投影表示の例を図2

に示す。ここでは、ウェーハ、ダイ、チップ、セルの順に、大きい単位から小さい単位へ、欠陥情報と設計レイアウトデータとを統合投影表示させる。

[0022] (ダイ欠陥統合投影表示の例)

201は、検査ウェーハ上に複数ならんだダイの欠陥情報（黒丸）と設計レイアウトデータとを統合投影表示した図である。

[0023] 202は、ウェーハ上の欠陥情報201を、ダイ単位で統合投影表示した図である。

[0024] (チップ欠陥統合投影表示の例)

ダイ上に複数の半導体チップが形成され、複数のチップ全体で一つの半導体デバイスとして動作する場合もある。203は、ダイ上に複数並んだチップの欠陥情報（黒丸）と設計レイアウトデータとを統合投影表示した図である。

[0025] 204は、上述の場合に、ダイ上の欠陥情報をチップ単位で統合投影表示した図である。

[0026] (設計セル欠陥統合投影表示の例)

205は、チップ上に複数ならんだセルの欠陥情報（黒丸）と設計レイアウトデータとを統合投影表示した図である。

[0027] 206は、チップ上の欠陥情報205を、セル単位で統合投影表示した図である。

[0028] このように製造工程で用いられる設計レイアウトデータを活用することで、それぞれ、ウェーハ単位、ダイ単位、チップ単位、セル単位での欠陥情報を容易に把握し、当該欠陥のチップへの影響について検討することが可能となる。

[0029] <設計レイアウトデータ欠陥統合投影の拡大表示>

設計レイアウトデータ欠陥統合投影の拡大表示例を図3に示す。ここでは、チップ全体からでは欠陥の状態が判らない問題を考慮し、欠陥部分を自動または手動で拡大表示することを可能とした。また、1つのチップを製造するためのそれぞれの工程に対応するそれぞれの設計レイアウトデータのうち

、検査時の工程に応じた設計レイアウトデータ上に対して欠陥位置を画面に表示させることを可能とした。

[0030] 301は、欠陥統合投影手段2により、欠陥情報をダイ単位で設計レイアウトデータへ統合投影表示した図である。欠陥位置は黒丸で表示されている。

[0031] 302は、当該欠陥部位を拡大した場合の表示例である。

[0032] このように、欠陥が発見された工程の設計レイアウトデータのどの配線パターン上に欠陥があるかを画面で容易に判別可能であり、その欠陥の影響を判断・確認できる。

[0033] しかし、欠陥が発見された工程の設計レイアウトデータだけでは欠陥の原因・種別を判断できない場合は、任意の設計レイアウトデータと比較し検討する必要がある。ここで、任意の設計レイアウトデータとは、例えば欠陥が発見された工程以前又は下層に当たる設計レイアウトデータ等、である。ある工程の設計レイアウトデータ上の欠陥部位の周辺情報である接続配線又は素子等を把握することによって、当該欠陥部位がチップ全体に及ぼす影響や深刻度合を判断することができる。また、当該情報から、欠陥の原因・種別の解析を可能とし、同様の欠陥の発生を予防することも可能である。以上の理由から、欠陥発見時の工程の設計レイアウトデータだけではなく、任意の設計レイアウトデータの表示を切替えて表示する必要がある。

[0034] 303は、欠陥部分を拡大し、欠陥が発見された工程の設計レイアウトデータおよび任意の設計レイアウトデータを重ねて表示した図である。これにより、欠陥が発見された工程の設計レイアウトデータのパターンだけでは原因が判らない欠陥も、欠陥の原因・種別を容易に判断可能になる。

[0035] また、製造工程が複雑な場合等、欠陥が発見された工程の設計レイアウトデータだけでは欠陥の原因等が判断困難な場合は、それに付随する複数の工程（又は下層）の設計レイアウトデータを欠陥と重ねて表示する必要がある。304は、欠陥部分を拡大し、複数の工程の設計レイアウトデータを重ねて表示する例である。これにより、より容易かつ迅速に欠陥の配線パターン

の状態を確認することが可能となる。ここで、各々の設計レイアウトデータの配線パターンを同時に表示する場合には、配線パターンの区別をつけるために、色、塗りつぶしパターン等を任意に変更して表示する。これにより、各設計レイアウトデータの配線パターンが容易に識別可能となる。

[0036] さらに、図示しない欠陥レビュー装置により撮像された画像の座標データを取得していれば、この画像の座標を設計レイアウトデータに合わせることで、欠陥画像を重ね合わせることも可能である。305は、欠陥部分を拡大し、撮像画像と設計レイアウトデータとを重ねて表示した例である。この場合、必要に応じて、複数の工程の設計レイアウトデータを重ねて表示してもよい。このように検査装置の欠陥データだけでなく設計レイアウトデータを同時に表示し比較することで、設計データを起因とする欠陥の判断が容易になり、当該欠陥の影響を判断し、製造上の対策を効果的に行うことが可能となる。

[0037] <欠陥統合投影手段による処理>

欠陥統合投影手段2により統合投影する処理のフローチャートを図4に示す。

[0038] はじめに、図1に示した欠陥統合投影表示装置上に欠陥統合を指示するために必要な情報を入力するためのGUI画面が表示される。必要な情報とは、致命度判断を行う欠陥が存在するレイヤのレイヤ番号（識別子）と、欠陥統合を行う領域の大きさ、すなわちダイ単位、チップ単位、セル単位いずれの方法で欠陥統合を実行するかの種類情報である。装置利用者は、キーボードまたはマウス等による入力手段である欠陥統合指示情報入力装置4を用いて、上記の各情報をGUI画面に入力する。設計セル解析処理部22は、後述する欠陥統合投影方法を入力情報から認識する（S401）。

[0039] 次に、欠陥統合投影手段2の設計レイアウトデータ読み込み部21は、S401で与えられた入力情報に基づき、該当する設計レイアウトデータ（図形データ）の設計回路パターン等を設計レイアウトデータ記憶装置5から取得する（S402）。

- [0040] 次に、設計セル解析処理部 22 は、S402 で取得した設計レイアウトデータに基づき、設計レイアウトデータの設計セルを解析する (S403)。ここでは、関連付けしようとする欠陥データがどの設計レイアウトデータなのか、どの工程のどの設計セル部分に存在するのか等を認識する。また、設計レイアウトデータにメモリセル等の領域別の座標情報が含まれており、これを利用してチップをセル単位に分割することもできる。
- [0041] 次に、ウェーハ・チップ情報読み込み部 23 は、S401 の入力情報から該当するウェーハおよびチップの情報をウェーハデータ記憶装置 6 から取得する (S404)。ここで取得する情報は、主に、ウェーハ上に並ぶダイ位置情報、チップ位置情報、チップ上の回路パターンの位置情報や設計セル位置情報、ウェーハの撮像データ等である。
- [0042] 次に、欠陥データ読み込み部 24 は、S401 の入力情報から該当する欠陥データを欠陥データ記憶装置 7 から取得する (S405)。欠陥データは、欠陥の識別ができるように、識別用の ID が付与された座標情報を有する。
- [0043] 次に、コンピュータシステム 1 は、S401 で入力指示された欠陥統合投影方法を判定する。この判定動作は、S401 で設計セル解析処理部 22 が認識した欠陥統合投影方法の情報を座標変換処理部 25 に伝達することにより実行される。
- [0044] 最初に、欠陥統合投影方法がダイ欠陥統合投影か否かについて判定する (S406)。S406 の判定の結果、ダイ欠陥統合投影の場合は、座標変換処理部 25 は、欠陥データの座標をダイ座標へ座標変換する (S407)。ここで、座標変換動作について詳述する。半導体デバイスは、回路パターンをウェーハ全面に転写することにより製造されるものであるので、原理的には、レイアウトパターン全体のパターン情報さえあれば、半導体デバイスの製造は可能である。しかしながら、レイアウト変更などの際にレイアウトパターンの一部を局所的に画面表示する場合に、ウェーハ全体のレイアウトパターンを呼び出して一部をズームイン・ズームアウトさせて画面表示するのは画像処理を実行するプロセッサの負担が大きい。従って、ウェーハ全体のレイアウトパター

ンだけではなく、局所的なレイアウトパターンすなわち一部のみのパターンデータも用意しておき、ズームイン・ズームアウトの際の拡大率・縮小率がある範囲を超えた場合には、上述の局所的なレイアウトパターンを呼び出して画面表示させる。このような局所的なレイアウトパターンは、ダイ、チップ、設計セルといった、パターンの繰り返し単位となるサイズ単位で準備され、設計データ記憶装置 5 に記憶されている。

[0045] このような局所的なレイアウトパターンのデータは、それぞれ固有の座標系を持っており、回路パターンを表現する線図の位置情報は、上記固有の座標系で表現される。原理的には、ウェーハ全体のレイアウトパターンを記述する座標系で局所的なレイアウトパターンの位置情報を表現することも可能であるが、位置情報を表現する数値が大きくなりすぎるため、局所レイアウトパターンを記述する座標系で表現する方が、プロセッサの負担が軽減される。

[0046] ウェーハ全体の座標系も局所レイアウトパターンの座標系も、基本的には X Y 直交座標系で表現されるため、ウェーハ全体の座標系と局所的な座標系とは、所定の原点オフセット量を加減算することにより、相互に変換可能である。ウェーハ全体の座標系と局所的な座標系との原点オフセット量は、局所レイアウトパターンの種類を示す識別子、例えば、ダイ ID、チップ ID、設計セル ID といった ID 毎に設定されており、座標変換処理部 25 は、ウェーハデータ記憶装置 6 から呼び出した ID を元に設計データ記憶装置 5 から原点オフセット量を読み出し、局所レイアウトパターンの座標系の原点を設定する。

[0047] 一方、欠陥位置の情報は、検査装置で取得されたものであり、図 1 に示した欠陥データ記憶装置 7 に格納されている欠陥位置の情報は検査装置の持つ座標系で表現された情報である。従って、欠陥位置を回路パターンに投影するためには、欠陥位置の座標系をレイアウトパターンの座標系に変換する必要がある。具体的には、ウェーハ上の適当な基準位置（オリフラや適当なダイのコーナー座標など）について、レイアウトパターンの座標系で表現された値と検査装置の座標系で表現された値との差分を計算し、その差分値をレ

レイアウトパターンの座標系と検査装置の座標系との原点オフセット量として設定する。この原点オフセット量の設定処理を原点アライメントと称し、座標変換処理部 25 により実行される。

S407の場合、欠陥座標のダイ座標への座標変換が実行されるので、座標変換処理部 25 は、まず、原点アライメントを実行し、レイアウトパターンの座標系と検査装置の座標系の原点を一致させる。次に、画面表示するダイのダイIDから原点オフセット量を認識し、欠陥位置の座標情報に加算することにより、ダイ座標への座標変換を実行する。なお、欠陥データの座標が検査装置の持つダイ座標で記憶されている場合は、検査装置のダイ座標を表現する座標系とレイアウトパターン上でのダイの座標系との原点アライメントのみを実行し、ウェーハ全体の座標系からダイの座標系への原点オフセット調整は行わない。

[0048] S406の判定の結果、ダイ欠陥統合投影以外の場合は、欠陥統合投影方法がチップ欠陥統合投影か否かについて判定する(S408)。S408の判定の結果、チップ欠陥統合投影の場合は、座標変換処理部 25 は、欠陥データの座標をチップ座標へ座標変換する(S409)。座標変換の実行手順は、ダイ欠陥統合投影の場合と同じ要領で実行される。尚、欠陥データの座標がチップ座標で記憶されている場合は、座標変換処理は不要とする。

[0049] S408の判定の結果、チップ欠陥統合投影以外の場合は、欠陥統合投影方法が設計セル欠陥統合投影か否か判定する(S410)。S410の判定の結果、設計セル欠陥統合投影の場合は、座標変換処理部 25 は、欠陥データの座標を設計セル座標へ座標変換する(S411)。座標変換の実行手順は、ダイ欠陥統合投影、チップ欠陥統合投影の場合と同様である。尚、欠陥データの座標が設計セル座標で記憶されている場合は、座標変換処理は不要とする。

[0050] 以上のように局所レイアウトパターンの種類に応じた座標変換処理を行うことにより、欠陥位置情報をレイアウトパターンに重畳表示する欠陥統合投影が可能となる。

[0051] 次に、欠陥データの座標変換完了後、設計レイアウトデータ描画処理部 2

6は、表示のベースとなる設計レイアウトデータを描画する。表示する設計レイアウトデータの位置と倍率を決定し、描画すべき設計レイアウトデータの層（工程・プロセス）の決定と、表示色と塗りつぶしパターンの決定を行う（S412）。層（レイヤ）設定では、複数の設計レイヤを1つとして扱うように設定したり、上下層の入れ替え表示、あるいは上下層の表示のOn、Offなどの設定を行う。なお、S402において取得した設計レイアウトデータに対応する撮像データがある場合は、設計レイアウトデータに重ねて表示してもよい。

[0052] 次に、設計レイアウトデータの描画完了後、欠陥統合投影処理部27は、描画した設計レイアウトデータ上へ欠陥を統合投影表示する（S413）。

[0053] 最後に、欠陥統合投影表示装置3は、設計レイアウトデータ欠陥統合投影の描画図を表示する。

[0054] <その他>

なお、本発明は、実施形態の機能を実現するソフトウェアのプログラムコードによっても実現できる。この場合、プログラムコードを記録した記憶媒体をシステム或は装置に提供し、そのシステム或は装置のコンピュータ（又はCPUやMPU）が記憶媒体に格納されたプログラムコードを読み出す。この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコード自体、及びそれを記憶した記憶媒体は本発明を構成することになる。このようなプログラムコードを供給するための記憶媒体としては、例えば、フロッピー（登録商標）ディスク、CD-ROM、DVD-ROM、ハードディスク、光ディスク、光磁気ディスク、CD-R、磁気テープ、不揮発性のメモリカード、ROMなどが用いられる。

[0055] また、プログラムコードの指示に基づき、コンピュータ上で稼動しているOS（オペレーティングシステム）などが実際の処理の一部又は全部を行い、その処理によって前述した実施の形態の機能が実現されるようにしてもよい。さらに、記憶媒体から読み出されたプログラムコードが、コンピュータ

上のメモリに書きこまれた後、そのプログラムコードの指示に基づき、コンピュータのCPUなどが実際の処理の一部又は全部を行い、その処理によって前述した実施の形態の機能が実現されるようにしてもよい。

[0056] また、実施の形態の機能を実現するソフトウェアのプログラムコードを、ネットワークを介して配信することにより、それをシステム又は装置のハードディスクやメモリ等の記憶手段又はCD-RW、CD-R等の記憶媒体に格納し、使用時にそのシステム又は装置のコンピュータ(又はCPUやMPU)が当該記憶手段や当該記憶媒体に格納されたプログラムコードを読み出して実行するようにしても良い。

[0057] (実施形態2)

[背景技術]で説明した通り、半導体デバイスの製造プロセスにおいては、近年、設計起因による欠陥が増加しつつあり、設計起因による欠陥の原因を早急に突き止め、設計へ反映し、歩留まりを向上させることが課題となっている。このため、従来から、特許文献1～3に開示されているように設計レイアウトの参照機能を組み込んだ検査装置が使用されている。

[0058] しかしながら、半導体製造プロセスで使用される各検査装置は一つの製造工程に対して一台ずつ配置されるものであるため、各装置から得られる情報は、基本的には同一レイヤの欠陥情報であるという制約がある。近年の半導体デバイスでは、回路構造の微細化と上下のレイヤの物理的な距離の近接化が進み、単一のレイヤから得られる情報だけでは欠陥の発生レイヤが特定できず、従って製造工程の良不良を判別できないケースが増加しつつある。

[0059] このような欠陥の発生レイヤを特定するためには、複数レイヤの欠陥情報を統合する必要があり、従来の検査装置でこのような機能を実現する場合、複数の検査装置を接続してその中の1台に欠陥情報を集約する必要がある。従来の検査装置に実装されている情報処理装置は欠陥検出のための画像処理にかなり特化されており、上記のような集約した欠陥情報の処理機能を実現するためには、現状の検査装置に実装されている情報処理装置では能力不足であり、無理に機能実装すると回路規模がかなり大きくなり、よって欠陥検

査に要するコストがかかりすぎるという問題点がある。

[0060] このため、実際の半導体製造ラインにおいては、各検査装置から出力される検査結果を一台の情報処理装置（サーバ）に集約し、不良な製造工程の特定、製造プロセスの分析をサーバ上で実行する場合が多い。

[0061] ところが、半導体デバイス中の各レイヤは、通常は複数の製造プロセスを経て形成されるものであり、それに応じた複数の設計レイアウト情報が存在する。また、近年では半導体デバイスの回路設計が複雑化し、ダミーパターンやテスト用回路など、デバイスの動作とは直接関連のない回路要素がデバイス内に配置される場合も多い。例えば、図5では、半導体デバイスのあるレイヤが上層、中層、下層の3層のパターンにより構成され、かつ上層パターンが上層パターン1および上層パターン2という2つのパターンを露光することにより形成されているものとする。このうち、上層パターン2がダミーパターンであった場合、上層パターン2上に欠陥が存在していたとしても、半導体デバイスの最終的な性能にはなんら影響しない。従来の検査装置あるいは検査支援装置上に実装されていた設計レイアウトの参照機能には、デバイスの動作とは関連する配線パターンと関連しないパターンを弁別する機能が無く、よって、装置使用者が真に致命的な欠陥を確認できないという課題があった。

[0062] 本実施形態の検査支援装置は、上の課題を解決するもので、半導体の設計レイアウトデータを半導体デバイスの回路あるいは動作に実際に関連のあるレイアウトデータとそうでないレイアウトデータとに弁別し、欠陥を投影する背景画像を、デバイス特性に直接影響するパターンと影響しないパターン、あるいはアクティブパターンとダミーパターンを装置使用者が識別できる形で生成することにより、上記の課題を解決する。これにより、検出欠陥データから真に致命度の高い欠陥を抽出する処理が容易となり、半導体製造プロセスの良不良をより高い精度で判定可能な検査支援装置が実現される。

[0063] 以下、本実施形態の具体構成について、図を用いて説明する。

[0064] 図6は、本実施形態の検査支援装置600が配置される環境と検査支援装

置の内部構成とを示す図である。本実施形態の検査支援装置600は、通信ネットワーク604を介して、設計データ記憶装置605、ウェーハ情報記憶装置607および欠陥データ記憶装置609と接続されている。更には、これらの情報記憶装置は、レイヤ1製造装置、レイヤ2製造装置・・・レイヤn製造装置といった半導体デバイスの製造設備である各種レイヤの製造装置601、上記各レイヤの外観検査を実行するレイヤ1外観検査装置、レイヤ2外観検査装置・・・レイヤn外観検査装置といった外観検査装置602、上記各レイヤの外観検査装置で取得された欠陥候補位置の高倍率レビュー像を取得しADCを実行するレイヤ1レビュー装置、レイヤ2レビュー装置・・・レイヤnレビュー装置といったレビュー装置603などに、通信ネットワーク604を介して接続されている。

[0065] 外観検査装置602で検出された欠陥の位置情報は、新規に検出された欠陥毎に欠陥IDを与えられ、欠陥データ記憶装置609に格納される。同時に、検査を行ったウェーハのウェーハIDや、半導体デバイスの製造プロセス中のどのプロセスを経たウェーハに対して検査を実行したのかを示すプロセスIDも欠陥データ記憶装置609に格納される。欠陥レビュー装置は、各欠陥IDの欠陥に対して欠陥の詳細構造がわかる程度の分解能で画像を取得し、取得画像を元にADCを実行する。ADCの結果得られた欠陥の付帯情報、例えば、欠陥の種別情報や欠陥サイズおよび欠陥の中心位置データ、あるいはADCを実行するために使用した画像の倍率情報などは、ウェーハIDやプロセスIDといったIDと共に欠陥データ記憶装置609に格納される。

[0066] ウェーハ情報記憶装置607には、ウェーハ上のダイ、チップ、チップ上の設計回路パターン、設計セル（機能セル）の各領域の位置情報、ウェーハやチップの識別情報であるウェーハIDないしチップID、製造工程情報、撮像データ等が格納される。また、設計データ記憶装置605には、設計パターンを示すパターンデータその他、ダイID、チップID、セルIDなど設計レイアウトの局所領域を示す識別子や、設計パターンが属するレイヤの識別情報であるレイヤID、設計レイアウトデータの製造工程情報であるプロセスID、マス

クの情報であるマスクID等が格納される。

[0067] 本実施形態の検査支援装置600は、欠陥判定に必要な各種処理を実行する機能が備えられたコンピュータ611と、欠陥判定に必要な設定条件を入力するためのGUIや判定結果が表示される表示装置612とにより構成されている。表示装置は、装置使用者がGUI画面を操作するためのキーボードやマウスといった入力デバイスも備えている。コンピュータ611は、本実施形態の検査支援装置の主要な機能を実現するためのソフトウェアが格納されるメモリ615と、メモリに格納されたソフトウェアを実行するプロセッサ、通信ネットワーク604に接続されている各情報記憶装置（サーバ）との通信処理を実行する通信インタフェース部617、通信ネットワーク604に接続するための物理配線が接続される通信端子618を備える。図6では、本実施形態の検査支援装置の主要な機能を実現するソフトウェアの一例として、欠陥判定を実行する欠陥投影手段と、欠陥判定結果をレポート形式で出力するためのレポート作成部の2つを例示したが、これ以外の機能が実装されていないことを示すものではない。

[0068] 図7には、図6に示したメモリ615のメモリ空間内に展開される機能ブロックを示した。また、図7に示した機能ブロックは、便宜上、メモリ615内に形成されるように示しているが、実際には、図7に示した機能ブロックはプロセッサがメモリ615に記憶されたソフトウェアを実行することにより実現される。以下、与えられた欠陥情報に対して致命度判定を行う順序に沿って、図7の機能ブロックの動作について説明する。

[0069] 検査支援装置600を起動すると、表示装置612上に表示されるGUI画面に、欠陥判定を行うウェーハのウェーハIDおよびプロセスIDの入力を要求するウェーハID入力欄およびプロセスID入力欄が表示される。装置使用者が、所望のウェーハIDおよびプロセスIDを入力すると、欠陥データ読み部701は、ウェーハIDおよびプロセスIDを参照キーとして、欠陥データの取得要求を発生する。この取得要求は、通信インタフェース617で要求パケットの形に整形され、通信ネットワーク604を介して欠陥データ記憶装置

609に伝送される。欠陥データ記憶装置609は、要求パケットに対する返信の形で、要求されたウェーハIDおよびプロセスIDに対応する欠陥データを返信する。欠陥データは、欠陥データ記憶装置609内に、欠陥IDと、当該欠陥IDに対応する欠陥のX座標情報、Y座標情報、更には欠陥を含む局所領域の画像データをそれぞれ含んで格納されており、例えば、図6に示す欠陥テーブル610のような形式で格納されている。また、ウェーハの中心位置やオリエンテーションフラット位置、あるいはウェーハ上の適当なダイコーナ位置といった、原点アライメントのための基準位置の位置情報も付帯情報の形で含まれている。

[0070] 欠陥データ610を取得すると、表示装置612上のGUI画面は、原点アライメントの実行画面に遷移する。原点アライメント実行画面上には、取得した欠陥位置情報がウェーハ全体を示す円状の線図上に欠陥マップの形で表示される。欠陥マップ上の欠陥は、ADCにより判明した欠陥の種別情報に応じて、色分けやドットの形状を変えるなど、装置使用者が視認できる形で表示される。

[0071] このときGUI上に表示される欠陥マップ上の欠陥位置およびウェーハ全体を示す線図は、検査支援装置600の持つ座標系で表現された位置であり、ウェーハ全体の中心がディスプレイの視野中心になるように表示されているに過ぎない。原点アライメントの際には、欠陥データ610に含まれる位置情報でアライメントに使用できる位置の情報が、ガイドとしてGUI上に表示され、装置ユーザは当該ガイドに従って、原点アライメントを実行する基準点を欠陥マップ上で指定する。簡単のため、本実施形態では、原点アライメントの基準点として、ウェーハの中心位置が指定されたものとする。原点アライメントの基準位置が指定されると、座標変換処理部706は、検査支援装置600の持つ座標系で表現された基準位置の座標と欠陥データ610に含まれる基準位置の座標との差分計算を実行し、原点アライメント量を算出する。これにより、検査支援装置600の持つ座標原点と欠陥検出を実行した検査装置（例えば、欠陥レビュー装置や外観検査装置など）の持つ座

標原点とを一致させる。この際に実行される原点アライメントは、検査支援装置 600 の持つ座標原点と欠陥検出を実行した検査装置の持つ座標原点を整合させるためのアライメントであり、以下では、第 1 原点アライメントとして引用する。

[0072] 第 1 原点アライメントの終了後、表示装置 612 上の GUI 画面には、欠陥判定を行う領域を指定するための領域指定画面が表示される。領域指定は、ウェーハ全体の欠陥マップ上で、欠陥判定を実行したい位置をポインタで囲むことにより実行される。領域指定を行うのは、半導体デバイスの製造過程で発生する欠陥は、発生位置が欠陥の種類に応じてウェーハ上の特定の領域に分布する傾向があり、装置使用者は、必ずしもウェーハ全面の欠陥判定を行いたいとは限らないためである。

[0073] 領域指定が実行されると、ウェーハ・チップ情報読み込み部 702 は、ウェーハ情報記憶装置 607 に対して、まずウェーハのダイ ID と位置情報および第 1 原点アライメントの際に指定された基準位置を要求する。この要求も、通信インタフェース 617 で要求パケットの形に整形され、通信ネットワーク 604 を介してウェーハ情報記憶装置 607 に伝送される。欠陥データ記憶装置 607 は、要求パケットに対する返信の形で、要求されたダイ ID と対応するダイの位置情報および原点アライメントの基準位置情報を返信する。返信されたデータパケットは、通信インタフェース 617 でデータ部が取り出され、ウェーハ・チップ情報読み込み部 702 へ返送され、更に座標変換処理部 706 に転送される。

[0074] 座標変換処理部 706 は、設計レイアウトデータを記述する座標系に対する原点アライメントを前述の要領で実行し、検査支援装置 600 の持つ座標原点とウェーハ情報記憶装置 607 に格納された位置情報の座標原点とを整合させる。以下では、この動作を第 2 原点アライメントと称する。第 2 原点アライメント計算後、座標変換処理部 706 は、取得したダイの位置情報を検査支援装置 600 の持つ座標系に変換する。変換後のダイの位置情報とダイ ID とは、ウェーハ・チップ情報読み込み部 702 に返送される。

[0075] ウェーハ・チップ情報読み込み部 702 は、返送されたダイの位置情報を用いて、指定領域に含まれるダイのダイIDを抽出する処理を実行し、抽出したIDのダイについて、各ダイに含まれる全てのチップおよびセルのIDと位置情報とをウェーハ情報記憶装置 607 に対して要求する。この要求も、通信インタフェース 617 を介してウェーハ情報記憶装置 607 に伝送され、ウェーハ情報記憶装置 607 は、指定されたIDのダイについて、ダイ内部に含まれるチップIDとチップの位置情報を返送する。ウェーハ・チップ情報読み込み部 702 は、現在欠陥判定中のウェーハのプロセスIDとウェーハID、ダイIDおよび返送されたチップIDとを設計レイアウトデータ読み込み部 703 に転送する。

[0076] 設計レイアウトデータ読み込み部 703 は、取得したプロセスID、ウェーハID、ダイIDおよびチップIDを検索キーとして、対応する設計レイアウトデータを送信するよう設計データ記憶装置 605 に対して要求する。この要求も、通信インタフェース 617 を介して設計データ記憶装置 605 に伝送され、設計データ記憶装置 605 は、要求されたウェーハID、プロセスID、ダイID、チップIDおよびセルIDに対応する設計レイアウトデータを設計レイアウトデータ読み込み部 703 に返送する。図 5 で説明したように、同一のプロセスIDに含まれる設計レイアウト情報は複数存在し、従って、設計データ記憶装置 605 から返送される設計レイアウトデータは、複数の設計レイアウト情報に対応した複数のレイヤIDを有する設計レイアウトデータが含まれている。よって、設計データ記憶装置 605 からは、どのレイヤIDの設計レイアウト情報がどのような機能をもつデータか（例えば、アクティブパターンとダミーパターンの類別）を示す対応情報も送信される。設計レイアウトデータ読み込み部 703 は、返送されたデータを更に設計セル解析処理部 704 に転送する。

[0077] 設計セル解析処理部 704 は、上記の対応情報を用いて、取得した設計レイアウトデータについてアクティブパターンとダミーパターンを類別する識別子を付与する処理を実行する。これにより、取得した設計レイアウトデー

タの類別を検査支援装置 600 が認識することが可能となる。

[0078] 付与された識別子情報は、設計レイアウトデータ描画処理部 705 へ伝送され、欠陥情報を合成する背景となる設計パターンの線図が生成される。この動作は、例えば図 5 に示すとおりのものである。

[0079] 図 5 では、あるプロセス ID の製造プロセスにより形成されるレイヤが下層、中層、上層 2、上層 1 の 4 つのパターンにより構成されることを示しており、各パターンに応じて異なるレイヤ ID、例えば、下から順にレイヤ 1、レイヤ 2、レイヤ 3、レイヤ 4 といった識別子が付与されている。設計セル解析処理部 704 は、この「レイヤ 1、レイヤ 2、レイヤ 3、レイヤ 4」という識別子に対し、更に「レイヤ 1 = 1、レイヤ 2 = 0、レイヤ 3 = 0、レイヤ 4 = 0」といった識別子を付与する。この場合、「1」がダミーパターンを意味する識別子であり、「0」がアクティブパターンを意味する識別子である。

[0080] 設計レイアウトデータ描画処理部 705 は、設計セル解析処理部 704 により付与された設計レイアウトデータの類別コード（識別子）により、アクティブパターンとダミーパターンとを弁別して背景パターンを生成する。「弁別して生成」とは、例えば、アクティブパターンとダミーパターンを色分けして生成するなどの処理を意味するが、装置使用者が弁別できる形式であれば、他の表現形式であっても良い。図 8 には、あるプロセス ID に含まれる複数のレイヤ ID のパターンが、設計レイアウトデータ描画処理部 705 により、アクティブパターンに対応する設計パターンである図 8 (A) とダミーパターンに対応する設計パターンである図 8 (B) とにまとめられた様子を示した。図 8 (C) は、図 8 (A) に示すパターンと図 8 (B) に示すパターンを更に重畳した様子を示す模式図であり、欠陥画像および欠陥位置情報は、図 8 (C) のような背景画像上に合成される。

[0081] 生成された背景パターンは、欠陥一背景合成処理部 707 に伝送される。同時に、座標変換処理部 706 からは検査支援装置 600 の持つ座標系に変換された欠陥位置の位置情報、欠陥データ読み込み部 701 からは欠陥の画像

情報が欠陥－背景合成処理部 707 転送される。欠陥－背景合成処理部 707 は、取得した画像情報に含まれる倍率情報から、取得画像と背景画像の表示サイズを一致させる表示サイズ調整処理を行い、更に、これらの背景画像、欠陥画像および欠陥位置情報とを合成する処理を実行する。合成された欠陥統合投影画像は、GUI 画面上に結果表示され、装置使用者が検出欠陥の致命度を目視確認するために供される。また、アクティブパターン／ダミーパターンを弁別する識別子が付与された欠陥IDのデータは、欠陥データ記憶装置にアップデートされ、同種の回路パターンが形成されたウェーハに対してADCを実行する際に参照される。

[0082] 図9には、欠陥統合投影画像の合成前の検査画像(A)、背景となる設計上の配線パターン(B)および欠陥－背景合成処理後の欠陥投影画像(C)を模式的に示した。検査画像(A)に存在する欠陥Aは、欠陥投影画像(C)上ではダミーパターン領域(図(B)で縦のハッチングを付されているパターン)に存在していることが目視確認できるため、装置使用者は、欠陥Aが非致命欠陥であることを判定できる。一方、検査画像(A)に存在する欠陥Bは、欠陥投影画像(C)上ではアクティブパターン領域(図(B)で斜めのハッチングを付されているパターン)に存在しており、致命欠陥であると判定できる。

[0083] GUI上に表示する結果表示画面で、致命欠陥のみを表示することも可能である。欠陥投影画像が結果表示されるGUI画面上には、使用者がこの一覧表から欠陥を選択し、設計配線パターンと検査画像から欠陥タイプや類別識別子を設定することが可能となる。具体的にはアクティブパターン上の欠陥かダミーパターン上の欠陥かを容易に判別し、設定する。この判定処理は配線パターンと欠陥座標からの計算処理を組み込むことで自動的に計算させることが可能となる。使用者は一覧表で欠陥タイプ又は類別識別子で絞り込みを実施すると、その条件に応じて図7に示した致命欠陥抽出部708は該当する欠陥のみを抽出する。それにより致命欠陥抽出部708での抽出結果は設計レイアウトデータ描画処理部705に転送され、GUI画面上に表示す

る欠陥統合投影画像からダミーパターンに相当する座標の欠陥をマスクして表示させる。あるいは、ダミーパターンに相当する座標の欠陥を表示させないようにしても良い。

[0084] 図10には、致命欠陥のスクリーニング処理実行後に画面表示されるスクリーニング結果の一例を、実行の前後で対比して示した。図10(A)(B)は、ウェーハ全体を示す欠陥マップ形式、図10(C)(D)は、セルの一部分を拡大した形式で、それぞれスクリーニング結果を表示したものである。図10(B)では、非致命欠陥が除去されて表示されたことにより、致命欠陥の分布領域が図10(A)に比べより特定できていることがわかる。

[0085] 欠陥統合投影処理で、検査画像に合成する設計レイアウトデータは、必ずしも同一階層のデータに限られず、異なる階層のデータを合成することも可能である。図11には、下流工程の設計パターン、すなわち検査画像を取得したレイヤの上にこれから形成される階層の設計パターンを合成する様子を示した。合成の際の原点アライメント処理や座標変換処理などは、同一階層のレイアウトデータを合成する際と同じなので、説明は繰り返さない。

[0086] 図11(A)が検査画像、図11(B)が下流工程の設計レイアウトデータ（簡単のため、全てアクティブパターンであるとする）、図11(C)が合成後の欠陥統合投影画像を示す。図11(A)で示された2つの欠陥A、Bは、いずれも配線間に存在する欠陥であり、検査画像上では両方とも非致命欠陥と認識されるものであるが、図11(C)上では、欠陥Aは下流工程の設計パターン上で何もパターンが存在しない箇所、欠陥Bはパターンが存在する箇所上に存在しており、従って、欠陥Aは下流工程に対して影響を及ぼさないが、欠陥Bは下流工程に対して影響を及ぼす可能性が高いと判断できる。

[0087] 図11(C)に示すような、異なる階層の設計レイアウトデータとの欠陥統合投影画像は、例えば、GUI上に「異階層との相間」のようなボタンを表示し、装置使用者に異階層欠陥統合投影画像の取得要否と、相間を見ようとする階層のID（例えば、プロセスIDとレイヤID）を入力させることにより

、合成処理が開始される。この際に実行される処理は、設計レイアウトデータ読み込み部 703 が、欠陥データ読み込み部 701 により取得されたプロセスIDではなく、GUI 上で入力されたプロセスIDを用いて設計レイアウトデータを取得する以外は、既に説明した処理を同じであるため、説明は省略する。また、異階層の設計レイアウトデータに対しても、アクティブパターン／ダミーパターンの弁別表示が可能であることは言うまでも無い。

### 符号の説明

- [0088]
- 1 コンピュータシステム、
  - 2 欠陥統合投影手段
  - 3 欠陥統合投影表示装置
  - 4 欠陥統合投影指示情報入力装置
  - 5 設計レイアウトデータ記憶装置
  - 6 ウェーハデータ記憶装置
  - 7 欠陥データ記憶装置

## 請求の範囲

- [請求項1]       半導体製造の各工程で用いられる設計回路パターンの位置情報を含む設計レイアウトデータを取得する設計レイアウトデータ読み込み部と、
- 、
- 前記設計回路パターンがチップ毎に複数形成されたウェーハに関するデータの中から少なくとも設計セルの位置情報を含むウェーハ・チップ情報を取得するウェーハ・チップ情報読み込み部と、
- 前記各工程で生じた欠陥の位置情報を含む欠陥データを取得する欠陥データ読み込み部と、
- 前記設計レイアウトデータと前記ウェーハ・チップ情報に基づき、前記設計レイアウトデータのうち欠陥が生じた工程における設計レイアウトデータと前記欠陥データとを統合投影処理することで、設計レイアウトデータ欠陥統合投影表示図を作成する設計レイアウトデータ描画処理部と、
- 前記設計レイアウトデータ欠陥統合投影表示図を表示する欠陥統合投影表示装置と、を備えることを特徴とする半導体欠陥検査支援装置。
- 。
- [請求項2]       半導体デバイスを構成する複数の階層の回路パターンに対する欠陥位置の検査結果と、前記複数の階層の回路パターンに対する設計レイアウト情報とがそれぞれ格納された複数の情報記憶装置に接続されて使用され、前記検査結果と設計レイアウト情報とを画面表示することにより、前記欠陥検査の支援作業を実行する欠陥検査支援装置において、
- 所定の基準位置の座標情報を用いて、前記欠陥位置の座標を記述する座標系の座標原点と自身の持つ座標系の座標原点とを整合させる第1の原点アライメントおよび前記設計レイアウト情報を記述する座標系の座標原点と自身の持つ座標系の座標原点とを整合させる第2の原点アライメントを実行する手段と、

前記設計レイアウト情報から得られる回路パターンと前記欠陥とを合成して欠陥統合投影画像を生成する手段と、

前記欠陥統合投影画像を表示する画面表示手段とを備えることを特徴とする欠陥検査支援装置。

[請求項3]

請求項2に記載の欠陥検査支援装置において、

前記画面表示手段には、前記欠陥統合投影画像の背景となる前記回路パターンが属するの階層を特定するための識別情報を入力させるための入力欄が表示され、

前記欠陥検査支援装置は、更に、

前記入力された識別情報に対応する階層の設計レイアウト情報を前記情報記憶装置に対して要求し、該設計レイアウト情報を取得する設計レイアウトデータ読み込み部を備えたことを特徴とする欠陥検査支援装置。

[請求項4]

請求項2に記載の欠陥検査支援装置において、

欠陥統合投影画像として、少なくとも半導体ウェーハ全体と当該半導体ウェーハの局所領域の少なくとも2つを生成可能なことを特徴とする欠陥検査支援装置。

[請求項5]

請求項4に記載の欠陥検査支援装置において、

前記局所領域の設計レイアウト情報は、当該局所領域のサイズに応じた固有の座標系を有しており、  
前記欠陥位置の座標を、前記局所領域のサイズ単位に応じた固有の座標系に変換する座標変換を行う手段を備えたことを特徴とする欠陥検査支援装置。

[請求項6]

請求項5に記載の欠陥検査支援装置において、

前記局所領域のサイズ単位が、ダイ単位、チップ単位、セル単位を含むことを特徴とする欠陥検査支援装置。

[請求項7]

請求項2に記載の欠陥検査支援装置において、

前記回路パターンを、当該パターンに含まれるアクティブパターン

とダミーパターンとに弁別して前記欠陥統合投影画像の背景画像を生成することを特徴とする欠陥検査支援装置。

[請求項8]

請求項7に記載の欠陥検査支援装置において、

前記ダミーパターンに重なって表示される欠陥が前記画面表示手段上にマスクして表示されることを特徴とする欠陥検査支援装置。

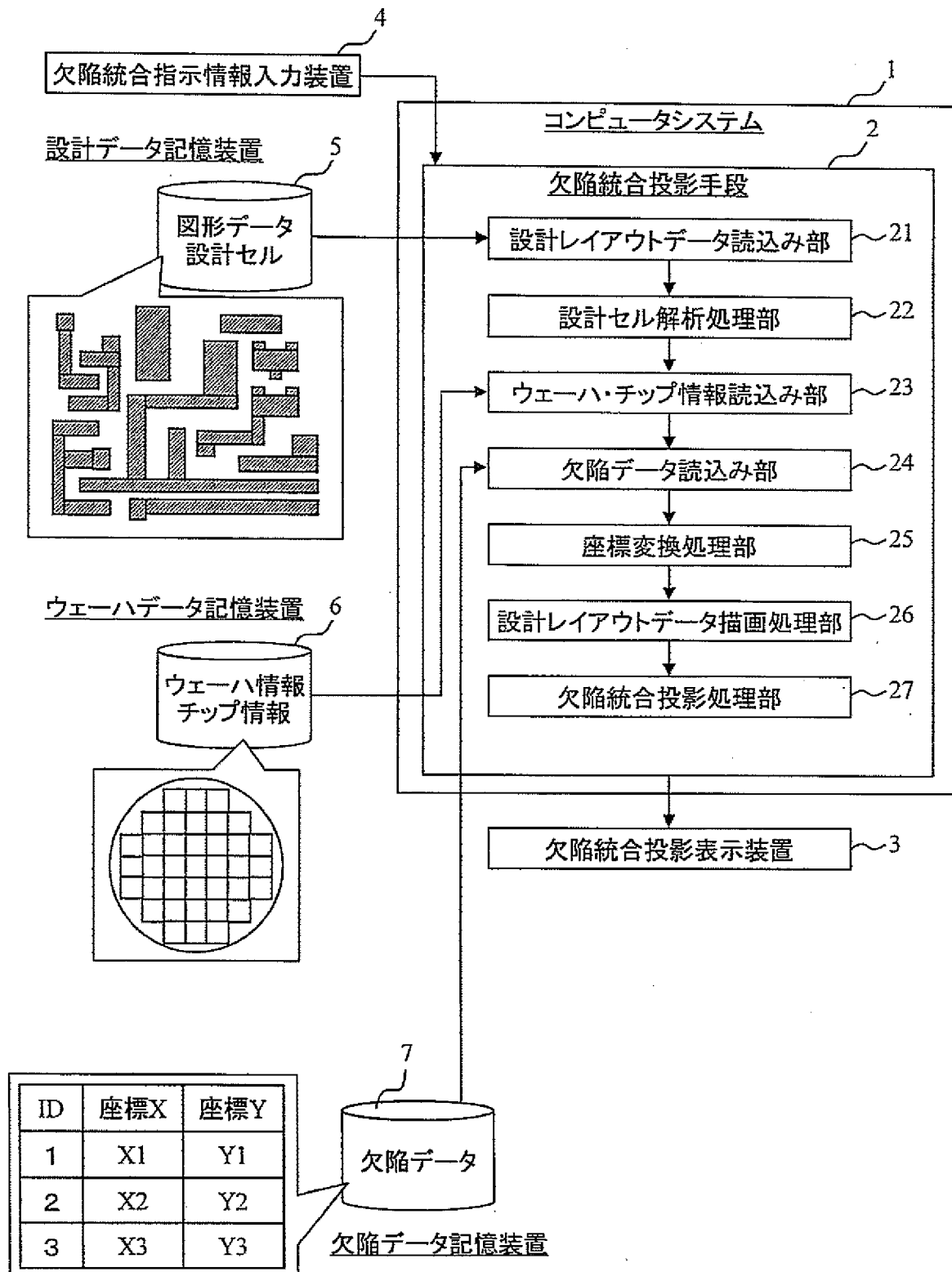
[請求項9]

請求項7に記載の欠陥検査支援装置において、

前記アクティブパターン上に存在する欠陥のみをスクリーニングして表示する機能を備えたことを特徴とする欠陥検査支援装置。

[図1]

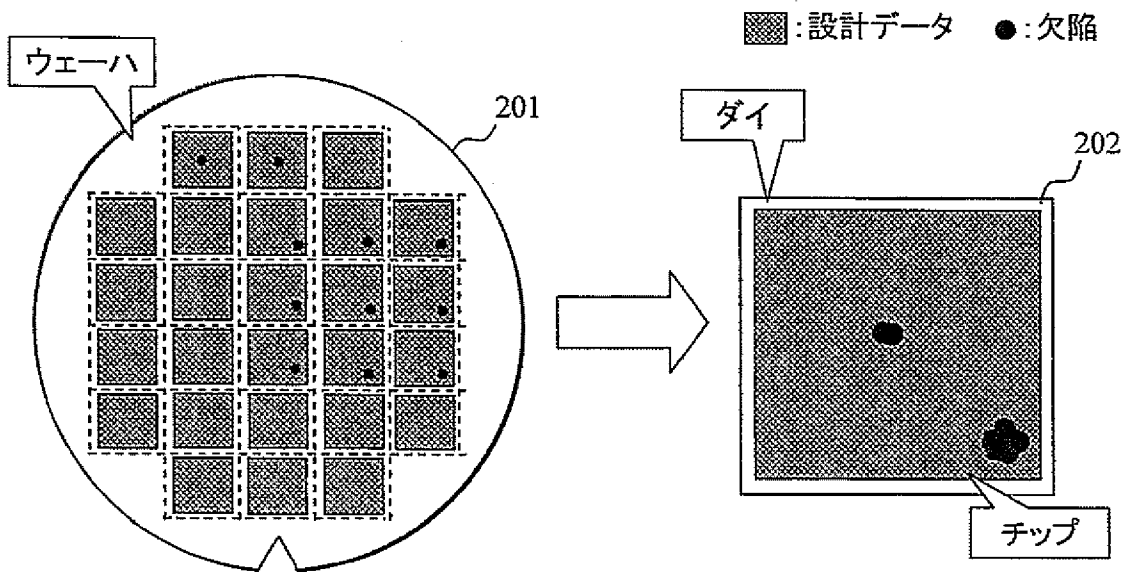
図 1



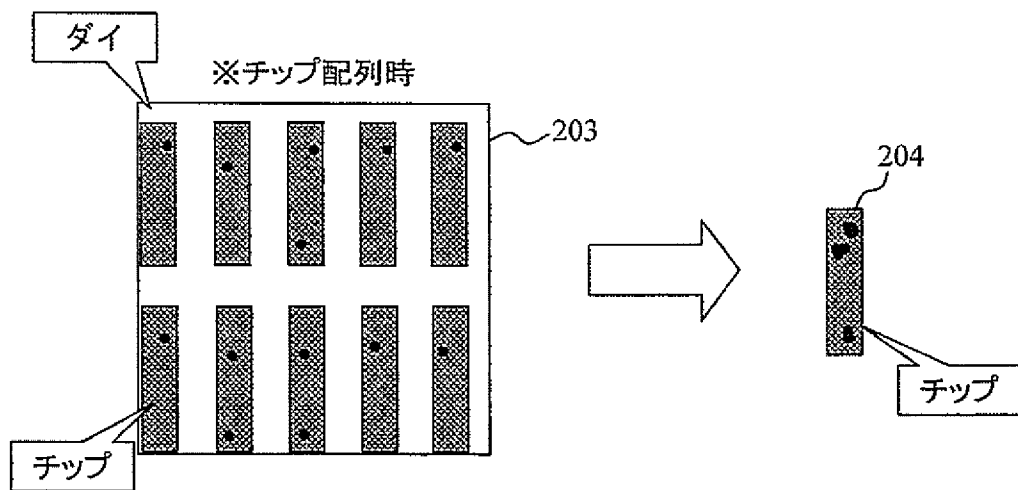
[図2]

図 2

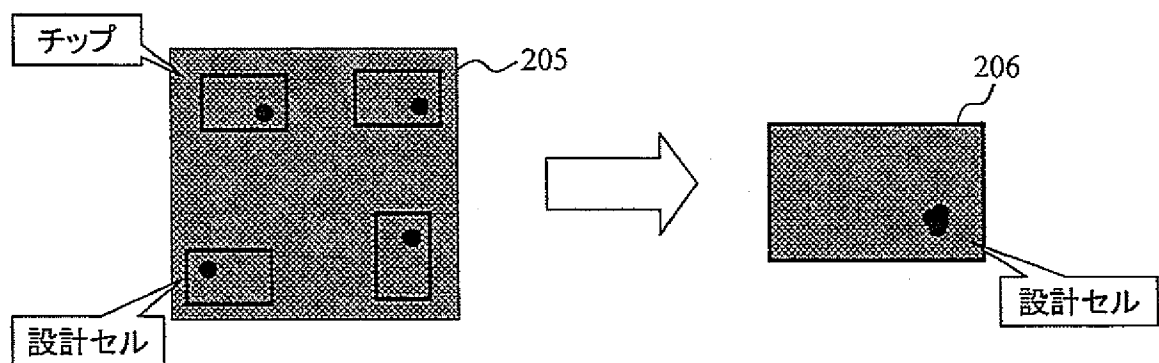
(A)



(B)



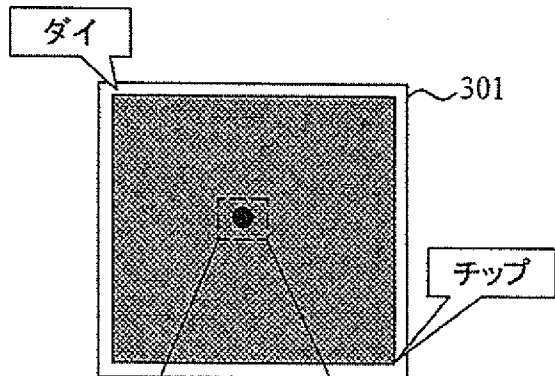
(C)



[図3]

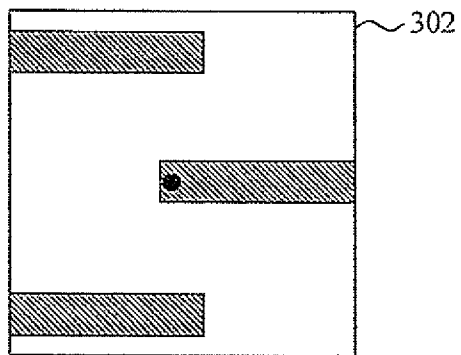
図 3

(A)

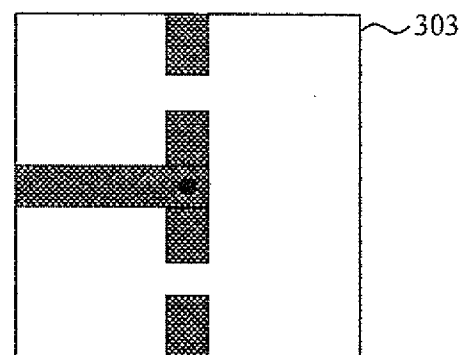


- : 欠陥
- : 設計レイアウトデータ
- ▨ : 欠陥部位の設計レイアウトデータ
- : 下層設計レイアウトデータ1
- ▨ : 下層設計レイアウトデータ2
- : 撮像データ

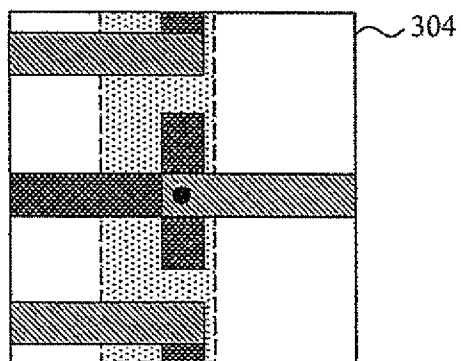
(B)



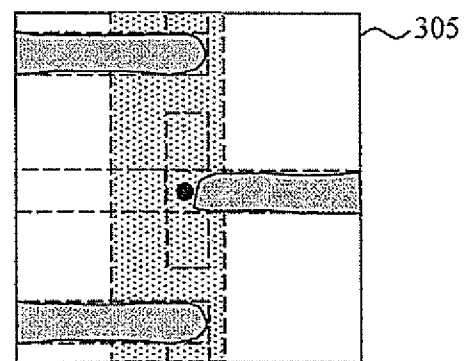
(C)



(D)

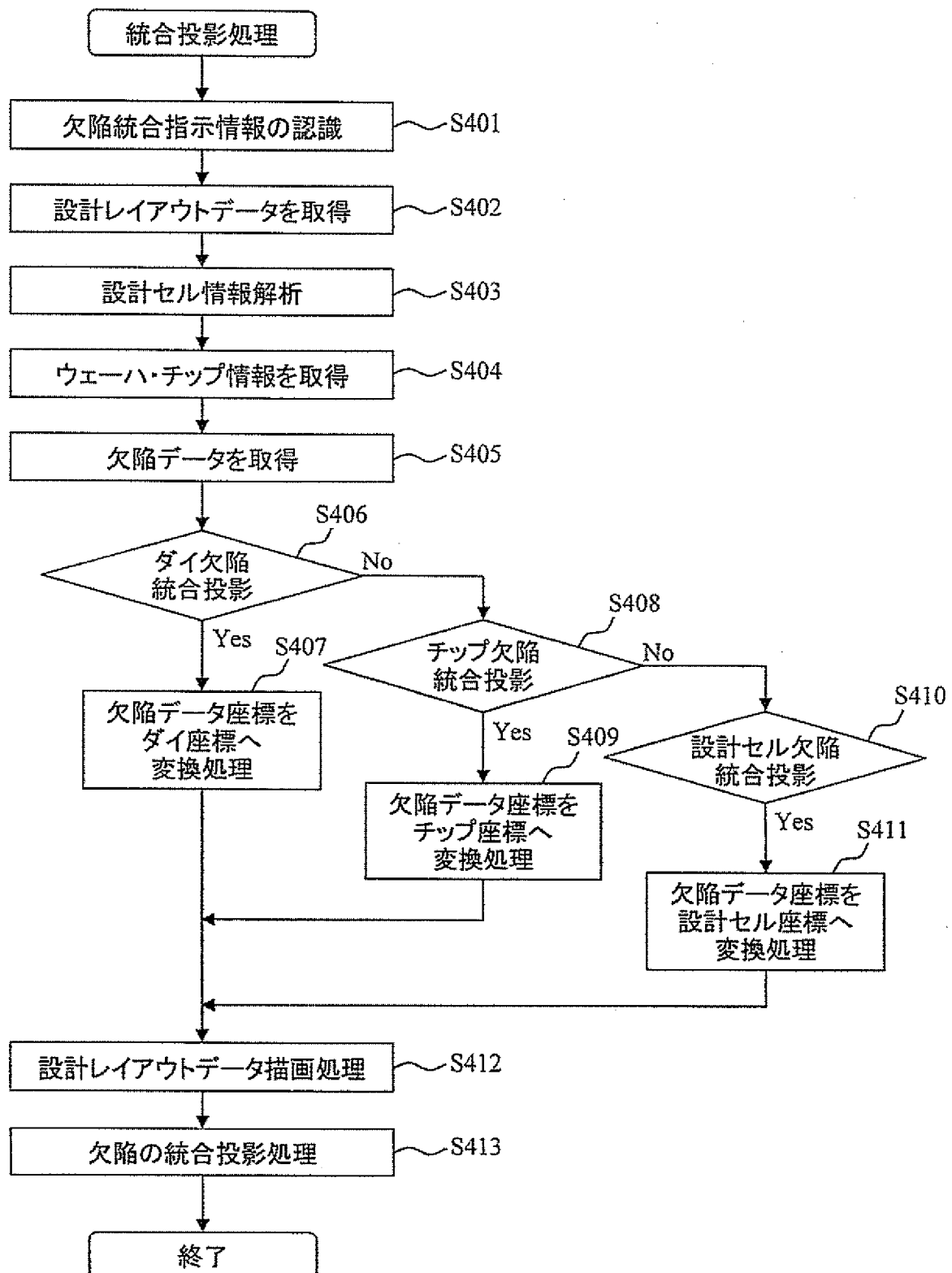


(E)



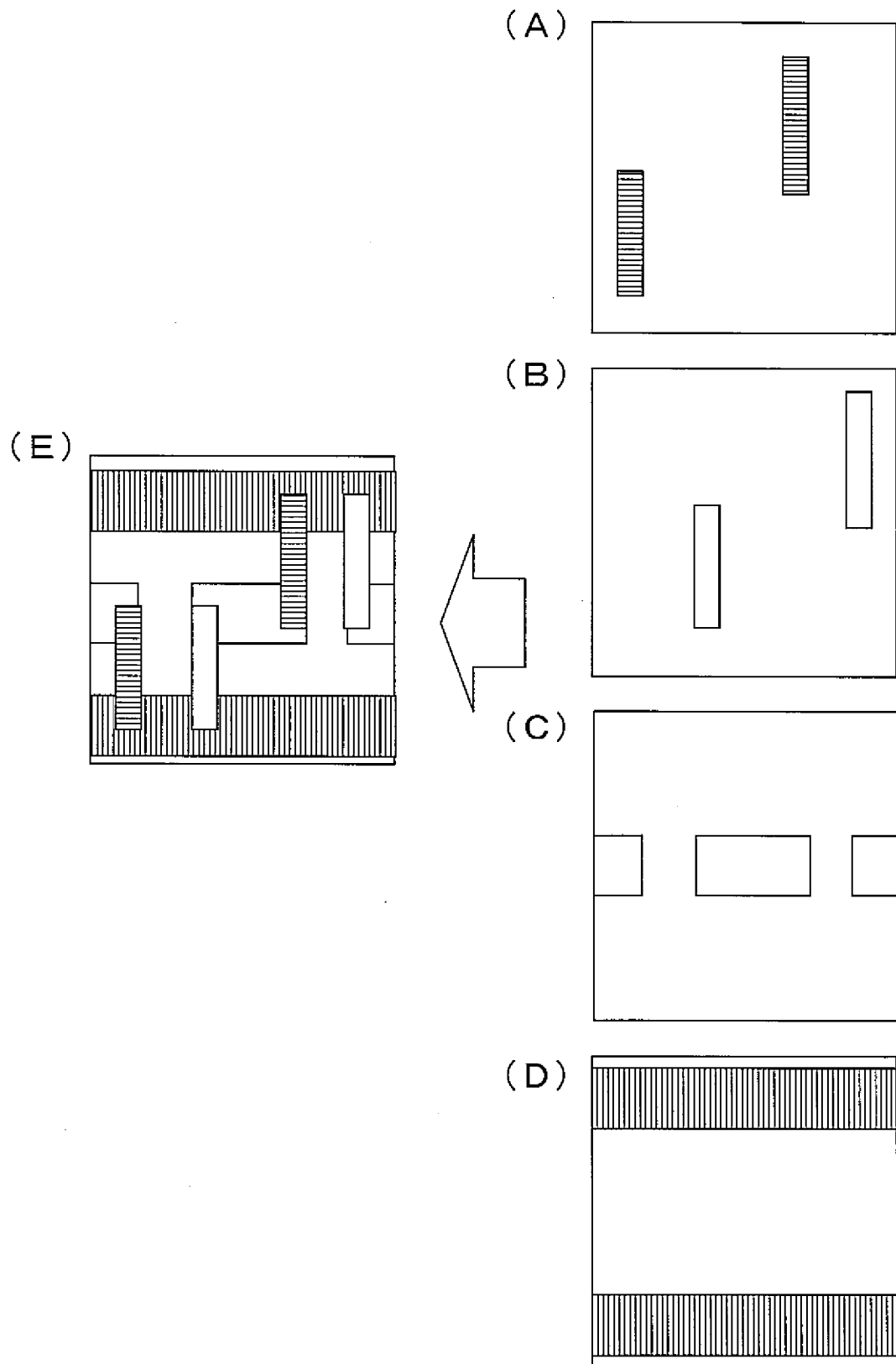
[図4]

図 4



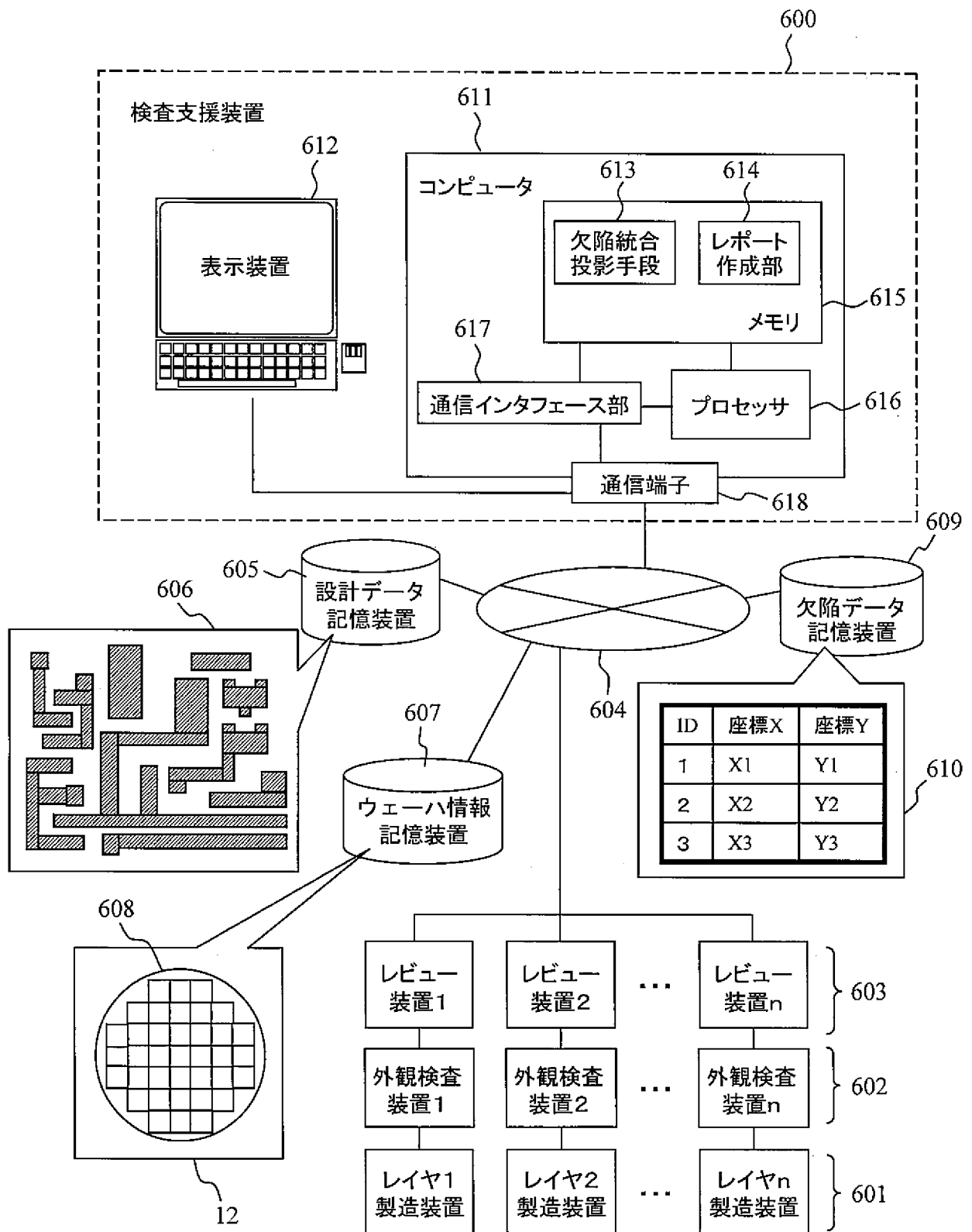
[図5]

図 5



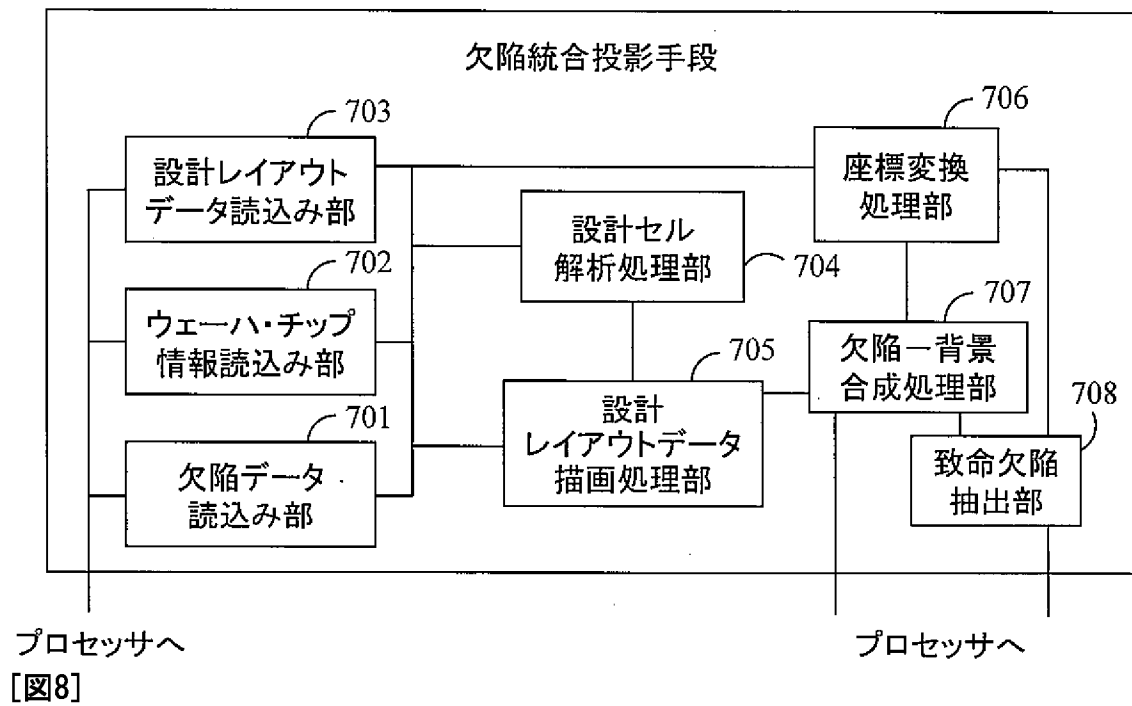
[図6]

図 6



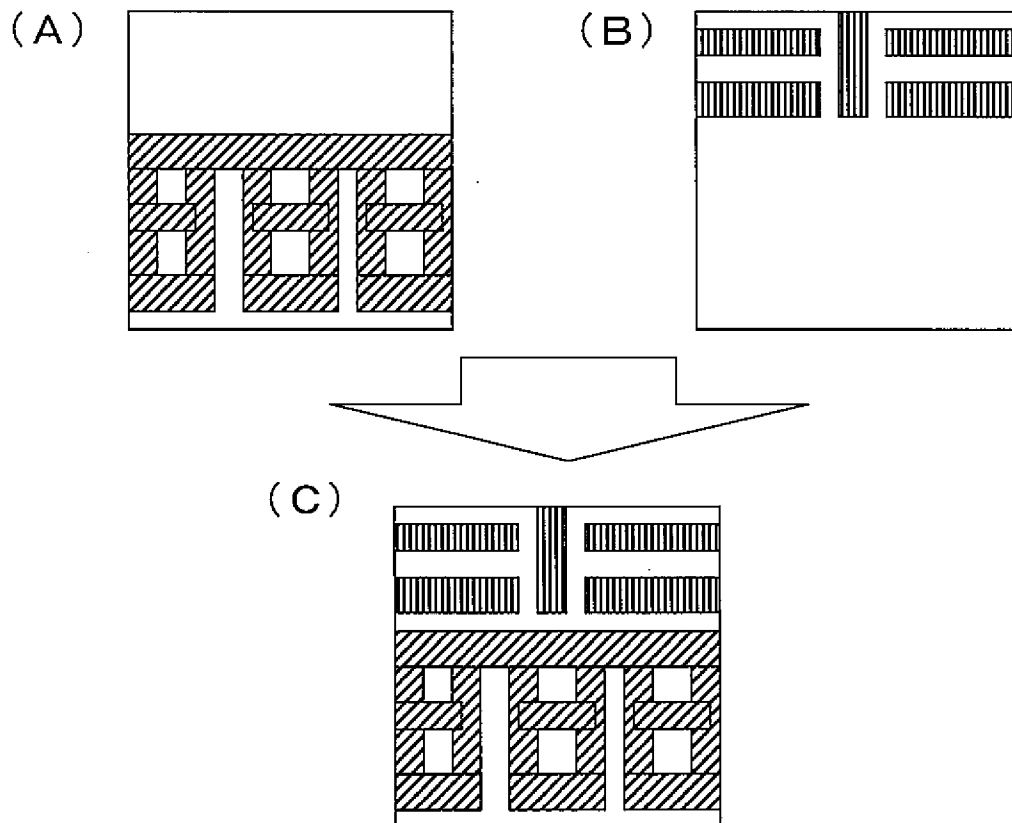
[図7]

図 7



[図8]

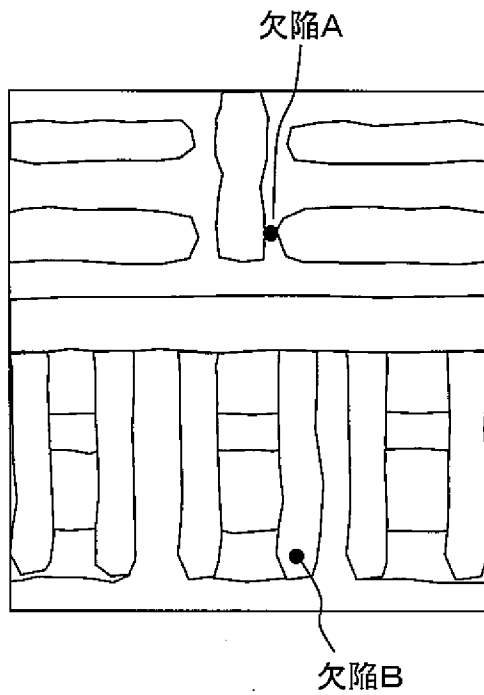
図 8



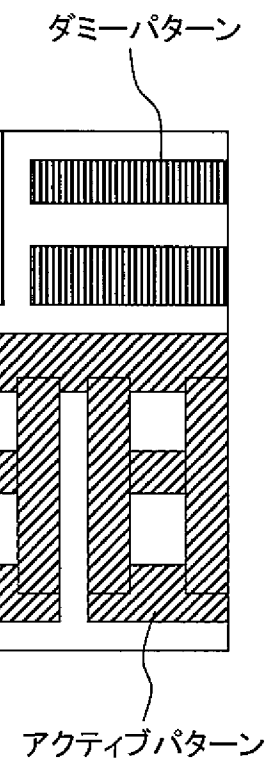
[図9]

図 9

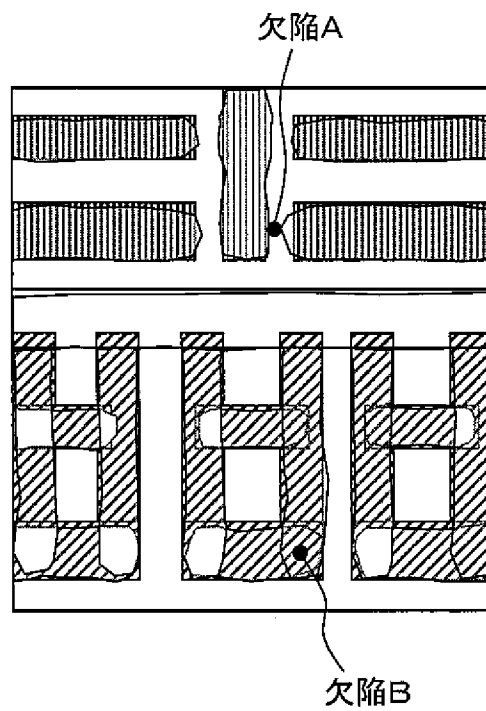
(A)



(B)



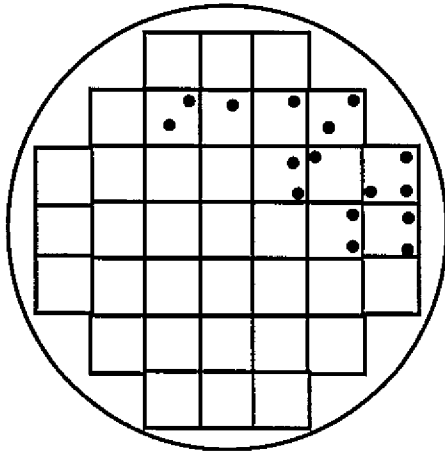
(C)



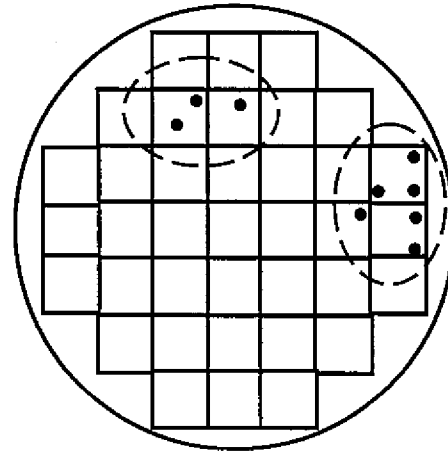
[図10]

図 10

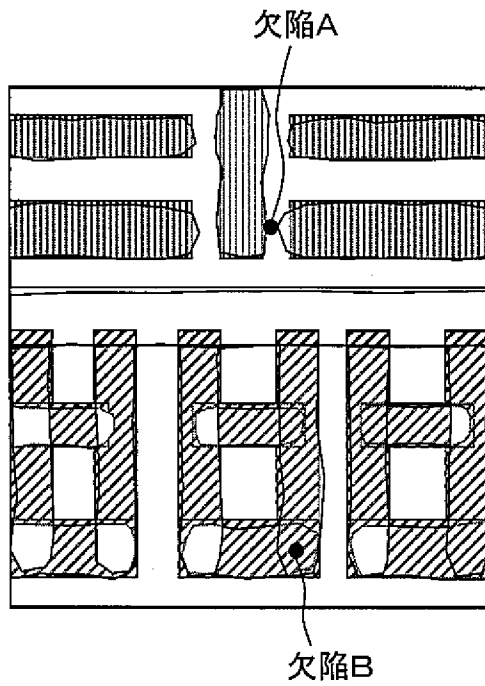
(A)



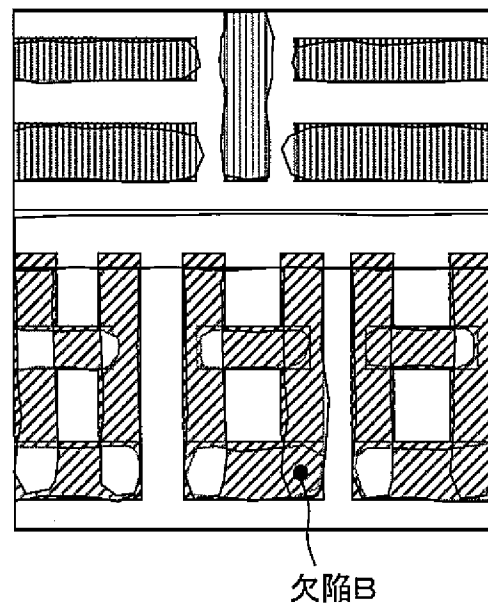
(B)



(C)



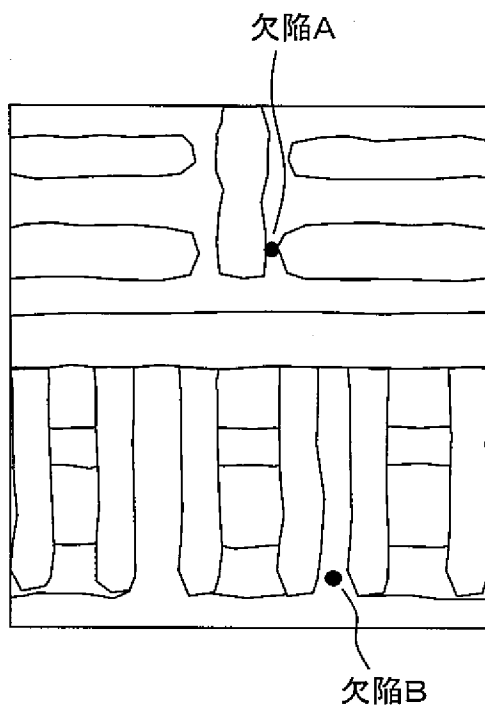
(D)



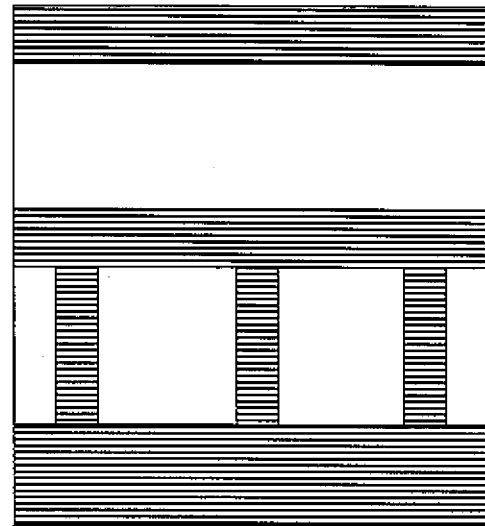
[図11]

図 1 1

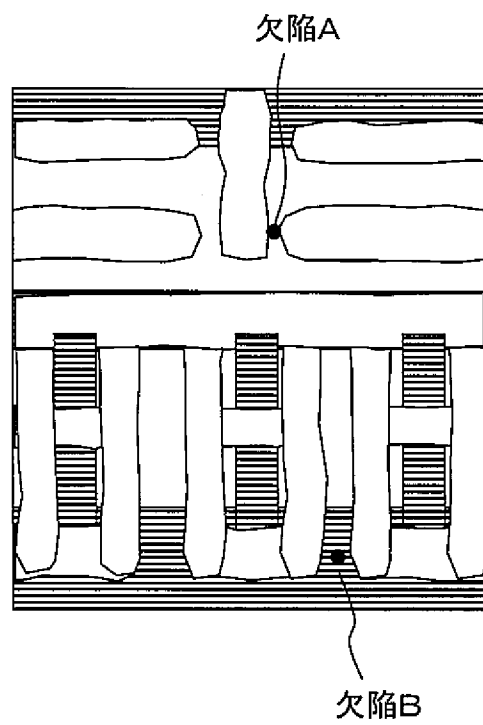
(A)



(B)



(C)



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/051319

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/66(2006.01) i, G01N21/956(2006.01) i, G06T1/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/66, G01N21/956, G06T1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2010 |
| Kokai Jitsuyo Shinan Koho | 1971-2010 | Toroku Jitsuyo Shinan Koho | 1994-2010 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages       | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2003-100825 A (Hitachi, Ltd.),<br>04 April 2003 (04.04.2003),<br>& US 2003/0054573 A1 | 1-9                   |
| A         | JP 2003-23056 A (Hitachi, Ltd.),<br>24 January 2003 (24.01.2003),<br>(Family: none)      | 1-9                   |
| A         | JP 11-251377 A (Hitachi, Ltd.),<br>17 September 1999 (17.09.1999),<br>(Family: none)     | 1-9                   |
| A         | JP 9-266235 A (Sony Corp.),<br>07 October 1997 (07.10.1997),<br>(Family: none)           | 1-9                   |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
18 February, 2010 (18.02.10)

Date of mailing of the international search report  
30 March, 2010 (30.03.10)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |                                                                |                                                                     |                                                                                                                                                                                                                    |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------|---------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| A. 発明の属する分野の分類（国際特許分類（I P C））<br>Int.Cl. H01L21/66(2006.01)i, G01N21/956(2006.01)i, G06T1/00(2006.01)i                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |                                                                |                                                                     |                                                                                                                                                                                                                    |
| B. 調査を行った分野<br>調査を行った最小限資料（国際特許分類（I P C））<br>Int.Cl. H01L21/66, G01N21/956, G06T1/00                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                |                                                                     |                                                                                                                                                                                                                    |
| 最小限資料以外の資料で調査を行った分野に含まれるもの<br><div style="display: flex; justify-content: space-between;"> <div>日本国実用新案公報</div> <div>1 9 2 2 - 1 9 9 6 年</div> </div> <div style="display: flex; justify-content: space-between;"> <div>日本国公開実用新案公報</div> <div>1 9 7 1 - 2 0 1 0 年</div> </div> <div style="display: flex; justify-content: space-between;"> <div>日本国実用新案登録公報</div> <div>1 9 9 6 - 2 0 1 0 年</div> </div> <div style="display: flex; justify-content: space-between;"> <div>日本国登録実用新案公報</div> <div>1 9 9 4 - 2 0 1 0 年</div> </div>                                                                |                                                                |                                                                     |                                                                                                                                                                                                                    |
| 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |                                                                |                                                                     |                                                                                                                                                                                                                    |
| C. 関連すると認められる文献                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |                                                                |                                                                     |                                                                                                                                                                                                                    |
| 引用文献の<br>カテゴリー*                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                              |                                                                     | 関連する<br>請求項の番号                                                                                                                                                                                                     |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | JP 2003-100825 A（株式会社日立製作所）2003.04.04,<br>& US 2003/0054573 A1 |                                                                     | 1-9                                                                                                                                                                                                                |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | JP 2003-23056 A（株式会社日立製作所）2003.01.24,<br>（ファミリーなし）             |                                                                     | 1-9                                                                                                                                                                                                                |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | JP 11-251377 A（株式会社日立製作所）1999.09.17,<br>（ファミリーなし）              |                                                                     | 1-9                                                                                                                                                                                                                |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | JP 9-266235 A（ソニー株式会社）1997.10.07,<br>（ファミリーなし）                 |                                                                     | 1-9                                                                                                                                                                                                                |
| <div style="display: flex; justify-content: space-between;"> <div>☐ C欄の続きにも文献が列挙されている。</div> <div>☐ パテントファミリーに関する別紙を参照。</div> </div>                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                |                                                                     |                                                                                                                                                                                                                    |
| <div style="display: flex;"> <div style="flex: 1;"> <p>* 引用文献のカテゴリー</p> <p>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>「O」口頭による開示、使用、展示等に言及する文献</p> <p>「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p> </div> <div style="flex: 1;"> <p>の日の後に公表された文献</p> <p>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&amp;」同一パテントファミリー文献</p> </div> </div> |                                                                |                                                                     |                                                                                                                                                                                                                    |
| 国際調査を完了した日<br>1 8 . 0 2 . 2 0 1 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |                                                                | 国際調査報告の発送日<br>3 0 . 0 3 . 2 0 1 0                                   |                                                                                                                                                                                                                    |
| 国際調査機関の名称及びあて先<br>日本国特許庁（I S A / J P）<br>郵便番号 1 0 0 - 8 9 1 5<br>東京都千代田区霞が関三丁目4番3号                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |                                                                | 特許庁審査官（権限のある職員）<br>坂本 薫昭<br>電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1 | <div style="display: flex; align-items: center;"> <div style="border: 1px solid black; padding: 2px 5px;">4 R</div> <div style="border: 1px solid black; padding: 2px 5px; margin-left: 5px;">9 2 6 5</div> </div> |