

申請日期	87. 2. 16
案 號	87102125
類 別	G06 F 12/00

A4
C4

497033

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	快取記憶體位址產生
	英 文	"CACHE ADDRESS GENERATION"
二、發明人 創作	姓 名	1.李察 詹姆士 伊克麥爾 2.湯姆斯 李奧 潔米哈
	國 籍	1.2均美國
	住、居所	1.美國明尼蘇達州洛契斯特市西北霍華街5277號 2.美國紐約州安德威爾市里其道2926號
三、申請人	姓 名 (名稱)	美商萬國商業機器公司
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市
	代 表 人 姓 名	費羅普

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 1997年6月12日 08/873,783 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

相關申請案之對照：

於_____提出申請的美國專利申請案 08/_____ "多路
關連外部微處理器快取記憶體"(受讓人內部案號
EN996102)、於_____提出申請的美國專利申請案
08/_____ "多個第一階(L1)資料快取線之管線式查核"(受
讓人內部案號 EN996038)、及於_____提出申請的美國專
利申請案 08/_____ "多週期資料快取記憶體讀取之資料暫
存器"(受讓人內部案號 EN996096)都是與本申請案同時提
出申請，且讓渡給本申請案之同一受讓人，並且包含在某
些方面與本申請案相關的主題。本申請案特此引用上述的
各專利申請案以供參照。

發明背景：

本發明之技術領域：

本發明係大致有關電腦系統之快取記憶體，例如記憶組
關聯式(set associative)快取記憶體及直接對映式(direct-mapped)
快取記憶體，尤係有關在關鍵路徑延遲增加最小的情形下
定址到此種快取記憶體。

背景技術：

將快取記憶體用於電腦系統效能的提昇是為人所習知
的，且被廣泛地使用。例如，請參閱 L. Liu 所申請的美國
專利 5,418,922"存取記憶組關聯式快取記憶體的記憶組預測
之過去記錄表"、及 L. Liu 所申請的美國專利 5,392,410"用於
預測快取記憶體存取的虛擬位址轉換之過去記錄表"，本
申請案特此引用這兩個美國專利以供參照。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

快取記憶體是一種高速的緩衝器，用以存放最近使用的記憶體資料。由於程式引用的局部性本質，可在一快取記憶體中完成大部分的資料存取，在此種情形中，即可避免以較慢的速度存取容量的主記憶體。

在典型的高效能處理器設計中，快取記憶體存取路徑形成一個關鍵性路徑。亦即，快取記憶體的存取速度將影響到該處理器的週期時間。

在邏輯上可將一快取記憶體視為資料區段或資料線的表，其中每一表登錄涵蓋一個特定區段或快取線的記憶體資料。(在下文中，可將一快取記憶體的儲存單位稱為一快取線(line)、或區段(block)。)通常係以下列三個主要部分來實施一快取記憶體：目錄、陣列、及控制電路。該目錄包含：快取線登錄的位址識別碼、及適用於特定實施例的其他必要狀態標記。各陣列(本發明中有時將其稱為快取記憶體)儲存實際的資料位元，而這些資料位元將視特定實施例的需要而包含用於同位核對或改錯之額外位元。

快取記憶體之控制電路設有必要的邏輯電路，用以管理快取記憶體之內容及存取。於存取快取記憶體時，存取或"查閱"目錄，以便得知所要求的資料線是否存在。如果在快取記憶體中找到所需的資料線，則發生快取記憶體命中，否則將發生快取記憶體未命中。於快取記憶體命中時，如果沒有抑制的狀況(例如保護違反)，則可自陣列存取資料。發生一快取記憶體未命中時，通常自主記憶體提取資料線，並先將該資料線插入快取記憶體，並相應地更

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(3)

新目錄，以便滿足對快取記憶體之存取。

因爲一快取記憶體的容量只有數目有限的快取線登錄，且該容量小於主記憶體的容量，所以經常需要替換現有的快取線登錄。一記憶組關聯式快取記憶體中快取線登錄的替換通常係基於諸如最近最不常使用(Least-Recently-Used；簡稱 LRU)等演算法。亦即，當需要捨棄一快取線登錄而讓出空間給一個新的快取線(該新的快取線取代舊有的快取線)時，將選擇最近最不常存取的舊有快取線登錄。

爲了有助於有效率的實施，通常將一個快取記憶體建構成一個二維表。將行數稱爲記憶組關聯數(set-associativity)，並將每一列稱爲相應類別(congruence class)。(此種列/行的名稱是傳統的。然而，在 Liu 的專利中，係將快取記憶體旋轉 90 度，並互換列及行的名稱。)在每一次資料存取中，利用該存取的某些位址位元來選擇一相應類別，且在命中所選擇的相應類別時，可在該相應類別的其中一個快取線登錄中存取資料。但是先搜尋快取記憶體目錄(同時進行位址比較)，以便識別(相關聯的相應類別內的)記憶組位置，然後自陣列的所發現位置上存取資料之方式，通常是速度太慢了。此種循序處理通常需要兩個連續的處理器週期來執行，因而大幅降低了處理器的效能。

使快取記憶體設計複雜化的另一個面向是電腦系統中經常被採用的虛擬定址架構。在一虛擬記憶體系統(例如 IBM System/390 的架構)中，每一使用者程序可感到該程序有其本身的虛擬位址空間。於執行程式時，作業系統可動

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(4)

態分配實際記憶頁(例如每一記憶頁有4千位元組)，以便更主動地存取虛擬位址記憶頁。當自一程式存取的記憶頁並無分配給該記憶頁的實際記憶頁時，將發生一異常(記憶頁錯誤)狀況，並觸發作業系統適當地分配一實際記憶頁框。記憶頁錯誤的處理通常係與一個極高的效能虛耗作業相關聯，且通常需要自諸如磁碟等較慢的支援儲存裝置存取資料。然而，由於程式局部性的強烈傾向，一個合理設計的作業系統可在程式執行時保持極低的記憶頁錯誤率。該作業系統通常在隨架構而特別設計的軟體表中保存實際記憶頁分配資訊。通常將一個具有區段表及記憶頁表的二階轉換表結構用於上述的目的。每一程式空間有其本身的區段表，其中每一登錄指向一記憶頁表。在一記憶頁表中，每一登錄記錄實際記憶頁分配資訊、及特定架構所需的某些其他狀態標記。

作業系統根據其設計演算法管理此種轉換表。採用虛擬定址的一個結果為：無法使來自不同程式位址空間的同一虛擬記憶頁位址在邏輯上相關，且可能將該同一虛擬記憶頁位址分配到儲存裝置中不同的實際記憶頁框。此外，在諸如 IBM System/390 等架構中，不同的程式或處理器可經由不同的虛擬位址存取同一實際記憶頁框。

在所有這些架構要求的情形下，大部分的系統需要一個稱為虛擬位址轉換的步驟，用以處理來自處理器的儲存裝置存取。虛擬位址轉換將一個虛擬記憶頁位址轉換成一個實際記憶頁位址。如果並未分配實際記憶頁框，則將觸發

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

一記憶頁錯誤的異常狀況，此時當完成分配時，作業系統將更新轉換資訊，然後使停頓的程式恢復執行。

在大部分現代的系統中，利用硬體裝置來加速虛擬位址轉換的程序。通常在每一處理器中採用一個轉換側視緩衝器(Translation Lookaside Buffer；簡稱 TLB)。TLB 是一種硬體目錄表，用以記錄正在被存取的虛擬記憶頁之轉換資訊。由於程式定址的局部性本質，對於一處理器對儲存裝置的存取而言，一個容量較小的 TLB 可捕獲大部分的轉換資訊。只有在 TLB 無法涵蓋特定的儲存裝置存取之 TLB 未命中情形中，將用到記憶體的轉換表，而造成一次較慢的轉換。爲了在硬體實施例中之效率，通常係將一 TLB 建構成如同快取記憶體目錄的記憶組關聯式表。在一個特定的虛擬記憶頁位址(包括某些程式空間識別碼)中，硬體利用某些位址位元(及與一特定設計相關的其他資訊)來衍生一相應類別。在該相應類別內，該硬體對各登錄執行平行的搜尋，並識別轉換的結果。

在許多處理器設計中，在解決了最後一次快取記憶體存取之前，一儲存裝置存取必須經過 TLB 轉換的程序。在一記憶組關聯式設計中，係在快取記憶體目錄搜尋的同時，進行 TLB 的查閱，並將以上兩程序的結果合併，而對陣列資料進行最後的較遲選擇(late-select)。爲了解決快取記憶體存取而進行的多次目錄搜尋之要求，是使許多快取記憶體設計最佳化變成複雜化的來源。當一儲存處理器發出一個儲存裝置存取要求時，快取記憶體陣列在不知道傳統目錄

五、發明說明(6)

查閱結果的情形下，將無法決定資料的正確位置，此時將產生信號的延遲。無法輕易取得資料存取的正確位置。由於傳統的較遲選擇機制，必須在浪費資源的情形下使用多個陣列 I/O，來擷取多個資料單位，以供可能的最後選擇，但是處理器至多只使用一個資料單位。因此，在極高效能的電腦中，難以支援同時進行的多個獨立快取記憶體存取。請參閱諸如 Liu 的專利 5,418,922 所述的具有 128 個相應類別的 IBM/3090 四路記憶組關聯式快取記憶體之設計，此種設計需要：數個比較器，用以有效率地解決同義字之狀況；及一個較長的快取記憶體存取路徑，這是由於較遲選擇的機制要等候讀取/比較的結果。

至今已有人提議了一些採用預測方法以避免習用技術的無效率之快取記憶體設計。這些設計包括直接對映式方法及 MRU 快取記憶體方法。

直接對映式設計是一種記憶組關聯數目為 1 的設計，亦即每一快取記憶體相應類別中只有一個快取線登錄。直接對映式設計由於將實體的快取記憶體存取幾何形式簡化成一維的結構，因而可得到最大的簡化及預測精確度，但是如此設計時，通常將增加快取記憶體未命中率。

MRU 快取記憶體方式依據每一相應類別的情形管理快取線的替換及記憶組的選擇。在每一相應類別內，有一最近最常使用(Most-Recently-Used：簡稱 MRU)登錄及一最近最不常使用(LRU)登錄。由於程式查詢的局部性，一快取記憶體存取最有可能命中 MRU 快取線登錄。當需要將一個新

五、發明說明(7)

的快取線插入相應類別時，選擇該 LRU 登錄作為被替換的對象。因此，MRU 通常處理記憶組選擇，而 LRU 則處理快取線的替換。

儲存區的 MRU 快取記憶體方式在邏輯上將整個快取記憶體的 MRU 快取線視為一直接對映式快取記憶體。當決定要存取一個相應類別時，將基於預測自該 MRU 快取線擷取資料。該快取記憶體是一實際位址快取記憶體，其中係將一個未命中的快取線插入與(轉換後的)實際位址位元相關聯之相應類別。

對一個特定的虛擬位址而言，讀出相關聯 TLB 相應類別的 MRU 登錄上之實際位址位元，並在將實際位址驗證為實際的轉換之前，先將這些實際位址位元傳送到陣列控制電路。陣列控制電路利用來自 TLB 的預測實際位址位元來選擇預測的相應類別。MRU 快取記憶體方式要求 TLB 及快取記憶體的預測係基於各實體 MRU 單元，因而失掉了精確度，且造成實施上的困難。

Liu 的美國專利 5,418,922 說明了記憶組的預測，且 Liu 的美國專利 5,392,410 說明了一種利用實際位址轉換預測來縮短快取記憶體存取關鍵路徑之系統。在對一記憶組關聯式快取記憶體的一特定存取中，係利用一過去記錄表來預測虛擬位址轉換資訊。當預測正確時，效能與知道位置的情形相同。在預測錯誤時，即中止資料存取，並適當地重新發出指令。然而，Liu 的專利並未揭露一種產生存取過去記錄表所用的位址之機制，因而需要一種在電路延遲

五、發明說明(8)

最小的情形下產生該位址之方法。

在美國專利 5,392,410 中，Liu 也說明了一種散列函數 (hashing function)，該散列函數係發生在計算出位址之後，用以隨機化過去記錄表中之各登錄。由於該程序在關鍵路徑中導入了額外的延遲，因而需要一種可在避免該延遲的情形下執行散列函數之方法。

本發明之一目的在於使實際位址預測與有效位址產生完全重疊，而改良快取記憶體之作業。

本發明之另一目的在於：在不會於關鍵路徑中引發延遲的情形下，執行一散列作業來隨機化 MRU 中之各登錄，而改良快取記憶體的作業。

發明概述

根據本發明，提供了存取一快取記憶體陣列之裝置及方法，其方式為將兩個最近最常使用 (MRU) 的陣列多工化且係在大致與有效位址產生相同的時間中定址並存取這兩個 MRU 陣列，並且產生該等兩個 MRU 陣列之輸出，其中一個輸出為進位零而另一個輸出為進位一到用來存取該等 MRU 陣列的有效位址的一部分之最低有效位元。

根據本發明之另一面向，係在一加法器內將該加法器之各輸入運算元與一些預定的額外運算元位元散列，而提昇 MRU 陣列中之命中率。

若參照下文中本發明較佳實施例之詳細說明，並配合各附圖，將可易於了解本發明之其他特徵及優點。

附圖簡述

五、發明說明(9)

圖 1 是實施本發明一較佳實施例之一典型微處理器架構之方塊圖。

圖 2 示出圖 2A 到 2C 間之關係，而圖 2C 又為圖 1 所示微處理器內本發明一較佳實施例之實施方塊圖。

圖 3-6 是圖 1 所示系統及 L2 快取記憶體匯流排介面(101)及(103)之方塊圖，其中圖 3 大致示出系統資料匯流排；圖 4 示出系統匯流排之控制；

圖 5 示出 L2 快取記憶體資料匯流排；圖 6 示出 L2 快取記憶體控制。

圖 7 是一種提供虛擬位址轉換完全能力的習用技術設計之方塊圖。

圖 8 示出圖 8A 與 8B 間之關係，而圖 8B 是本發明對圖 7 所示習用技術設計的改良之方塊圖。

圖 9 示出一記憶體位址之一語法實例。

實施本發明之最佳模式

第 1 部分

請參閱圖 1，現在將說明實施本發明一較佳實施例之微處理器架構。

微處理器晶片(100)被組織成連接到系統匯流排(102)及 L2 快取記憶體(104)，且微處理器晶片(100)包含下列各功能單元：定點運算單元(fixed point unit；簡稱 FXU) (106)、浮點運算單元(Floating Point Unit；簡稱 FPU) (108)、載入/儲存單元(Load Store Unit；簡稱 LSU) (110)、指令單元(Instruction Unit；簡稱 IU) (112)、指令快取記憶體單元(Instruction Cache Unit；

五、發明說明 (10)

簡稱 ICU) (114)、資料快取記憶體單元(Data Cache Unit; 簡稱 DCU) (116)、L2 快取記憶體控制單元(118)、處理器介面單元(Processor Interface Unit; 簡稱 PIU) (120)、時脈分送及控制單元(122)、及位址轉換單元(Address Translation Unit; 簡稱 ATU) (124)。在一多處理器環境中, 數個處理器(100)及其相關聯的 L2 快取記憶體(104)可經由相當於匯流排(101)的各匯流排而連接到系統匯流排(102), 並共用經由系統匯流排(102)對主記憶體(有時被稱為 L3 記憶體)(126)的存取。

如將於下文中說明的, 微處理器(100)之各功能單元分別連接到資料、位址、及(或)控制 I/O 接腳、信號線、及(或)匯流排。於參照一圖時, "信號線"意指單一信號線或一信號線集合(亦即一匯流排)。這些功能單元大部分與本發明相關, 且將在下文中詳述這些功能單元, 這些功能單元包括: 載入/儲存單元(LSU) (110)、資料快取記憶體單元(DCU) (116)、L2 快取記憶體控制單元(Cache Control Unit; 簡稱 CCU) (118)、及位址轉換單元(ATU) (124)。

廣義概觀之, 晶片(100)上的各功能單元係以下文所述之方式傳送信號。時脈分送及控制單元(122)將時脈信號提供給微處理器晶片(100)上的所有功能單元。系統匯流排(102)經由雙向匯流排(101)而連接到 PIU (120), 並因而經由匯流排(105)而連接 CCU (118)。L2 快取記憶體(104)經由匯流排(103)而連接到 CCU (118)。CCU (118)將指令經由匯流排(109)而傳送到 ICU (114), 將指令經由匯流排(111)而傳送到 DCU (116)。並將位址資訊提供給 ATU (124), 且經由匯流排(107)

五、發明說明 (11)

接收未命中介面信號。LSU (110) 及 IU (112) 將要求介面信號提供給 ATU (124)。並經由信號線 (129) 及 (131) 而接收轉換狀態資訊。ATU (124) 將轉換後的位址經由信號線 (115) 而提供給 ICU (114)，並將該位址經由信號線 (113) 而提供給 DCU (116)。ICU (114) 係經由匯流排 (119) 而連接到指令單元 (112)。DCU (116) 將資料經由匯流排 (121) 而提供給 FXU (106)、FPU (108) 及 LSU (110)。且 IU (112) 將指令經由匯流排 (123) 而提供給 FXU (106)、FPU (108)、及 LSU (110)。LSU (110) 將資料經由匯流排 (125) 而提供給 DCU (116)。FPU (108) 將資料經由匯流排 (127)、LSU (110)、及匯流排 (125) 而提供給 DCU (116)，並自 DCU (116) 接收資料。處理器 (100) 經由系統匯流排 (102) 而存取主記憶體。

微處理器核心 (100)

請參閱圖 2 A 到 2 C 及圖 3 - 6，現在將說明微處理器 (100) 之核心。圖 2 A 大致對應於載入/儲存單元 (LSU) (110)，圖 2 B 對應於位址轉換單元 (ATU) (124)，且圖 2 C 對應於資料快取記憶體單元 (DCU)(116)。圖 3 - 6 大致對應於 L 2 快取記憶體控制單元 (CCU)(118) 及處理器介面單元 (PIU)(120)。

指令派發單元 (300) 將指令自指令單元 (112) 傳送到連接到匯流排 (301) (該匯流排是連接到 LSU (110) 的匯流排 (123) 之一部分) 上的各執行單元 (106)、(108)、(110) 之解碼階段緩衝器、及 LSU 管線緩衝器 (302)。

載入/儲存單元 (110) 的功能係在寬度為 64 位元的匯流排 (313) 上產生有效位址，以供載入及儲存指令，並係作為一

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

般用途暫存器 (GPR) 資料的來源及接收處。在寫入快取記憶體 (400) 時，暫存器 (314) 及 (316) 分別存放資料及位址；有效位址是在匯流排 (313) 上，且資料選擇單元 (320) 將資料傳送輸出到匯流排 (323)。於快取記憶體讀取時，來自快取記憶體 (400) 的資料進入信號線 (461)，且被鎖存於暫存器 (330)，並且將該資料自暫存器 (330) 經由信號線 (333) 而傳送到一般用途暫存器 (306) 或定點運算單元 (106)。

LSU 管線緩衝器 (302) 之輸出係經由信號線 (303) 而傳送到 LSU 解碼及位址產生單元 (Address GENeration block；簡稱 AGEN)(304)，AGEN(304) 包含一般用途暫存器 (306) 及位址產生加法器。解碼單元 (304) 之資料輸出係經由信號線 (311) 而傳送到資料暫存器 (314)，並經由信號線 (319) 而傳送到資料選擇單元 (320)。AGEN (304) 之位址輸出係經由信號線 (313) 而傳送到執行階段緩衝器 (316)，並經由匯流排 (309) 而傳送到實際位址 MRU (430)。AGEN (304) 之輸出亦包含控制信號線 (307)，該控制信號線 (307) 被設定成指示對資料快取記憶體控制單元 (470) 之實際或虛擬模式定址。

緩衝器 (316) 之輸出係經由信號線 (317) 而傳送到資料選擇單元 (320)、資料快取記憶體位址暫存器 (408)、目錄位址暫存器 (414)、及暫存器儲存區 MRU 位址暫存器 (406)。暫存器 (408) 之輸出係經由信號線 (409) 而傳送到多工器 (412)。資料選擇單元 (320) 包含將要自載入/儲存單元 (110) 儲存到資料快取記憶體 (400) 的資料，且將該資料經由多工器 (432)、信號線 (433)、對準單元 (460)、信號線 (461)、暫存器 (456)、

五、發明說明 (13)

信號線(457)、信號線(427)、及多工器(426)而傳送到儲存資料輸出信號線(323)。資料選擇單元(320)亦將控制信號經由信號線(321)而提供給資料快取記憶體控制器(470)。多工器(432)的其他輸入有：(1)經由多工器(426)及信號線(427)的L2修正後資料(609)。該資料亦係傳送到資料快取記憶體(400)；(2)經由信號線(621)到DC的旁通資料；以及(3)經由信號線(453)及多工器(426)到信號線(427)之未對準資料(用於儲存合併及修正)暫存器(452)。多工器(432)之輸出信號線(433)亦係經由對準單元(460)及信號線(461)而傳送到暫存器(456)，且該輸出連同經由輸出緩衝器(450)及信號線(451)之輸出係經由多工器(424)及信號線(425)而傳送到L2快取記憶體控制器。在本實施例中，對準單元(460)是一滾筒式轉動器或移位器，用以在讀取時將資料快取記憶體(400)的資料對準的四字組邊界，並於儲存時自多工器(432)對準到四字組邊界。

自指令單元(112)經由信號線(367)(信號線(131)的一部分)發出的一有效位址係鎖存在暫存器(364)，並將該有效位址經由信號線(365)而傳送到ITLB(358)，且傳送到ISLB(354)上的比較及位址選擇單元(356)。自AGEN(304)發出的信號(313)被鎖存到暫存器(384)，且經由信號線(385)而傳送到DTLB陣列(378)、及DSLB(376)上的比較及位址選擇單元(374)。在本較佳實施例中，DTLB(378)可以是一標準設計，例如Supra Liu所述的設計。雖然Liu的TLB設計之寬度為32位元，但是在本較佳實施例中。係使用寬度為64

五、發明說明 (14)

位元的 TLB (378)。

信號線(325)上的資料選擇(320)輸出係傳送到送回階段緩衝器(330)，該緩衝器(330)亦自資料快取記憶體(400)(經由信號(401)及對準單元(460))經由信號線(461)而接收資料，以供 LSU (110)、及作為匯流排(127)一部分的信號線(327)上之 FPU (108)運算結果。送回階段緩衝器(330)之輸出係經由信號線(333)而傳送到 FPU (108)中之一浮點暫存器、各特殊目的暫存器(334)(在其間有若干定時器)、及一般用途暫存器(306)。特殊目的暫存器(334)之輸出信號(335)係傳送回到資料選擇單元(320)，資料選擇單元(320)可讓處理器讀取這些輸出信號。在自快取記憶體(400)提取資料時，信號線(333)載送用於 FPU (108)的資料。

指令區段旁視緩衝器(Instruction Segment Look aside Buffer；簡稱 ISLB) 354 之所選擇輸出連同信號線(359)上的 ITLB (358) 虛擬位址係經由信號線(355)而傳送到比較器(362)。ITLB 實際位址輸出信號(361)是 IC 控制單元(350)(該控制單元包含指令目錄(352))之輸入，且信號線(361)上的狀態資訊係傳送到 ATU 控制單元(370)。比較器(362)之輸出係經由信號線(363)而傳送到 IC 控制單元(350)及 ATU 控制單元(370)。DSLB (376)之輸出連同信號線(379)上的 DTLB (378)輸出係經由信號線(377)而傳送到比較器(382)。比較器(382)之輸出係經由信號線(383)而傳送到 ATU 控制單元(370)及資料快取記憶體控制單元(470)。DTLB (378)之狀態輸出係傳送到 ATU 控制單元(370)及資料快取記憶體控制單元(470)。

五、發明說明 (15)

ATU控制單元(370)之輸出包括資料快取記憶體控制器(470)之控制信號線(369)、L2位址(371)、及ATU寫入資料(373)。IC控制單元(350)之輸出為L2位址信號線(351)。來自DTLB(378)之實際位址係經由信號線(381)而傳送到資料快取記憶體位址暫存器(408)及目錄位址暫存器(414)。

在暫存器(410)及(416)中鎖存信號線(431)上用來代表預測讀取位址位元50:51之預測實際位址MRU(430)輸出信號。將信號線(411)上資料快取記憶體位址暫存器(410)的輸出與多工器(412)中暫存器(408)輸出之位元50:51多工化，且將其輸出經由位址信號線(413)而傳送到資料快取記憶體(400)。資料快取記憶體位址暫存器(408)之其餘位元係經由信號線(413)而直接傳送到資料快取記憶體(400)。同樣地，暫存器(416)之輸出係經由信號線(417)而傳送到多工器(436)。並在該多工器上將該輸出與信號線(415)上暫存器(414)輸出之位元50:51多工化，且將結果經由信號線(437)而傳送到目錄陣列(440)。信號線(415)上暫存器(414)之輸出亦係傳送到位址暫存器(408)。

實際位址MRU(430)之功能在於將預測實際位址位元50:51提供給資料快取記憶體(400)及目錄陣列(440)。

於提取階段中，資料快取記憶體(400)之輸出(401)係傳送到未對準資料暫存器(452)及對準單元(460)，且經由信號線(461)而傳送到暫存器(456)及(330)。信號線(401)包含：待由載入/儲存單元(110)自資料快取記憶體(400)讀取的資料、待傳送到L2快取記憶體控制器(118)之查核資料、用於部

五、發明說明 (16)

分儲存在資料快取記憶體(400)之合併資料、及待傳送到輸出緩衝器(450)之輸出資料。儲存區MRU(402)之輸出信號線(403)控制了選擇四組資料中之一組資料，而將資料快取記憶體(400)之輸出經由一多工器(圖中未示出)載入匯流排。

在多工器(424)中將輸出緩衝器(450)之輸出與信號線(453)上暫存器(452)之輸出及信號線(457)上資料快取記憶體儲存暫存器(456)之輸出多工化，且該多工器之輸出出現在通到L2快取記憶體控制器之信號線(425)。暫存器(452)與資料快取記憶體儲存暫存器(456)之輸出以及信號線(609)上之L2修正後資料亦係傳送到資料快取記憶體輸入多工器(426)，該多工器之輸出係出現在資料快取記憶體(400)之信號線(427)及多工器(432)。暫存器(406)之輸出係經由信號線(407)而傳送到儲存區MRU(402)。儲存區MRU(402)之輸出(403)係傳送到資料快取記憶體(400)，而資料快取記憶體(400)控制一個用來選擇適當快取記憶體組之資料多工器(如Supra Liu之美國專利所述)。

資料快取記憶體控制單元(470)自目錄陣列(440)經由信號線(441)接收輸入(告知命中或未命中一目錄陣列)，自AGEN(304)經由信號線(307)接收輸入，自資料選擇及執行週期控制單元(320)經由信號線(321)接收輸入，自ATU控制單元(370)經由信號線(369)接收輸入，並自比較器(382)經由信號線(383)接收輸入。資料快取記憶體控制單元(470)之輸出係傳送到L2位址信號線(471)，並包含一個用來指示

五、發明說明 (17)

未命中狀況之信號。未命中資訊亦係傳送到LSU (110)中之ATU控制單元(370)及PA控制單元(圖中未示出)。

資料快取記憶體控制單元(470)之功能在於控制多工化進出資料快取記憶體(400)之資料流動，並將結果傳送到載入/儲存單元(110)、位址轉換單元(124)、及L2快取記憶體控制單元(118)，且亦控制將資料寫入資料快取記憶體(400)。

目錄陣列(440)包含若干位址標記，用以指示實際位址之內容是否出現在快取記憶體(400)中，並指示各快取線的狀態是否為修改後的、共用的、或無效的。目錄陣列(440)亦包含每一相同類別之一LRU指標，用以指示應取代哪一個快取(400)線。

位址轉換單元(ATU)控制器(370)處理自有效位址到虛擬位址或虛擬位址至有效位址之轉換。該控制器經由信號線(353)接收L2修正後資料作為輸入，並將TLB重新載入資料輸出經由信號線(375)而提供給資料轉換旁視緩衝器(DTLB) (378)、ISLB (354)、及DSLB (376)。就旁視檢索表(354)、(358)、(376)、(378)而言，如果偵測到一個未命中的狀況，則ATU定序器(370)經由匯流排(371) (圖6)向L2快取記憶體要求資料(位址及長度)。當L2快取記憶體經由匯流排(353) (圖5)而回應時，ATU即檢查資料，而視情況選擇旁視緩衝器(378)、(376)、(354)、(358)之資料。或將一轉換異常狀況訊息傳送回指令單元。A-TU控制單元(370)追蹤記憶體區段及分頁表之更新狀況，並經由信號線(371)將這些更新狀況傳送到L2控制單元。信號線(381)將實際位址提供

五、發明說明 (18)

給資料快取記憶體目錄。以供比較。

在 ISLB (354) 的比較器 (356) 中將有效位址與虛擬位址比較。如果這些位址相符，則緩衝器 (354) 存在有一個有效位址至虛擬位址的有效轉換，此時該緩衝器將虛擬位址經由信號線 (355) 而傳送到比較單元 (362)。

自暫存器 (364) 經由信號線 (365) 上的一有效位址存取 ITLB (358)，以便執行虛擬位址至實際位址的轉換。ITLB (358) 之位址輸入是信號線 (367) 上來自 IU (112) 的有效位址之一部分。比較器 (362) 比較信號線 (355) 及 (359) 之虛擬位址，並經由信號線 (363) 而通知結果。與 ITLB 陣列 (358) 中每一虛擬位址相關聯的是一實際位址。信號線 (363) 上的信號指示信號線 (361) 上的位址是否有效。

來自暫存器 (384) 的一位址存取 DTLB (378)。比較器 (382) 比較信號線 (379) 與 (377) 上的資料。並經由信號線 (383) 而通知比較結果。信號線 (383) 上的信號指示信號線 (379) 上的位址是否有效。

系統匯流排介面 (120)

請參閱圖 3 到 6，現在將詳述圖 1 所示之系統匯流排介面 (120) 及 L2 快取記憶體控制單元 (118)。

下文中將說明圖 1 所示高階方塊圖與圖 3 到 6 所示較佳實施例詳圖間之對應關係。圖 1 之匯流排 (101) 對應於圖 3-6 所示：驅動器/接收器 (556) 上之各系統控制信號線 (559)、驅動器/接收器 (564) 上之系統位址信號線 (569)、驅動器/接收器 (512) 上之系統資料高位元匯流排 (513)、及驅動器/接

五、發明說明 (19)

收器(516)上之系統資料低位元匯流排(517)。圖1所示L2快取記憶體(104)之匯流排(103)對應於：驅動器(690)出來之L2快取記憶體位址信號線(691)、驅動器(692)出來之L2標記位址信號線(693)、驅動器/接收器(694)上之L2標記資料信號線(697)、及驅動器/收器(644)上之L2快取記憶體資料匯流排(645)。圖1所示之ICU匯流排(109)對應於：(來自ICU之)ICU要求信號線(351)、(至ICU之)DOIC暫存器(606)輸出信號線(607)、及經由信號線(617)至IC多工器(616)之旁路。圖1所示之DCU匯流排(111)對應於：(來自DCU之)DC要求信號線(471)與資料快取記憶體寫入資料匯流排(425)、(至DCU之)經由信號線(621)到DC多工器(620)之旁路、及資料快取記憶體資料輸出(DODC)暫存器(608)之輸出信號線(609)。圖1所示之位址轉換單元(ATU)之輸入/輸出匯流排(107)對應於：ATU要求信號線(371)、ATU寫入資料匯流排(373)、及多工器(612)之輸出信號線(353)。

請參閱圖4及6，來自ATU要求信號線(371)、IC要求信號線(351)、DC要求信號線(471)、及經由信號線(567)來自暫存器(566)的位址之要求被鎖存於位址/命令暫存器(650)，而暫存器(566)鎖存經由信號線(565)而來自接收器(564)之系統匯流排位址。如經由信號線(651)及(653)而連接的暫存器(650)、(652)、及(654)所需求的，鎖存這些位址/命令信號。第三暫存器(654)之輸出係經由信號線(655)而傳送到控制單元(660)。第一階暫存器(650)之輸出係經由信號線(651)而傳送到暫存器(652)。該輸出並傳送到：提供L2

五、發明說明 (20)

快取記憶體位址信號(691)之驅動器(690)、提供L2標記位址信號(695)之驅動器(692)、ECC核對電路(684)、位址比較器(664)、控制單元(660)、快取記憶體控制器(CC)查核位址暫存器(670)、處理器位址暫存器CBPADR(674)及CBMADR(676)、及位址多工器(680)。ECC(684)之輸出係經由信號線(685)而傳送到驅動器(694)，以便提供信號線(697)上的L2標記資料。CBPADR位址暫存器(674)包含快取記憶體未命中時的系統匯流排位址。該暫存器之輸出係經由信號線(675)而傳送到多工器(680)。CBMADR位址暫存器(676)包含查核位址部分，且該暫存器之輸出係經由信號線(677)而傳送到多工器(680)。來自L2標記資料信號線(697)之接收器(694)輸出係經由信號線(695)而傳送到暫存器(688)中之L2標記(L2TAGIN)，且經由信號線(689)而傳送到改錯碼(Error Correction Code；簡稱ECC)單元(686)。ECC單元(686)之輸出係經由信號線(687)而傳送到比較器(664)、位址暫存器(670)、(674)、及(676)。比較器(664)之輸出係經由信號線(665)而傳送到控制單元(660)。CCS位址暫存器(670)之輸出信號線(671)代表資料快取記憶體之查核位址。位址輸出多工器(680)之輸出係經由信號線(681)而傳送到位址輸出暫存器(560)，並經由信號線(561)及驅動器(564)而傳送到系統位址匯流排(569)。控制單元(660)之輸出係經由信號線(663)而傳送到仲裁及控制單元(552)，並經由信號線(661)而傳送到位址/命令暫存器(658)。仲裁及控制單元(552)經由信號線(557)自接收器(556)接收控制資料，並將輸出經由信號線(555)而提供

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (21)

給控制單元(660)，並且在L2快取記憶體未命中時，將要求輸出控制信號經由信號線(553)及驅動器(556)而傳送到系統控制匯流排(559)。該控制單元之另一輸出係經由信號線(661)而出現在位址/命令暫存器(658)，該暫存器之輸出係經由信號線(659)而出現在多工器(672)。多工器(672)亦自信號線(653)及(655)接收輸入，並將其輸出經由信號線(673)而提供給暫存器(650)。

請參閱圖5，ECC單元(632)、DOIC暫存器(606)、DODC暫存器(608)、L2PDO暫存器(636)、多工器(616)、及多工器(620)分別經由匯流排(625)自資料輸入暫存器(624)接收輸入。ECC單元(632)之輸出係經由信號線(633)而傳送到L2資料輸出暫存器(638)，然後經由信號線(639)而傳送到驅動器(644)。L2PDO暫存器(636)之輸出係經由信號線(637)而傳送到頁內緩衝器(646)，該緩衝器之輸出係經由信號線(647)而傳送到L2PDI暫存器(642)及ECC電路(632)。L2PDI暫存器(642)之輸出係經由信號線(643)而傳送到DOIC暫存器(606)、DODC暫存器(608)、CCDI暫存器(624)、旁路多工器(620)、及(616)。多工器(620)及(616)之輸出代表旁路資料，且該輸出係分別經由信號線(621)及(617)而傳送到資料快取記憶體及指令快取記憶體。資料快取記憶體寫入資料信號(425)係傳送到CMCD暫存器(628)及CCDI暫存器(624)。CMCD暫存器(628)之輸出係經由信號線(629)而傳送到L2PDO暫存器(636)及輸出緩衝器(602)。

請參閱圖3及5，在接收器(644)上接收來自匯流排(645)之

五、發明說明 (22)

L 2 快取記憶體資料輸入，該資料輸入係經由信號線(649)而傳送到 L 2 資料輸入暫存器(640)，然後經由信號線(641)傳送到 ECC 電路(634)及旁路多工器(616)及(620)。L 2 快取記憶體資料輸入自 ECC 電路(634)經由信號線(635)而傳送到快取記憶體控制器資料輸入(Cache Controller Data In；簡稱 CCDI)暫存器(624)、DOIC 暫存器(606)、及 DODC 暫存器(608)。DODC 暫存器(608)之輸出(609)係傳送到資料快取記憶體單元(116)(圖 1)、資料快取記憶體旁路多工器(620)、ATU 多工器(612)、及輸出緩衝器(602)。輸出緩衝器(602)之輸出係經由信號線(603)而傳送到資料高位元輸出暫存器(502)及多工器(520)，多工器(520)之輸出係經由信號線(521)而傳送到資料輸出暫存器(502)及(504)。

在作業中，暫存器(624)及(636)形成一個頁內緩衝器(646)及暫存器(642)。頁內緩衝器(646)緩衝儲存系統匯流排的一信號線之信號。自 L 2 資料輸入暫存器(640)到旁路多工器(616)、(620)之信號線(641)可在不需要錯誤修正時節省快取記憶體未命中時的一個週期。DOIC 暫存器(606)將修正後的資料提供給指令快取記憶體單元(114)，且 DODC 將修正後的資料提供給資料快取記憶體單元(116)。任一暫存器都可將資料提供給 ATU(124)。

繞送 L 2 快取記憶體資料的正常路徑係經由暫存器(640)、ECC(634)、DOIC 暫存器(606)、及 DODC 暫存器(608)。

處理器介面單元(120)

現在請參閱圖 3，現在將進行圖 1 所示處理器介面單元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

經濟部中央標準局員工消費合作社印製

五、發明說明 (23)

(120) 及相關聯電路之詳細說明。圖 3 代表 PIU (120) 及系統匯流排 (102) 之資料流動部分。

系統匯流排 (102) 之資料高位元匯流排 (513) 及資料低位元匯流排 (517) 係分別經由驅動器/接收器 (512) 及 (516) 而連接到信號線 (503) 上之資料高位元輸出暫存器 (502)、信號線 (515) 上之資料高位元輸入暫存器 (506)、信號線 (505) 上之資料低位元輸出暫存器 (504)、及信號線 (519) 上之資料低位元輸入暫存器 (508)。每一匯流排 (513)、(517) 都可處理八位元組的資料，而提供一個 16 位元組的資料匯流排。如果系統只在八位元組上作業。則只使用一組輸入/輸出暫存器 (例如 (504)、(508))。

系統資料輸入暫存器 (508) 之輸出係經由信號線 (509) 而傳送到多工器 (524)，然後連同暫存器 (506) 的輸出信號線 (507) 之輸出係經由信號線 (525) 而傳送到快取記憶體控制資料輸入 (CCDI) 暫存器 (624) (圖 5)，該暫存器 (624) 是快取記憶體控制器之主要資料輸入暫存器。資料輸入暫存器 (624) 之輸出係經由匯流排 (625) 而傳送到多工器 (520)。

載入/儲存單元 (LSU) (110)

載入/儲存單元 (LSU) (110) 之功能在於對定點及浮點的載入及儲存以及快取記憶體管理作業解碼，並將有效位址及儲存命令傳送到資料快取記憶體單元 (DCU) (116)。LSU (110) 亦處理移入及移出特殊用途暫存器 (Special Purpose Register；簡稱 SPR) (334) 之指令。LSU (110) 除了作為一載入/儲存單元之外，亦在派發指令之後，利用對大部分的指令執行連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

經濟部中央標準局員工消費合作社印製

五、發明說明 (24)

鎖之偵測、及最終管線保持信號之產生，而控制指令的執行順序。

LSU (110) 提供一個六埠的暫存器檔 (306)，該暫存器檔係由四個 32 x 18 的暫存器陣列巨集所構成，被配置成具有兩個寫入埠及四個讀取埠的衣個 32 x 72 陣列。該陣列採用 64 位元的一般用途暫存器 (General Purpose Register；簡稱 GPR) (306)。GPR 陣列 (306) 亦將運算元提供給定點運算單元 (FXU) (106) 之解碼階段 (圖中未示出)、及 LSU (110)。FXU (106) 對其本身的指令解碼，並向 LSU (110) 產生對所需運算元之要求，且在必要時經由信號線 (327) 提供結果運算元及位址。LSU (110) 存取各 GPR (306) 中產生有效位址 (Effective Address；簡稱 EA) 所需的這些暫存器，並存取與儲存指令資料有關的暫存器。LSU (110) 將經由信號線 (461) 自資料快取記憶體單元 (116) 接收的資料運算元、及更新後的有效位址寫回到各 GPR。信號線 (327) 上有 FPU 的運算結果，並將這些運算結果傳送到暫存器 (330)。

在處理浮點載入及儲存作業中，LSU (110) 利用來自 GPR (306) 的運算元來產生有效位址，並自浮點運算單元 (FPU) (108) 取得所需的浮點暫存器 (FPR) 運算元。

在指令提取週期結束時，派發到 LSU (110) 的指令被鎖存在其解碼週期指令暫存器 (302) 中。基本的 LSU (110) 管線共有三個階段：解碼階段 (302/304)、執行階段 (316/320)、及送回階段 (330)。在對應於 (302/304) 的解碼週期中。將各指令解碼，並自 GPR (306) 陣列提取運算元。將各定址運算元選

五、發明說明 (25)

通到一個64位元的位址產生(AGEN)加法器。並計算一個64位元的有效位址。將有效位址(EA)經由信號線(313)而傳送到位址轉換單元(ATU)(124)及資料快取記憶體單元(DCU)(116)，並在解碼週期結束時將該有效位址鎖存在管線緩衝器(316)中，該緩衝器於執行週期中存放該有效位址。

於執行週期中，用於儲存作業之運算元係經由信號線(323)而傳送到DCU，此時在單元(460)中對準該運算元，並將該運算元儲存在暫存器(456)，以便送回資料快取記憶體(400)。在執行週期結束時，如果正在執行一個載入型指令，則自DCU將資料運算元經由信號線(461)而傳送到LSU(110)，並將該運算元儲存在管線緩衝器(330)以供送回。

在以信號線(333)代表的送回週期(330)中，最多可將兩個8位元組或一個16位元組的運算元寫入GPR(306)。在每一週期中，浮點載入作業被限制為一個8位元組的運算元。在稍後於送回週期(330)之前，並不寫入各GPR(306)。因而需要將寫入這些陣列的各運算元繞過該等陣列，以便減少管線的連鎖。由於延遲了對GPR(306)的寫入，所以可執行用於代數載入作業的有正負號延伸作業，而有助於為這些指令平衡執行週期(316/320)與送回週期(330)間之路徑延遲。

定點運算單元(FXU)(106)

定點運算單元(FXU)(106)執行定點指令。但其中不包括存取指令。(FXU)(106)包含：一個64位元加法器、一個64

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (26)

位元邏輯單元、一個64位元迴轉-合併單元、及一個64位元進位儲存加法器，該64位元進位儲存加法器於乘法指令中支援每一週期有兩個位元的乘積形成。

於除法中，商數的形成在每一週期發生一個位元，其形成的方式為重複地以移位後的被除數減掉除數。

浮點運算單元(FPU)(108)

浮點運算單元(FPU)(108)執行浮點指令，但並不執行存取指令。在一實施例中，(FPU)(108)包含：一個5埠32 x 72位元的暫存器陣列、一個32位元的狀態控制暫存器、一個3位元的重疊掃描布斯編碼器單元、一個2位元的商數產生單元、一個106位元的進位儲存加法器、一個106位元的遞增全加法器、一個運算元對準移位器單元、一個信號修正器單元、及一個捨入器單元。

位址轉換單元(ATU)(124)

請主要參閱圖2B，位址轉換單元(ATU)(124)將載入/儲存單元(LSU)(110)之資料有效位址(EA)及指令單元(112)之指令有效位址轉換成資料及指令快取記憶體用來存取其L1快取記憶體及L2快取記憶體控制單元(118)用來存取L2快取記憶體(104)之實際位址。

微處理器(100)設有：區段旁視緩衝器(Segment Lookaside Buffer；簡稱SLB)(354)、(376)、以及轉換旁視緩衝器(Translation Lookaside Buffer；簡稱TLB)(358)、(378)，這些緩衝器係作為區段及分頁表登錄之快取記憶體。當在一旁視緩衝器中並未找到一個所需的登錄時，ATU(124)發出一個對L2快取記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (27)

憶體控制單元(118)之提取，以便自記憶體(126)或L2快取記憶體(104)取得區段及分頁表登錄。

ATU (124)將任何轉換資料儲存岔斷(Data Storage Interrupt；簡稱DSI)回報到載入/儲存單元(110)。並將任何轉換指令岔斷回報到指令單元(112)。ATU (124)向快取記憶體控制單元(118)的儲存要求更新了所有的參考、改變、及標記改變位元。

微處理器(100)將一個4登錄的SLB (354)提供給指令位址轉換。並將一個8登錄的SLB (376)提供給資料位址轉換。SLB (354)、(376)包含在一完全關聯式配置中最近轉換之記憶體區段。當起動區段轉換時，將有效資料或指令位址之有效區段識別碼(Effective Segment ID；簡稱ESID)部分與各別SLB(354)、(376)的ESID中之所有登錄比較。

ATU (124)分別包含獨立的指令及資料TLB(358)、(378)，用以存放虛擬位址至實際位址之轉換結果。在虛擬位址至實際位址轉換時，在比較器(362)、(382)中將配對SLB(354)、(376)之VSID與TLB (358)、(378)中所儲存的VSID比較。如果發現一比較，配對TLB (358)、(378)登錄中所儲存的實際頁數(Real Page Number；簡稱RPN)係用來形成實際位址。在每一TLB(358)、(378)中以256對登錄的每一登錄之LRU位元來獨立管理資料替換。

L1資料快取記憶體單元(DCU)(116)

在一較佳實施例中，L1資料快取記憶體(DCU) (400)具有下列各項屬性：64千位元組的容量、64位元組的快取線

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明 (28)

容量、4路記憶組關聯式、每一快取線有2個子快取線修正後的位元、MRU儲存區選擇、40位元的實際位址、進出處理器的16位元組資料流動、儲存輸入設計、及多處理器支援。術語"快取線"("cache line")意指快取記憶體中對應於單一快取記憶體目錄登錄的一個64位元組區段之資料。儲存區MRU(402)提供在一執行週期中於四組快取記憶體資料中選擇一組快取記憶體資料。實際位址MRU(430)將位元50:51提供給快取記憶體(400)及快取記憶體目錄(440)。錯誤修正ECC(圖中未示出)係提供給快取記憶體(400)及快取記憶體目錄(440)。本發明採用即時寫回(write-through)模式。

代表子陣列(152)、(162)的資料快取記憶體(116)陣列(400)係基於M一個1024 x 78 1R1W的"虛擬"2埠陣列巨集。該陣列(400)在一個處理器週期內提供了一個讀取作業、及一個接續的寫入作業。縱使有一個插入的寫入作業，在次一讀取作業開始之前，該陣列輸出上的讀取資料仍然保持有效。使用八個這類陣列來形成一個64千位元組的快取記憶體(400)。每一儲存區中使用兩個陣列來形成進出該陣列而以信號線(401)代表的16位元組資料流動。係將資料的同位核對儲存在陣列中。陣列中所儲存的最後一個位元是用來存取資料快取記憶體的位址之奇數位址同位核對跨越位元50:59。

需要兩個陣列來實施資料快取記憶體目錄(440)。該目錄設有一個28位元的實際頁數(RPN)及五個ECC核對位元。

五、發明說明 (29)

保持一個有效位元及兩個子快取線修正後狀態位元，並將三個核對位元連同上述位元一起儲存。將RPN及狀態欄位複製四次，以便代表在一特定目錄陣列位址上存取的四個記憶組。兩個目錄陣列共用一個3位元的LRU，以便指示最不常用的儲存區。

儲存區MRU (402)在邏輯上看起來像一個1024 x 4的陣列，其中每一登錄係與資料快取記憶體(400)中之一快取線相關聯。用來存取該邏輯陣列(400)的位元48:57中之位元48:51是有效位址位元。當發生錯誤的儲存區猜測或快取記憶體未命中時，即更新MRU(402)位元。

實際位址(Real Address；簡稱RA)MRU (430)是用來產生實際位址位元(50)及(51)之預測，以便定址到快取記憶體(400)及快取記憶體目錄(440)。如信號線(309)所代表的，係將陣列(430)視為管線的AGEN階段(304)之一部分。如果出現了載入/儲存單元管線的執行階段或鎖存送出階段之保持狀態，則並不使用陣列(430)之輸出。也不使用實際模式來決定是否使用陣列(430)(圖2C)之輸出。實際模式的決定發生在AGEN (304)，此時AGEN (304)將控制信號線(307)設定為實際或虛擬模式的定址。如果決定了實際模式。則暫存器(408)使用載入/儲存有效位址(LSEA) (317)之位元50:51來存取快取記憶體(400)及暫存器(414)，以便存取快取記憶體目錄(440)以替代RA MRU陣列(430)之輸出。

當發生了對轉換後位址位元50:51的錯誤預測時，資料快取記憶體位址暫存器(408)即經由信號線(281)更新實際位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (30)

址 (RA) MRU 陣列 (430)。此外，係經由信號線 (381) 以適當的位址位元 50:51 值來更新快取記憶體位址暫存器 (408) 及資料快取記憶體目錄位址暫存器 (414)，以便重新存取快取記憶體 (400) 及快取記憶體目錄 (440)。然後在資料快取記憶體控制單元 (470) 的控制下切換多工器 (412)，使位址暫存器 (408) 被利用來存取快取記憶體陣列 (400)。類似的功能發生在多工器 (436)，因而暫存器 (414) 被利用來存取目錄陣列 (440)。LSU (110) 管線被停頓一個週期，以便可在同一週期中同時重新存取快取記憶體 (400) 及目錄 (440)。然後在下一週期中將資料經由信號線 (461) 送回到 LSU (110)。

指令快取記憶體單元 (ICU) (114)

指令快取記憶體單元 (ICU) (114) 包含：實體陣列、位址比較電路、及錯誤核對電路，而提供一個具有單一位元錯誤偵測及復原的 64 千位元組 4 路關聯式指令快取記憶體。該單一週期快取記憶體存取最多可自所選擇的一個 128 位元組快取線中提供四個指令。指令快取記憶體單元 (114) 將指令提供給其他的功能單元。其中包括指令分支預測單元。

L2 快取記憶體控制單元 (118)

L2 快取記憶體控制單元 (118) 之功能在於使處理器 (100) 得以群取一專用 L2 快取記憶體 (104)，並得以經由系統匯流排 (102) 而存取記憶體 (102)，L2 快取記憶體控制單元 (118) 亦支援對多處理器作業的記憶體內容一致性控制。係以外部的靜態隨機存取記憶體 (SRAM) 來實施 L2 快取記憶體 (104)，其中一組 SRAM 係用於目錄，而另一組 SRAM 係用於

五、發明說明 (31)

資料。

CCU (118) 自下列四種來源接收命令：資料快取記憶體單元(116)、指令快取記憶體單元(114)、位址轉換單元(124)、及經由處理器介面單元(PIU) (120)的系統匯流排(102)。爲了處理這些命令，CCU (118)使用圖6所示之緩衝器構造。CCU控制單元(660)安排外部及內部命令的優先順序，並將這些命令放入ADR/CMD緩衝器(650)。然後利用ADR/CMD緩衝器(650)的輸出(651)經由驅動電路(692)所驅動的介面信號線(693)而存取一L2目錄(圖中未示出)，以便決定命中/未命中的狀態。此外，同時利用來自匯流排(651)的適當位址位元來存取控制單元(660)中之一L1狀態陣列(圖中未示出)，以便決定是否需要執行一資料快取記憶體查核。最後，視需要而利用ADR/CMD緩衝器(650)來控制L2目錄中之更新狀態及標記資訊，這是一種本門技術中習知的程序。

四種L2快取記憶體命中/未命中狀態如下：

(1)經過修改

該快取線之內容與記憶體之內容不同，且其他的一致性快取記憶體都沒有該快取線內容之拷貝。

(2)獨有

該快取線之內容與記憶體之內容相同，且其他的一致性快取記憶體都沒有該快取線內容之拷貝。

(3)共用

該快取線之內容與記憶體之內容相同，且其他的快取記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (32)

記憶體可能有該快取線內容之拷貝。

(4) 無效

該快取記憶體及處理器之資料快取記憶體都沒有該快取線內容之拷貝。

只有在資料也存在於L2快取記憶體時，資料才有可能存在於資料快取記憶體。

命令只在ADR/CMD緩衝器(650)中停留三個週期。在三個週期後命令將移到ADR/CMD緩衝器(652)或ADR/CMD緩衝器(658)。當一處理器命令是在ADR/CMD緩衝器(650)中，且無法取得該處理器所需的資源(例如資料流)時，將該命令移到ADR/CMD緩衝器(652)。該命令將停留在ADR/CMD緩衝器(652)中，直到可取得該資源為止。

當一系統匯流排查核命令需要使用資料路徑時，命令係自ADR/CMD緩衝器(650)經由控制單元(660)而移到ADR/CMD緩衝器(658)。該命令將停留在ADR/CMD緩衝器(658)中，直到可使用資料路徑為止。需要經由系統匯流排發出位址命令的命令被放在ADR/CMD緩衝器(654)中。該命令將停留在ADR/CMD緩衝器(654)中，並在必要時重新嘗試發出，直到自系統匯流排(102)接收到一個成功的位址狀態及回應為止。如果需要資料的移動，則將該命令移交給CCU資料流動邏輯電路。

自ADR/CMD緩衝器(658)回送到ADR/CMD緩衝器(650)對兩個獨立的功能作業是必要的。第一種回送的情形係用於遭遇來自系統匯流排(102)的共用位址回應之處理器讀取命

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (33)

令。當該處理器讀取命令是首先在 ADR/CMD 緩衝器 (650) 時，將 L2 目錄標示為獨有，而假設該 L2 快取記憶體有唯一的資料拷貝。如果另一裝置經由系統匯流排 (102) 上的一共用位址回應而指示該裝置也有一份該資料的拷貝，則必須將 L2 目錄自獨有狀態改變成共用狀態。

第二種回送作業係用於處理器寫入作業，處理器寫入作業在可寫入資料之前必須等候一個成功的系統匯流排 (102) 位址狀態及回應。對於命中 L2 目錄的處理器儲存或資料快取記憶體第零區段 (data-cache-block-zero；簡稱 dcbz) 指令而言，處理器必須確保該處理器在更新資料之前保有在獨有狀態中之快取線內容，在處理器能夠取得共用快取線的主控權之前，可能喪失該快取線的主控權給另一裝置，因而提供回授路徑，以便重新開始目錄的存取。

L2 快取記憶體控制單元的查核作業

查核命令係自系統匯流排 (102) 經由處理器介面單元 (120) 而進入，並經由匯流排 (567) 而提供給 ADR/CMD 緩衝器 (650)。在此同時，起動一移位暫存器。該移位暫存器係用來"暫停"查核命令。查核命令需要在一段固定時間內有一個回應，但是可能因其他更高優先順序的命令，而使該命令在被放入 ADR/CMD 緩衝器 (650) 之前被延遲了。如果移位暫存器"暫停"了該命令，則將把一位址重新嘗試回應發出到系統匯流排 (102)。

當將一查核命令放入 ADR/CMD 緩衝器 (650) 時，即檢查 L2 目錄及 L1 狀態陣列，如果該命令命中 L2 目錄及 L1 狀態陣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明 (34)

列，則將一查核命令發出到資料快取記憶體。如果必須移動資料而完成查核命令時，則首先將該資料自L2快取記憶體移到輸出緩衝器(602)。然後如果資料快取記憶體具有一份修改後的資料，則將此份資料移到輸出緩衝器(602)，然後將該份資料經由匯流排(603)而移到系統匯流排(102)。

記憶體管理策略為：ATU(124)不得直接自L1資料快取記憶體存取記憶體區段及分頁轉換表登錄。因此，為ATU命令執行另一種查核作業。當一ATU命令進入時，即利用L1狀態陣列查核資料快取記憶體。如果資料快取記憶體具有修正後的資料，則停止ATU命令，直到將資料自資料快取記憶體移到L2資料RAM為止。

處理器介面單元(PIU)/匯流排介面單元(BIU)(120)

請參閱圖1及3，處理器介面單元(PIU)(120)控制並監視與主系統匯流排(120)間之訊息傳送。(PIU)(120)的主要功能如下：

- (1)在CCU(118)與系統匯流排(102)之間傳送命令、位址、及資料。
- (2)除去無須CCU(118)照料的進入之命令-位址傳送。
- (3)補償處理器(100)單元與6xx匯流排(102)間之時脈域之差異。
- (4)為處理器執行時診斷程式(Processor Run-time Diagnostics；簡稱PRD)維持並監視系統之檢查停止邏輯。

一般而言，系統匯流排介面或處理器介面單元(PIU)(120)經由信號線(663)自L2快取記憶體控制器(CCU)(118)接收命

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (35)

令，並在單元(552)中將這些命令轉換成系統匯流排時脈域，且將轉換後的命令經由信號線(559)傳送到匯流排(102)。PIU(120)然後監視針對命令而在信號線(559)上接收的狀態及回應資訊，並經由信號線(555)通知CCU(118)。當命令自該匯流排經由信號線(559)到達時，PIU(120)將這些命令歸類為下列三種類型中之一種：主控裝置作業、查核作業、及其他作業。主控裝置作業是CCU(118)在與PIU(120)相同的晶片(100)上發出的作業。需要監視這些作業的狀態及回應，而在該資訊到達時更CCU(118)。查核作業是由其他匯流排單元所發出且需要CCU(118)來照料之作業。PIU(120)將這些作業傳送到CCU(118)，指示有一查核作業，並繼續監視狀態及回應。其他作業是由其他單元所發出且不需要CCU(118)來照料的作業。對於這些作業而言，PIU(120)只監視狀態及回應，而無須通知CCU(118)。

時脈分送及控制單元(122)

時脈分送及控制單元(122)包含：用於選通、整形、以及分送內部時脈及晶片外快取記憶體與目錄時脈之邏輯電路。

於正常的系統作業中，一鎖相迴路(Phase Locked Loop；簡稱PLL)電路使所有的時脈衍生自並同步於一單一振盪器輸入，其中該PLL電路提供了相對於該輸入振盪器之時脈樹狀結構、及一倍頻器功能。微處理器(100)利用此種功能，而以較系統匯流排(102)介面邏輯電路快的速率執行內部處理器之邏輯作業，其中系統匯流排(102)介面邏輯電路係以

五、發明說明 (36)

與振盪器輸入相同的速率運作。採用一個第二晶片(100)內PLL來衍生晶片外L2快取記憶體(104)之時脈。該PLL使用第一PLL之倍頻輸出作為其輸入。被建構成與到快取記憶體晶片的路徑匹配的一晶片外回授路徑可得到比處理器時脈域低的歪斜延遲，並可容許處理器(100)與快取記憶體(104)間之同步通訊。

第 2 部分

資料快取記憶體之位址產生

本發明之快取記憶體存取機制是對圖 7 所示機制(對應於 Liu 的美國專利 5,392,410 所述而於圖 6 示出的機制)之一種改良。在圖 7 所示之系統中，實際位址轉換之預測是用來縮短快取記憶體存取之關鍵路徑。

在圖 7 中，各代號對應於 Liu 在專利中述及的行 9 線 46 到行 11 線 24 而於圖 6 示出的那些代號。若要得知作業的詳細說明，請參閱 Liu 的 5,392,410 專利。

轉換側視緩衝器(TLB)(210)提供了迅速地將虛擬位址轉換成實際位址。快取記憶體目錄(DIR)(220)包含用於資料快取記憶體(230)的每一快取線登錄之實際位址識別碼、所需的其他狀態標記。快取記憶體陣列(ARR)(230)是存放實際快取記憶體資料位元及同位核對與改錯所需的其他位元之快取記憶體陣列或快取記憶體。在此種設計中，設有一個 4 路記憶組關聯式快取記憶體(230)、及一個 2 路記憶組關聯式 TLB (210)。TLBLAT (241)是一個 1 維過去記錄表，該過去記錄表之登錄數並不必然與 TLB (210)中之相應類別數相

五、發明說明 (37)

同。

處理器指令/執行單元(IE)之要求位址匯流排(250)經由32位元的邏輯(虛擬或實際)位址而存取儲存裝置。快取記憶體(230)是一個以實際位址來運作的快取記憶體。亦即，當將一個實體快取線插入快取記憶體時，只利用該快取線的實際位址位元來決定相關聯的相應類別。比較器(261)偵測 TLB 的命中或未命中，並驗證 TLBLAT之預測。

可利用過去記錄表 TLBLAT (241)來預測虛擬位址轉換資訊。TLBLAT (241)是一個1維的過去記錄表，該TLBLAT (241)在維度上或在相應類別數上並不必然對應於TLB (210)。在最小容量的情形下，TLBLAT (241)中的每一登錄都包含在實際記憶頁位址中選擇實際位址相應類別所需的位元。

在指令及執行單元(IE)利用一虛擬位址A(250)進行快取記憶體的提取時，首先以平行的方式進行下列三個步驟：

1. 將A(250)的一些適當位元經由路徑(271)而傳送到TLB(210)，以便讀出TLB(210)的兩個登錄，這兩個登錄是在這些位元所界定的TLB相應類別中。輸出(281)被傳送到比較單元CMP(261)。

2. 將A(250)的一些適當位元經由路徑(277)而傳送到TLBLAT(241)之控制電路，以便在TLBLAT[A]中選擇為預測快取記憶體的實際位址相應類別所需之3個位元。這3個位元的TLBLAT[A]輸出被傳送到CMP(261)、DIR(220)、及ARR(230)之控制電路。

五、發明說明 (38)

3. 將位址 (250) 的一些適當位元經由路徑 (272) 及 (273) 而傳送到 DIR (220) 及 ARR (230) 之控制電路。這些位址位元 (在一記憶頁邊界內) 連同來自 TLBLAT (241) 的 3 個輸出位元決定了快取記憶體之相應類別之預測。當準備好該相應類別資訊時，即進行下列各步驟：(a) 將所預測相應類別上之 DIR (220) 經由路徑 (282) 而讀出到 CMP (261)；以及 (b) 自 ARR (230) 讀出四個雙字組，並將這些雙字組經由路徑 (283) 而傳送到較遲選擇單元 (262)。

現在請參閱圖 8A 及 8B，並請配合參閱圖 2B 及 2C，根據本發明之一較佳實施例，考慮一個具有一 64 位元內部架構及高位元在前的位元排列法之微處理器 (100)。

如圖 9 所示，根據高位元在前的位元排列法 (big-ending bit numbering) 協定，位元 0 是一運算元的最高有效位元，且位元 0 是位於左方。將兩個 64 位元的運算元相加而產生的儲存位址被稱為在進行位址轉換之前的有效位址 (Effective Addresses；簡稱 EA)，而位址轉換係將這些有效位址轉換成實際位址 (Real Addresses；簡稱 RA)。係以自最高有效位元到最低有效位元的順序將這些位元標示為 0:63 (亦即，自 0 到 63，其中包含 0 及 63)。

加法器輸入運算元 R1 及 R2 係分別經由信號線 (705) 及 (715) 而傳送到加法器 (740)，位元 32:34 係分別經由信號線 (701)、(711) 而傳送到加法器 (720) 及 (722)，且輸入運算元位元 44:51 係分別經由信號線 (703)、(713) 而傳送到加法器 (720) 及 (722)。加法器 (740) 之輸出係經由信號線 (251) 而傳送

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (39)

到暫存器(250)、(414)、及(408)，且係經由信號線(741)而傳送到多工器(736)。加法器(720)採用一個 $C=1$ 的進位值，而加法器(722)採用一個 $C=0$ 的進位值。加法器(720)之輸出係經由信號線(721)而傳送到 TLBLAT (亦稱為實際位址 MRU) 730)，且加法器(722)之輸出係經由信號線(723)而傳送到 TLBLAT(732)，這兩個加法器之輸出係分別經由信號線(731)及(733)而傳送到多工器(736)。多工器(736)之輸出係經由寬度為二位元的匯流排(737)而傳送到暫存器(410)及(416)。暫存器(271)之輸出係傳送到二路記憶組關聯式 TLB (210)，TLB (210)之輸出係出現在信號線(281)上，信號線(281)上之輸出係傳送到比較器(764)及(766)，且傳送回 TLBLAT (730)、(732)。暫存器(414)及(416)之輸出係經由信號線(415)及(417)而傳送到資料陣列(220)，目錄陣列(220)之輸出係經由信號線(282)而傳送到比較器(766)。暫存器(410)及(408)之輸出係分別經由信號線(411)及(409)而傳送到資料陣列(230)，資料陣列(230)之輸出係經由信號線(283)而鎖存於暫存器(262)。比較器(764)之輸出是 TLBLAT 更新命令信號(765)及 TLBLAT 更新位元(294)。比較器(766)之輸出是快取記憶體未命中之控制信號(294)。暫存器(262)鎖存信號線(292)上的資料。TLBLAT 更新信號線主動地指示一 TLBLAT 未命中。實際位址 MRU (430) 包含 TLBLAT(730)、(732)，且 MRU 加法器輸出信號線(309)對應於信號線(721)、(723)、以及進位信號線(741)。

在作業中，請再參閱圖 8A 及 8B，並請配合參閱圖 2B

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (40)

及 2C，在進行位址產生的 LSU AGEN 單元(304)中，係自一些一般用途暫存器 (General Purpose Registers；簡稱 GPRs) 提取運算元(700)、(710)之位址，並在 64 位元加法器(740)中將這些位址相加，於解碼階段(304)結束時，將所得到的 EA(251)鎖存於一管線化緩衝器(316)、資料快取記憶體位址暫存器(408)、及目錄位址暫存器(414)。(利用暫存器(408)的內容來執行資料快取記憶體存取。在次一週期(亦即執行週期)開始時存取快取記憶體陣列(400)本身。在快取記憶體陣列存取開始時，快取記憶體陣列(400)的所有位址位元都必須是有效的。在位址產生(AGEN)階段(304)中產生有效位址及在執行階段(320)中存取快取記憶體的關鍵路徑限制了微處理器(100)之週期時間。無法利用 64 位元加法器的輸出來存取一 TLBLAT 之方法，而在加入該 TLBLAT 的情形下產生某些位址位元，除非增加週期時間。

較佳實施例中的實際位址 MRU(430)具有 256 個位址的邏輯容量，且其寬度為二個位元。因而 MRU(430)得以供應兩個 RA 位元，以便在次一週期存取資料快取記憶體(400)，且一次最多可供應有 256 個轉換的過去記錄。自信號線(313)上的階段(304)經由暫存器(408)、多工器(412)、及信號線(409)、(413)而提供給資料快取記憶體(400)的有效位址位元 52:63 是轉換不變量，且係利用這些有效位址作為 RA 52:63 而直接存取資料快取記憶體(400)。自位址產生階段(304)的輸出經由信號線(309)提供的 EA 位元 44:51 係用來存取 MRU(430)，MRU(430)然後(根據過去記錄)而作出

五、發明說明 (41)

預測，並將預測結果 RA 50:51 值經由暫存器(410)及多工器(412)而提供給資料快取記憶體(400)。

請參閱圖 9，位元組位址包括：在 TLB (210) 中轉換(自虛擬位址轉換成實際位址)的位元 50:51、及快取線位址位元 52:57，這些位元及位元 58:63 都是轉換的不變量。

請再參閱圖 8A 及 8B，根據本發明，在已知實際位址 MRU 陣列(430)的一固定存取時間的情形下，為了避免關鍵路徑延遲的增加，(除了如前文所述的限制快取記憶體容量以外)唯一的其他選項即是減少為產生 EA 位元 44:51 所耗用的時間。如同大部分的進位預測(carry-lookahead)加法器，各較高有效總和位元之輸出係取決於各較低有效位元之進位輸出。為了解決存取時間的問題，在位址產生階段(304)中設有特殊的加法器電路(720)、(722)，這兩個加法器(720)、(722)具有用於位元 44:51 的兩個總和輸出(721)、(723)。第一輸出(723)假設進位到位元 21 的是"0"，而第二輸出(721)則假設進位為"1"。複製 MRU 陣列(430)，並在圖 8A 及 8B 中將 MRU 陣列(430)示為 TLBLAT 1(730)及 TLBLAT 0(732)。亦即，共有兩個 MRU 陣列(730)及(732)，且係利用其中一個加法器總和輸出(721)、(723)來存取每一 MRU 陣列。在多工器(736)中根據 LSU 位址產生階段(304)加法器(740)輸出到信號線(741)上的進位位元 51，而將 MRU 陣列輸出(731)、(733)多工化在一起。多工器輸出(737)對應於圖 2C 中之信號線(431)。此種設計可以與進位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (42)

(741) 的產生平行之方式，執行 MRU 陣列 (430) 之存取，而不必在開始進行 MRU 陣列 (430) 的存取之前先等候進位的產生。在一特定實施例中，係由 64 位元的加法器 (740) 提供進位信號線 (741)，而無須一個獨立的進位產生電路。運算元 (700)、(710) 係來自用於位址產生 (AGEN) 的一般用途暫存器。將 R1 及 R2 欄位 44:51 相加，而位元 32:34 是 "互斥或" 散列位元。

根據本發明的另一特徵，特殊加法器 (720)、(722) 提供了將某些額外的運算元 (700)、(710) 位元與加法器的輸入運算元 (703)、(713) 加以散列，以便提昇 MRU 表 (430) 中之命中率。由於將輸入運算元 32:34 (701) 及 (711) 與位元 44:46 散列，所以 MRU 表 (430) 的未命中率減半。在本較佳實施例中，係以下列方式執行散列作業：

$$R1(32:34) \text{ xor } R2(32:34) \text{ xor } \text{HSUM}(44:46)$$

其中 R1 是運算元 1 (700)，R2 是運算元 2 (710)，HSUM 是 MRU 加法器 (720)、(722) 中之半和項。利用此種散列方法時，避免了經過加法器 (720)、(722) 的關鍵路徑延遲之增加，這是因為此種方法並不涉及在加法器 (720) 及 (722) 內的對耗時極具關鍵性的進位路徑。

優於習用技術之處

本發明較佳實施例的方法之優點包括：由於大致將 MRU 查閱與有效位址產生完全重疊，且執行一散列作業來隨機化 MRU 中之各登錄，而不會引發關鍵路徑中之延遲，因此改良了快取記憶體的作業。

四、中文發明摘要 (發明之名稱： 快取記憶體位址產生)

一種快取記憶體系統在不增加關鍵路徑延遲的情形下提供了對記憶組關聯式快取記憶體之存取；該系統減少了存取延遲時間，縮短了查核忙碌時間，並可回應最近最常使用(MRU)儲存區未命中及快取記憶體未命中。存取快取記憶體陣列時，係將兩個最近最常使用(MRU)陣列多工化，並以與有效位址產生大致平行之方式，定址到並存取這兩個 MRU 陣列，且產生該等 MRU 陣列之輸出，其中一個輸出為進位零而另一個輸出為進位一到用來存取該等 MRU 陣列的有效位址的一部分之最低有效位元。在一加法器內，將該加法器之各輸入運算元與一些預定的額外運算元位元散列，而提高 MRU 陣列中之命中率。

英文發明摘要 (發明之名稱：)

CACHE ADDRESS GENERATION

A cache system provides for accessing set associative caches with no increase in critical path delay, for reducing the latency penalty for cache accesses, for reducing snoop busy time, and for responding to MRU misses and cache misses. The cache array is accessed by multiplexing two most-recently-used (MRU) arrays which are addressed and accessed substantially in parallel with effective address generation, the outputs of which MRU arrays are generated, one by assuming a carryin of zero, and the other by assuming a carryin of one to the least significant bit of the portion of the effective addressed used to access the MRU arrays. The hit rate in the MRU array is improved by hashing within an adder the adder's input operands with predetermined additional operand bits.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (43)

替代實施例

我們當了解，雖然以舉例方式說明了本發明的一些特定實施例，但是在不脫離本發明的精神及範圍下，尚可作出各種修改。

尤其是提供一個諸如一傳輸媒體、磁帶、磁碟、光碟等記憶裝置來儲存信號，以便根據本發明之方法來控制一電腦之作業，及(或)根據本發明之系統而建構該電腦之組件，這些面向都仍在本發明的範圍內。

因此，本發明之保護範圍只受限於下列申請專利範圍及其等效權項。

元件符號說明

100 微處理器晶片	113 信號線
101 匯流排	114 指令快取記憶體單元(ICU)
102 介面系統匯流排	115 信號線
103L2 快取記憶體匯流排介面	116 資料快取記憶體單元(DCU)
104L2 快取記憶體	118L2 快取記憶體控制單元
105 匯流排	119 匯流排
106 定點運算單元(FXU)	120 處理器介面單元(PIU)
107 匯流排	121 匯流排
108 浮點運算單元(FPU)	122 時脈分送及控制單元
109 匯流排	123 匯流排
110 載入／儲存單元(LSU)	124 位址轉換單元
111 匯流排	125 匯流排
112 指令單元(IU)	126 主記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (43a)

127 匯流排	321 信號線
129、131 信號線	323 匯流排
210 轉換側視緩衝器(TLB)	327 信號線
220 快取記憶體目錄(DIR)	330 暫存器
230 快取記憶體陣列(ARR)	333 信號線
241 TLBLAT	334 暫存器
250 IE 要求位址匯流排	335 信號線
261 比較器	350IC 控制單元
262 較遲選擇單元	351 信號線
271,272,273,277,282,283 路徑	352 指令目錄
294 信號線	352 信號線
301 匯流排	354 指令區段旁視緩衝器(ISLB)
302LSU 管線緩衝器	355 信號線
303 信號線	356 比較及位址選擇單元
304 解碼單元	358ITLB
306 暫存器	359 信號線
307 控制信號線	361 信號線
309 匯流排	362 比較器
311 信號線	363 信號線
313 匯流排	364 暫存器
314、316 暫存器	365、367、369 信號線
317 信號線	370ATU 控制單元
319 信號線	371L2 位址
320 資料選擇單元	373ATU 寫入資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (43b)

374 比較及位址選擇單元	416 暫存器
375 信號線	417 信號線
376DSL B	424 多工器
377 信號線	425 信號線
378DTLB 陣列	426 多工器
379、381 信號線	427 信號線
382 比較器	430 實際位址 MRU
383 信號線	431 信號線
384 暫存器	432 多工器
385 信號線	433 信號線
400 快取記憶體	436 多工器
401 信號線	437 信號線
402 儲存區 MRU	440 目錄陣列
403 信號線	441 信號線
406 暫存器	450 緩衝器
407 信號線	451 信號線
408 資料快取記憶體位址暫存器	452 暫存器
409 信號線	453 信號線
410 暫存器	456 暫存器
411 信號線	457 信號線
412 多工器	460 對準單元
413 信號線	461 信號線
414 目錄位址暫存器	470 資料快取記憶體控制器
415 信號線	471L2 位址信號線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(43c)

- | | |
|----------------|------------------------------|
| 502、504 暫存器 | 561 信號線 |
| 503 信號線 | 564 驅動器／接收器 |
| 504 資料低位元輸出暫存器 | 565 信號線 |
| 505 信號線 | 566 暫存器 |
| 506 暫存器 | 567 信號線 |
| 507 信號線 | 569 系統位址信號線 |
| 508 資料低輸入暫存器 | 602 輸出緩衝器 |
| 509 信號線 | 603 信號線 |
| 512 驅動器／接收器 | 606DOIC 暫存器 |
| 513 資料高匯流排 | 607 信號線 |
| 515 信號線 | 608 資料快取記憶體資料輸出
(DODC)暫存器 |
| 516 驅動器／接收器 | 609L2 校正資料 |
| 517 系統資料低匯流排 | 612 多工器 |
| 519 信號線 | 616IC 多工器 |
| 520 多工器 | 617 信號線 |
| 521 信號線 | 620DC 多工器 |
| 524 多工器 | 621 信號線 |
| 525 信號線 | 624 資料輸入暫存器 |
| 552 仲裁及控制單元 | 625 匯流排 |
| 553、555 信號線 | 628CMCD 暫存器 |
| 556 驅動器／接收器 | 629 信號線 |
| 557 信號線 | 632ECC 單元 |
| 559 系統控制信號線 | 633 信號線 |
| 560 位址輸出暫存器 | |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (43d)

634ECC 電路	670 快取記憶體控制器(CC)查核位址暫存器
635 信號線	671 信號線
636L2PDO 暫存器	672 多工器
637 信號線	673 信號線
638L2 資料輸出暫存器	674 處理器位址暫存器 CBPADR
639 信號線	675 信號線
640 暫存器	676 處理器位址暫存器 CBMADR
641 信號線	677 信號線
642L2PDI 暫存器	680 位址多工器
643 信號線	681 信號線
644 驅動器／接收器	684ECC 核對電路
645L2 快取記憶體資料匯流排	685 信號線
646 頁內緩衝器	686 改錯碼(ECC)單元
647、649 信號線	687 信號線
650、652、654 位址／命令暫存器	688 暫存器(L2TAGIN)
651、653、655 信號線	689 信號線
658 位址／命令暫存器	690 驅動器
659 信號線	691L2 快取記憶體位址信號線
660 控制單元	692 驅動器
661 信號線	693L2 標記位址信號線
663 信號線	694 驅動器／接收器
664 位址比較器	695L2 標記位址信號
665 信號線	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(43e)

697L2 標記資料信號線	730,732 TLBLAT
700,710,R1,R2 加法器輸入運算元	736 多工器
	737 二位元匯流排
701,703,705,711,713,	764,766 比較器
715,721,723,731,733,	765 TLBLAT 更新命令信號
741 信號線	
720,722,740 加法器	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

- 1 一種存取一快取記憶體陣列之方法，包含下列各步驟：

產生兩個最近最常使用(Most-Recently-Used；簡稱 MRU)陣列之輸出，其中一個輸出假設進位零而另一個輸出假設進位一到用來存取 MRU 陣列的一有效位址的一部分之最低有效位元；以及

以大致與有效位址產生平行之方式，定址到並存取該等 MRU 陣列；

因而無須等候進位位元進入對應於用來存取該等 MRU 陣列的該位址的該有效位址之該部分，即可產生用來存取該等 MRU 陣列之位址，而該進位係得自於該有效位址之產生。

2. 根據申請專利範圍第 1 項之方法，又包含下列步驟：

在一個可作業而定址並存取該等 MRU 陣列的加法器內，散列用來產生該有效位址的若干運算元之所選擇部分，且係在該加法器的半和階段中執行該散列作業；

因而提高了在該 MRU 陣列中找到正確位址位元之機率。

3. 一種產生一個用來存取一快取記憶體陣列的位址之方法，包含下列各步驟：

在一第一加法器中，將一第一運算元與一第二運算元結合，而產生一有效位址；

在一第二加法器中，將來自每一該第一及第二運算

六、申請專利範圍

元的若干第一所選擇位元與一個值為 1 的預選進位位元結合，而形成一第一位址；

在一第三加法器中，將該等第一所選擇位元與一個值為 0 的預選進位位元結合，而形成一第二位址；

在該第一位址定址到的一位置上存取一第一實際位址 MRU，以便產生一第三位址；

在該第二位址定址到的一位置上存取一第二實際位址 MRU，以便產生一第四位址；以及

根據因結合該第一運算元及該第二運算元而計算產生的一進位位元，而選擇該第三位址或該第四位址，以便產生用來存取該快取記憶體陣列之該有效位址。

4. 根據申請專利範圍第 3 項之方法，其中係由該第一加法器產生該計算出的進位位元。
5. 根據申請專利範圍第 3 項之方法，其中該每一該實際位址 MRU 之寬度為兩個位元，並包含複數個位址。
6. 根據申請專利範圍第 3 項之方法，又包含下列步驟：
將來自該有效位址的若干轉換不變量位元與用來存取該快取記憶體陣列的所選擇第三或第四位址結合。
7. 根據申請專利範圍第 3 項之方法，其中該第一實際位址 MRU 及該第二實際位址 MRU 是相互複製。
8. 根據申請專利範圍第 3 項之方法，其中係將該第三位址及該第四位址傳送到一個由該計算出的進位位元選通之多工器，而執行該選擇步驟。
9. 根據申請專利範圍第 3 項之方法，其中係以與該結合

六、申請專利範圍

及存取步驟大致平行之方式執行該產生步驟。

10. 根據申請專利範圍第 3 項之方法，又包含下列步驟：

將來自該第一運算元及該第二運算元的若干第二所選擇位元與形成該第一位址及該第二位址時該等第一所選擇位元之一部分散列。

11. 根據申請專利範圍第 10 項之方法，其中該散列步驟又包含下列各步驟：

對來自該第一運算元的該等第二所選擇位元與來自該第二運算元的該等第二所選擇位元進行互斥"或"運算；以及

對該運算結果與該等第一所選擇位元之半和進行互斥"或"運算。

12. 根據申請專利範圍第 11 項之方法，其中係於形成該第一位址時在該第二加法器中，且於形成該第二位址時在該第三加法器中，產生該半和。

13. 根據申請專利範圍第 11 項之方法，其中每一該第一運算元(R1)及該第二運算元(R2)都包含 64 個位元(0:63)，且其中該散列步驟包含下列值的計算：

$$R1(32:34) \text{ XOR } R2(32:34) \text{ XOR } HSUM(44:46)。$$

14. 一種產生一個用來存取一過去記錄表的位址之裝置，包含：

一第一加法器，用以將一第一運算元與一第二運算元結合，而產生一有效位址；

一第二加法器，用以將來自每一該第一及第二運算

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

元的若干第一所選擇位元與一個值為 1 的預選進位位元結合，而形成一第一位址；

一第三加法器，用以將該等第一所選擇位元與一個值為 0 的預選進位位元結合，而形成一第二位址；

一第一實際位址 MRU，用以自該第一位址定址到的一位置產生一第三位址；

一第二實際位址 MRU，用以自該第二位址定址到的一位置產生一第四位址；

多工裝置，用以選擇由計算出的一進位位元（係自結合該第一運算元及該第二運算元而產生該進位位元）所選通的該第三位址或該第四位址，以便產生用來存取該快取記憶體陣列之該有效位址。

15. 根據申請專利範圍第 14 項之裝置，其中係由該第一加法器產生該計算出的進位位元。

16. 根據申請專利範圍第 14 項之裝置，其中該每一該實際位址 MRU 之寬度為兩個位元，並包含多於兩個的複數個位址。

17. 根據申請專利範圍第 14 項之裝置，又包含：

結合裝置，用以將若干轉換不變量位元與用來存取該快取記憶體陣列的所選擇第三或第四位址結合。

18. 根據申請專利範圍第 14 項之裝置，其中該第一實際位址 MRU 及該第二實際位址 MRU 是相互複製。

19. 根據申請專利範圍第 14 項之裝置，又包含由計算出的該進位位元所選通的多工裝置，用以選通該第三位

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

址或該第四位址，以便形成該第五地址。

20. 根據申請專利範圍第 14 項之裝置，其中該第一、第二、及第三加法器係以大致平行之方式作業。
21. 根據申請專利範圍第 14 項之裝置，其中該第二及該第三加法器可分別作業，而將來自該第一運算元及該第二運算元的若干第二所選擇位元與形成該第一位址及該第二位址時該等第一所選擇位元之一部分散列。
22. 根據申請專利範圍第 21 項之裝置，其中該第二及該第三加法器可分別作業，而對來自該第一運算元的該等第二所選擇位元與來自該第二運算元的該等第二所選擇位元進行互斥"或"運算；以及
對該運算結果與該等第一所選擇位元之半和進行互斥"或"運算。
23. 根據申請專利範圍第 22 項之裝置，其中係於形成該第一位址時在該第二加法器中，且於形成該第二位址時在該第三加法器中，產生該半和。
24. 根據申請專利範圍第 22 項之裝置，其中每一該第一運算元(R1)及該第二運算元(R2)都包含 64 個位元(0:63)，且其中該第一及第二加法器可分別作業，而於形成該第一及第二位址時計算下列值：

$$R1(32:34) \text{ XOR } R2(32:34) \text{ XOR } \text{HSUM}(44:46)。$$

25. 一種可由一機器讀取之程式儲存裝置，該程式儲存裝置在實體上包含可由一機器執行的一指令程式，用以執行用來存取一快取記憶體陣列的一位址之方法步

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

驟，該等方法步驟包含：

在一第一加法器中，將一第一運算元與一第二運算元結合，而產生一有效位址；

在一第二加法器中，將來自每一該第一及第二運算元的若干第一所選擇位元與一個值為 1 的預選進位位元結合，而形成一第一位址；

在一第三加法器中，將該等第一所選擇位元與一個值為 0 的預選進位位元結合，而形成一第二位址；

在該第一位址定址到的一位置上存取一第一實際位址 MRU，以便產生一第三位址；

在該第二位址定址到的一位置上存取一第二實際位址 MRU，以便產生一第四位址；以及

根據因結合該第一運算元及該第二運算元而計算產生的一進位位元，而選擇該第三位址或該第四位址，以便產生用來存取該快取記憶體陣列之一第五位址。

26. 一種具有電腦可使用媒體之製品，其中該電腦可使用之媒體具有電腦可讀取的程式碼裝置，該電腦可讀取之程式碼裝置係包含在該媒體中，用以產生一個用來存取一快取記憶體陣列之位址，該製品中之該電腦可讀取之程式碼裝置包含：

使一電腦完成一有效位址產生的電腦可讀取之程式碼裝置，用以在一第一加法器中將一第一運算元與一第二運算元結合；

使一電腦完成一結合作業的電腦可讀取之程式碼裝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

置，用以在一第二加法器中，將來自每一該第一及第二運算元的若干第一所選擇位元與一個值為 1 的預選進位位元結合，而形成一第一位址；

使一電腦完成另一結合作業的電腦可讀取之程式碼裝置，用以在一第三加法器中，將該等第一所選擇位元與一個值為 0 的預選進位位元結合，而形成一第二位址；

使一電腦完成存取第一實際位址 MRU 的電腦可讀取之程式碼裝置，用以在該第一位址定址到的一位置上存取一第一實際位址 MRU，以便產生一第三位址；

使一電腦完成存取第二實際位址 MRU 的電腦可讀取之程式碼裝置，用以在該第二位址定址到的一位置上存取一第二實際位址 MRU，以便產生一第四位址；以及

使一電腦完成選擇作業的電腦可讀取之程式碼裝置，用以根據因結合該第一運算元及該第二運算元而計算產生的一進位位元，而選擇該第三位址或該第四位址，以便產生用來存取該快取記憶體陣列之一第五位址。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

第087102125號專利申請案
中文圖式修正本(90年4月)

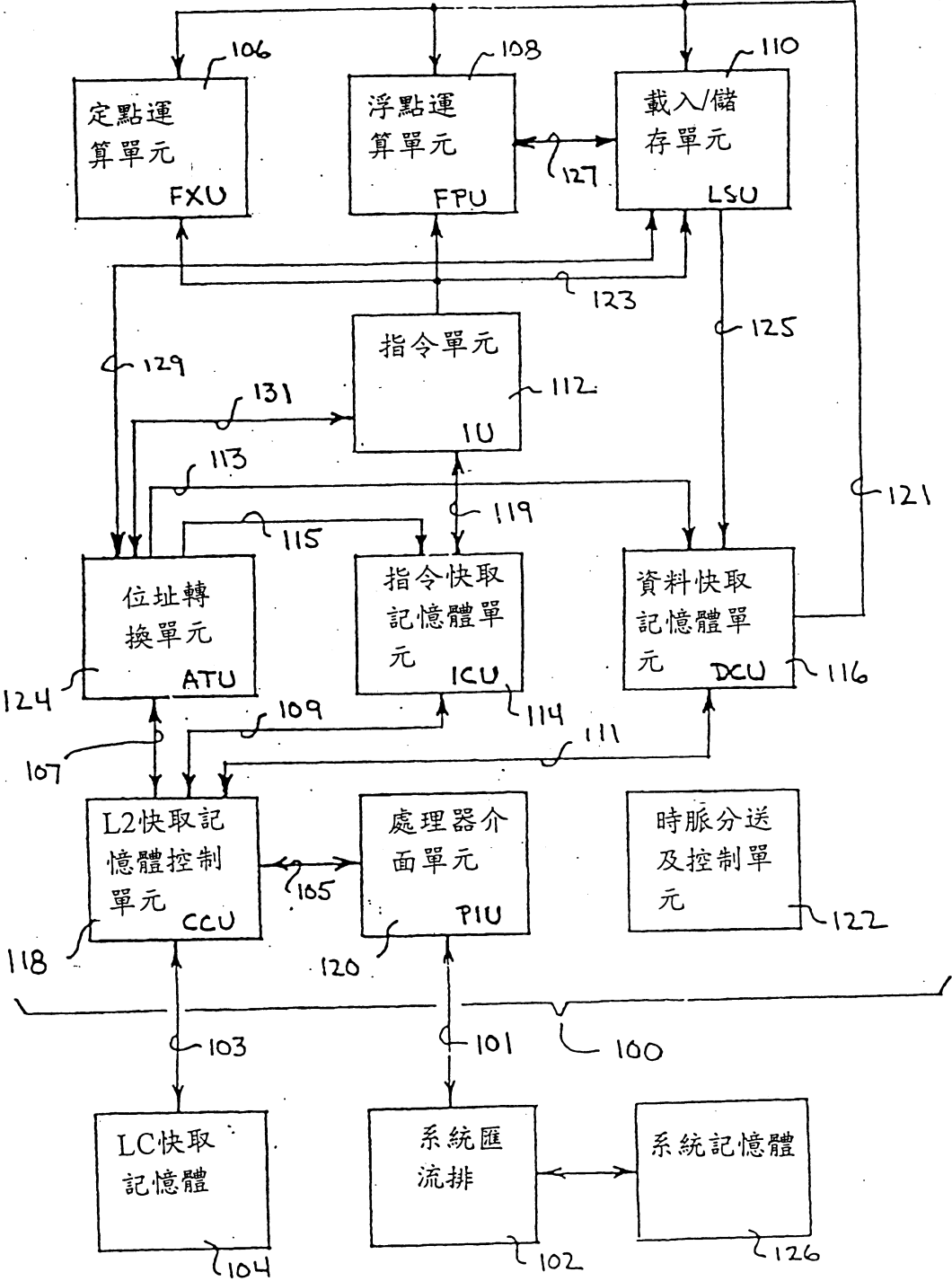


圖 1

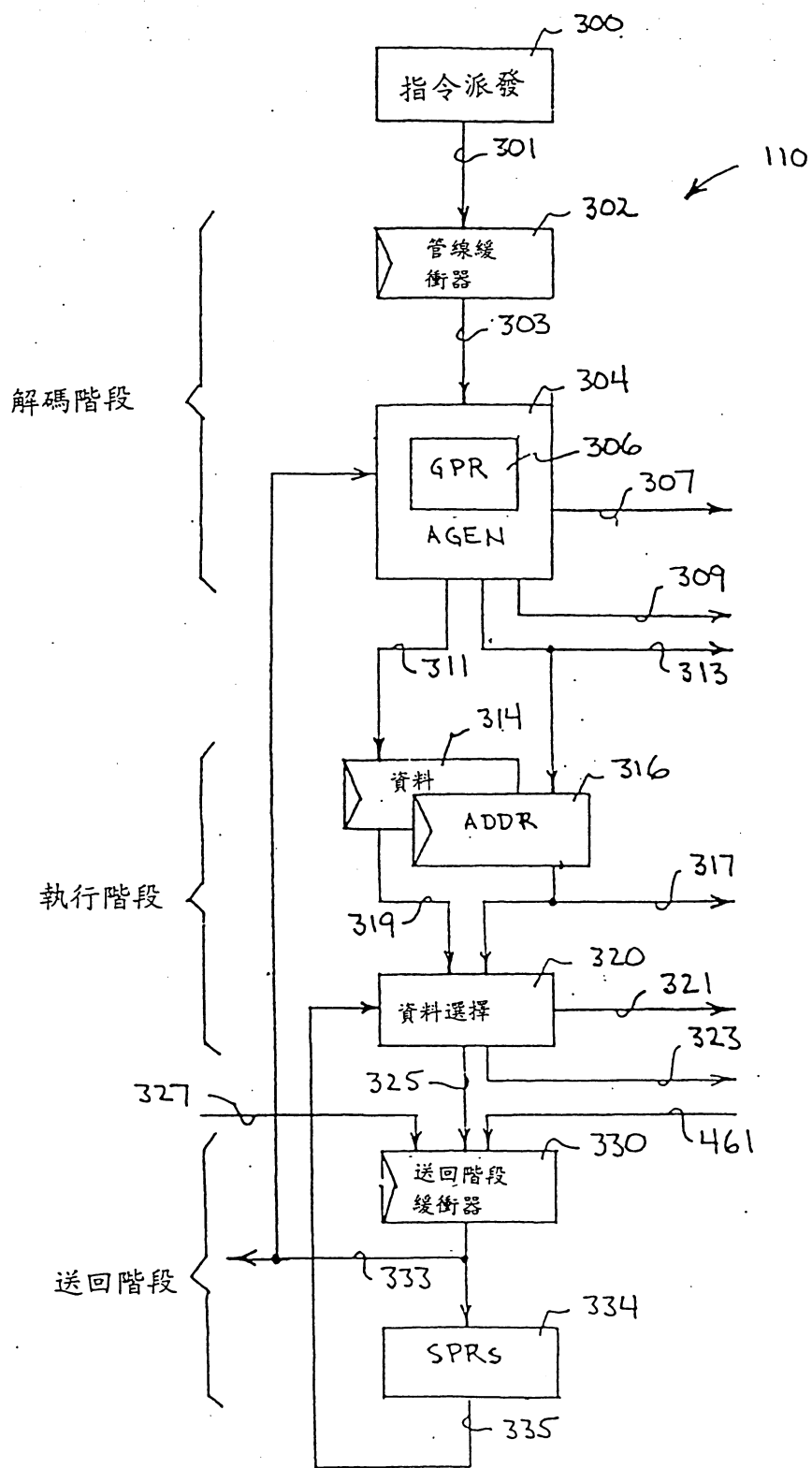


圖 2A

圖 2B	
圖 2A	圖 2C

圖 2

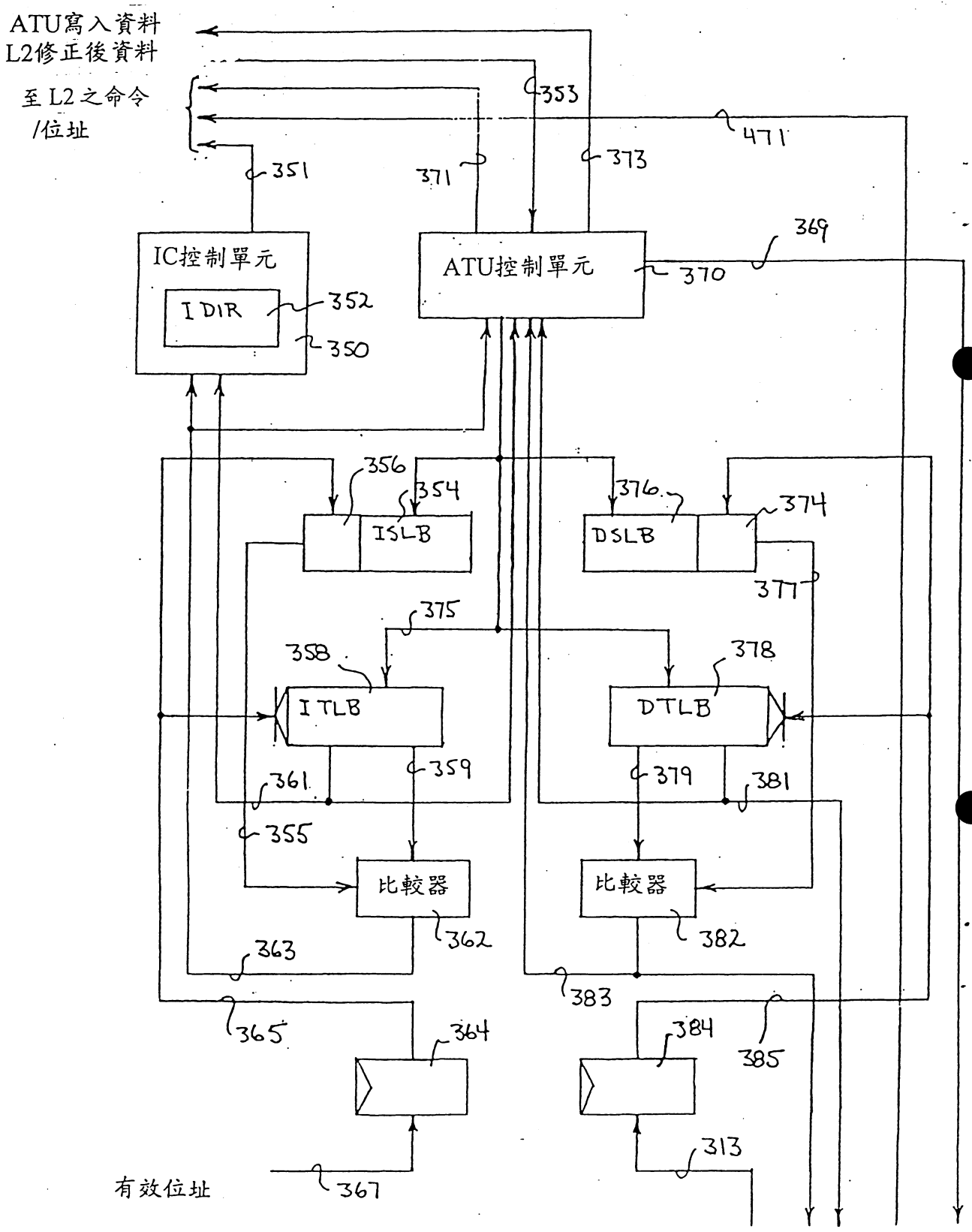


圖 2B

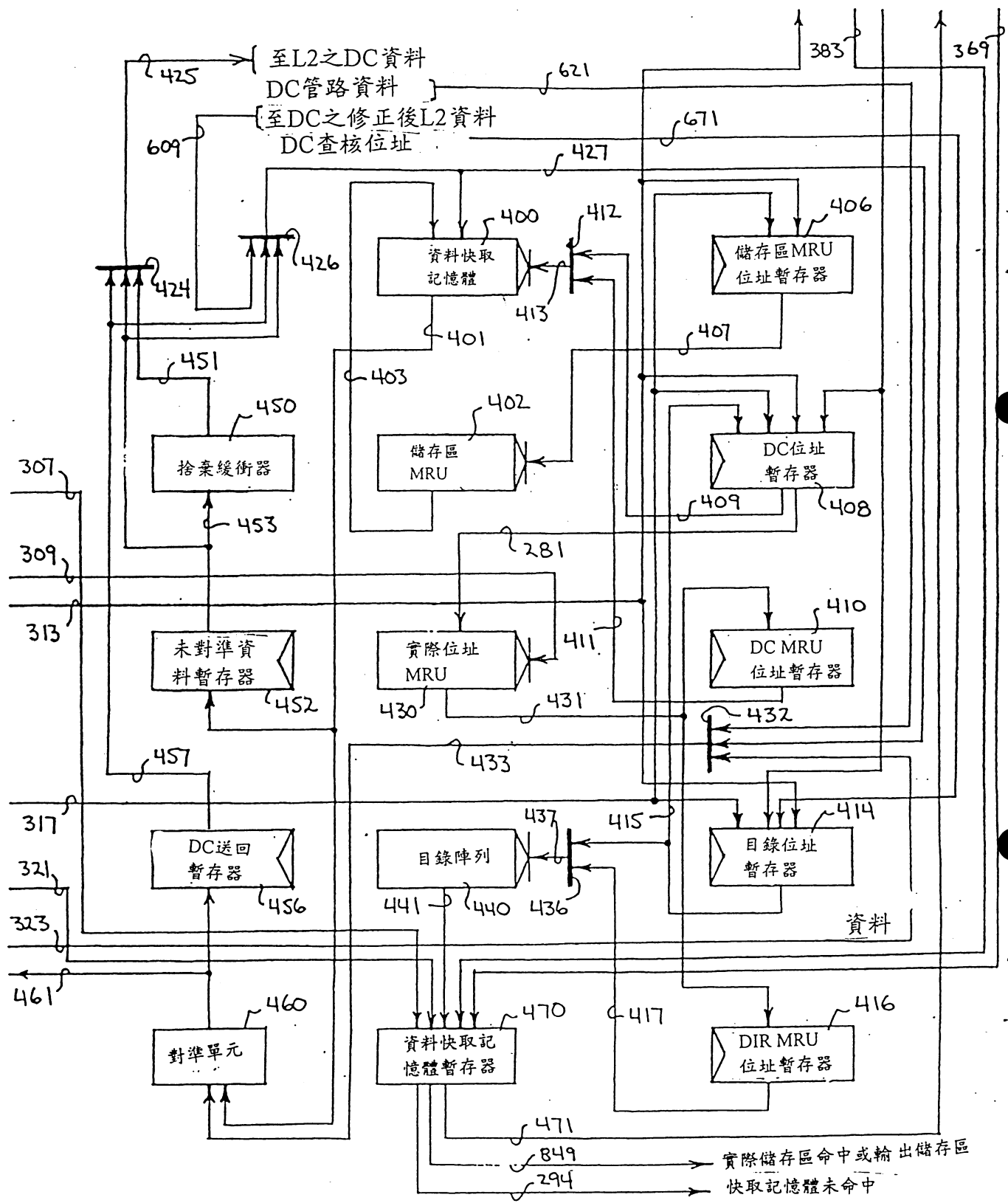
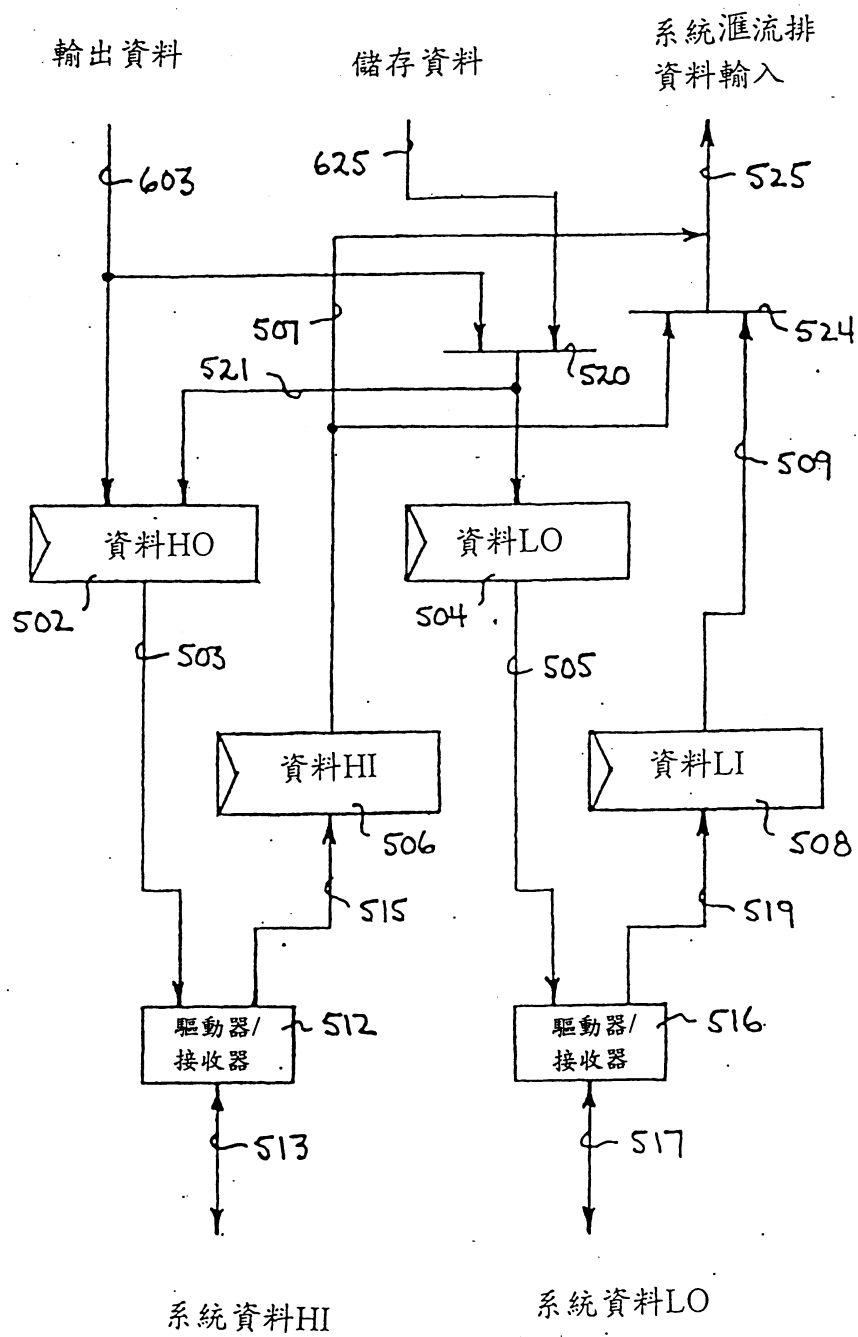


圖 2C



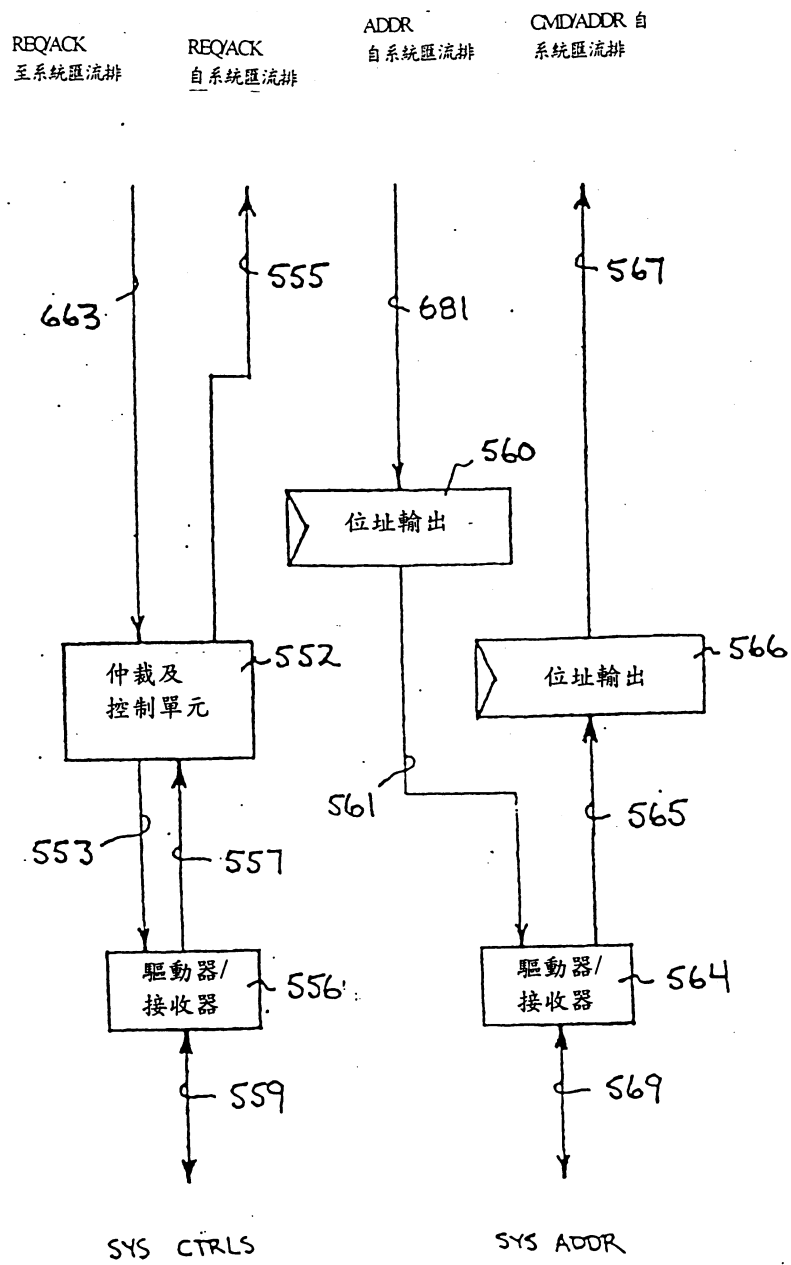


圖 4

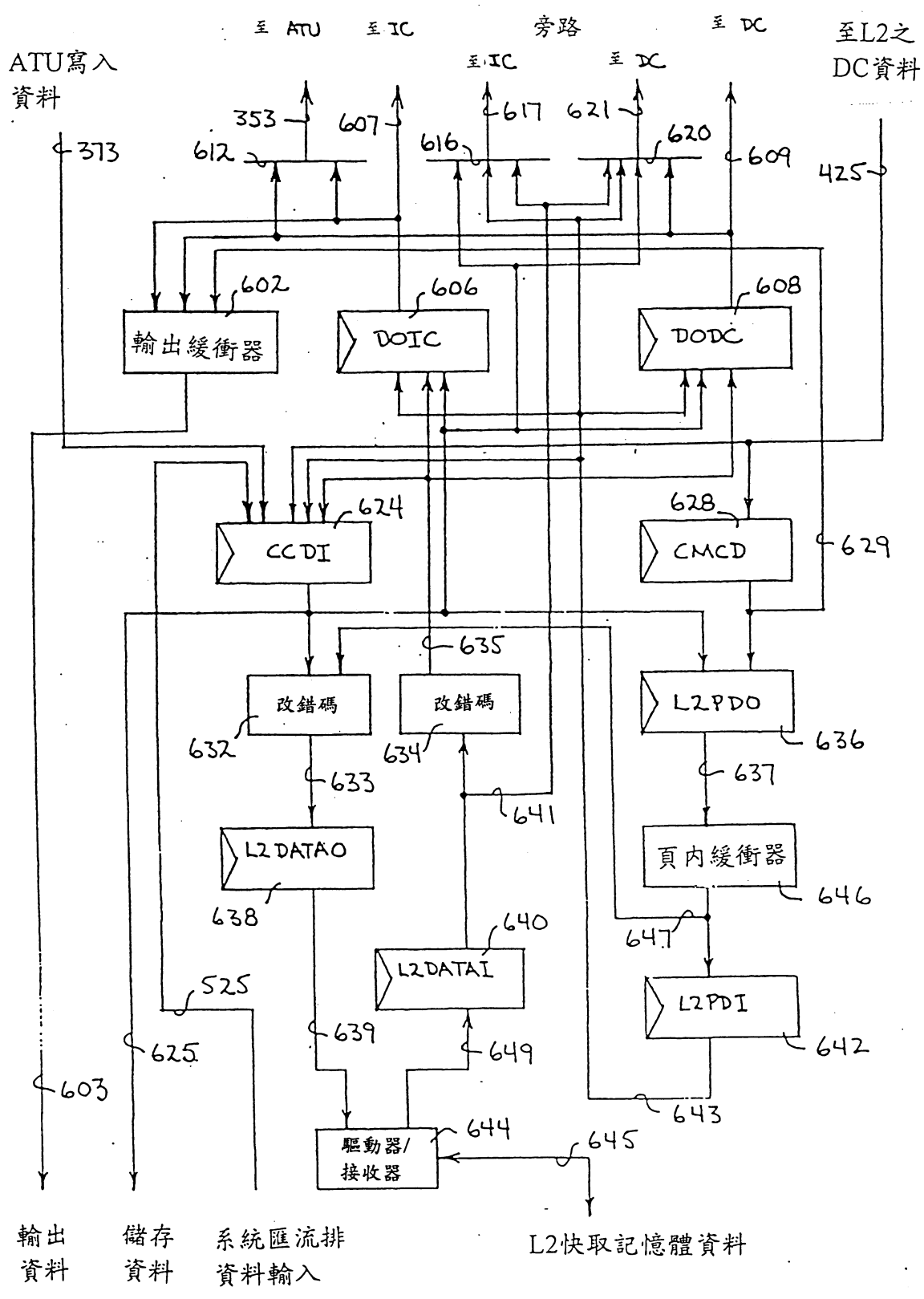


圖 5

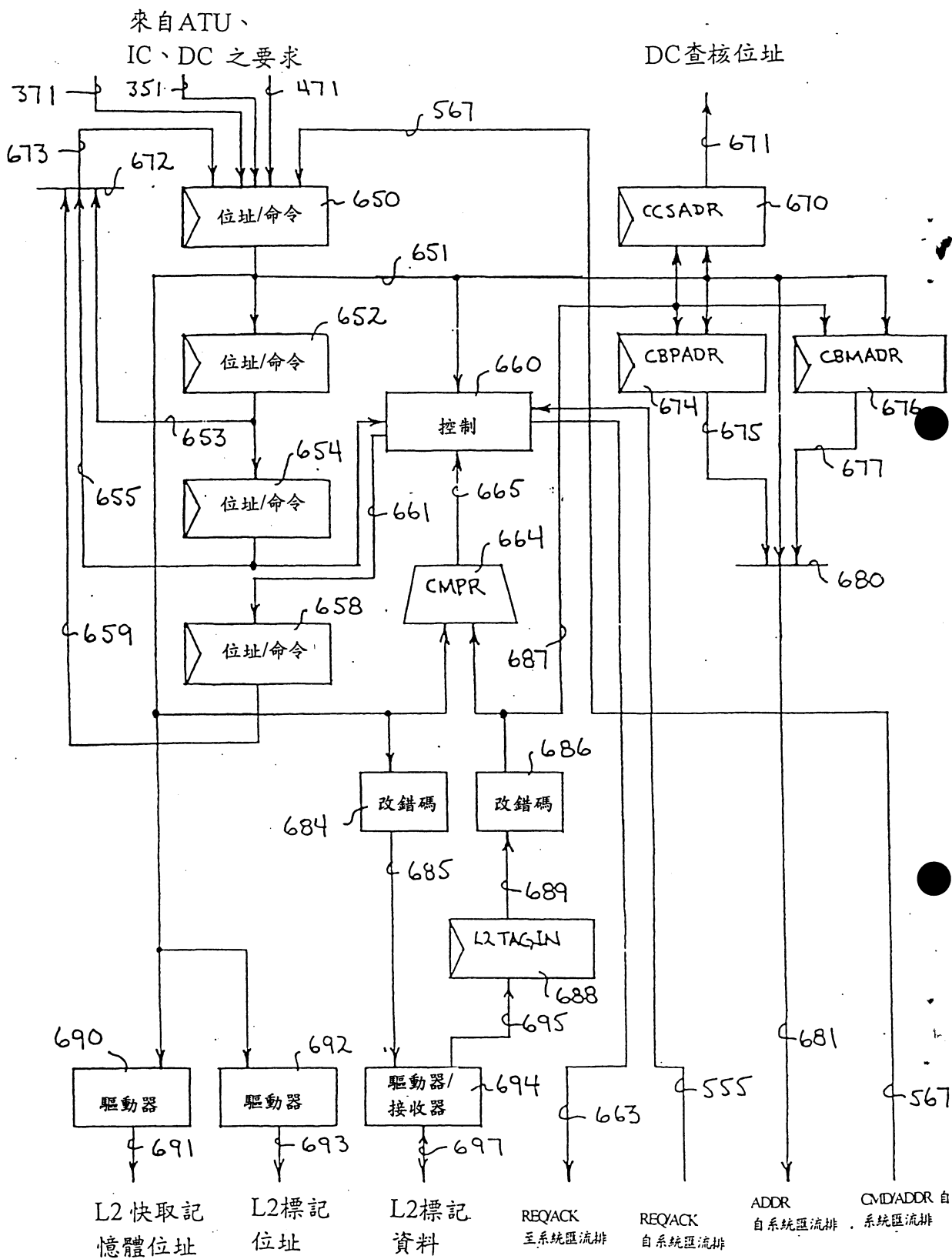


圖 6

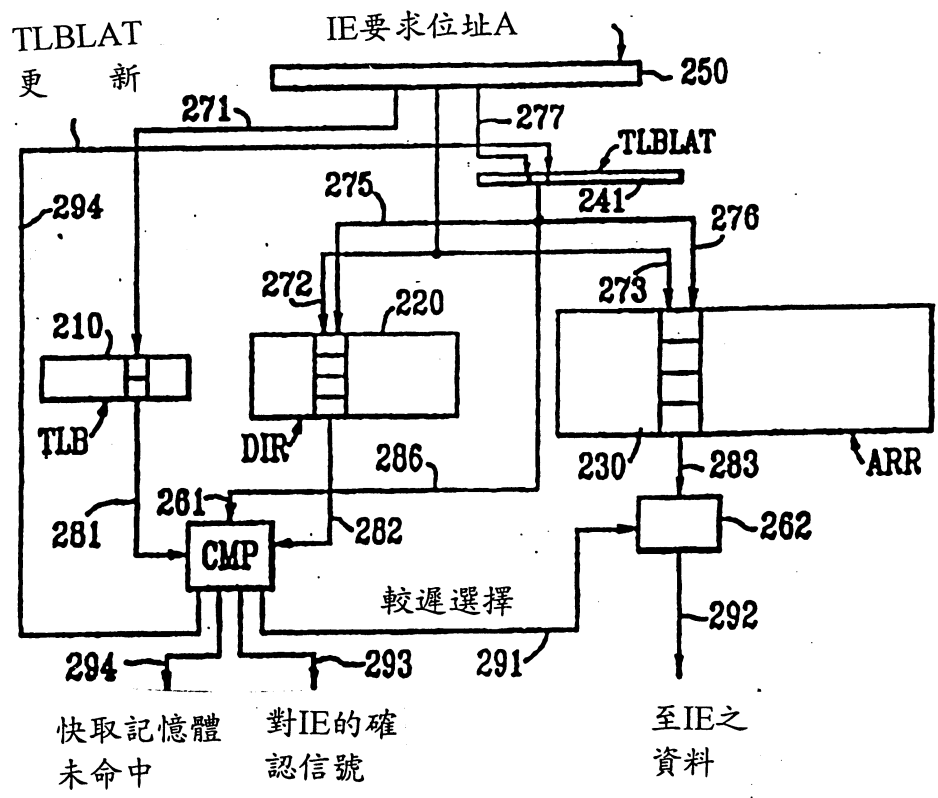


圖 7

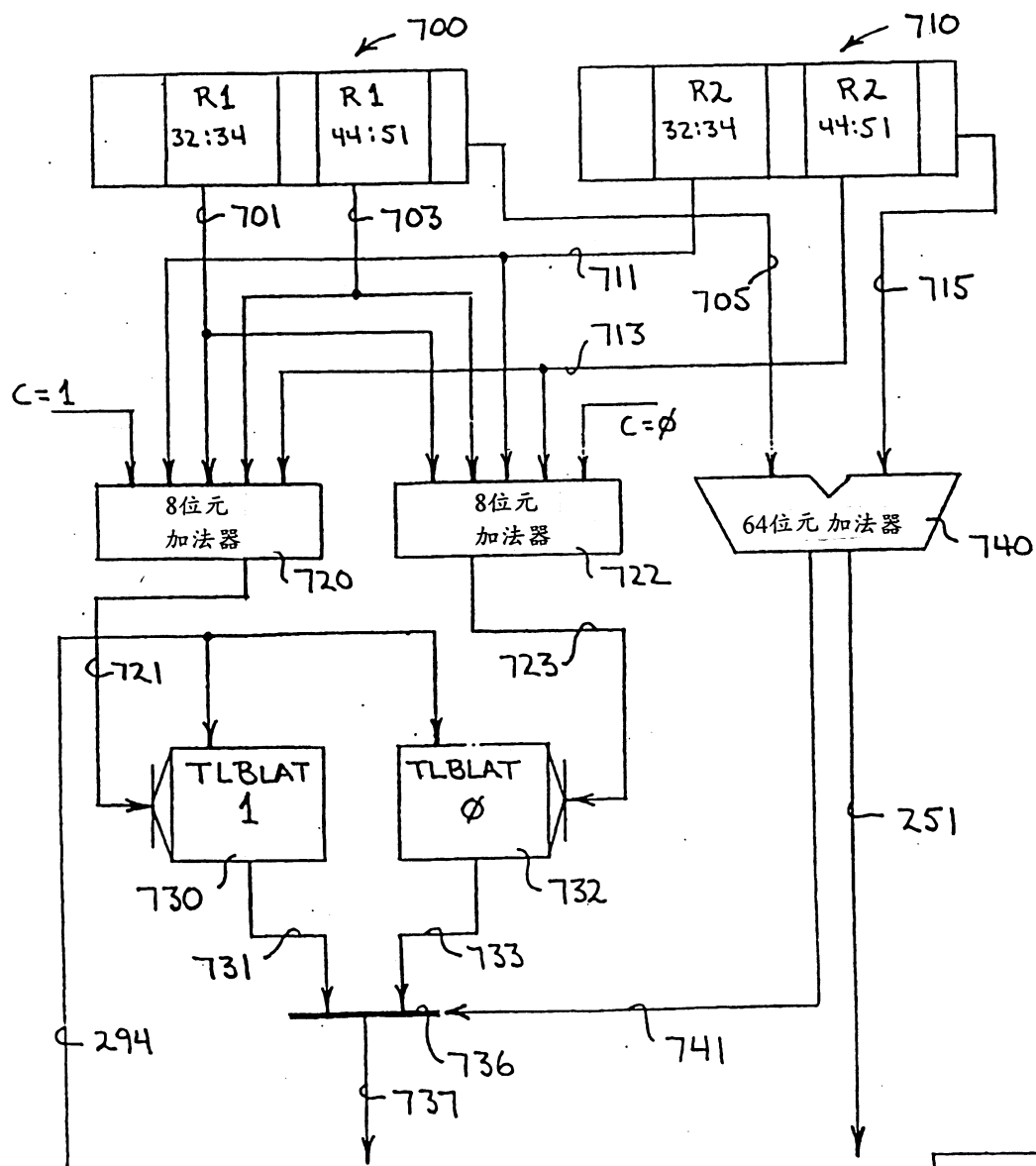


圖 8A

圖 8A

圖 8B

圖 8

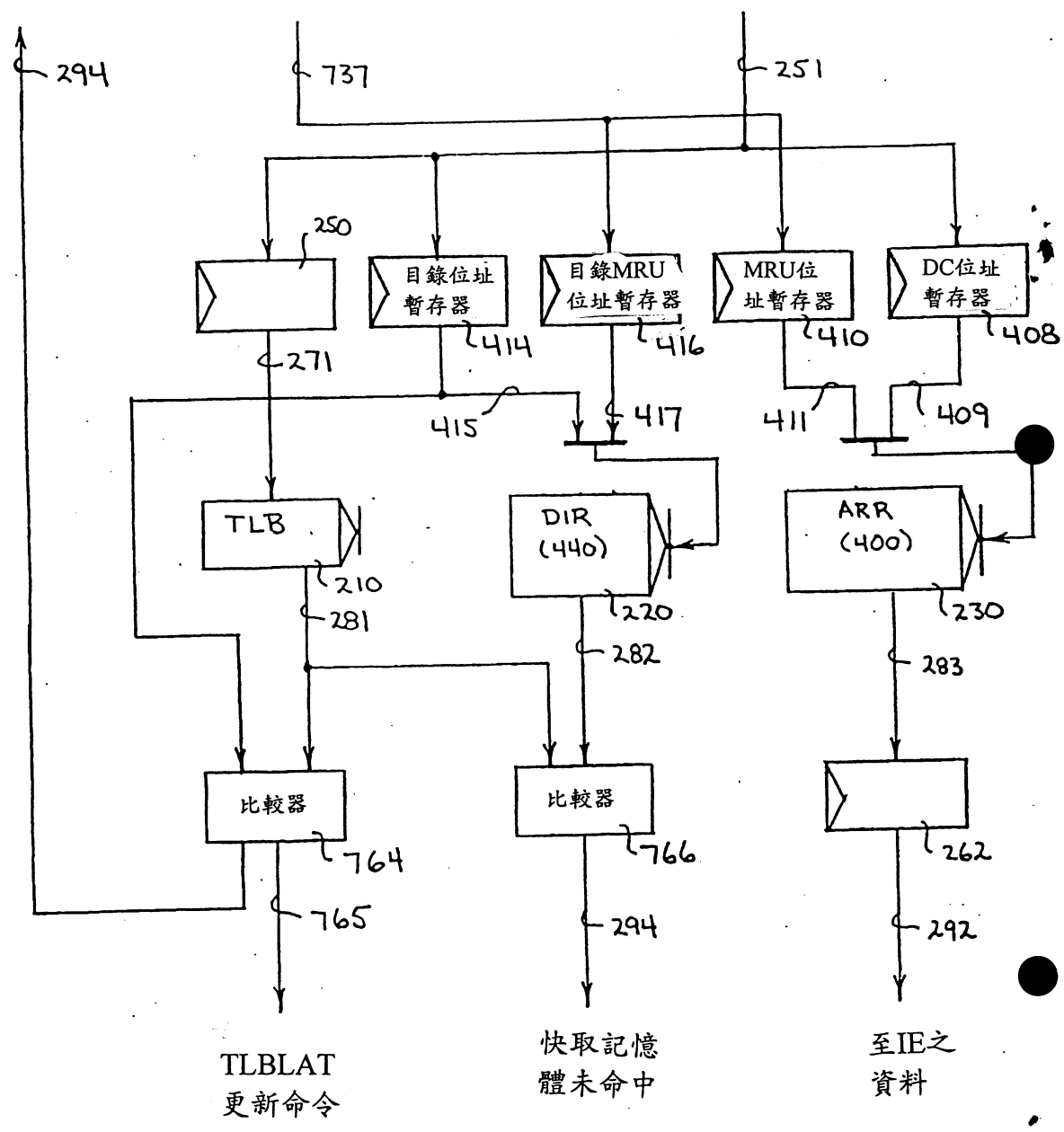


圖 8B

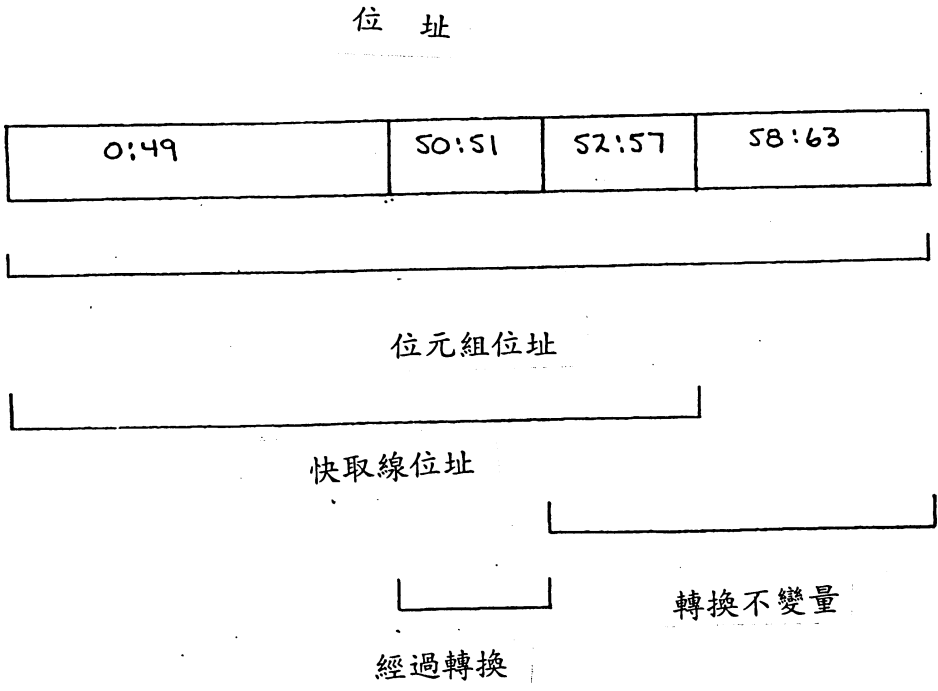


圖 9