

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 8 月 14 日 (14.08.2014)



(10) 国际公布号
WO 2014/121469 A1

(51) 国际专利分类号:
H01L 21/336 (2006.01)

(21) 国际申请号: PCT/CN2013/071471

(22) 国际申请日: 2013 年 2 月 6 日 (06.02.2013)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳市柔宇科技有限公司 (SHENZHEN ROYOLE TECHNOLOGIES CO. LTD.) [CN/CN]; 中国广东省深圳市南山区高新南环路 29 号留学生创业大厦 2005 室, Guangdong 518057 (CN)。

(72) 发明人: 余晓军 (YU, Xiaojun); 中国广东省深圳市南山区高新南环路 29 号留学生创业大厦 2005 室, Guangdong 518057 (CN)。 魏鹏 (WEI, Peng); 中国广东省深圳市南山区高新南环路 29 号留学生创业大厦 2005 室, Guangdong 518057 (CN)。 刘自鸿 (LIU, Zihong); 中国广东省深圳市南山区高新南环路 29 号留学生创业大厦 2005 室, Guangdong 518057 (CN)。

(74) 代理人: 深圳中一专利商标事务所 (SHENZHEN ZHONGYI PATENT AND TRADEMARK OFFICE); 中国广东省深圳市福田区深南中路 1014 号老特区报社四楼西区 (5 号信箱), Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,

[见续页]

(54) Title: METHOD FOR MANUFACTURING THIN FILM TRANSISTOR AND PIXEL UNIT THEREOF

(54) 发明名称: 一种薄膜晶体管及其像素单元的制造方法

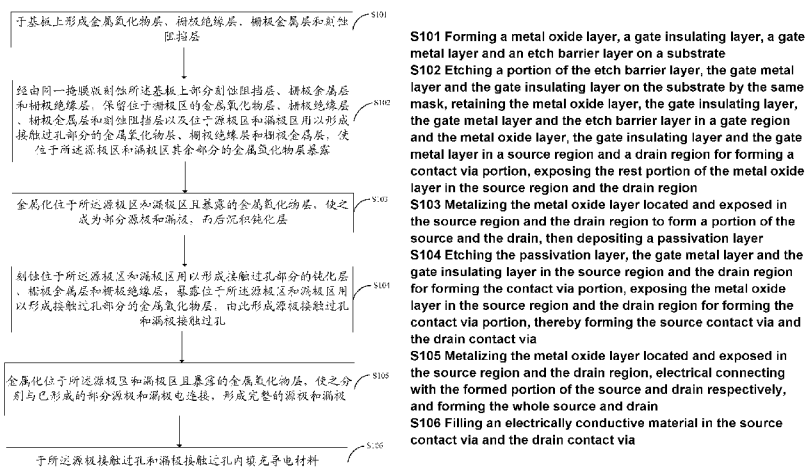


图 1 /FIG. 1

(57) Abstract: Disclosed is a method for manufacturing a thin film transistor and pixel units thereof. When manufacturing the thin film transistor, a portion of an etch barrier layer (5), a gate metal layer (4) and a gate insulating layer (3) on a substrate (1) are etched by the same mask (6). A metal oxide layer (2), the gate insulating layer (3), the gate metal layer (4) and the etch barrier layer (5) in a gate region and the metal oxide layer (2), the gate insulating layer (3) and the gate metal layer (4) in a source region and a drain region for forming a contact via portion are retained, thereby the positions of a gate (11), a source/drain (12, 13) and the contact via of the source/drain (9, 10) are determined in one time, and the space between the source contact via (9) formed by replacing material sequentially and the gate (11) is equal to the space between the drain contact via (10) formed by replacing material sequentially and the gate (11), thereby the source/drain (12, 13) are self-aligned with the gate (11) and the contact via of the source/drain (9, 10) are self-aligned with the gate (11) and are symmetrical, thus the formed thin film transistor hardly generates short circuits and open circuits and has small parasitic capacitance, the circuit prepared has fast running speed. Further, the process is suitable for manufacturing pixel units of the thin film transistor.

(57) 摘要:

[见续页]



MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

公开了一种薄膜晶体管及其像素单元的制造方法, 制造所述薄膜晶体管时经由同一掩膜版(6)刻蚀基板(1)上部分刻蚀阻挡层(5)、栅极金属层(4)和栅极绝缘层(3), 保留位于栅极区的金属氧化物层(2)、栅极绝缘层(3)、栅极金属层(4)和刻蚀阻挡层(5)以及位于源极区和漏极区用以形成接触过孔部分的金属氧化物层(2)、栅极绝缘层(3)和栅极金属层(4), 如此一次确定栅极(11)、源漏极(12, 13)和源漏极接触过孔(9, 10)的位置, 并使后续通过材料替换形成的源极接触过孔(9)和漏极接触过孔(10)与栅极(11)的间距相等, 从而使源漏极(12, 13)与栅极(11)自对准和源漏极接触过孔(9, 10)与栅极(11)自对准且对称, 由此制成的薄膜晶体管不易发生短路、断路, 寄生电容小, 所制电路运行速度快。另外, 本工艺适于薄膜晶体管像素单元制造。

说明书

发明名称：一种薄膜晶体管及其像素单元的制造方法

技术领域

- [1] 本发明属于电子技术领域，尤其涉及一种薄膜晶体管及其像素单元的制造方法。

背景技术

- [2] 薄膜晶体管（TFT），如In-Ga-Zn-O (IGZO) TFT是一种可广泛用于各种电子系统的基本电路组成器件，具有多种优势，比如高电子迁移率、低温制造工艺、较高稳定性、透明等等。然而现有薄膜晶体管制造过程中因栅极与源漏极的重叠增加，导致栅源寄生电容大，使得薄膜晶体管整体性能差。另外，源极和漏极的接触过孔与栅极对准要求高，低精度的掩膜版对焦方式会导致源漏极接触过孔不对称，甚至发生断路/短路，可靠性低。

对发明的公开

技术问题

- [3] 本发明实施例的目的在于提供一种薄膜晶体管的制造方法，旨在解决现有薄膜晶体管性能差、可靠性低的问题。

问题的解决方案

技术解决方案

- [4] 本发明实施例是这样实现的，一种薄膜晶体管的制造方法，包括以下步骤：
- [5] 于基板上形成金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层；
- [6] 经由同一掩膜版刻蚀所述基板上部分刻蚀阻挡层、栅极金属层和栅极绝缘层，保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，使位于所述源极区和漏极区其余部分的金属氧化物层暴露；
- [7] 金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之成为部分源极和漏极，而后沉积钝化层；
- [8] 刻蚀位于所述源极区和漏极区用以形成接触过孔部分的钝化层、栅极金属层和

栅极绝缘层，暴露位于所述源极区和漏极区用以形成接触过孔部分的金属氧化物层，由此形成源极接触过孔和漏极接触过孔；

- [9] 金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之分别与已形成的部分源极和漏极电连接，形成完整的源极和漏极；
- [10] 于所述源极接触过孔和漏极接触过孔内填充导电材料。
- [11] 本发明实施例的另一目的在于提供一种薄膜晶体管像素单元的制造方法，包括以下步骤：
- [12] 于基板上形成金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层，其中所述金属氧化物层位于薄膜晶体管区；
- [13] 经由同一掩膜版刻蚀所述基板上部分刻蚀阻挡层、栅极金属层和栅极绝缘层；保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层，位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，位于栅极接口区的栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于存储电容区的栅极绝缘层和栅极金属层；使位于所述源极区和漏极区其余部分的金属氧化物层暴露；
- [14] 金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之成为部分源极和漏极，而后沉积钝化层；
- [15] 刻蚀位于所述源极区和漏极区用以形成接触过孔部分以及栅极接口区的钝化层，由此形成源极接触过孔、漏极接触过孔和栅极接口区连线接触过孔的上半部分；
- [16] 进一步刻蚀位于所述源极区和漏极区用以形成接触过孔部分的栅极金属层和栅极绝缘层以及位于所述栅极接口区的刻蚀阻挡层，暴露位于所述源极区和漏极区用以形成接触过孔部分的金属氧化物层以及位于所述栅极接口区的栅极金属层，由此形成所述源极接触过孔、漏极接触过孔和栅极接口区连线接触过孔的下半部分，并与其上半部分构成完整的源极接触过孔、漏极接触过孔和栅极接口区连线接触过孔；
- [17] 金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之分别与已形成的部分源极和漏极电连接，形成完整的源极和漏极；

- [18] 于所述源极接触过孔、漏极接触过孔和栅极接口区连线接触过孔内填充导电材料。

发明的有益效果

有益效果

- [19] 本发明实施例经由同一掩膜版刻蚀基板上部分刻蚀阻挡层、栅极金属层和栅极绝缘层，保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，如此一次确定栅极、源漏极和源漏极接触过孔的位置，并使后续通过材料替换形成的源极接触过孔和漏极接触过孔与栅极的间距相等，从而使源漏极与栅极自对准和源漏极接触过孔与栅极自对准且对称，由此制成的薄膜晶体管不易发生短路、断路，寄生电容小，所制电路运行速度快。另外，本工艺适于薄膜晶体管像素单元制造。

对附图的简要说明

附图说明

- [20] 图1是本发明第一实施例提供的薄膜晶体管的制造方法实现流程图；
- [21] 图2是本发明第一实施例于基板上沉积金属氧化物层的结构示意图；
- [22] 图3是本发明第一实施例刻蚀部分金属氧化物层的结构示意图（基板较大，刻蚀掉薄膜晶体管区以外的金属氧化物层后）；
- [23] 图4是本发明第一实施例于金属氧化物层上沉积栅极绝缘层、栅极金属层和刻蚀阻挡层的结构示意图；
- [24] 图5是本发明第一实施例经由同一掩膜版刻蚀部分刻蚀阻挡层、栅极金属层和栅极绝缘层的结构示意图；
- [25] 图6是本发明第一实施例经由同一掩膜版刻蚀暴露的刻蚀阻挡层以及与之对位的栅极金属层和栅极绝缘层的结构示意图；
- [26] 图7是本发明第一实施例减薄光刻胶直至完全移除位于源极区和漏极区用以形成接触过孔部分的光刻胶的结构示意图；
- [27] 图8是本发明第一实施例刻蚀位于源极区和漏极区用以形成接触过孔部分的刻蚀阻挡层的结构示意图；

- [28] 图9是本发明第一实施例保留栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层的结构示意图；
- [29] 图10是本发明第一实施例使暴露的金属氧化物层金属化，以形成部分源极和漏极的结构示意图；
- [30] 图11是本发明第一实施例于基板一侧沉积钝化层的结构示意图；
- [31] 图12是本发明第一实施例中源极区和漏极区用以形成接触过孔上半部分的结构示意图；
- [32] 图13是本发明第一实施例中源极区和漏极区用以形成接触过孔下半部分的结构示意图；
- [33] 图14是本发明第一实施例使暴露的金属氧化物层金属化，以形成完整的源极和漏极的结构示意图；
- [34] 图15是本发明第一实施例于源极接触过孔和漏极接触过孔内沉积导电材料的结构示意图；
- [35] 图16是本发明第一实施例于源极区和漏极区的钝化层上沉积透明金属电极的结构示意图；
- [36] 图17是本发明第一实施例所制金属氧化物薄膜晶体管的结构示意图（移除钝化层后）；
- [37] 图18是本发明第二实施例提供的薄膜晶体管像素单元的制造方法实现流程图；
- [38] 图19是本发明第二实施例于基板上沉积金属氧化物层的结构示意图；
- [39] 图20是本发明第二实施例刻蚀掉薄膜晶体管区以外的金属氧化物层后的结构示意图；
- [40] 图21是本发明第二实施例于金属氧化物层上沉积栅极绝缘层、栅极金属层和刻蚀阻挡层的结构示意图；
- [41] 图22是本发明第二实施例经由同一掩膜版刻蚀部分刻蚀阻挡层、栅极金属层和栅极绝缘层的结构示意图；
- [42] 图23是本发明第二实施例经由同一掩膜版刻蚀暴露的刻蚀阻挡层以及与之对位的栅极金属层和栅极绝缘层的结构示意图；

- [43] 图24是本发明第二实施例减薄光刻胶直至完全移除位于存储电容区以及位于源极区和漏极区用以形成接触过孔部分的光刻胶的结构示意图；
- [44] 图25是本发明第二实施例刻蚀位于存储电容区以及位于源极区和漏极区用以形成接触过孔部分的刻蚀阻挡层的结构示意图；
- [45] 图26是本发明第二实施例保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层，位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，位于栅极接口区的栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于存储电容区的栅极绝缘层和栅极金属层的结构示意图；
- [46] 图27是本发明第二实施例使暴露的金属氧化物层金属化，以形成部分源极和漏极的结构示意图；
- [47] 图28是本发明第二实施例于基板一侧沉积钝化层的结构示意图；
- [48] 图29是本发明第二实施例中源极区、漏极区和栅极接口区用以形成接触过孔上半部分的结构示意图；
- [49] 图30是本发明第二实施例中源极区、漏极区和栅极接口区用以形成接触过孔下半部分的结构示意图；
- [50] 图31是本发明第二实施例使暴露的金属氧化物层金属化，以形成完整的源极和漏极的结构示意图；
- [51] 图32是本发明第二实施例于源极接触过孔、漏极接触过孔和栅极接口区连线接触过孔内沉积导电材料的结构示意图；
- [52] 图33是本发明第二实施例沉积透明金属电极的结构示意图；
- [53] 图34是本发明第二实施例所制存储电容的结构示意图。

发明实施例

本发明的实施方式

- [54] 为了使本发明的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本发明进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。
- [55] 本发明实施例经由同一掩膜版刻蚀基板上部分刻蚀阻挡层、栅极金属层和栅极绝缘层，保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻

挡层以及位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，如此一次确定栅极、源漏极和源漏极接触过孔的位置，并使后续通过材料替换形成的源极接触过孔和漏极接触过孔与栅极的间距相等，从而使源漏极与栅极自对准和源漏极接触过孔与栅极自对准且对称，由此制成的薄膜晶体管不易发生短路、断路，寄生电容小，所制电路运行速度快。

[56] 下面以金属氧化物薄膜晶体管为例对本发明的实现进行详细描述。

[57] 实施例一

[58] 图1示出了本发明实施例提供的薄膜晶体管的制造方法实现流程，详述如下。

[59] 在步骤S101中，于基板上形成金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层。

[60] 如图2所示，本发明实施例先在基板1上沉积金属氧化物层2，其中所述基板1材料可以为玻璃、塑料等，所述基板1还可预先沉积至少一个缓冲层。如图3所示，采用光刻工艺刻蚀掉薄膜晶体管区以外的金属氧化物层。接着，在所述金属氧化物层2上依序沉积栅极绝缘层3、栅极金属层4和刻蚀阻挡层5，如图4所示。

[61] 在步骤S102中，经由同一掩膜版刻蚀所述基板上部分刻蚀阻挡层、栅极金属层和栅极绝缘层，保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，使位于所述源极区和漏极区其余部分的金属氧化物层暴露。

[62] 如图5所示，本发明实施例经由同一掩膜版6刻蚀所述基板1上部分刻蚀阻挡层、部分栅极金属层和部分栅极绝缘层，此处采用光刻工艺进行刻蚀。刻蚀掉部分刻蚀阻挡层、部分栅极金属层和部分栅极绝缘层后，保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层。同时，使位于所述源极区和漏极区其余部分的金属氧化物层暴露，此处至少暴露所述源极区和漏极区用以形成接触过孔的部分与栅极区之间的金属氧化物层。

[63] 具体地，先于所述刻蚀阻挡层5之上均匀涂布光刻胶，使所述光刻胶上表面为平直表面，并将掩膜版6置于所述光刻胶之上。其中，所述掩膜版为灰阶掩膜版

。接着由作用光投射于所述掩膜版6，对所述光刻胶进行曝光、显影处理，使位于栅极区的光刻胶较位于源极区和漏极区用以形成接触过孔部分的光刻胶厚，同时使位于源极区用以形成接触过孔部分的光刻胶与位于漏极区用以形成接触过孔部分的光刻胶等厚，并去除其它位置的光刻胶，此时所述光刻胶7处于各位置的厚度由灰阶掩膜版相应部分的透光率决定。然后刻蚀掉部分刻蚀阻挡层、部分栅极金属层和部分栅极绝缘层，刻蚀掉的薄膜层数由所述掩膜版6决定。具体刻蚀时先刻蚀所有暴露的刻蚀阻挡层（即未被光刻胶覆盖的刻蚀阻挡层）以及与该刻蚀阻挡层对位的栅极金属层和栅极绝缘层，如图6所示；接着减薄所述光刻胶处于各位置的厚度，直至位于所述源极区和漏极区用以形成接触过孔部分的光刻胶完全去除，如图7所示；然后刻蚀掉位于所述源极区和漏极区用以形成接触过孔部分的刻蚀阻挡层，如图8所示；最后去除所有光刻胶，如图9所示。其中，所述作用光可为紫外光。

[64] 这样保留了位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层。同时，使部分金属氧化物层暴露，即暴露所述源极区和漏极区用以形成接触过孔的部分与栅极区之间的金属氧化物层。当然，还可以暴露所述源极区和漏极区用以形成接触过孔部分周围的金属氧化物层。如此一次确定栅极、源漏极和源漏极接触过孔的位置，并使后续通过材料替换形成的源极接触过孔和漏极接触过孔与栅极的间距相等，从而使源漏极与栅极自对准和源漏极接触过孔与栅极自对准且对称，由此制成的薄膜晶体管不易发生短路、断路，寄生电容小，所制电路运行速度快。

[65] 在步骤S103中，金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之成为部分源极和漏极，而后沉积钝化层。

[66] 如图10所示，本发明实施例先通过等离子处理，使位于所述源极区和漏极区且暴露的金属氧化物层金属化。例如，于所述栅极区、源极区和漏极区氢化氮化硅 SiN_xH 绝缘保护层，该氢化过程直接将位于所述源极区和漏极区且暴露的金属氧化物层金属化，成为部分源极和漏极，大大节省了工艺步骤。金属化后，该部分源极和漏极为导电的源极和漏极。相比于现有技术通过等离子（Ar或者H

-rich NH₃) 形成自对准的源漏极器件, 本发明实施例所制薄膜晶体管源漏极电阻率大大降低, 器件性能显著提高, 同时因为本制造方法减少了昂贵的工艺步骤, 整体制造成本降低。另外, 本自对准工艺可以最小化栅极与源漏极的重叠, 沟道尺寸可以精确控制, 从而可能显著减小沟道尺寸, 提高器件性能。

[67] 接着, 沉积覆盖所述栅极区、源极区和漏极区的钝化层8, 即在所述基板一侧沉积钝化层8, 该钝化层8同时覆盖所述栅极区、源极区和漏极区, 如图11所示。其中, 所述钝化层8可以为SiN_x薄膜或SiO₂/SiN_x的多层薄膜。

[68] 在步骤S104中, 刻蚀位于所述源极区和漏极区用以形成接触过孔部分的钝化层、栅极金属层和栅极绝缘层, 暴露位于所述源极区和漏极区用以形成接触过孔部分的金属氧化物层, 由此形成源极接触过孔和漏极接触过孔。

[69] 本发明实施例通过光刻工艺刻蚀位于所述源极区和漏极区用以形成接触过孔部分的钝化层、栅极金属层和栅极绝缘层, 使位于所述源极区和漏极区用以形成接触过孔部分的金属氧化物层暴露, 由此形成源极接触过孔9和漏极接触过孔10。

[70] 具体地, 先光刻位于所述源极区和漏极区用以形成接触过孔部分的钝化层, 由此形成源极接触过孔和漏极接触过孔的上半部分, 如图12所示。该上半部分的侧面可倾斜于金属氧化物层, 工艺要求低, 易于光刻。接着, 进一步刻蚀位于所述源极区和漏极区用以形成接触过孔部分的栅极金属层和栅极绝缘层。如图13所示, 直至暴露位于所述源极区和漏极区用以形成接触过孔部分的金属氧化物层, 由此形成源极接触过孔和漏极接触过孔的下半部分, 该下半部分的侧面垂直于金属氧化物层, 这样使得源极接触过孔9和漏极接触过孔10的下半部分与栅极11的间距相等且对称, 即所制薄膜晶体管不会发生断路、短路等现象。

[71] 在步骤S105中, 金属化位于所述源极区和漏极区且暴露的金属氧化物层, 使之分别与已形成的部分源极和漏极电连接, 形成完整的源极和漏极。

[72] 如图14所示, 本发明实施例先通过等离子处理, 使位于所述源极区和漏极区且暴露的金属氧化物层金属化。例如, 于所述栅极区、源极区和漏极区氢化氮化硅SiN_x:H绝缘保护层, 该氢化过程直接将位于所述源极区和漏极区且暴露的金属氧化物层金属化, 并分别与已形成的部分源极和漏极电连接, 形成完整的源

极和漏极。金属化后，该完整的源极12和漏极13为导电的源极和漏极，而位于该源极12与漏极13间的金属氧化物层形成薄膜晶体管的沟道18。

[73] 在步骤S106中，于所述源极接触过孔和漏极接触过孔内填充导电材料。

[74] 如图15~17所示，本发明实施例于所述源极接触过孔9和漏极接触过孔10内填充导电材料14，并使该导电材料14凸设于钝化层8，利于制作后续电极。另外，于所述源极区和漏极区钝化层之上沉积透明金属电极19。当然，还可于所述栅极区制作穿过钝化层和刻蚀阻挡层的电极。

[75] 实施例二

[76] 图18示出了本发明实施例提供的薄膜晶体管像素单元的制造方法实现流程，详述如下。

[77] 在步骤S201中，于基板上形成金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层，其中所述金属氧化物层位于薄膜晶体管区。

[78] 如图19所示，本发明实施例先在基板21上沉积金属氧化物层22，其中所述基板21材料可以为玻璃、塑料等，所述基板21还可预先沉积至少一层缓冲层。如图20所示，为制作具有存储电容的薄膜晶体管像素单元，需刻蚀掉所述基板21上薄膜晶体管区以外的金属氧化物层。当然，此处可以采用光刻工艺刻蚀掉薄膜晶体管区以外的金属氧化物层。接着，在所述基板21和金属氧化物层22上依序沉积栅极绝缘层23、栅极金属层24和刻蚀阻挡层25，如图21所示。

[79] 在步骤S202中，经由同一掩膜版刻蚀所述基板上部分刻蚀阻挡层、栅极金属层和栅极绝缘层；保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层，位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，位于栅极接口区的栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于存储电容区的栅极绝缘层和栅极金属层；使位于所述源极区和漏极区其余部分的金属氧化物层暴露。

[80] 如图22所示，本发明实施例经由同一掩膜版26刻蚀所述基板21上部分刻蚀阻挡层、部分栅极金属层和部分栅极绝缘层，此处采用光刻工艺进行刻蚀。光刻掉部分刻蚀阻挡层、部分栅极金属层和部分栅极绝缘层后，保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层，位于源极区和漏极区用

以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，位于栅极接口区的栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于存储电容区的栅极绝缘层和栅极金属层。同时，使位于所述源极区和漏极区其余部分的金属氧化物层暴露，此处至少暴露所述源极区和漏极区用以形成接触过孔的部分与栅极区之间的金属氧化物层。

[81] 具体地，先于所述刻蚀阻挡层25之上均匀涂布光刻胶，并将掩膜版26置于所述光刻胶之上。接着由作用光投射于所述掩膜版26，对所述光刻胶进行曝光、显影处理，使位于栅极区和栅极接口区的光刻胶较位于源极区和漏极区用以形成接触过孔部分和存储电容区的光刻胶厚，并使位于栅极区的光刻胶与位于栅极接口区的光刻胶等厚，位于源极区和漏极区用以形成接触过孔部分的光刻胶与位于存储电容区的光刻胶等厚，位于源极区用以形成接触过孔部分的光刻胶与漏极区用以形成接触过孔部分的光刻胶等厚，并去除其它位置的光刻胶，此时所述光刻胶7处于各位置的厚度由灰阶掩膜版相应部分的透光率决定。然后刻蚀掉所述基板21上部分刻蚀阻挡层、部分栅极金属层和部分栅极绝缘层，刻蚀掉的薄膜层数由所述掩膜版6决定。具体刻蚀时先刻蚀所有暴露的刻蚀阻挡层（即未被光刻胶覆盖的刻蚀阻挡层）以及与该刻蚀阻挡层对位的栅极金属层和栅极绝缘层，如图23所示；接着将光刻胶处于各位置的厚度同时减薄，直至位于源极区和漏极区用以形成接触过孔部分的光刻胶以及位于存储电容区的光刻胶完全去除，如图24所示；然后刻蚀掉位于源极区和漏极区用以形成接触过孔部分以及位于存储电容区的刻蚀阻挡层，如图25所示；最后去除所有光刻胶，如图26所示。其中，所述作用光可为紫外光。

[82] 这样保留了位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层，位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，位于栅极接口区的栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于存储电容区的栅极绝缘层和栅极金属层。同时，使位于所述源极区和漏极区其余部分的金属氧化物层暴露，即暴露所述源极区和漏极区用以形成接触过孔的部分与栅极区之间的金属氧化物层。当然，还可以暴露所述源极区和漏极区用以形成接触过孔部分周围的金属氧化物层。如此一次确定栅极、源漏极和

源漏极接触过孔的位置，并使后续通过材料替换形成的源极接触过孔和漏极接触过孔与栅极的间距相等，从而使源漏极与栅极自对准和源漏极接触过孔与栅极自对准且对称，由此制成的薄膜晶体管不易发生短路、断路，寄生电容小，所制电路运行速度快。同时，确定了存储电容和栅极接口区的位置，且去除位于所述存储电容区的刻蚀阻挡层，以便后道工序将位于所述存储电容区的栅极金属层作为存储电容其中一个电极36。

[83] 换言之，因本发明实施例无需多个掩膜版之间进行对准，且由同一掩膜版26确定栅极、源漏极和源漏极接触过孔的位置，使源漏极与栅极完全自对准，源漏极接触过孔与栅极亦完全自对准且对称，极大地提升所制薄膜晶体管的性能。

[84] 在步骤S203中，金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之成为部分源极和漏极，而后沉积钝化层。

[85] 如图27所示，本发明实施例先通过等离子处理，使位于所述源极区和漏极区且暴露的金属氧化物层金属化。例如，于所述栅极区、源极区和漏极区氢化氮化硅 $\text{SiN}_x\text{:H}$ 绝缘保护层，该氢化过程直接将位于所述源极区和漏极区且暴露的金属氧化物层金属化，成为部分源极和漏极。金属化后，该部分源极和漏极为导电的源极和漏极。

[86] 接着，沉积覆盖所述栅极区、源极区、漏极区、栅极接口区以及存储电容区的钝化层28，即在所述基板21一侧沉积钝化层28，该钝化层同时覆盖所述栅极区、源极区、漏极区、栅极接口区以及存储电容区，如图28所示。其中，所述钝化层28可以为 SiN_x 薄膜或 $\text{SiO}_2/\text{SiN}_x$ 的多层薄膜。

[87] 在步骤S204中，刻蚀位于所述源极区和漏极区用以形成接触过孔部分以及栅极接口区的钝化层，由此形成源极接触过孔、漏极接触过孔和栅极接口区连线接触过孔的上半部分。

[88] 如图29所示，本发明实施例通过光刻工艺刻蚀位于所述源极区和漏极区用以形成接触过孔部分以及栅极接口区的钝化层，由此形成源极接触过孔29、漏极接触过孔30和栅极接口区连线接触过孔31的上半部分。该上半部分的侧面可倾斜于金属氧化物层，工艺要求低，易于光刻。

[89] 在步骤S205中，进一步刻蚀位于所述源极区和漏极区用以形成接触过孔部分的

栅极金属层和栅极绝缘层以及位于所述栅极接口区的刻蚀阻挡层，暴露位于所述源极区和漏极区用以形成接触过孔部分的金属氧化物层以及位于所述栅极接口区的栅极金属层，由此形成所述源极接触过孔、漏极接触过孔和栅极接口区连线接触过孔的下半部分，并与其上半部分构成完整的源极接触过孔、漏极接触过孔和栅极接口区连线接触过孔。

[90] 如图30所示，本发明实施例进一步刻蚀位于所述源极区和漏极区用以形成接触过孔部分的栅极金属层和栅极绝缘层以及位于所述栅极接口区的刻蚀阻挡层，直至暴露位于所述源极区和漏极区用以形成接触过孔部分的金属氧化物层以及位于所述栅极接口区的栅极金属层，由此形成所述源极接触过孔29、漏极接触过孔30和栅极接口区连线接触过孔31的下半部分，并与其上半部分构成完整的源极接触过孔、漏极接触过孔和栅极接口区连线接触过孔。其中，所述源极接触过孔29和漏极接触过孔30的下半部分的侧面垂直于金属氧化物层，这样使得所述源极接触过孔29和漏极接触过孔30的下半部分与栅极32的间距相等且对称，即所制薄膜晶体管不会发生断路、短路等现象。

[91] 在步骤S206中，金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之分别与已形成的部分源极和漏极电连接，形成完整的源极和漏极。

[92] 如图31所示，本发明实施例先通过等离子处理，使位于所述源极区和漏极区且暴露的金属氧化物层金属化。例如，于所述栅极区、源极区和漏极区氢化氮化硅SiN_x:H绝缘保护层，该氢化过程直接将位于所述源极区和漏极区且暴露的金属氧化物层金属化，并分别与已形成的部分源极和漏极电连接，形成完整的源极33和漏极34。金属化后，该完整的源极33和漏极34为导电的源极和漏极，而位于该源极33与漏极34间的金属氧化物层形成薄膜晶体管的沟道38。

[93] 在步骤S207中，于所述源极接触过孔、漏极接触过孔和栅极接口区连线接触过孔内填充导电材料。

[94] 如图32~34所示，本发明实施例于所述源极接触过孔29、漏极接触过孔30和栅极接口区连线接触过孔31内填充导电材料35（如金属），并使该导电材料35凸设于钝化层28，利于制作后续电极。另外，于所述源极区和漏极区钝化层之上分别沉积与各自导电材料电连接的透明金属电极39。在所述源极接触过孔29、

漏极接触过孔30和栅极接口区连线接触过孔31内填充导电材料35时，位于所述存储电容区钝化层之上沉积用作存储电容另一电极37的导电材料（如金属层），制作工艺简单。此处将位于所述存储电容区的钝化层作为存储电容的介电层，较底栅结构的存储电容介电层薄，从而提供单位面积电容，减小电容尺寸，提高开口率。当然，还可于所述栅极区制作穿过钝化层和刻蚀阻挡层的电极。应当说明的是，本顶栅结构薄膜晶体管比底栅结构薄膜晶体管制造工艺简单，工艺成本降低。

- [95] 以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本发明的保护范围之内。

权利要求书

[权利要求 1]

一种薄膜晶体管的制造方法，其特征在于，所述方法包括以下步骤：

于基板上形成金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层；

经由同一掩膜版刻蚀所述基板上部分刻蚀阻挡层、栅极金属层和栅极绝缘层，保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，使位于所述源极区和漏极区其余部分的金属氧化物层暴露；

金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之成为部分源极和漏极，而后沉积钝化层；

刻蚀位于所述源极区和漏极区用以形成接触过孔部分的钝化层、栅极金属层和栅极绝缘层，暴露位于所述源极区和漏极区用以形成接触过孔部分的金属氧化物层，由此形成源极接触过孔和漏极接触过孔；

金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之分别与已形成的部分源极和漏极电连接，形成完整的源极和漏极；
于所述源极接触过孔和漏极接触过孔内填充导电材料。

[权利要求 2]

如权利要求1所述的方法，其特征在于，所述经由同一掩膜版刻蚀所述基板上部分刻蚀阻挡层、栅极金属层和栅极绝缘层，保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，使位于所述源极区和漏极区其余部分的金属氧化物层暴露的步骤具体为：

于所述刻蚀阻挡层之上均匀涂布光刻胶，将掩膜版置于所述光刻胶之上；

由作用光投射于所述掩膜版，对所述光刻胶进行曝光、显影处理

，使位于栅极区的光刻胶较位于源极区和漏极区用以形成接触过孔部分的光刻胶厚；

刻蚀所述基板上部分刻蚀阻挡层、栅极金属层和栅极绝缘层，保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，使位于所述源极区和漏极区其余部分的金属氧化物层暴露；

其中，所述掩膜版为灰阶掩膜版，所述光刻胶的厚度由灰阶掩膜版各部分的透光率决定。

[权利要求 3]

如权利要求1或2所述的方法，其特征在于，所述金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之成为部分源极和漏极，而后沉积钝化层的步骤具体为：

等离子处理，使位于所述源极区和漏极区且暴露的金属氧化物层金属化，成为部分源极和漏极；

沉积覆盖所述栅极区、源极区和漏极区的钝化层。

[权利要求 4]

如权利要求3所述的方法，其特征在于，所述等离子处理，使位于所述源极区和漏极区且暴露的金属氧化物层金属化，成为部分源极和漏极的步骤具体为：

于所述栅极区、源极区和漏极区氢化氮化硅 $\text{SiN}_x\text{:H}$ 绝缘保护层，该氢化过程直接将位于所述源极区和漏极区且暴露的金属氧化物层金属化，成为部分源极和漏极。

[权利要求 5]

如权利要求1、2或4所述的方法，其特征在于，所述刻蚀位于所述源极区和漏极区用以形成接触过孔部分的钝化层、栅极金属层和栅极绝缘层，暴露位于所述源极区和漏极区用以形成接触过孔部分的金属氧化物层，由此形成源极接触过孔和漏极接触过孔的步骤具体为：

刻蚀位于所述源极区和漏极区用以形成接触过孔部分的钝化层；

进一步刻蚀位于所述源极区和漏极区用以形成接触过孔部分的栅

极金属层和栅极绝缘层，直至暴露位于所述源极区和漏极区用以形成接触过孔部分的金属氧化物层，并由此形成源极接触过孔和漏极接触过孔。

[权利要求 6]

如权利要求1、2或4所述的方法，其特征在于，所述金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之分别与已形成的部分源极和漏极电连接，形成完整的源极和漏极的步骤具体为：等离子处理，使位于所述源极区和漏极区且暴露的金属氧化物层金属化，并分别与已形成的部分源极和漏极电连接，形成完整的源极和漏极。

[权利要求 7]

一种薄膜晶体管像素单元的制造方法，其特征在于，所述方法包括以下步骤：

于基板上形成金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层，其中所述金属氧化物层位于薄膜晶体管区；

经由同一掩膜版刻蚀所述基板上部分刻蚀阻挡层、栅极金属层和栅极绝缘层；保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层，位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，位于栅极接口区的栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于存储电容区的栅极绝缘层和栅极金属层；使位于所述源极区和漏极区其余部分的金属氧化物层暴露；

金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之成为部分源极和漏极，而后沉积钝化层；

刻蚀位于所述源极区和漏极区用以形成接触过孔部分以及栅极接口区的钝化层，由此形成源极接触过孔、漏极接触过孔和栅极接口区连线接触过孔的上半部分；

进一步刻蚀位于所述源极区和漏极区用以形成接触过孔部分的栅极金属层和栅极绝缘层以及位于所述栅极接口区的刻蚀阻挡层，暴露位于所述源极区和漏极区用以形成接触过孔部分的金属氧化

物层以及位于所述栅极接口区的栅极金属层，由此形成所述源极接触过孔、漏极接触过孔和栅极接口区连线接触过孔的下半部分，并与其上半部分构成完整的源极接触过孔、漏极接触过孔和栅极接口区连线接触过孔；

金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之分别与已形成的部分源极和漏极电连接，形成完整的源极和漏极；于所述源极接触过孔、漏极接触过孔和栅极接口区连线接触过孔内填充导电材料。

[权利要求 8]

如权利要求7所述的方法，其特征在于，所述经由同一掩膜版刻蚀所述基板上部分刻蚀阻挡层、栅极金属层和栅极绝缘层；保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层，位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，位于栅极接口区的栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于存储电容区的栅极绝缘层和栅极金属层；使位于所述源极区和漏极区其余部分的金属氧化物层暴露的步骤具体为：

于所述刻蚀阻挡层之上均匀涂布光刻胶，将掩膜版置于所述光刻胶之上；

由作用光投射于所述掩膜版，对所述光刻胶进行曝光、显影处理，使位于栅极区和栅极接口区的光刻胶较位于源极区和漏极区用以形成接触过孔部分和存储电容区的光刻胶厚；

刻蚀所述基板上部分刻蚀阻挡层、栅极金属层和栅极绝缘层；保留位于栅极区的金属氧化物层、栅极绝缘层、栅极金属层和刻蚀阻挡层，位于源极区和漏极区用以形成接触过孔部分的金属氧化物层、栅极绝缘层和栅极金属层，位于栅极接口区的栅极绝缘层、栅极金属层和刻蚀阻挡层以及位于存储电容区的栅极绝缘层和栅极金属层；使位于所述源极区和漏极区其余部分的金属氧化物层暴露；

其中，所述掩膜版为灰阶掩膜版，所述光刻胶的厚度由灰阶掩膜版各部分的透光率决定。

[权利要求 9]

如权利要求7或8所述的方法，其特征在于，所述金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之成为部分源极和漏极，而后沉积钝化层的步骤具体为：

等离子处理，使位于所述源极区和漏极区且暴露的金属氧化物层金属化，成为部分源极和漏极；

沉积覆盖所述栅极区、源极区、漏极区、栅极接口区以及存储电容区的钝化层。

[权利要求 10]

如权利要求9所述的方法，其特征在于，所述等离子处理，使位于所述源极区和漏极区且暴露的金属氧化物层金属化，成为部分源极和漏极的步骤具体为：

于所述栅极区、源极区和漏极区氢化氮化硅 $\text{SiN}_x\text{:H}$ 绝缘保护层，该氢化过程直接将位于所述源极区和漏极区且暴露的金属氧化物层金属化，成为部分源极和漏极。

[权利要求 11]

如权利要求7、8或10所述的方法，其特征在于，所述金属化位于所述源极区和漏极区且暴露的金属氧化物层，使之分别与已形成的部分源极和漏极电连接，形成完整的源极和漏极的步骤具体为：

等离子处理，使位于所述源极区和漏极区且暴露的金属氧化物层金属化，并分别与已形成的部分源极和漏极电连接，形成完整的源极和漏极。

[权利要求 12]

如权利要求11所述的方法，其特征在于，所述等离子处理，使位于所述源极区和漏极区且暴露的金属氧化物层金属化，并分别与已形成的部分源极和漏极电连接，形成完整的源极和漏极的步骤具体为：

于所述栅极区、源极区和漏极区氢化氮化硅 $\text{SiN}_x\text{:H}$ 绝缘保护层，该氢化过程直接将位于所述源极区和漏极区且暴露的金属氧化物

层金属化，并分别与已形成的部分源极和漏极电连接，形成完整的源极和漏极。

说明书附图

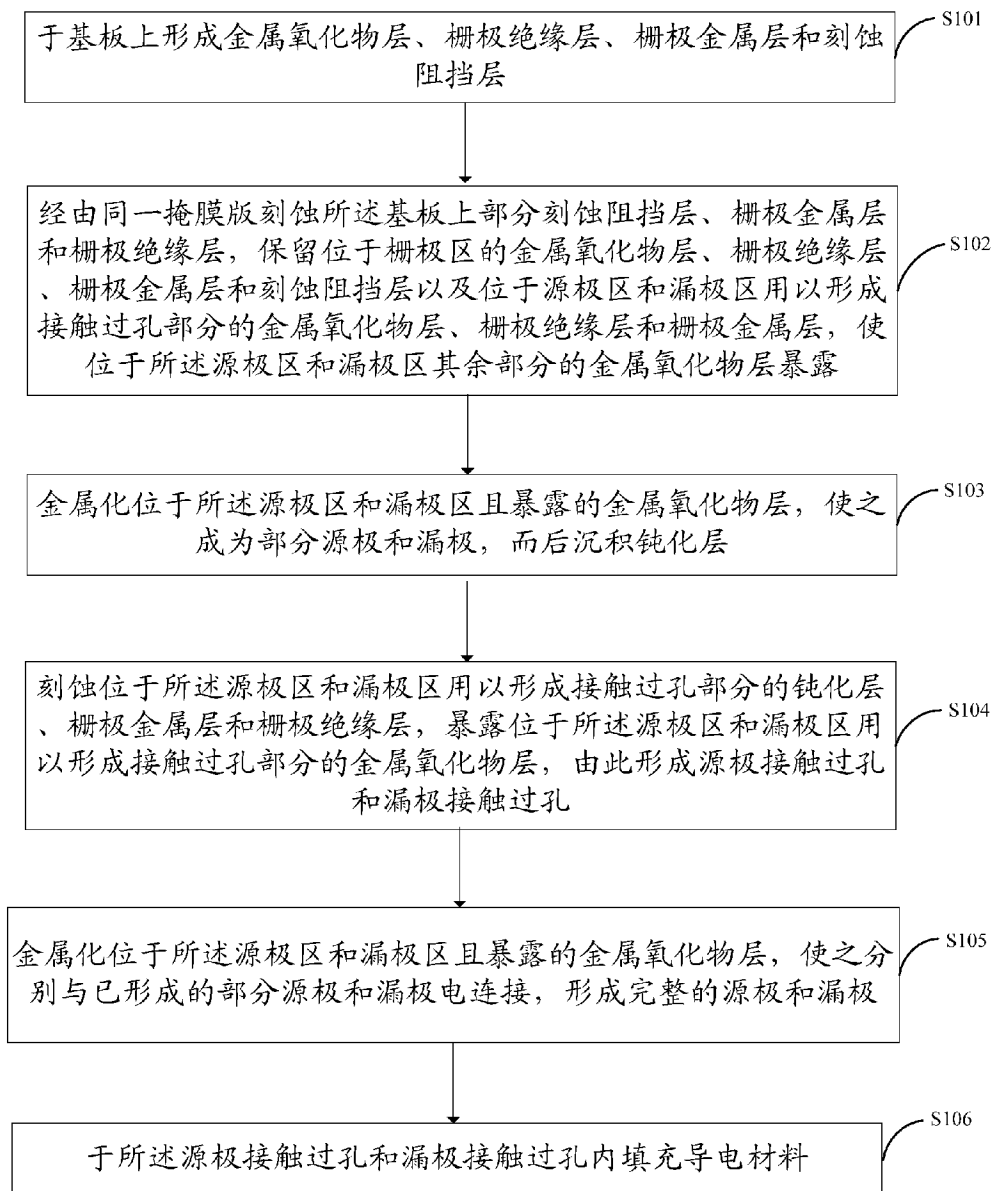


图 1

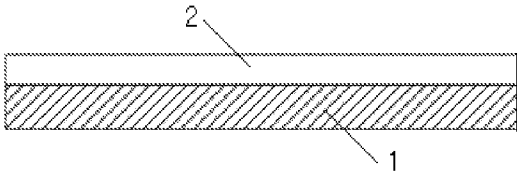


图 2

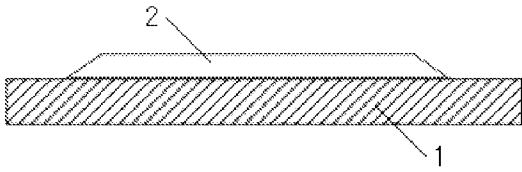


图 3

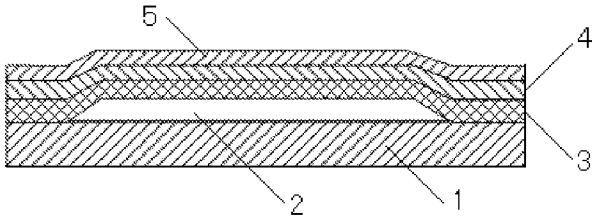


图 4

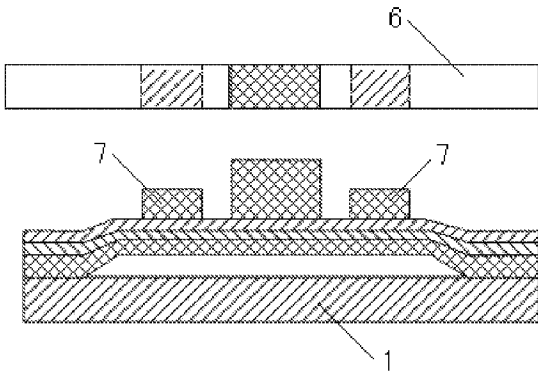


图 5

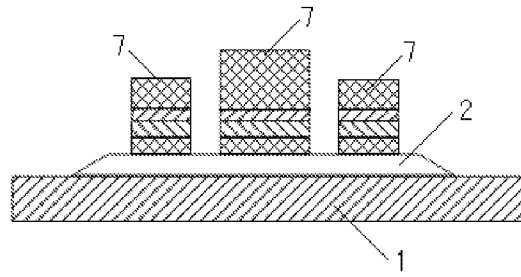


图 6

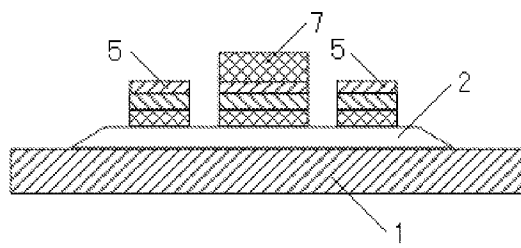


图 7

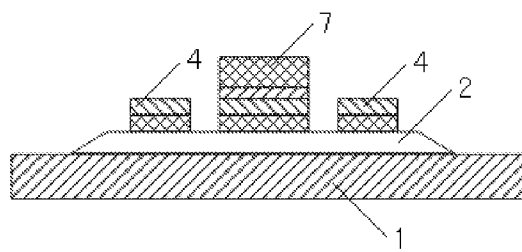


图 8

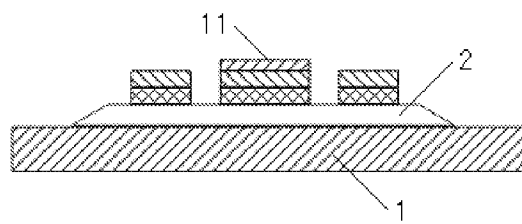


图 9

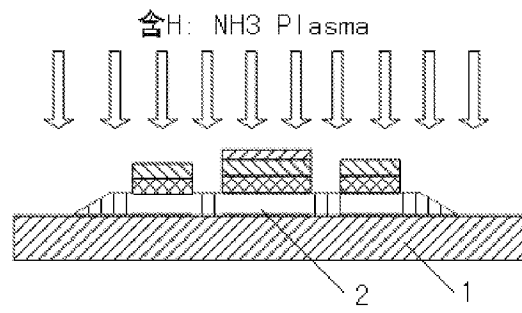


图 10

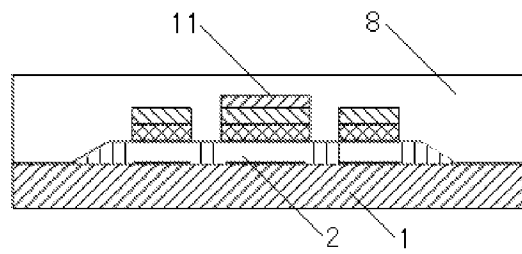


图 11

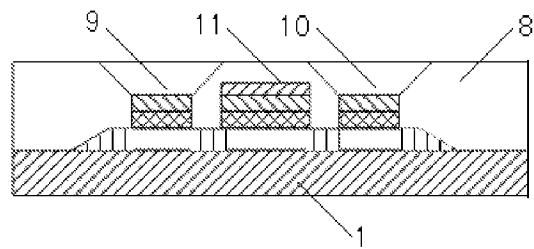


图 12

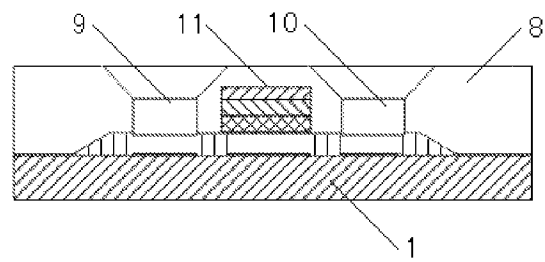


图 13

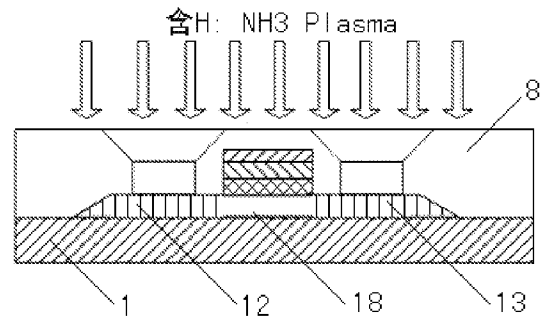


图 14

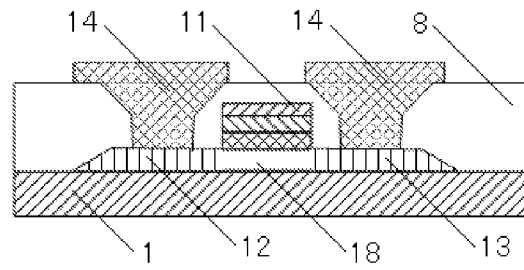


图 15

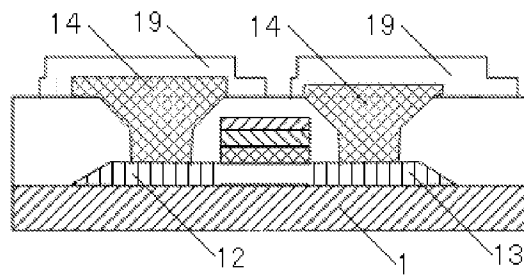


图 16

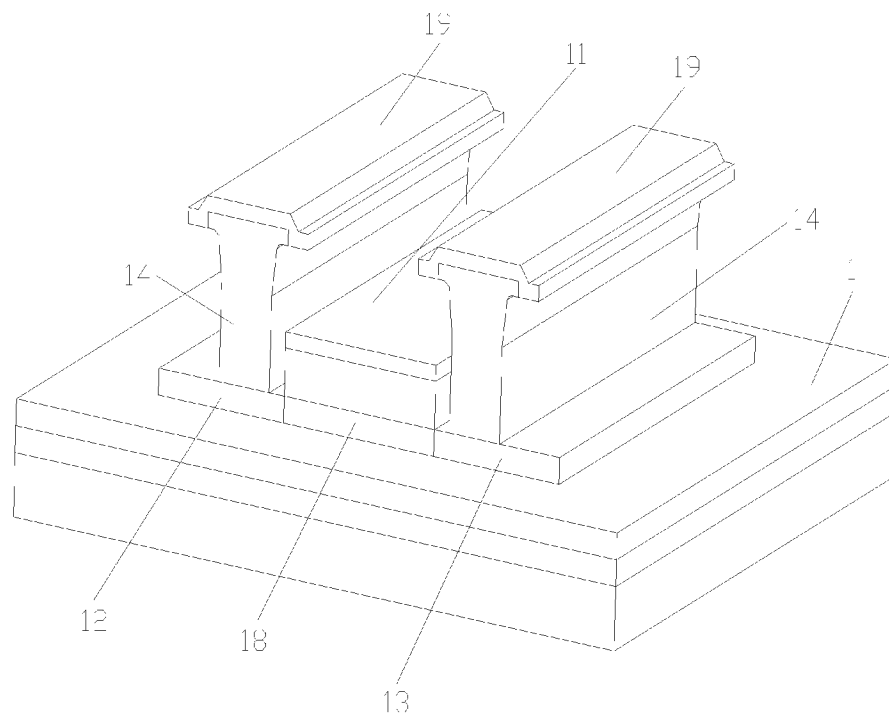


图 17

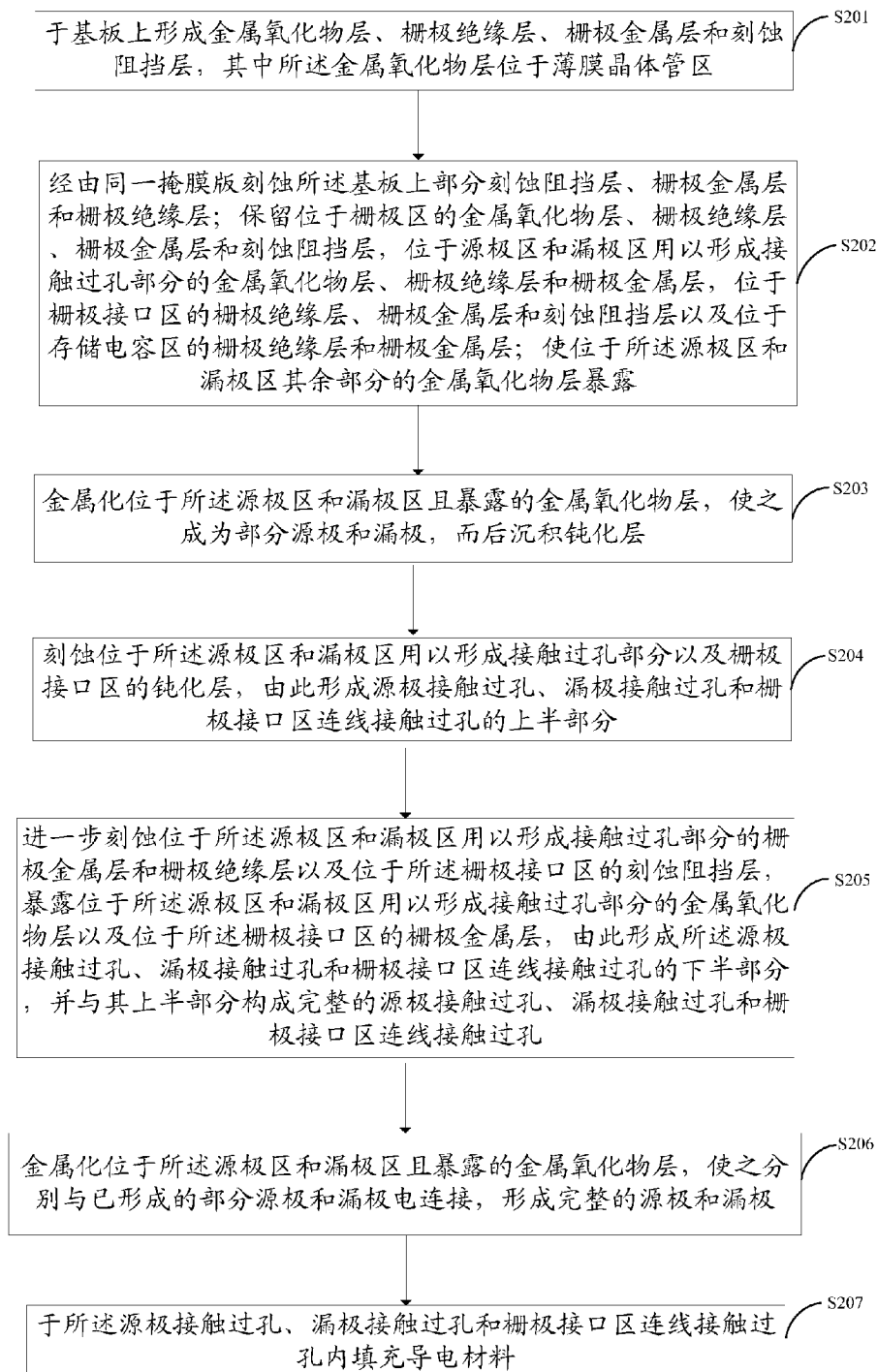


图 18

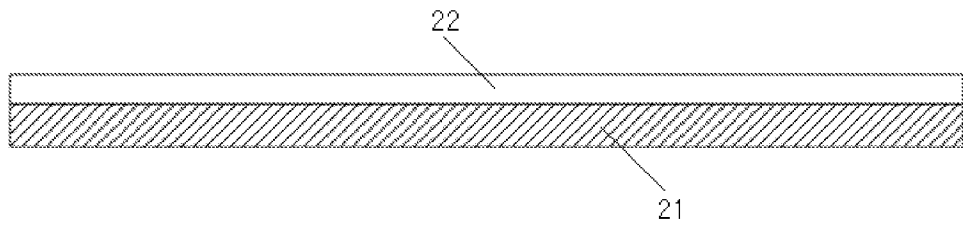


图 19

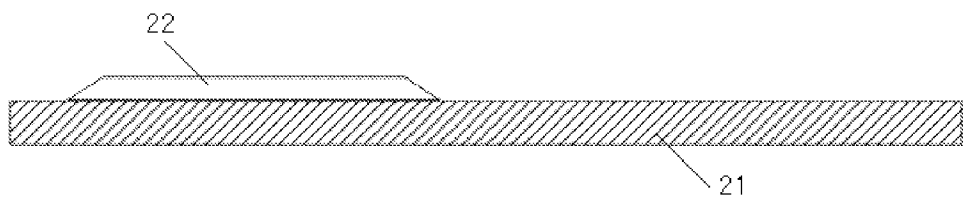


图 20

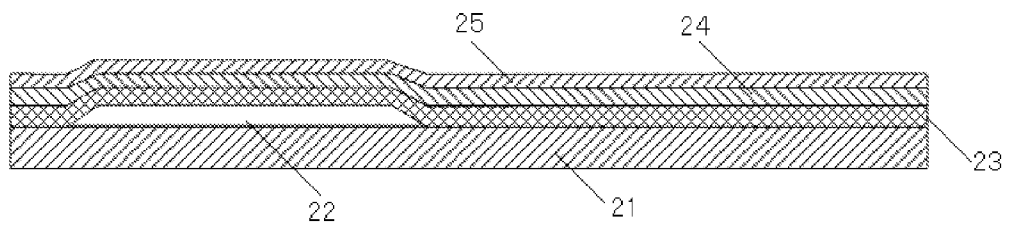


图 21

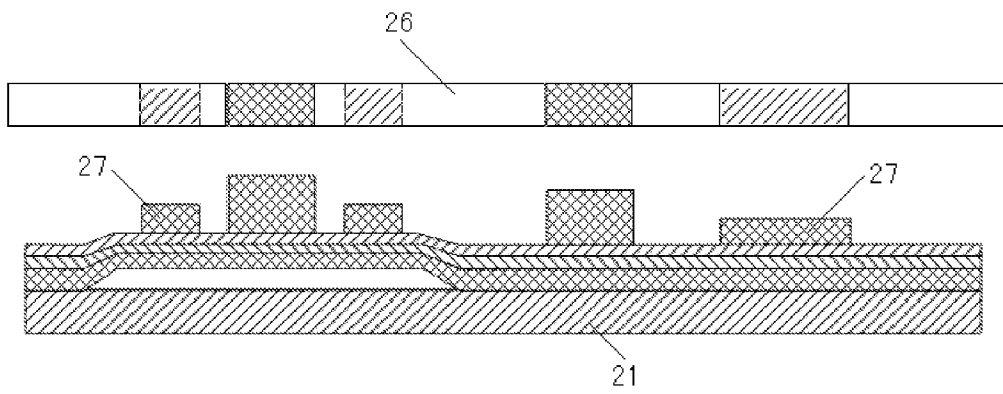


图 22

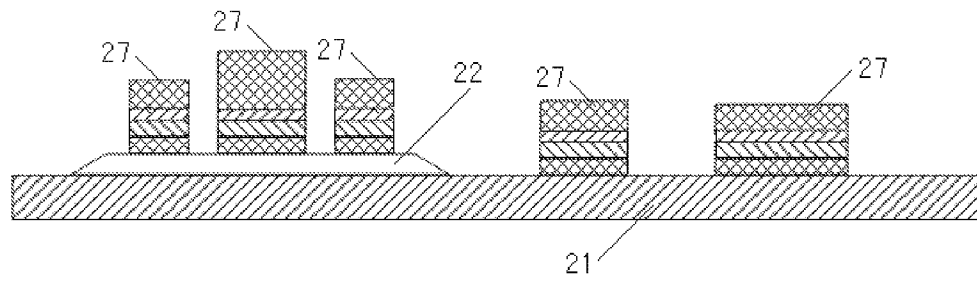


图 23

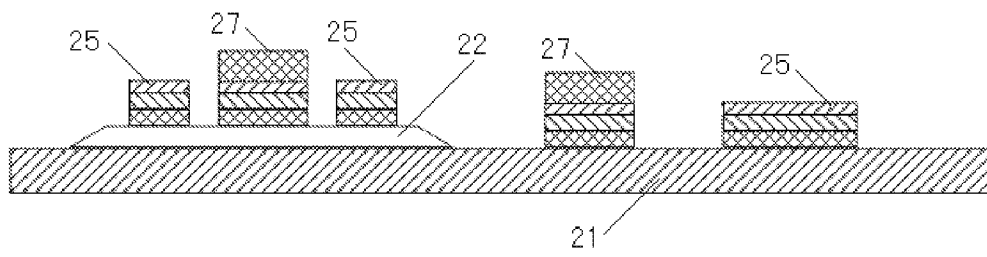


图 24

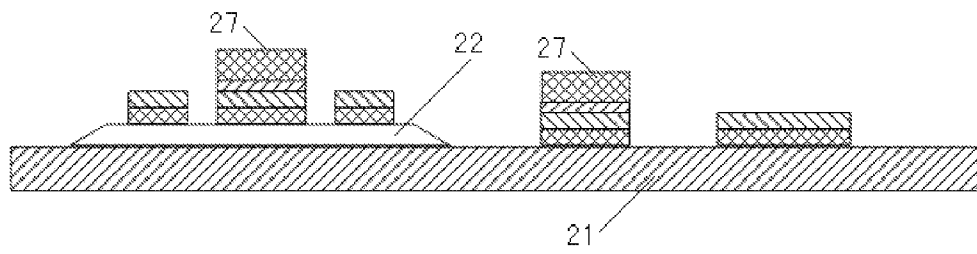


图 25

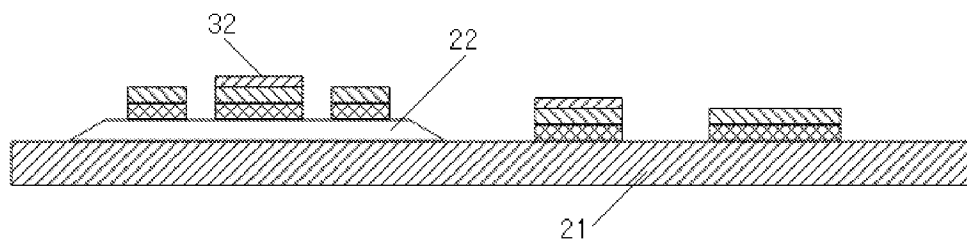


图 26

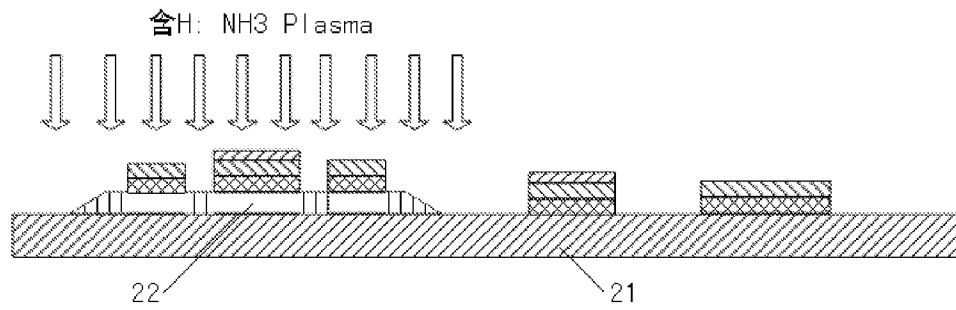


图 27

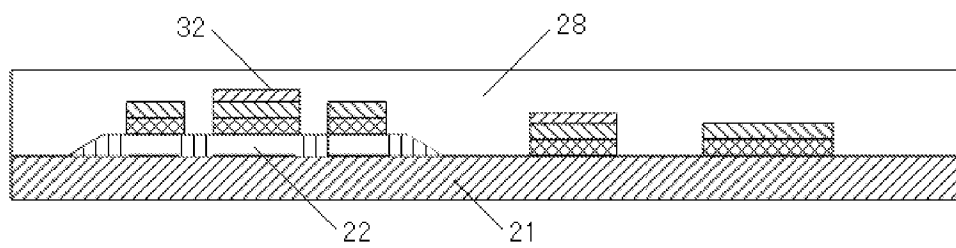


图 28

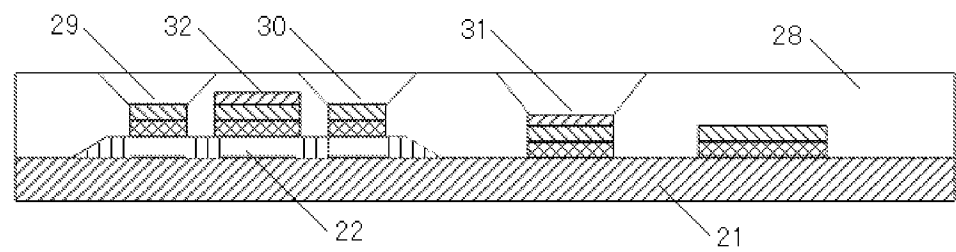


图 29

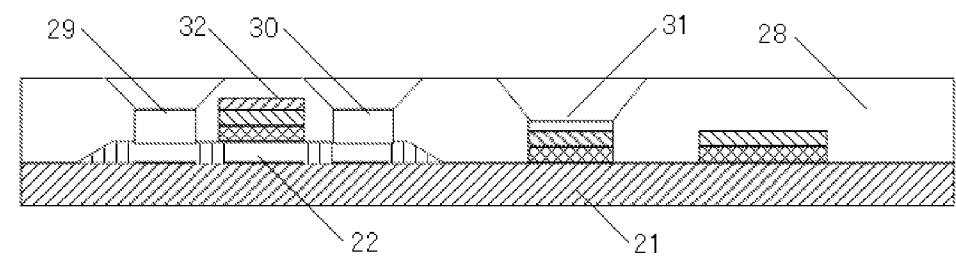


图 30

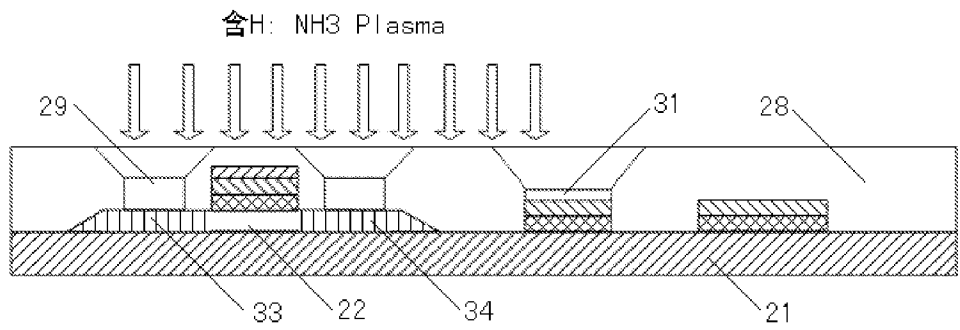


图 31

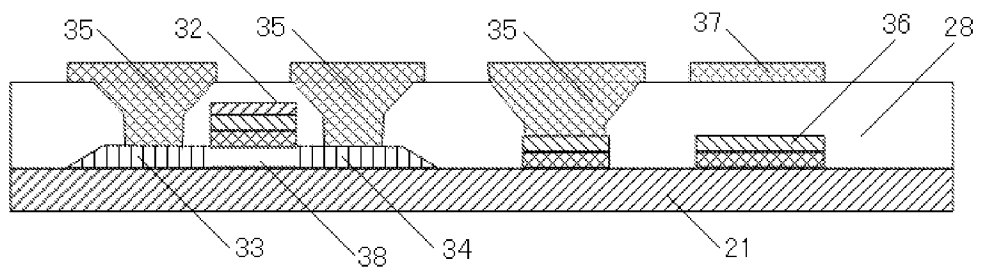


图 32

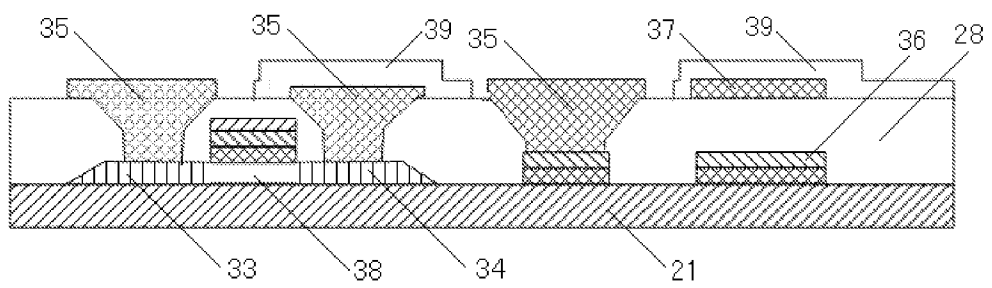


图 33

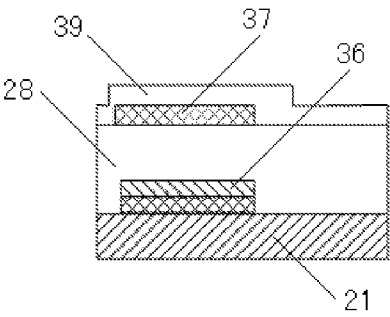


图 34

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/071471**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI: metalized, mask, etch, TFT

CNABS: metalize, mask, etch, thin film transistor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102651340 A (BOE TECHNOLOGY GROUP CO., LTD.), 29 August 2012 (29.08.2012), description, paragraphs 0037-0055, and figures 1-7	1-12
A	JP 2004273697 A (CASIO COMPUTER CO., LTD.), 30 September 2004 (30.09.2004), the whole document	1-12
A	US 2010072483 A1 (BAE et al.), 25 March 2010 (25.03.2010), the whole document	1-12

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

05 November 2013 (05.11.2013)

Date of mailing of the international search report

21 November 2013 (21.11.2013)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer

CHAI, ChunyingTelephone No.: (86-10) **62089022**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/071471

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102651340 A	29.08.2012	WO 2013097554 A1	04.07.2013
JP 2004273697 A	30.09.2004	JP 4265241 B2	20.05.2009
US 2010072483 A1	25.03.2010	KR 20100033748 A	31.03.2010
		US 7981737 B2	19.07.2011

国际检索报告

国际申请号

PCT/CN2013/071471

A. 主题的分类

H01L 21/336 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

DWPI: metalized, mask, etch, TFT

CNABS: 金属化, 掩膜, 刻蚀, 薄膜晶体管

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN102651340 A (京东方科技集团股份有限公司) 29.8 月 2012 (29.08.2012) 说明书第 0037-0055 段, 附图 1-7	1-12
A	JP2004273697 A (卡西欧计算株式会社) 30.9 月 2004 (30.09.2004) 全文	1-12
A	US2010072483 A1 (Bac 等) 25.3 月 2010 (25.03.2010) 全文	1-12

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

05.11 月 2013 (05.11.2013)

国际检索报告邮寄日期

21.11 月 2013 (21.11.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

柴春英

电话号码: (86-10) **62089022**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/071471

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102651340 A	29.08.2012	WO2013097554 A1	04.07.2013
JP2004273697 A	30.09.2004	JP4265241B2	20.05.2009
US2010072483 A1	25.03.2010	KR20100033748 A	31.03.2010
		US7981737 B2	19.07.2011