

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第3区分  
 【発行日】平成26年10月30日(2014.10.30)

【公開番号】特開2013-65924(P2013-65924A)  
 【公開日】平成25年4月11日(2013.4.11)  
 【年通号数】公開・登録公報2013-017  
 【出願番号】特願2011-201864(P2011-201864)  
 【国際特許分類】

H 0 3 M 1/10 (2006.01)  
 H 0 3 M 1/56 (2006.01)  
 G 0 1 R 31/28 (2006.01)  
 G 0 1 R 31/316 (2006.01)

【F I】

H 0 3 M 1/10 Z E C C  
 H 0 3 M 1/56  
 G 0 1 R 31/28 V  
 G 0 1 R 31/28 C

【手続補正書】

【提出日】平成26年9月16日(2014.9.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

デジタル信号を保持するメモリと、アナログ信号と時間とともに変化する参照信号とを比較した比較結果を示す比較結果信号を前記メモリに供給する比較器と、をそれぞれ含む複数の回路部と、

クロックパルス信号を前記参照信号の変化と並行して計数して、複数のビット信号を有するカウント信号を生成し、前記カウント信号を出力するカウンタと、

前記カウント信号を複数の前記メモリに供給する複数のカウント信号伝送線と、を有し、対応する前記比較器の比較結果信号が変化した時に前記メモリが前記カウント信号を前記デジタル信号として保持することで前記アナログ信号を前記デジタル信号に変換するアナログデジタル変換回路であって、前記アナログデジタル変換回路はラッチ信号供給部と、

信号比較部と、

をさらに有し、前記比較器は前記比較結果信号の前記メモリへの供給を行わず、

前記カウンタはさらに前記ラッチ信号供給部に前記カウント信号を供給し、

前記ラッチ信号供給部は、前記カウント信号を複数の前記メモリに保持させるラッチ信号を、複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングに応じて、複数の前記メモリに供給し、

前記信号比較部に、複数の前記メモリが保持した前記カウント信号が供給され、

前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値と、を比較することを特徴とするアナログデジタル変換回路。

【請求項2】

複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングから、前記ラッチ信号を供給するまでの期間が可変であることを特徴とする請求項 1 に記載のアナログデジタル変換回路。

【請求項 3】

前記ラッチ信号供給部は、複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングから、前記ラッチ信号を供給するまでの期間が前記クロックパルス信号のパルス周期の整数倍であることを特徴とする請求項 1 または 2 に記載のアナログデジタル変換回路。

【請求項 4】

前記ラッチ信号供給部は、複数の前記ビット信号のいずれかの前記ビット信号の信号レベルが変化したタイミングに対し、前記クロックパルス信号のパルス周期の整数倍の時間遅延して信号レベルが変化するパルス信号を、遅延時間を変えて複数生成し、

複数の前記パルス信号から選択した信号を前記ラッチ信号として供給することを特徴とする請求項 3 に記載のアナログデジタル変換回路。

【請求項 5】

前記ラッチ信号供給部は、前記カウント信号の前記複数のビット信号のいずれかの前記ビット信号の信号レベルが変化したタイミングから、前記クロックパルス信号のパルス周期の 2 周期以内の期間に前記ラッチ信号を供給することを特徴とする請求項 1 ~ 4 のいずれかに記載のアナログデジタル変換回路。

【請求項 6】

複数の前記ビット信号の各々が、複数の前記カウント信号伝送線の各々によって伝送され、

複数の前記カウント信号伝送線のいずれかの電位が変化したタイミングに応じて前記ラッチ信号を供給することを特徴とする請求項 1 ~ 5 のいずれかに記載のアナログデジタル変換回路。

【請求項 7】

前記ラッチ信号供給部に、さらに前記クロックパルス信号が供給され、

前記ラッチ信号供給部は、供給される前記クロックパルス信号の信号レベルが変化したタイミングに同期して、前記ラッチ信号を供給することを特徴とする請求項 1 ~ 6 のいずれかに記載のアナログデジタル変換回路。

【請求項 8】

前記ラッチ信号供給部に、前記カウンタに供給される前記クロックパルス信号とは別のクロックパルス信号が供給されることを特徴とする請求項 1 ~ 6 のいずれかに記載のアナログデジタル変換回路。

【請求項 9】

前記カウント信号のビット数が a ビットであり、

前記メモリが保持する前記デジタル信号のビット数が、前記 a ビットよりも小さいビット数である b ビットであり、

前記信号比較部が、

前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値との比較を、前記 b ビットの同じ桁同士で行うことを特徴とする請求項 1 ~ 8 のいずれかに記載のアナログデジタル変換回路。

【請求項 10】

前記ラッチ信号供給部は、同期信号生成部とマスク部とを有し、

前記同期信号生成部は、複数の前記ビット信号のいずれかの前記ビット信号の信号レベルが変化するタイミングに応じて前記マスク部に信号を供給する動作を行い、

前記マスク部によって、前記同期信号生成部から供給される前記信号を複数の前記メモリに供給されるか否かが切り替えられ、

前記マスク部によって複数の前記メモリに供給される前記信号が前記ラッチ信号であることを特徴とする請求項 1 ~ 9 のいずれかに記載のアナログデジタル変換回路。

【請求項 1 1】

前記カウント信号はさらに、前記カウント信号伝送線とは別の信号経路によって、前記カウンタから前記ラッチ信号供給部に供給されることを特徴とする請求項 1 ~ 1 0 のいずれかに記載のアナログデジタル変換回路。

【請求項 1 2】

前記カウント信号伝送線において、前記カウント信号を遅延させた信号を複数の前記メモリに供給するカウント信号出力部をさらに有し、

複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングから前記ラッチ信号が供給されるまでの時間と、前記カウント信号出力部が出力する前記信号の前記カウント信号に対する遅延時間とが等しいことを特徴とする請求項 1 1 に記載のアナログデジタル変換回路。

【請求項 1 3】

前記カウンタから前記ラッチ信号供給部にビット信号選択部を介して前記カウント信号が供給され、

前記ビット信号選択部は、前記カウント信号が有する複数の前記ビット信号のうち、前記ラッチ信号供給部に供給する前記ビット信号を選択し、

前記ラッチ信号供給部は、前記ビット信号選択部によって選択された前記ビット信号が供給されるタイミングに応じて前記ラッチ信号を供給することを特徴とする請求項 1 ~ 1 2 のいずれかに記載のアナログデジタル変換回路。

【請求項 1 4】

前記ラッチ信号供給部に、前記カウンタから供給される前記カウント信号の代わりに、前記カウント信号を含む複数の前記ビット信号の少なくとも一部の前記ビット信号に相当する信号が供給され、

該信号の信号レベルが変化したタイミングに応じて、前記ラッチ信号を複数の前記メモリに供給することを特徴とする請求項 1 ~ 1 0 のいずれかに記載のアナログデジタル変換回路。

【請求項 1 5】

前記カウント信号伝送線の遅延特性と、前記ラッチ信号供給部から複数の前記メモリに前記ラッチ信号を伝送する伝送線の遅延特性とが同じであることを特徴とする請求項 1 ~ 1 4 のいずれかに記載のアナログデジタル変換回路。

【請求項 1 6】

前記ラッチ信号供給部が、複数の前記メモリのすべてに前記ラッチ信号を供給することを特徴とする請求項 1 ~ 1 5 のいずれかに記載のアナログデジタル変換回路。

【請求項 1 7】

前記信号比較部が、

前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値を含む所定の信号範囲と、を比較することを特徴とする請求項 1 ~ 1 6 のいずれかに記載のアナログデジタル変換回路。

【請求項 1 8】

前記信号比較部が、前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値とを比較して信号値のずれを検出し、

さらに、前記信号値のずれが所定の信号範囲内にあるか否か判定することを特徴とする請求項 1 ~ 1 6 のいずれかに記載のアナログデジタル変換回路。

【請求項 1 9】

請求項 1 ~ 18 のいずれかに記載のアナログデジタル変換回路を有する撮像装置であって、

前記撮像装置はさらに、光電変換により電荷が生じる光電変換部を含む複数列の画素を有し、

複数列の前記画素の各列に、複数の前記比較器の各々が接続されていることを特徴とする撮像装置。

【請求項 20】

光電変換により電荷が生じる光電変換部を含む複数列の画素と、アナログデジタル変換回路と、を有する撮像装置であって、

前記アナログデジタル変換回路は、

デジタル信号を保持するメモリと、アナログ信号と時間とともに変化する参照信号とを比較した比較結果を示す比較結果信号を前記メモリに供給する比較器と、をそれぞれ含む複数の回路部と、

クロックパルス信号を前記参照信号の変化と並行して計数して、複数のビット信号を有するカウント信号を生成し、前記カウント信号を出力するカウンタと、

前記カウント信号を複数の前記メモリに供給する複数のカウント信号伝送線と、を有し、対応する前記比較器の比較結果信号が変化した時に前記メモリが前記カウント信号を前記デジタル信号として保持することで前記アナログ信号を前記デジタル信号に変換するアナログデジタル変換回路であって、

複数列の前記画素の各列に、複数の前記比較器の各々が接続され、前記撮像装置は、ラッチ信号供給部と、信号比較部と、をさらに有し、前記比較器は前記比較結果信号の前記メモリへの供給を行わず、

前記カウンタはさらに前記ラッチ信号供給部に前記カウント信号を供給し、

前記ラッチ信号供給部は、前記カウント信号を複数の前記メモリに保持させるラッチ信号を、複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングに応じて、複数の前記メモリに供給し、

前記信号比較部に、複数の前記メモリが保持した前記カウント信号が供給され、

前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値と、を比較することを特徴とする撮像装置。

【請求項 21】

複数のメモリと、

カウント信号伝送線と、

クロックパルス信号を計数した、複数のビット信号を有するカウント信号を、前記カウント信号伝送線を介して複数の前記メモリに供給するカウンタと、を有するアナログデジタル変換回路の検査方法であって、

前記カウント信号を複数の前記メモリに保持させるラッチ信号を、複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングに応じて複数の前記メモリに供給し、

前記ラッチ信号が供給された前記メモリが保持した前記カウント信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記カウント信号の信号値とを比較することを特徴とするアナログデジタル変換回路の検査方法。

【請求項 22】

前記カウント信号のビット数が a ビットであり、前記メモリが保持する前記デジタル信号が前記 a ビットより小さい b ビットであり、

前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値との比較を前記 b

ビットの同じ桁同士で行うことを特徴とする請求項 2 1 に記載のアナログデジタル変換回路の検査方法。

【請求項 2 3】

複数の前記ビット信号のいずれかの前記ビット信号の信号レベルが変化したタイミングが前記カウンタの動作する期間内に複数回あり、

複数の前記ビット信号のいずれかの前記ビット信号の信号レベルが変化したタイミングのそれぞれに応じてパルス信号の生成動作を行い、

生成した複数の前記パルス信号のうちの 1 つを前記ラッチ信号として供給することを特徴とする請求項 2 1 または 2 2 に記載のアナログデジタル変換回路の検査方法。

【請求項 2 4】

複数の前記ビット信号のいずれかの前記ビット信号の信号レベルが変化したタイミングに対し、前記クロックパルス信号のパルス周期の整数倍の時間遅延して信号レベルが変化するパルス信号を、遅延時間を変えて複数生成し、

複数の前記パルス信号のうちの 1 つを選択して前記ラッチ信号として供給することを特徴とする請求項 2 1 ~ 2 3 のいずれかに記載のアナログデジタル変換回路の検査方法。

【請求項 2 5】

前記カウント信号の代わりに、前記カウント信号を遅延させた信号を複数の前記メモリに供給し、

前記カウント信号が変化したタイミングから前記ラッチ信号が供給されるまでの遅延時間と、複数の前記メモリに供給される前記信号と前記カウント信号との遅延時間とを等しくすることを特徴とする請求項 2 1 ~ 2 4 のいずれかに記載のアナログデジタル変換回路の検査方法。

【請求項 2 6】

前記カウント信号が有する複数の前記ビット信号のいずれかの前記ビット信号を選択し、

選択された前記ビット信号の信号レベルが変化したタイミングに応じて前記ラッチ信号を供給することを特徴とする請求項 2 1 ~ 2 5 のいずれかに記載のアナログデジタル変換回路の検査方法。

【請求項 2 7】

撮像装置と、前記撮像装置から出力される撮像信号を処理する撮像信号処理部とを含む撮像システムの製造方法であって、

前記撮像装置はアナログデジタル変換回路と画素部とを含み、

前記アナログデジタル変換回路は、

複数のメモリと、時間とともに変化する参照信号とアナログ信号とを比較した比較結果を示す信号である比較結果信号を前記メモリに供給する比較器と、と含む複数の回路部と、カウント信号伝送線と、

クロックパルス信号を計数した、複数のビット信号を有するカウント信号を、前記カウント信号伝送線を介して複数の前記メモリに供給するカウンタと、を有し、

前記画素部は、光電変換により電荷が生じる光電変換部を含む複数列の画素を有し、

前記撮像装置は、複数列の前記画素の各列に前記回路部が設けられており、前記画素は前記アナログ信号である画素信号を前記比較器に出力し、

前記製造方法は、請求項 2 1 ~ 2 6 のいずれかに記載のアナログデジタル変換回路の検査方法を有することを特徴とする撮像システムの製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 5

【補正方法】変更

【補正の内容】

【0 0 0 5】

本発明は上記の課題を鑑みてなされたものであり、一つの態様は、デジタル信号を保持するメモリと、アナログ信号と時間とともに変化する参照信号とを比較した比較結果を示す比較結果信号を前記メモリに供給する比較器と、をそれぞれ含む複数の回路部と、クロックパルス信号を前記参照信号の変化と並行して計数して、複数のビット信号を有するカウント信号を生成し、前記カウント信号を出力するカウンタと、前記カウント信号を複数の前記メモリに供給する複数のカウント信号伝送線と、を有し、対応する前記比較器の比較結果信号が変化した時に前記メモリが前記カウント信号を前記デジタル信号として保持することで前記アナログ信号を前記デジタル信号に変換するアナログデジタル変換回路であって、前記アナログデジタル変換回路はラッチ信号供給部と、信号比較部と、をさらに有し、前記比較器は前記比較結果信号の前記メモリへの供給を行わず、前記カウンタはさらに前記ラッチ信号供給部に前記カウント信号を供給し、前記ラッチ信号供給部は、前記カウント信号を複数の前記メモリに保持させるラッチ信号を、複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングに応じて、複数の前記メモリに供給し、前記信号比較部に、複数の前記メモリが保持した前記カウント信号が供給され、前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値と、を比較することを特徴とするアナログデジタル変換回路である。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

また、別の態様は、光電変換により電荷が生じる光電変換部を含む複数列の画素と、アナログデジタル変換回路と、を有する撮像装置であって、前記アナログデジタル変換回路は、デジタル信号を保持するメモリと、アナログ信号と時間とともに変化する参照信号とを比較した比較結果を示す比較結果信号を前記メモリに供給する比較器と、をそれぞれ含む複数の回路部と、クロックパルス信号を前記参照信号の変化と並行して計数して、複数のビット信号を有するカウント信号を生成し、前記カウント信号を出力するカウンタと、前記カウント信号を複数の前記メモリに供給する複数のカウント信号伝送線と、を有し、対応する前記比較器の比較結果信号が変化した時に前記メモリが前記カウント信号を前記デジタル信号として保持することで前記アナログ信号を前記デジタル信号に変換するアナログデジタル変換回路であって、複数列の前記画素の各列に、複数の前記比較器の各々が接続され、前記撮像装置は、ラッチ信号供給部と、信号比較部と、をさらに有し、前記比較器は前記比較結果信号の前記メモリへの供給を行わず、前記カウンタはさらに前記ラッチ信号供給部に前記カウント信号を供給し、前記ラッチ信号供給部は、前記カウント信号を複数の前記メモリに保持させるラッチ信号を、複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングに応じて、複数の前記メモリに供給し、前記信号比較部に、複数の前記メモリが保持した前記カウント信号が供給され、前記ラッチ信号が供給された前記メモリが保持した前記デジタル信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記デジタル信号の信号値と、を比較することを特徴とする撮像装置である。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

また、別の態様は、複数のメモリと、カウント信号伝送線と、クロックパルス信号を計数した、複数のビット信号を有するカウント信号を、前記カウント信号伝送線を介して複数の前記メモリに供給するカウンタと、を有するアナログデジタル変換回路の検査方法であって、前記カウント信号を複数の前記メモリに保持させるラッチ信号を、複数の前記ビット信号のうち、いずれかの前記ビット信号の信号レベルが変化したタイミングに応じて複数の前記メモリに供給し、前記ラッチ信号が供給された前記メモリが保持した前記カウント信号の信号値と、前記カウント信号が前記カウンタから前記メモリに遅滞なく供給される場合において前記ラッチ信号を供給するタイミングに前記メモリが保持する前記カウント信号の信号値とを比較することを特徴とするアナログデジタル変換回路の検査方法である。