

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5233272号  
(P5233272)

(45) 発行日 平成25年7月10日(2013.7.10)

(24) 登録日 平成25年4月5日(2013.4.5)

(51) Int.Cl.

F 1

<b>H02M</b>	<b>3/07</b>	<b>(2006.01)</b>	H02M	3/07	
<b>G05F</b>	<b>1/56</b>	<b>(2006.01)</b>	G05F	1/56	310Z
<b>G05F</b>	<b>1/613</b>	<b>(2006.01)</b>	G05F	1/613	310
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G	3/36	
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	611A

請求項の数 14 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2007-327194 (P2007-327194)  
 (22) 出願日 平成19年12月19日 (2007.12.19)  
 (65) 公開番号 特開2008-211963 (P2008-211963A)  
 (43) 公開日 平成20年9月11日 (2008.9.11)  
 審査請求日 平成22年12月16日 (2010.12.16)  
 (31) 優先権主張番号 特願2007-17909 (P2007-17909)  
 (32) 優先日 平成19年1月29日 (2007.1.29)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100090479  
 弁理士 井上 一  
 (74) 代理人 100104710  
 弁理士 竹腰 昇  
 (74) 代理人 100124682  
 弁理士 黒田 泰  
 (72) 発明者 森田 晶  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
 審査官 永田 和彦

最終頁に続く

(54) 【発明の名称】電源回路、表示ドライバ、電気光学装置及び電子機器

## (57) 【特許請求の範囲】

## 【請求項1】

昇圧した電圧を出力するための電源回路であつて、  
 第1の電圧を基準に第2の電圧を昇圧した昇圧電圧を生成する昇圧回路と、  
 前記昇圧電圧の電位を制限するリミッタ回路とを含み、  
 前記リミッタ回路が、  
 前記昇圧電圧が所与のターゲット電圧になるように前記第2の電圧が供給される電源線に電荷を放電、又は該電源線から電荷を充電し、  
 前記昇圧回路が、

前記電源回路の出力負荷と、前記リミッタ回路が前記昇圧電圧の電位を制限したか否かを示すリミッタ動作情報とに基づいて、前記昇圧回路の電流駆動能力である昇圧能力を変更することを特徴とする電源回路。

## 【請求項2】

請求項1において、  
 前記出力負荷に対して前記昇圧能力が高いと判断されるときには、昇圧能力がより低くなるように該昇圧能力を変更し、

前記出力負荷に対して前記昇圧能力が低いと判断されるときには、昇圧能力がより高くなるように該昇圧能力を変更することを特徴とする電源回路。

## 【請求項3】

請求項1又は2において、

10

20

前記昇圧回路が、

前記リミッタ動作情報に基づいて更新される閾値と、前記出力負荷との比較結果に応じて、前記昇圧能力を変更することを特徴とする電源回路。

**【請求項 4】**

請求項3において、

前記閾値が、

所与の閾値電圧と前記昇圧電圧との比較結果に基づいて更新されることを特徴とする電源回路。

**【請求項 5】**

請求項4において、

10

前記所与の閾値電圧と前記昇圧電圧とを比較するコンパレータと、

前記コンパレータの出力結果のパルス幅又はパルス数をカウントするカウンタとを含み、

前記閾値が、

前記カウンタのカウント数に基づいて更新されることを特徴とする電源回路。

**【請求項 6】**

請求項1乃至5のいずれかにおいて、

電気光学装置の複数のソース線の各ソース線の階調データに対応した駆動電圧が、前記昇圧電圧に基づいて生成される場合に、

前記出力負荷が、

20

前記複数のソース線の1走査ライン分の階調データの総和に基づいて評価されることを特徴とする電源回路。

**【請求項 7】**

請求項1乃至6のいずれかにおいて、

前記昇圧回路が、

第1のフライングコンデンサを用いたチャージポンプ動作により、前記昇圧電圧を生成するための第1のチャージポンプ回路と、

前記第1のフライングコンデンサより容量値の大きい第2のフライングコンデンサを用いたチャージポンプ動作により、前記昇圧電圧を生成するための第2のチャージポンプ回路とを含み、

30

前記昇圧回路の昇圧能力の変更後に、前記第1のチャージポンプ回路により生成された昇圧電圧、前記第2のチャージポンプ回路により生成された昇圧電圧、又は前記第1及び第2のチャージポンプ回路により生成された昇圧電圧を出力することを特徴とする電源回路。

**【請求項 8】**

電気光学装置を駆動するための表示ドライバであって、

請求項1乃至7のいずれか記載の電源回路と、

前記電気光学装置を駆動するための駆動部とを含み、

前記昇圧電圧に基づいて、前記駆動部の駆動電圧を生成することを特徴とする表示ドライバ。

40

**【請求項 9】**

請求項8において、

前記駆動部が、

前記昇圧電圧を用いて生成された、階調データに対応した駆動電圧により前記電気光学装置の複数のソース線を駆動することを特徴とする表示ドライバ。

**【請求項 10】**

複数のゲート線と、

複数のソース線と、

前記複数のゲート線を走査するゲートドライバと、

前記複数のソース線を駆動するソースドライバと、

50

請求項 1 乃至 7 のいずれか記載の電源回路とを含み、  
前記ゲートドライバの走査電圧及び前記ソースドライバの駆動電圧のうち少なくとも 1  
つが、前記昇圧電圧に基づいて生成されることを特徴とする電気光学装置。

【請求項 1 1】

複数のゲート線と、  
複数のソース線と、  
前記複数のゲート線を走査するゲートドライバと、

前記複数のソース線を駆動する請求項 9 記載の表示ドライバとを含むことを特徴とする  
電気光学装置。

【請求項 1 2】

請求項 1 乃至 7 のいずれか記載の電源回路を含むことを特徴とする電子機器。

10

【請求項 1 3】

請求項 8 又は 9 記載の表示ドライバを含むことを特徴とする電子機器。

【請求項 1 4】

請求項 1 0 又は 1 1 記載の電気光学装置を含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、電源回路、表示ドライバ、電気光学装置及び電子機器等に関する。

【背景技術】

20

【0 0 0 2】

携帯型の電子機器には、より一層の低消費電力化が求められる。このような電子機器に搭載される表示装置として、液晶表示装置が用いられることが多い。液晶表示装置を駆動するためには、高い電圧や負の電圧等の複数の電源を必要とする。この場合、液晶表示装置を駆動する液晶駆動装置は、複数の電源を生成する電源回路を内蔵することがコストの観点からも望ましい。

【0 0 0 3】

このような電源回路は、昇圧回路を含む。この昇圧回路として、例えば特許文献 1 に記載されるようなチャージポンプ動作により昇圧した電圧を生成するチャージポンプ回路が採用されることが多い。チャージポンプ回路は、電荷を蓄積したコンデンサの一端を、スイッチ素子（例えば金属酸化膜半導体（Metal Oxide Semiconductor : M O S ）トランジスタ）により各種電圧に接続していくことで、該コンデンサに蓄積された電荷に対応した電圧を昇圧していく。このようなチャージポンプ回路を用いることで、低消費化を図ることができる。

30

【特許文献 1】特開平 9 - 3 1 2 0 9 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 4】

昇圧回路の電力効率という観点から、昇圧回路の出力負荷をできるだけ小さくすることが望ましい。そのため、例えば特許文献 1 のように、昇圧回路の出力が、そのまま昇圧回路の出力電圧の供給対象の回路に接続される。

40

【0 0 0 5】

また、昇圧回路の出力電位を調整する際には、レギュレータが用いられる。このとき、低消費電力化を目的として、該レギュレータをできるだけ低い動作電圧で動作させることができ望ましい。そのため、昇圧回路で昇圧した電圧をレギュレータで調整するのではなく、レギュレータで電圧を調整してから、調整後の電圧が昇圧回路に入力される。この場合、レギュレータによる調整後の電圧を昇圧する昇圧回路の電圧がターゲット電圧を超える場合、超過分の電圧を降圧するためにシステム接地電源に電荷を放電することが行われる。例えば、3 . 3 V の電圧を 2 倍昇圧する場合、集積回路装置の絶対最大定格となる 6 V 以下となるように、0 . 6 V ( = 3 . 3 × 2 - 6 ) だけ電位が下がるように電荷が放電され

50

る。従って、この超過分の電圧を調整するための電荷の充放電量を減らすことができれば、電源回路の低消費電力化を実現できる。

#### 【0006】

また、電源回路の出力負荷に応じて、電源回路の電力効率が変動する。これは、出力負荷によって、無駄な電力を使って昇圧動作を行ってしまうことを意味する。従って、電源回路の出力負荷に応じて昇圧能力を変更でき、且つ出力負荷に対して安定した電圧を供給できるように昇圧能力を変更できることが望ましい。

#### 【0007】

本発明の幾つかの態様によれば、出力負荷が高くなても昇圧能力を低下させることなく低消費電力で昇圧電圧を供給できる電源回路、表示ドライバ、電気光学装置及び電子機器を提供できる。10

#### 【課題を解決するための手段】

#### 【0008】

上記課題を解決するために本発明は、  
昇圧した電圧を出力するための電源回路であって、  
第1の電圧を基準に第2の電圧を昇圧した昇圧電圧を生成する昇圧回路と、  
前記昇圧電圧の電位を制限するリミッタ回路とを含み、  
前記リミッタ回路が、  
前記昇圧電圧が所与のターゲット電圧になるように前記第2の電圧が供給される電源線に電荷を放電、又は該電源線から電荷を充電し、20  
前記昇圧回路が、  
前記電源回路の出力負荷に応じて、昇圧能力を変更する電源回路に関係する。

#### 【0009】

本発明に係る電源回路では、リミッタ回路において、昇圧電圧が所与のターゲット電圧になるように、昇圧元の電源である、第2の電圧が供給される電源線に電荷を放電、又は該電源線から電荷を充電するようにしたので、電荷を再利用でき電源回路の低消費電力化を実現できるようになる。

#### 【0010】

更に、昇圧回路が、電源回路の出力負荷に応じて昇圧能力を変更するようにしたので、出力負荷が高い場合でも昇圧能力を低下させることなく、且つ出力負荷に対して昇圧効率が低下することを防止できるようになる。30

#### 【0011】

また本発明に係る電源回路では、  
前記出力負荷に対して前記昇圧能力が高いと判断されるときには、昇圧能力がより低くなるように該昇圧能力を変更し、  
前記出力負荷に対して前記昇圧能力が低いと判断されるときには、昇圧能力がより高くなるように該昇圧能力を変更することができる。

#### 【0012】

本発明によれば、出力負荷に応じて昇圧能力を適正なレベルに維持できるので、昇圧能力により得られる電圧を安定化させつつ、且つ出力負荷に対して昇圧効率が低下することを防止できるようになる。40

#### 【0013】

また本発明に係る電源回路では、  
前記昇圧回路が、  
前記出力負荷と、前記リミッタ回路が前記昇圧電圧の電位を制限したか否かを示すリミッタ動作情報とに基づいて、前記昇圧能力を変更することができる。

#### 【0014】

また本発明に係る電源回路では、  
前記昇圧回路が、  
前記リミッタ情報に基づいて更新される閾値と、前記出力負荷との比較結果に応じて、50

前記昇圧能力を変更することができる。

【0015】

また本発明に係る電源回路では、

前記閾値が、

所与の閾値電圧と前記昇圧電圧との比較結果に基づいて更新されてもよい。

【0016】

また本発明に係る電源回路では、

前記所与の閾値電圧と前記昇圧電圧とを比較するコンパレータと、

前記コンパレータの出力結果のパルス幅又はパルス数をカウントするカウンタとを含み

、

10

前記閾値が、

前記カウンタのカウント数に基づいて更新されてもよい。

【0017】

上記のいずれかの発明によれば、リミッタ回路の動作情報に基づいて昇圧能力を変更できるようにしたので、種々の出力負荷に対して、最適な昇圧能力で低消費電力動作が可能な電源回路を提供できる。

【0018】

また本発明に係る電源回路では、

電気光学装置の複数のソース線の各ソース線の階調データに対応した駆動電圧が、前記昇圧電圧に基づいて生成される場合に、

20

前記出力負荷が、

前記複数のソース線の1走査ライン分の階調データの総和に基づいて評価されてもよい。

【0019】

本発明によれば、出力負荷を簡素な構成で評価できるようになる。

【0020】

また本発明に係る電源回路では、

前記昇圧回路が、

第1のフライングコンデンサを用いたチャージポンプ動作により、前記昇圧電圧を生成するための第1のチャージポンプ回路と、

30

前記第1のフライングコンデンサより容量値の大きい第2のフライングコンデンサを用いたチャージポンプ動作により、前記昇圧電圧を生成するための第2のチャージポンプ回路とを含み、

前記昇圧回路の昇圧能力の変更後に、前記第1のチャージポンプ回路により生成された昇圧電圧、前記第2のチャージポンプ回路により生成された昇圧電圧、又は前記第1及び第2のチャージポンプ回路により生成された昇圧電圧を出力することができる。

【0021】

本発明によれば、簡素な構成で、昇圧回路の昇圧能力を変更できるようになる。

【0022】

また本発明は、

40

電気光学装置を駆動するための表示ドライバであって、

上記のいずれか記載の電源回路と、

前記電気光学装置を駆動するための駆動部とを含み、

前記昇圧電圧に基づいて、前記駆動部の駆動電圧を生成する表示ドライバに関係する。

【0023】

また本発明に係る表示ドライバでは、

前記駆動部が、

前記昇圧電圧を用いて生成された、階調データに対応した駆動電圧により前記電気光学装置の複数のソース線を駆動することができる。

【0024】

50

上記のいずれかの発明によれば、出力負荷が高くなっても昇圧能力を低下させることなく低消費電力で昇圧電圧を供給できる電源回路が適用された表示ドライバを提供できる。

【0025】

また本発明は、

複数のゲート線と、

複数のソース線と、

前記複数のゲート線を走査するゲートドライバと、

前記複数のソース線を駆動するソースドライバと、

上記のいずれか記載の電源回路とを含み、

前記ゲートドライバの走査電圧及び前記ソースドライバの駆動電圧のうち少なくとも1つが、前記昇圧電圧に基づいて生成される電気光学装置に関係する。 10

【0026】

また本発明は、

複数のゲート線と、

複数のソース線と、

前記複数のゲート線を走査するゲートドライバと、

前記複数のソース線を駆動する上記記載の表示ドライバとを含む電気光学装置に関係する。 20

【0027】

上記のいずれかの発明によれば、出力負荷が高くなっても昇圧能力を低下させることなく低消費電力で昇圧電圧を供給できる電源回路が適用された電気光学装置を提供できる。 20

【0028】

また本発明は、

上記のいずれか記載の電源回路を含む電子機器に関係する。

【0029】

また本発明は、

上記記載の表示ドライバを含む電子機器に関係する。

【0030】

また本発明は、

上記記載の電気光学装置を含む電子機器に関係する。 30

【0031】

上記のいずれかの発明によれば、出力負荷が高くなっても昇圧能力を低下させることなく低消費電力で昇圧電圧を供給できる電源回路が適用された電子機器を提供できる。

【発明を実施するための最良の形態】

【0032】

以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

【0033】

1. 液晶表示装置

40

図1に、本実施形態の液晶表示装置のブロック図の例を示す。

【0034】

液晶表示装置10（液晶装置。広義には電気光学装置）は、表示パネル12（狭義には液晶パネル、LCD（Liquid Crystal Display）パネル、広義には電気光学パネル）、ソースドライバ20（広義にはデータ線駆動回路）、ゲートドライバ30（広義には走査線駆動回路）、表示コントローラ40、電源回路50を含む。なお、液晶表示装置10にこれらのすべての回路ブロックを含める必要はなく、その一部の回路ブロックを省略する構成にしてもよい。電気光学装置は、有機EL（Electro Luminescence）、無機EL素子等の発光素子を用いた装置を含むことができる。

【0035】

50

ここで表示パネル 12（電気光学装置）は、複数のゲート線（広義には走査線）と、複数のソース線（広義にはデータ線）と、ゲート線及びソース線により特定される画素電極を含む。この場合、ソース線に薄膜トランジスタ TFT（Thin Film Transistor、広義にはスイッチング素子）を接続し、この TFT に画素電極を接続することで、アクティブマトリクス型の液晶表示装置を構成できる。

#### 【0036】

より具体的には、表示パネル 12 は、アクティブマトリクス基板（例えばガラス基板）上にアモルファスシリコン薄膜が形成されたアモルファスシリコン液晶パネルである。アクティブマトリクス基板には、図 1 の Y 方向に複数配列されそれぞれ X 方向に伸びるゲート線  $G_1 \sim G_M$ （M は 2 以上の自然数）と、X 方向に複数配列されそれぞれ Y 方向に伸びるソース線  $S_1 \sim S_N$ （N は 2 以上の自然数）とが配置されている。また、ゲート線  $G_K$ （ $1 \leq K \leq M$ 、K は自然数）とソース線  $S_L$ （ $1 \leq L \leq N$ 、L は自然数）との交差点に対応する位置に、薄膜トランジスタ TFT<sub>K,L</sub>（広義にはスイッチング素子）が設けられている。10

#### 【0037】

TFT<sub>K,L</sub> のゲート電極はゲート線  $G_K$  に接続され、TFT<sub>K,L</sub> のソース電極はソース線  $S_L$  に接続され、TFT<sub>K,L</sub> のドレイン電極は画素電極 PE<sub>K,L</sub> に接続されている。この画素電極 PE<sub>K,L</sub> と、画素電極 PE<sub>K,L</sub> と液晶（広義には電気光学物質）を挟んで対向する対向電極 CE（共通電極、コモン電極）との間には、素子容量である液晶容量 CL<sub>K,L</sub>（液晶素子）、及び補助容量 CS<sub>K,L</sub> が形成されている。そして、TFT<sub>K,L</sub>、画素電極 PE<sub>K,L</sub> 等が形成されるアクティブマトリクス基板と対向電極 CE が形成される対向基板との間に液晶が封入されるように形成され、画素電極 PE<sub>K,L</sub> と対向電極 CE との間の印加電圧に応じて画素の透過率が変化するようになっている。素子容量は、液晶素子に形成される液晶容量や、無機 EL 素子等の EL 素子に形成される容量を含むことができる。20

#### 【0038】

なお、対向電極 CE に与えられる対向電極電圧 VCOM の電圧レベル（高電位側電圧 VCOMH、低電位側電圧 VCOML）は、電源回路 50 に含まれる対向電極電圧生成回路より生成される。例えば、対向電極 CE は、対向基板上に一面に形成される。

#### 【0039】

ソースドライバ 20 は、階調データに基づいて表示パネル 12 のソース線  $S_1 \sim S_N$  を駆動する。一方、ゲートドライバ 30 は、表示パネル 12 のゲート線  $G_1 \sim G_M$  を走査（順次駆動）する。30

#### 【0040】

表示コントローラ 40 は、図示しない中央演算処理装置（Central Processing Unit：CPU）等のホストにより設定された内容に従って、ソースドライバ 20、ゲートドライバ 30 及び電源回路 50 を制御する。より具体的には、表示コントローラ 40 は、ソースドライバ 20 及びゲートドライバ 30 に対しては、例えば動作モードの設定や内部で生成した垂直同期信号や水平同期信号の供給を行い、電源回路 50 に対しては、対向電極 CE に印加する対向電極電圧 VCOM の電圧レベルの極性反転タイミングの制御を行う。40

#### 【0041】

電源回路 50 は、外部から供給されるシステム電源電圧を昇圧するなどして、表示パネル 12 の駆動に必要な各種の電圧レベル（階調電圧）や、対向電極 CE の対向電極電圧 VCOM の電圧レベルを生成する。本実施形態における電源回路 50 は、電源回路 50 の出力負荷を評価するための評価値をソースドライバ 20 から受け、該評価値に基づいて昇圧能力を変更できるようになっている。ここで、昇圧能力は、出力負荷電流の変化に対して出力電圧を変化させる能力ということができる。

#### 【0042】

このように、ソースドライバ 20 及びゲートドライバ 30 を、表示パネル 12 を駆動するための駆動部とした場合に、電源回路 50 により昇圧された電圧に基づいて、駆動部の駆動電圧を生成することができる。50

**【 0 0 4 3 】**

このような構成の液晶表示装置 10 は、表示コントローラ 40 の制御の下、外部から供給される階調データに基づいて、ソースドライバ 20、ゲートドライバ 30 及び電源回路 50 が協調して表示パネル 12 を駆動する。

**【 0 0 4 4 】**

なお、図 1 では、液晶表示装置 10 が表示コントローラ 40 を含む構成になっているが、表示コントローラ 40 を液晶表示装置 10 の外部に設けてもよい。或いは、表示コントローラ 40 と共にホストを液晶表示装置 10 に含めるようにしてもよい。また、ソースドライバ 20、ゲートドライバ 30、表示コントローラ 40、電源回路 50 の一部又は全部を表示パネル 12 上に形成してもよい。10

**【 0 0 4 5 】**

また図 1 において、ソースドライバ 20、ゲートドライバ 30 及び電源回路 50 を集積化して、半導体装置（集積回路、IC）として表示ドライバ 60 を構成してもよい。

**【 0 0 4 6 】**

図 2 に、本実施形態における液晶表示装置の他の構成例のブロック図を示す。

**【 0 0 4 7 】**

図 2 では、表示パネル 12 上（パネル基板上）に、ソースドライバ 20、ゲートドライバ 30 及び電源回路 50 を含む表示ドライバ 60 が形成されている。このように表示パネル 12 は、複数のゲート線と、複数のソース線と、複数のゲート線の各ゲート線及び複数のソース線の各ソース線とに接続された複数の画素（画素電極）と、複数のソース線を駆動するソースドライバと、複数のゲート線を走査するゲートドライバとを含むように構成することができる。表示パネル 12 の画素形成領域 44 に、複数の画素が形成されている。各画素は、ソースにソース線が接続されゲートにゲート線が接続された TFT と、該 TFT のドレインに接続された画素電極とを含むことができる。20

**【 0 0 4 8 】**

なお図 2 では、表示パネル 12 上においてゲートドライバ 30 及び電源回路 50 のうち少なくとも 1 つが省略された構成であってもよい。

**【 0 0 4 9 】**

また図 1 又は図 2 において、表示ドライバ 60 が、表示コントローラ 40 を内蔵してもよい。或いは図 1 又は図 2 において、表示ドライバ 60 が、ソースドライバ 20 及びゲートドライバ 30 のいずれか一方と、電源回路 50 とを集積化した半導体装置であってもよい。30

**【 0 0 5 0 】****1.1 ゲートドライバ**

図 3 に、図 1 又は図 2 のゲートドライバ 30 の構成例を示す。

**【 0 0 5 1 】**

ゲートドライバ 30 は、シフトレジスタ 32、レベルシフタ 34、出力バッファ 36 を含む。

**【 0 0 5 2 】**

シフトレジスタ 32 は、各ゲート線に対応して設けられ、順次接続された複数のフリップフロップを含む。このシフトレジスタ 32 は、クロック信号 CLK に同期してイネーブル入出力信号 EIO をフリップフロップに保持すると、順次クロック信号 CLK に同期して隣接するフリップフロップにイネーブル入出力信号 EIO をシフトする。ここで入力されるイネーブル入出力信号 EIO は、表示コントローラ 40 から供給される垂直同期信号である。40

**【 0 0 5 3 】**

レベルシフタ 34 は、シフトレジスタ 32 からの電圧レベルを、表示パネル 12 の液晶素子と TFT のトランジスタ能力とに応じた電圧レベルにシフトする。この電圧レベルとしては、高い電圧レベルが必要とされるため、他のロジック回路部とは異なる高耐圧プロセスが用いられる。50

**【0054】**

出力バッファ36は、レベルシフタ34によってシフトされた走査電圧をバッファリングしてゲート線に出力し、ゲート線を駆動する。

**【0055】**

## 1.2 ソースドライバ

図4に、図1又は図2のソースドライバ20の構成例のブロック図を示す。

**【0056】**

ソースドライバ20は、シフトレジスタ22、ラインラッチ24、26、階調データ総和演算部25、DAC28(Digital-to-Analog Converter)(広義にはデータ電圧生成回路)、ソース線駆動回路29を含む。

10

**【0057】**

シフトレジスタ22は、各ソース線に対応して設けられ、順次接続された複数のフリップフロップを含む。このシフトレジスタ22は、クロック信号CLKに同期してイネーブル入出力信号EIOを保持すると、順次クロック信号CLKに同期して隣接するフリップフロップにイネーブル入出力信号EIOをシフトする。

**【0058】**

ラインラッチ24には、表示コントローラ40から例えば18ビット(6ビット(階調データ)×3(RGB各色))単位で階調データ(DIO)が入力される。ラインラッチ24は、この階調データ(DIO)を、シフトレジスタ22の各フリップフロップで順次シフトされたイネーブル入出力信号EIOに同期してラッチする。

20

**【0059】**

ラインラッチ26は、表示コントローラ40から供給される水平同期信号LPに同期して、ラインラッチ24でラッチされた1水平走査単位の階調データをラッチする。

**【0060】**

階調データ総和演算部25は、電源回路50の出力負荷を評価するための評価値を、階調データに基づいて演算する。この評価値は、総和データSUMとして電源回路50に供給される。より具体的には、階調データ総和演算部25は、1走査ライン分の階調データを加算することで、評価値を求めることができる。例えば階調データ総和演算部25は、ラインラッチ26に取り込まれる階調データを1ソース出力毎に加算して総和データを求め、評価値とする。このような評価値としての総和データに基づいて、表示パネル12の駆動に用いられる階調電圧の大小を大まかに評価でき、電源回路50の出力負荷の評価に用いることができる。

30

**【0061】**

基準電圧発生回路27は、 $64 (= 2^6)$ 種類の基準電圧を生成する。基準電圧発生回路27によって生成された64種類の基準電圧は、DAC28に供給される。

**【0062】**

DAC(データ電圧生成回路)28は、各ソース線に供給すべきアナログのデータ電圧を生成する。具体的にはDAC28は、ラインラッチ26からのデジタルの階調データに基づいて、基準電圧発生回路27からの基準電圧のいずれかを選択し、デジタルの階調データに対応するアナログのデータ電圧を出力する。

40

**【0063】**

ソース線駆動回路29は、DAC28からのデータ電圧をバッファリングしてソース線に出力し、ソース線を駆動する。具体的には、ソース線駆動回路29は、各ソース線毎に設けられたボルテージフォロワ接続の演算増幅器OPC(広義にはインピーダンス変換回路)を含み、これらの各演算増幅器OPCが、DAC28からのデータ電圧をインピーダンス変換して、各ソース線に出力する。

**【0064】**

なお、図4では、デジタルの階調データをデジタル・アナログ変換して、ソース線駆動回路29を介してソース線に出力する構成を採用しているが、アナログの映像信号をサンプル・ホールドして、ソース線駆動回路29を介してソース線に出力する構成を採用する

50

こともできる。

**【0065】**

図5に、図4の基準電圧発生回路27、DAC28及びソース線駆動回路29の構成例を示す。図5において、階調データが6ビットのデータD0～D5であり、各ビットのデータの反転データをXD0～XD5と示している。また図5において、図4と同一部分には同一符号を付し、適宜説明を省略する。

**【0066】**

基準電圧発生回路27は、両端の電圧VDDH、VSSHを抵抗分割して64種類の基準電圧を生成する。ここで、電圧VDDHは、電源回路50により得られた昇圧電圧VOUTとすることができる。各基準電圧は、6ビットの階調データにより表される各階調値に対応している。各基準電圧は、ソース線S<sub>1</sub>～S<sub>N</sub>の各ソース線に共通に供給される。  
10

**【0067】**

DAC28は、ソース線毎に設けられたデコーダを含み、各デコーダは、階調データに対応した基準電圧を演算増幅器OPCに出力する。

**【0068】**

1.3 電源回路

図6に、図1又は図2の電源回路50の構成例を示す。

**【0069】**

電源回路50は、昇圧回路52、リミッタ回路53、走査電圧生成回路54、対向電極電圧生成回路56を含む。この電源回路50には、システム接地電源電圧VSS(第1の電圧)及びシステム電源電圧VDD(第2の電圧)が供給される。  
20

**【0070】**

昇圧回路52には、システム接地電源電圧VSS及びシステム電源電圧VDDが供給される。そして昇圧回路52は、システム接地電源電圧VSSを基準に、システム電源電圧VDDを正方向に例えば2倍に昇圧した電源電圧VOUT(昇圧電圧)を生成する。即ち昇圧回路52は、システム接地電源電圧VSSとシステム電源電圧VDDとの間の電圧差を2倍に昇圧する。このような昇圧回路52は、チャージポンプ回路により構成できる。電源電圧VOUTは、ソースドライバ20、走査電圧生成回路54や対向電極電圧生成回路56に供給される。ソースドライバ20は、電源電圧VOUTに基づいて、階調データに対応した階調電圧を生成する。また、ゲートドライバ30は、走査電圧生成回路54を含むことができ、この場合には、電源電圧VOUTに基づいて、走査電圧を生成するといふことができる。  
30

**【0071】**

リミッタ回路53は、昇圧回路52によって生成された電源電圧VOUT(昇圧電圧)が所与のターゲット電圧になるように、システム電源電圧VDD(第2の電圧)が供給される電源線に電荷を放電、又は該電源線から電荷を充電する。本実施形態では、昇圧回路52がシステム接地電源電圧VSSを基準に正方向に電圧を昇圧するため、システム電源電圧VDDが供給される電源線に正の電荷を放電(該電源線から負の電荷を充電)する。これにより、システム接地電源電圧VSS(第1の電圧)が供給される電源線に電荷を放電するよりも、電荷を再利用できるため低消費電力化を図ることができる。更に、本実施形態では、昇圧回路52が、電源回路50の出力負荷に応じて、昇圧能力を変更することができるようになっている。この電源回路50の出力負荷は、ソースドライバ20からの評価値としての総和データGSUMに基づいて評価される。  
40

**【0072】**

走査電圧生成回路54には、システム接地電源電圧VSS及び電源電圧VOUTが供給される。そして走査電圧生成回路54は、走査電圧を生成する。走査電圧は、ゲートドライバ30によって駆動されるゲート線に印加される電圧である。この走査電圧の高電位側電圧はVDDHGであり、低電位側電圧はVEEである。

**【0073】**

対向電極電圧生成回路56は、対向電極電圧VCOMを生成する。対向電極電圧生成回  
50

路 5 6 は、極性反転信号 P O L に基づいて、高電位側電圧 V C O M H 又は低電位側電圧 V C O M L を、対向電極電圧 V C O M として出力する。極性反転信号 P O L は、極性反転タイミングに合わせて表示コントローラ 4 0 によって生成される。

#### 【 0 0 7 4 】

図 7 に、図 1 又は図 2 の表示パネル 1 2 の駆動波形の一例を示す。

#### 【 0 0 7 5 】

ソース線には、階調データの階調値に応じた階調電圧 D L V が印加される。図 7 では、システム接地電源電圧 V S S (= 0 V) を基準に、5 V の振幅の階調電圧 D L V が印加されている。

#### 【 0 0 7 6 】

ゲート線には、非選択時において非選択電圧として低電位側電圧 V E E (= - 10 V) 、選択時において選択電圧として高電位側電圧 V D D H G (= 15 V) の走査電圧 G L V が印加される。

#### 【 0 0 7 7 】

対向電極 C E には、高電位側電圧 V C O M H (= 3 V) 、低電位側電圧 V C O M L (= - 2 V) の対向電極電圧 V C O M が印加される。そして所与の電圧を基準とした対向電極電圧 V C O M の電圧レベルの極性が、極性反転タイミングに合わせて反転している。図 7 では、いわゆる走査ライン反転駆動時の対向電極電圧 V C O M の波形を示している。この極性反転タイミングに合わせて、ソース線の階調電圧 D L V もまた、所与の電圧を基準に、その極性が反転している。

#### 【 0 0 7 8 】

ところで液晶素子は、直流電圧を長時間印加すると劣化するという性質がある。このため、液晶素子に印加する電圧の極性を所定期間毎に反転させる駆動方式が必要になる。このような駆動方式としては、フレーム反転駆動、走査(ゲート)ライン反転駆動、データ(ソース)ライン反転駆動、ドット反転駆動等がある。

#### 【 0 0 7 9 】

このうち、フレーム反転駆動は、消費電力は低いが、画質がそれほど良くないという不利点がある。また、データライン反転駆動、ドット反転駆動は、画質は良いが、表示パネルの駆動に高い電圧が必要になるという不利点がある。

#### 【 0 0 8 0 】

本実施形態では、走査ライン反転駆動を採用している。この走査ライン反転駆動では、液晶素子に印加される電圧が走査期間毎(走査線毎)に極性反転される。例えば、第 1 の走査期間(走査線)では正極性の電圧が液晶素子に印加され、第 2 の走査期間では負極性の電圧が印加され、第 3 の走査期間では正極性の電圧が印加される。一方、次のフレームにおいては、今度は、第 1 の走査期間では負極性の電圧が液晶素子に印加され、第 2 の走査期間では正極性の電圧が印加され、第 3 の走査期間では負極性の電圧が印加されるようになる。

#### 【 0 0 8 1 】

そして、この走査ライン反転駆動では、対向電極 C E の対向電極電圧 V C O M の電圧レベルが走査期間毎に極性反転される。

#### 【 0 0 8 2 】

より具体的には図 8 に示すように、正極の期間 T 1 (第 1 の期間) では対向電極電圧 V C O M の電圧レベルは低電位側電圧 V C O M L になり、負極の期間 T 2 (第 2 の期間) では高電位側電圧 V C O M H になる。そして、このタイミングに合わせてソース線に印加される階調電圧も、その極性が反転する。なお、低電位側電圧 V C O M L は、所与の電圧レベルを基準として高電位側電圧 V C O M H の極性を反転した電圧レベルである。

#### 【 0 0 8 3 】

ここで、正極の期間 T 1 は、ソース線の階調電圧が供給された画素電極の電圧レベルが対向電極 C E の電圧レベルよりも高くなる期間である。この期間 T 1 では液晶素子に正極性の電圧が印加されることになる。一方、負極の期間 T 2 は、ソース線の階調電圧が供給

10

20

30

40

50

された画素電極の電圧レベルが対向電極 C E の電圧レベルよりも低くなる期間である。この期間 T 2 では液晶素子に負極性の電圧が印加されることになる。

#### 【 0 0 8 4 】

このように対向電極電圧 V COM を極性反転することで、表示パネルの駆動に必要な電圧を低くすることができる。これにより、駆動回路の耐圧を低くでき、駆動回路の製造プロセスの簡素化、低コスト化を図ることができる。

#### 【 0 0 8 5 】

##### 2 . 電源回路の構成例

以下では、本実施形態における電源回路 5 0 の要部について説明する。

#### 【 0 0 8 6 】

図 9 に、図 6 の電源回路 5 0 の昇圧回路 5 2 、リミッタ回路 5 3 の構成例を示す。

10

#### 【 0 0 8 7 】

昇圧回路 5 2 は、互いに昇圧能力が異なる複数のチャージポンプ回路を備え、これらのチャージポンプ回路の動作をイネーブル制御することで昇圧能力を変更できるようになっている。

#### 【 0 0 8 8 】

例えば、昇圧回路 5 2 は、図 9 に示すように、第 1 及び第 2 のチャージポンプ回路 1 0 0<sub>1</sub> 、 1 0 0<sub>2</sub> 、切替制御部 1 1 0 を有する。昇圧回路 5 2 ( 電源回路 5 0 ) の外部接続端子 T C 1 、 T C 2 には、第 1 のチャージポンプ回路 1 0 0<sub>1</sub> のチャージポンプ動作に用いられる第 1 のフライングコンデンサ F C 1 が接続される。また、昇圧回路 5 2 ( 電源回路 5 0 ) の外部接続端子 T C 3 、 T C 4 には、第 2 のチャージポンプ回路 1 0 0<sub>2</sub> のチャージポンプ動作に用いられる第 2 のフライングコンデンサ F C 2 が接続される。

20

#### 【 0 0 8 9 】

第 2 のフライングコンデンサ F C 2 の容量値は、第 1 のフライングコンデンサ F C 1 の容量値より大きい。また、第 1 のチャージポンプ回路 1 0 0<sub>1</sub> を構成するトランジスタのサイズ ( チャネル長 × チャネル幅 ) は、第 2 のチャージポンプ回路 1 0 0<sub>2</sub> を構成するトランジスタのサイズより小さく、第 1 のチャージポンプ回路 1 0 0<sub>1</sub> を構成するトランジスタの電流駆動能力は、第 2 のチャージポンプ回路 1 0 0<sub>2</sub> を構成するトランジスタの電流駆動能力より小さい。こうすることで、第 1 のチャージポンプ回路 1 0 0<sub>1</sub> の昇圧能力を、第 2 のチャージポンプ回路 1 0 0<sub>2</sub> の昇圧能力より小さくできる。

30

#### 【 0 0 9 0 】

イネーブル状態に設定された各チャージポンプ回路は、システム接地電源電圧 V S S とシステム電源電圧 V D D との間の電圧を、システム接地電源電圧 V S S を基準に例えば 2 倍に昇圧した電源電圧 V O U T を生成する。

#### 【 0 0 9 1 】

切替制御部 1 1 0 は、第 1 及び第 2 のチャージポンプ回路 1 0 0<sub>1</sub> 、 1 0 0<sub>2</sub> のイネーブル制御を行う。より具体的には、切替制御部 1 1 0 は、第 1 及び第 2 のチャージポンプ回路 1 0 0<sub>1</sub> 、 1 0 0<sub>2</sub> のいずれか 1 つをイネーブル状態に設定したり、第 1 及び第 2 のチャージポンプ回路 1 0 0<sub>1</sub> 、 1 0 0<sub>2</sub> の両方をイネーブル状態に設定したりできる。こうすることで、切替制御部 1 1 0 は、昇圧回路 5 2 の昇圧能力を 3 種類のいずれかから選択して制御できる。

40

#### 【 0 0 9 2 】

図 1 0 に、図 9 の第 1 のチャージポンプ回路 1 0 0<sub>1</sub> の構成例の回路図を示す。

#### 【 0 0 9 3 】

図 1 0 では、第 1 のチャージポンプ回路 1 0 0<sub>1</sub> の構成例について説明するが、第 2 のチャージポンプ回路 1 0 0<sub>2</sub> の構成例についても同様である。

#### 【 0 0 9 4 】

第 1 のチャージポンプ回路 1 0 0<sub>1</sub> は、チャージポンプ動作により第 1 のフライングコンデンサ F C 1 に蓄積された電荷を用いて昇圧電圧を生成するためのスイッチ素子であるトランジスタを含む。より具体的には、第 1 のチャージポンプ回路 1 0 0<sub>1</sub> は、昇圧電圧

50

が出力される出力電源線とシステム電源電圧VDDが供給される電源線との間に直列に挿入されるP型(広義には第1導電型)MOSトランジスタ(以下、単にトランジスタ)PT1、PT2を含む。また、第1のチャージポンプ回路100<sub>1</sub>は、システム電源電圧VDDが供給される電源線とシステム接地電源電圧VSSが供給される電源線との間に直列に挿入されるP型MOSトランジスタPT3、N型(広義には第2導電型)MOSトランジスタ(以下、単にトランジスタ)NT1を含む。

#### 【0095】

トランジスタPT1のゲートには、チャージクロックCK1Pが供給される。トランジスタPT2のゲートには、チャージクロックCK2Pが供給される。トランジスタPT3のゲートには、チャージクロックCK3Pが供給される。トランジスタNT1のゲートには、チャージクロックCK1Nが供給される。10

#### 【0096】

トランジスタPT1のソースに、昇圧電圧が出力される電源線が接続される。トランジスタPT1、PT2の接続ノードに、端子TC1を介して第1のフライングコンデンサFC1の一端が接続される。トランジスタPT3、NT1の接続ノードに、端末TC2を介して第1のフライングコンデンサFC1の他端が接続される。

#### 【0097】

図11に、図10のチャージクロックCK1P、CK2P、CK3P、CK1Nのタイミングを模式的に示す。

#### 【0098】

チャージクロックCK1PがLレベルのとき、チャージクロックCK2PがHレベル、チャージクロックCK3P、CK1NがLレベルとなる(期間PH1)。また、チャージクロックCK1PがHレベルのとき、チャージクロックCK2PがHレベル、チャージクロックCK3P、CK1NがHレベルとなる(期間PH2)。20

#### 【0099】

期間PH1では、トランジスタPT1がオン、トランジスタPT2がオフとなり、端子TC1を介して接続される第1のフライングコンデンサFC1の一端の電圧が、出力電源線に出力される。このとき、トランジスタPT3がオン、トランジスタNT1がオフとなり、外部接続端子TC2を介して接続される第1のフライングコンデンサFC1に他端には、システム電源電圧VDDが供給される。30

#### 【0100】

期間PH2では、トランジスタPT1がオフ、トランジスタPT2がオンとなり、端子TC1を介して接続される第1のフライングコンデンサFC1の一端には、システム電源電圧VDDが供給される。このとき、トランジスタPT3がオフ、トランジスタNT1がオンとなるため、外部接続端子TC2を介して接続される第1のフライングコンデンサFC1の他端には、システム接地電源電圧VSSが供給される。従って、期間PH2では、第1のフライングコンデンサFC1には、システム電源電圧VDDとシステム接地電源電圧VSSとの間の電圧に対応した電荷が蓄積される。

#### 【0101】

そして、再び、期間PH1では、上述のように出力電源線に、第1のフライングコンデンサFC1の一端の電圧が出力される。このとき、外部接続端子TC2に接続される第1のフライングコンデンサFC1の他端の電圧がシステム電源電圧VDDとなるため、出力電源線の電圧は、システム電源電圧VDDとシステム接地電源電圧VSSとの間の電圧の2倍の電圧となる。40

#### 【0102】

なお、トランジスタPT1、PT2が同時にオンとならないように、チャージクロックCK1P、CK2Pを変化させることが望ましい。また、トランジスタPT2、PT3が同時にオフとならないように、チャージクロックCK2P、CK3Pを変化させることが望ましい。更に、トランジスタPT3、NT1が同時にオフとならないように、チャージクロックCK3P、CK1Nを変化させることが望ましい。50

**【0103】**

図9に戻って説明を続ける。

**【0104】**

図9のリミッタ回路53は、コンパレータCMP1と、電圧制限回路150とを含む。

**【0105】**

コンパレータCMP1には、電圧VOUTとシステム接地電源電圧VSSとの間の電圧を抵抗分割することにより得られた入力電圧Vinと、所与の基準電圧VREFとが入力される。そして、コンパレータCMP1は、入力電圧Vinと基準電圧VREFとの比較結果を比較結果パルスとして出力する。

**【0106】**

10

電圧制限回路150は、P型MOSトランジスタTROにより構成される。P型MOSトランジスタTROのゲートには、コンパレータCMP1からの比較結果パルスが入力される。P型MOSトランジスタTROのソースには、電圧VOUTが供給される電源線が接続される。P型MOSトランジスタTROのドレインには、システム電源電圧VDDが供給される電源線に接続される。

**【0107】**

図12に、図9のコンパレータCMP1と電圧制限回路150の構成例の回路図を示す。

**【0108】**

20

コンパレータCMP1は、差動増幅器DIF1と、出力回路DRV1とを含む。差動増幅器DIF1は、ソースが接続された差動トランジスタ対と、差動トランジスタ対のソースに電流を供給する電流源トランジスタと、差動トランジスタ対を構成する各トランジスタに電流を供給するカレントミラー回路とを含む。差動トランジスタ対を構成するトランジスタのうち、非反転入力端子となるトランジスタのゲートには基準電圧VREFが供給され、反転入力端子となるトランジスタのゲートには入力電圧Vinが供給される。出力回路DRV1は、直列に接続されたP型MOSトランジスタPDRV1と、N型MOSトランジスタNDRV1とを含む。N型MOSトランジスタNDRV1のゲートには、差動増幅器DIF1の電流源トランジスタのゲート電圧と同じ電圧が供給され、P型MOSトランジスタPDRV1のドレインを駆動する。P型MOSトランジスタPDRV1のゲートには、差動増幅器DIF1の出力電圧が供給される。

**【0109】**

30

そして、電圧制限回路150を構成するP型MOSトランジスタTROのゲートには、出力回路DRV1のP型MOSトランジスタPDRV1のドレインの電圧が供給される。

**【0110】**

従って、入力電圧Vinが基準電圧VREFより高電位の場合、差動増幅器DIF1の出力電圧の電位が上がり、P型MOSトランジスタPDRV1のインピーダンスが上がる。その結果、コンパレータCMP1の出力である比較結果パルスの電位が下がる方向に変化する。このとき、P型MOSトランジスタTROのインピーダンスが下がる方向に変化し、システム電源電圧VDDが供給される電源線に対して放電される電荷量が多くなる。

**【0111】**

40

一方、入力電圧Vinが基準電圧VREFより低電位の場合、差動増幅器DIF1の出力電圧の電位が下がり、P型MOSトランジスタPDRV1のインピーダンスが下がる。その結果、コンパレータCMP1の出力である比較結果パルスの電位が上がる方向に変化する。このとき、P型MOSトランジスタTROのインピーダンスが上昇する方向に変化し、システム電源電圧VDDが供給される電源線に対して放電される電荷量が少なくなる。

**【0112】**

図13に、コンパレータCMP1の比較結果パルスの説明図を示す。

**【0113】**

比較結果パルスは、図13に示すようにパルス信号となる。入力電圧Vinが基準電圧VREFより高電位の場合には、比較結果パルスがLレベルとなり、上述のようにシス

50

ム電源電圧 V D D が供給される電源線に電荷を放電する期間となる。また、入力電圧 V i n が基準電圧 V R E F より低電位の場合には、比較結果パルスが H レベルとなり、該電源線に電荷を放電しない期間となる。

#### 【 0 1 1 4 】

このように、リミッタ回路 5 3 では、入力電圧 V i n が基準電圧 V R E F より高電位側になると、P 型 M O S トランジスタ T R O がオンとなって、電圧 V O U T が供給される電源線の電荷を、システム電源電圧 V D D が供給される電源線に放電する制御を行う。

#### 【 0 1 1 5 】

ところで、本実施形態では、昇圧回路 5 2 が、電源回路 5 0 の出力負荷に応じて昇圧能力を変更できるようになっている。そのため、本実施形態では、電源回路 5 0 が、出力負荷を評価するための評価値である総和データ G S U M を所与の閾値と比較することで、昇圧能力を変更するか否かを判断できるようになっている。即ち、電源回路 5 0 は、電源回路 5 0 の出力負荷に対して昇圧能力が高いと判断されるときには、昇圧能力がより低くなるように該昇圧能力を変更し、出力負荷に対して昇圧能力が低いと判断されるときには、昇圧能力がより高くなるように該昇圧能力を変更する。10

#### 【 0 1 1 6 】

更に、この閾値は、リミッタ回路 5 3 が昇圧電圧である電圧 V O U T の電位を制限したか否かを示すリミッタ動作情報に基づいて更新される。従って、電源回路 5 0 は、電源回路 5 0 の出力負荷とリミッタ動作情報とに基づいて、昇圧回路 5 2 の昇圧能力を変更することができる。20

#### 【 0 1 1 7 】

このような電源回路 5 0 は、図 9 に示すように、更に、コンパレータ C M P 2 、レベルシフタ 1 8 0 、カウンタ 1 8 2 、判定ロジック部 1 8 4 、閾値更新部 1 8 6 を含むことができる。

#### 【 0 1 1 8 】

コンパレータ C M P 2 には、リミッタ回路 5 3 からの比較結果パルスと、所与の閾値電圧 V T H とが入力される。コンパレータ C M P 2 の高電位側の電源を電圧 V O U T 、低電位側の電源をシステム接地電源電圧 V S S とすると、閾値電圧 V T H は、次の式で表すことができる。

#### 【 0 1 1 9 】

$$V T H = V O U T - V t h p - \dots \quad (1)$$

ここで、V t h p は、電圧制限回路 1 5 0 を構成する P 型 M O S トランジスタ T R O の閾値電圧であり、 は 0 . 1 V ~ 0 . 2 V 程度の正の定数値である。このようなコンパレータ C M P 2 の出力信号は、図 1 3 の比較結果パルスの H レベル、 L レベルに対応した信号となり、電荷を電源線に放電する時間の長さを監視するための信号となる。

#### 【 0 1 2 0 】

レベルシフタ 1 8 0 は、このようなコンパレータ C M P 2 の出力信号の電圧レベルを所与の電圧レベルの信号にシフトする。カウンタ 1 8 2 は、レベルシフタ 1 8 0 の出力信号であるパルス信号のパルス幅又はパルス数をカウントする。カウンタ 1 8 2 の所定期間ににおけるカウント値を、リミッタ動作情報を示す信号とできる。即ち、昇圧能力が大きいときは、リミッタ回路 5 3 が動作している期間が長くなる。そのため、パルス信号のパルス幅又はパルス数をカウントすることで、リミッタ回路 5 3 のリミッタ動作情報を数値化できる。パルス信号のパルス数をカウントする場合、例えば一定期間（ 1 又は複数の水平走査期間、 1 又は複数の垂直走査期間）にリミッタ回路 5 3 が動作した期間に對応するパルス数を、ドットクロック（ピクセルクロック）等の所与のクロック信号を用いてカウントすればよい。40

#### 【 0 1 2 1 】

判定ロジック部 1 8 4 は、総和データ G S U M と所与の閾値とを比較することで、昇圧回路 5 2 の切替制御部 1 1 0 の制御を行う。本実施形態では、判定ロジック部 1 8 4 からの判定結果に基づいて、切替制御部 1 1 0 が、第 1 及び第 2 のチャージポンプ回路 1 0 0

$_{1,100_2}$  のうち少なくとも 1 つがイネーブル状態となるように制御する。この結果、切替制御部 110 が、昇圧回路 52 の昇圧能力の変更後に、第 1 のチャージポンプ回路 100<sub>1</sub> により生成された昇圧電圧、第 2 のチャージポンプ回路 100<sub>2</sub> により生成された昇圧電圧、又は第 1 及び第 2 のチャージポンプ回路 100<sub>1</sub>、100<sub>2</sub> により生成された昇圧電圧を出力する。

#### 【0122】

更に判定ロジック部 184 は、カウンタ 182 のカウント値に基づいて、閾値を更新すべきか否かを判定する。例えば、判定ロジック部 184 は、所与の更新判定用閾値とカウント値とを比較する。判定ロジック部 184 によって閾値を更新すべきと判定されたとき、閾値更新部 186 は現在の閾値をインクリメント又はデクリメントして閾値を更新し、判定ロジック部 184 に該閾値を供給する。そして、判定ロジック部 184 は、該閾値と総和データ GSUM とを比較することで、切替制御部 110 の制御を行う。このように、カウント値に基づいてリミッタ回路 53 の動作期間が長いか短いかを判定することで、閾値が、所与の閾値電圧と電圧 VOUT (昇圧電圧)との比較結果に基づいて更新される。10

#### 【0123】

図 14 に、図 13 の判定ロジック部 184 の動作の一例の説明図を示す。

#### 【0124】

本実施形態では、総和データ GSUM の最大値に対して、演算対象の走査ラインの総和データ GSUM に応じて、昇圧回路 52 の昇圧能力を変更する。そのため、判定ロジック部 184 は、2 つの閾値 THA、THB を有する。閾値 THA は、第 2 のチャージポンプ回路 100<sub>2</sub> をイネーブル状態に設定した状態で、第 1 のチャージポンプ回路 100<sub>1</sub> をイネーブル状態に設定するか否かを判定するための閾値である。閾値 THB は、第 1 及び第 2 のチャージポンプ回路 100<sub>1</sub>、100<sub>2</sub> のいずれかをイネーブル状態に設定するか否かを判定するための閾値である。20

#### 【0125】

従って、総和データ GSUM が閾値 THA より大きいとき、第 1 及び第 2 のチャージポンプ回路 100<sub>1</sub>、100<sub>2</sub> をイネーブル状態に設定する制御が行われる。また、総和データ GSUM が閾値 THA 以下で、且つ閾値 THB より大きいとき、第 1 のチャージポンプ回路 100<sub>1</sub> をディセーブル状態に設定し、第 2 のチャージポンプ回路 100<sub>2</sub> をイネーブル状態に設定する制御を行う。更に、総和データ GSUM が閾値 THB 以下のとき、第 1 のチャージポンプ回路 100<sub>1</sub> をイネーブル状態に設定し、第 2 のチャージポンプ回路 100<sub>2</sub> をディセーブル状態に設定する制御を行う。30

#### 【0126】

図 15 に、図 13 の判定ロジック部 184 の構成例の要部の回路図を示す。

#### 【0127】

判定ロジック部 184 は、コンパレータ CMP10、CMP11、CMP12、CMP13、最小値最大値判定部 MM1、MM2 を含む。なお、判定ロジック部 184 は、複数のフリップフロップ DFF1 ~ DFF6 を有し、各フリップフロップは図示しない初期化信号により初期化されるものとする。

#### 【0128】

図 15 の判定ロジック部 184 には、水平同期信号 LP、総和データ GSUM、閾値 THA、THB、パルスデータ PLSET、PCNT1、PCNT2 が入力され、制御信号 ENB1、ENB2、INCA、DECA、INC B、DEC B を出力する。40

#### 【0129】

ここで、パルスデータ PLSET は、閾値データである。例えば、コンパレータ CMP12 は、比較結果パルスに基づいて電圧 VOUT が所与の閾値電圧 (VTH = 5.9V) 以下となったことを示す比較結果信号、電圧 VOUT が所与の閾値電圧 (VTH = 6.12V) 以上となったことを示す比較結果信号を出力できる。そして、電圧 VOUT が所与の閾値電圧 (VTH = 5.9) 以下となったことを示す比較結果信号の (所与のレベルを維持する) 幅、パルス幅、又は該比較結果信号が所与のレベルを維持する期間を所与のク50

ロック（例えばドットクロック又はピクセルクロック）を用いて検定した結果が、パルスデータ P C N T 1 として入力される。電圧 V O U T が所与の閾値電圧（V T H = 6 . 1 2 V）以上となったことを示す比較結果信号の（所与のレベルを維持する）幅、パルス幅、又は該比較結果信号が所与のレベルを維持する期間を所与のクロック（例えばドットクロック又はピクセルクロック）を用いて検定した結果が、パルスデータ P C N T 2 として入力される。パルスデータ P L S E T と、パルスデータ P C N T 1、P C N T 2 の各パルスデータとが比較処理される。

#### 【 0 1 3 0 】

昇圧能力が高すぎるとリミッタ回路 5 3 が動作することから、パルスデータ P C N T 1 がパルスデータ P L S E T より大きいと判定されたとき、閾値電圧（V T H = 5 . 9 V）に対応する閾値 T H B をインクリメントする制御を行う。同様に、パルスデータ P C N T 2 がパルスデータ P L S E T より大きいと判定されたとき、閾値電圧（V T H = 6 . 1 2 V）に対応する閾値 T H A をインクリメントする制御を行う。10

#### 【 0 1 3 1 】

昇圧能力が低すぎるとリミッタ回路 5 3 が動作しないため、パルスデータ P C N T 1 がパルスデータ P L S E T より小さいと判定されたとき、閾値電圧（V T H = 5 . 9 V）に対応する閾値 T H B をデクリメントする制御を行う。同様に、パルスデータ P C N T 2 がパルスデータ P L S E T より小さいと判定されたとき、閾値電圧（V T H = 6 . 1 2 V）に対応する閾値 T H A をデクリメントする制御を行う。

#### 【 0 1 3 2 】

制御信号 I N C A は、閾値 T H A をインクリメントするための制御信号である。制御信号 I N C B は、閾値 T H B をインクリメントするための制御信号である。制御信号 D E C A は、閾値 T H A をデクリメントするための制御信号である。制御信号 D E C B は、閾値 T H B をデクリメントするための制御信号である。20

#### 【 0 1 3 3 】

制御信号 E N B 1 は、第 1 のチャージポンプ回路 1 0 0<sub>1</sub> をイネーブル状態に設定するための制御信号である。制御信号 E N B 2 は、第 2 のチャージポンプ回路 1 0 0<sub>2</sub> をイネーブル状態に設定するための制御信号である。

#### 【 0 1 3 4 】

図 1 5 において、コンパレータ C M P 1 0 は、総和データ G S U M が閾値 T H A より大きいとき、出力信号が H レベルとなる。コンパレータ C M P 1 1 は、総和データ G S U M が閾値 T H B A より大きいとき、出力信号が H レベルとなる。コンパレータ C M P 1 2 は、パルスデータ P C N T 2 がパルスデータ P L S E T より大きいとき、出力信号が H レベルとなる。コンパレータ C M P 1 3 は、パルスデータ P C N T 1 がパルスデータ P L S E T より大きいとき、出力信号が H レベルとなる。30

#### 【 0 1 3 5 】

最小値最大値判定部 M M 1 は、閾値 T H A の各ビットが「1」のときインクリメント制御を禁止するための制御信号を出力する。最小値最大値判定部 M M 1 は、閾値 T H A の各ビットが「0」のときデクリメント制御を禁止するための制御信号を出力する。

#### 【 0 1 3 6 】

最小値最大値判定部 M M 2 は、閾値 T H B の各ビットが「1」のときインクリメント制御を禁止するための制御信号を出力する。最小値最大値判定部 M M 2 は、閾値 T H B の各ビットが「0」のときデクリメント制御を禁止するための制御信号を出力する。40

#### 【 0 1 3 7 】

このように判定ロジック部 1 8 4 は、総和データ G S U M 、閾値 T H A 、T H B に基づいて、第 1 及び第 2 のチャージポンプ回路 1 0 0<sub>1</sub>、1 0 0<sub>2</sub> をイネーブル状態に設定する制御を行うことができる。また、判定ロジック部 1 8 4 は、比較結果パルスに基づいてリミッタ回路 5 3 が動作した期間を判定し、その判定結果に応じて閾値 T H A 、T H B をインクリメント又はデクリメントする制御を行うことができる。

#### 【 0 1 3 8 】

以上説明したように、本実施形態によれば、昇圧した電圧がターゲット電圧を超過した場合であっても、昇圧元の電源であるシステム電源電圧VDDが供給される電源線に電荷を放電するようにしたので、システム接地電源電圧VSSが供給される電源線に電荷を放電するよりも大幅に低消費電力化を実現できる。更に、本実施形態によれば、出力負荷に応じて昇圧回路の昇圧能力を変更できるようにしたので、出力負荷が高い場合でも昇圧能力を低下させることなく、且つ出力負荷に対して昇圧効率が低下することを防止できるようになる。

#### 【0139】

##### 3. 電子機器

図16に、本実施形態の電源回路が適用される電子機器の構成例のブロック図を示す。  
ここでは、電子機器として、携帯電話機の構成例のブロック図を示す。

10

#### 【0140】

携帯電話機900は、カメラモジュール910を含む。カメラモジュール910は、CCDカメラを含み、CCDカメラで撮像した画像のデータを、YUVフォーマットで表示コントローラ540に供給する。表示コントローラ540は、図1又は図2の表示コントローラ40の機能を有する。

#### 【0141】

携帯電話機900は、表示パネル512を含む。表示パネル512は、ソースドライバ520及びゲートドライバ530によって駆動される。表示パネル512は、複数のゲート線、複数のソース線、複数の画素を含む。表示パネル512は、図1又は図2の表示パネル12の機能を有する。

20

#### 【0142】

表示コントローラ540は、ソースドライバ520及びゲートドライバ530に接続され、ソースドライバ520に対してRGBフォーマットの階調データを供給する。

#### 【0143】

電源回路542は、ソースドライバ520及びゲートドライバ530に接続され、各ドライバに対して、駆動用の電源電圧を供給する。電源回路542は、図1又は図2の電源回路50の機能を有する。表示ドライバ544としてソースドライバ520、ゲートドライバ530及び電源回路542を含み、該表示ドライバ544が表示パネル512を駆動できる。

30

#### 【0144】

ホスト940は、表示コントローラ540に接続される。ホスト940は、表示コントローラ540を制御する。またホスト940は、アンテナ960を介して受信された階調データを、変復調部950で復調した後、表示コントローラ540に供給できる。表示コントローラ540は、この階調データに基づき、ソースドライバ520及びゲートドライバ530により表示パネル512に表示させる。ソースドライバ520は、第1～第3の実施形態のいずれかのソースドライバの機能を有する。ゲートドライバ530は、図1又は図2のゲートドライバ30の機能を有する。

#### 【0145】

ホスト940は、カメラモジュール910で生成された階調データを変復調部950で変調した後、アンテナ960を介して他の通信装置への送信を指示できる。

40

#### 【0146】

ホスト940は、操作入力部970からの操作情報に基づいて階調データの送受信処理、カメラモジュール910の撮像、表示パネル512の表示処理を行う。

#### 【0147】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の液晶表示パネルの駆動に適用されるものに限らず、エレクトロクミネッセンス、プラズマディスプレイ装置の駆動に適用可能である。更に、表示パネルの駆動に限らず、種々の回路に電源を供給するものに適用可能である。

50

## 【0148】

更に、上述した実施形態の液晶表示装置は、携帯電話機、携帯型情報機器（PDA等）、デジタルカメラ、プロジェクタ、携帯型オーディオプレーヤ、マスストレージデバイス、ビデオカメラ、電子手帳又はGPS（Global Positioning System）などの種々の電子機器に組み込むことができる。

## 【0149】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の1の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

## 【図面の簡単な説明】

10

## 【0150】

【図1】本実施形態の液晶表示装置のブロック図の例を示す図。

【図2】本実施形態における液晶表示装置の他の構成例のブロック図。

【図3】図1又は図2のゲートドライバの構成例のブロック図。

【図4】図1又は図2のソースドライバの構成例のブロック図。

【図5】図4の基準電圧発生回路、DAC及びソース線駆動回路の構成例を示す図。

【図6】図1又は図2の電源回路の構成例を示す図。

【図7】図1又は図2の表示パネルの駆動波形の一例を示す図。

【図8】本実施形態の極性反転駆動の説明図。

【図9】図6の電源回路の昇圧回路、リミッタ回路の構成例を示す図。

20

【図10】図9の第1のチャージポンプ回路の構成例の回路図。

【図11】図10のチャージクロックのタイミングを模式的に示す図。

【図12】図9のコンパレータと電圧制限回路の構成例の回路図。

【図13】コンパレータの比較結果パルスの説明図。

【図14】図13の判定ロジック部の動作の一例の説明図。

【図15】図13の判定ロジック部の構成例の要部の回路図。

【図16】本実施形態の電源回路が適用される電子機器の構成例のブロック図。

## 【符号の説明】

## 【0151】

10 液晶表示装置、12 表示パネル、20 ソースドライバ、

30

22、32 シフトレジスタ、24、26 ラインラッチ、

25 階調データ総和演算部、27 基準電圧発生回路、28 DAC、

29 ソース線駆動回路、30 ゲートドライバ、34、180 レベルシフタ、

36 出力バッファ、40 表示コントローラ、50 電源回路、

52 昇圧回路、53 リミッタ回路、54 走査電圧生成回路、

56 対向電極電圧生成回路、60 表示ドライバ、

100<sub>1</sub> 第1のチャージポンプ回路、100<sub>2</sub> 第2のチャージポンプ回路、

110 切替制御部、150 電圧制限回路、182 カウンタ、

184 判定ロジック部、186 閾値更新部、

CMP1、CMP2 コンパレータ、FC1 第1のフライングコンデンサ、

40

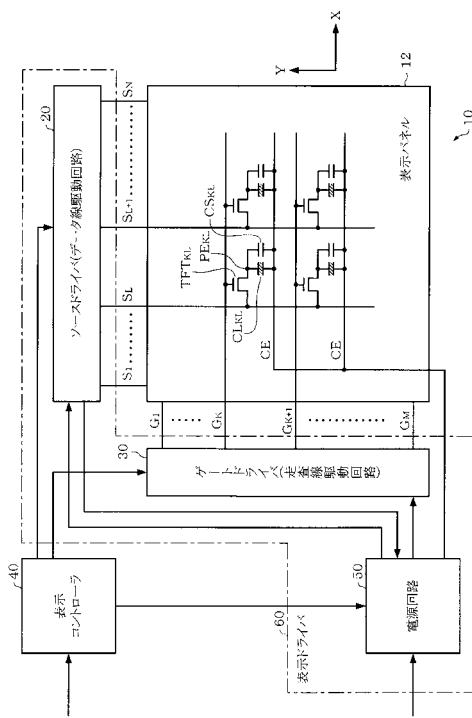
FC2 第2のフライングコンデンサ、G<sub>1</sub> ~ G<sub>M</sub>、G<sub>K</sub> ゲート線、

GSUM 総和データ、S<sub>1</sub> ~ S<sub>N</sub>、S<sub>L</sub> ソース線、

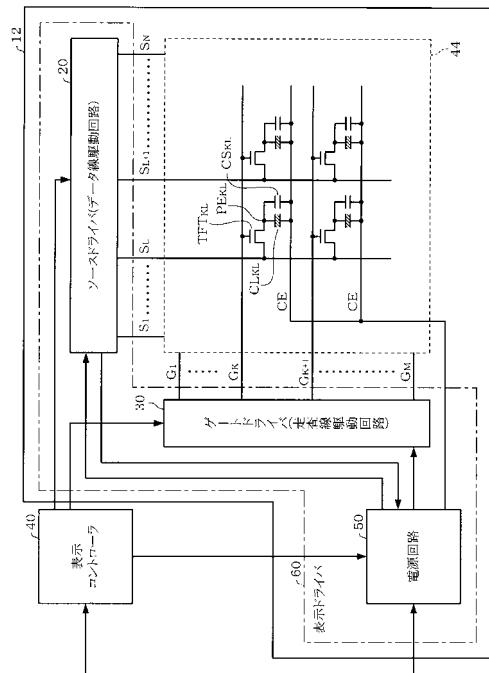
T<sub>C1</sub> ~ T<sub>C4</sub> 外部接続端子、VTH 閾値電圧、VREF 基準電圧、

VDD システム電源電圧、VSS システム接地電源電圧

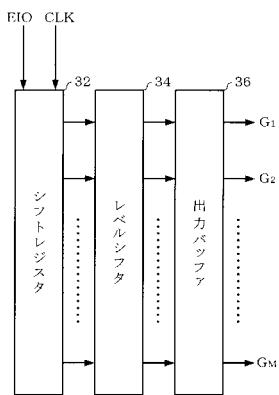
【 図 1 】



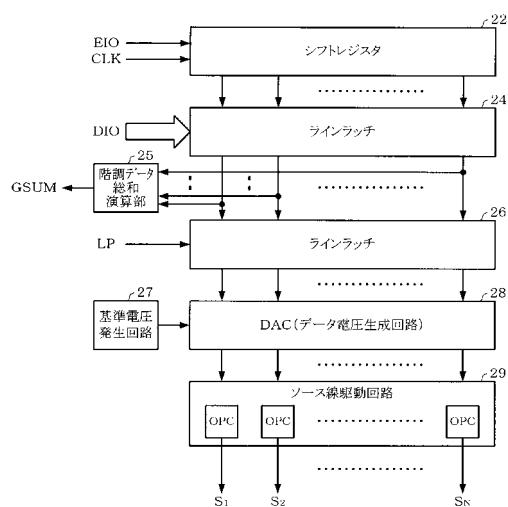
【 図 2 】



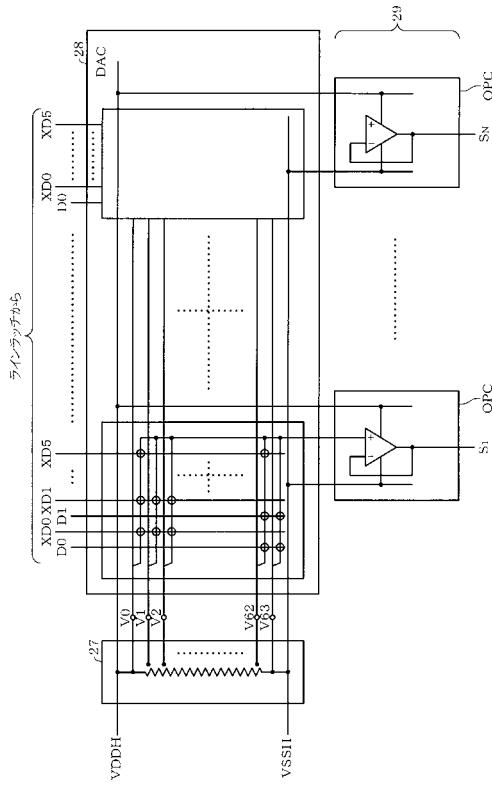
【図3】



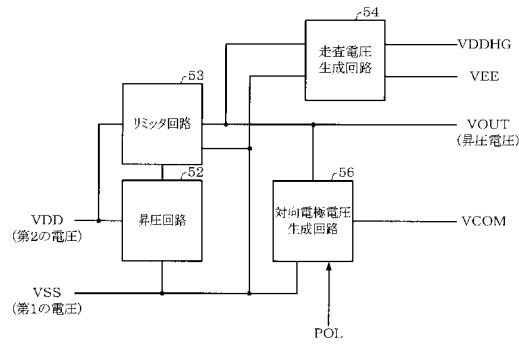
【図4】



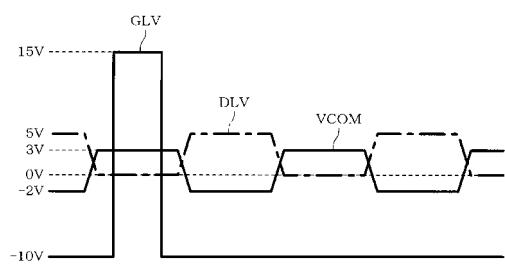
【図5】



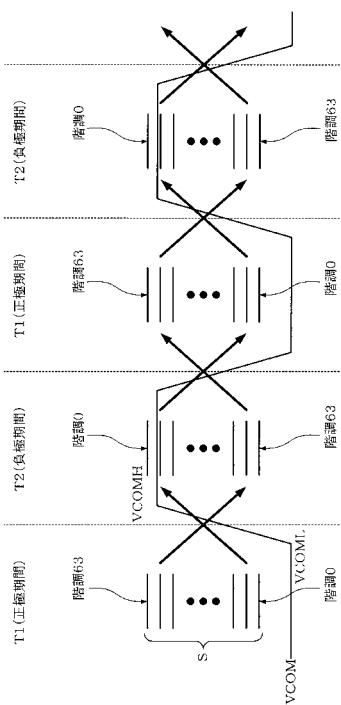
【図6】



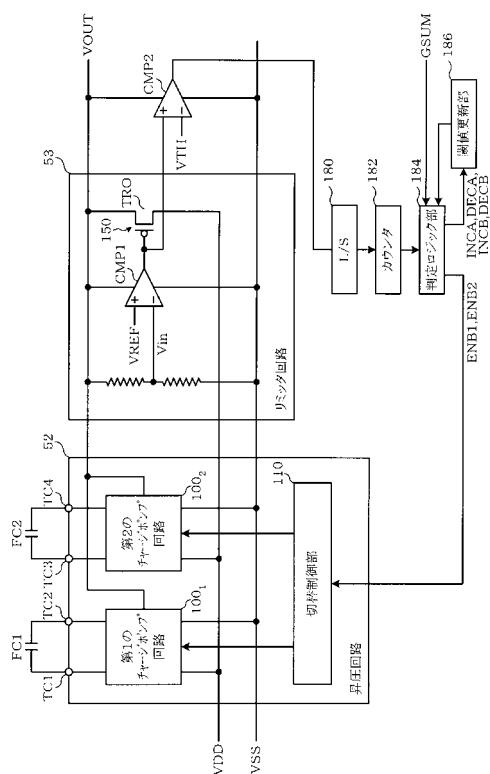
【図7】



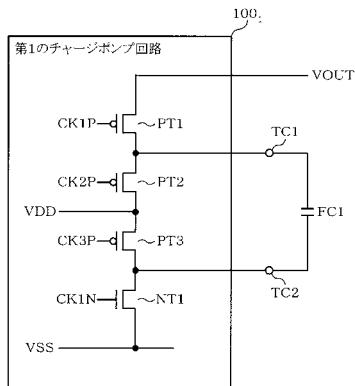
【図8】



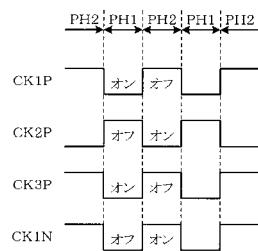
【図9】



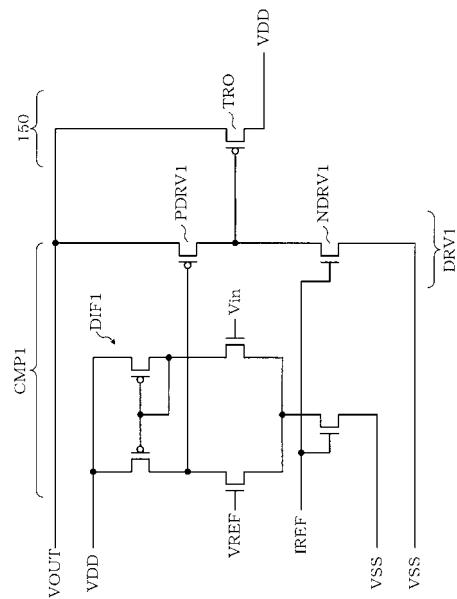
【図 1 0】



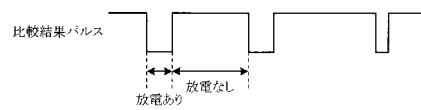
【図 1 1】



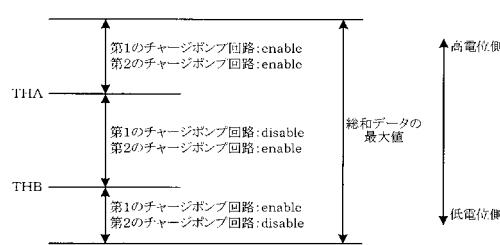
【図 1 2】



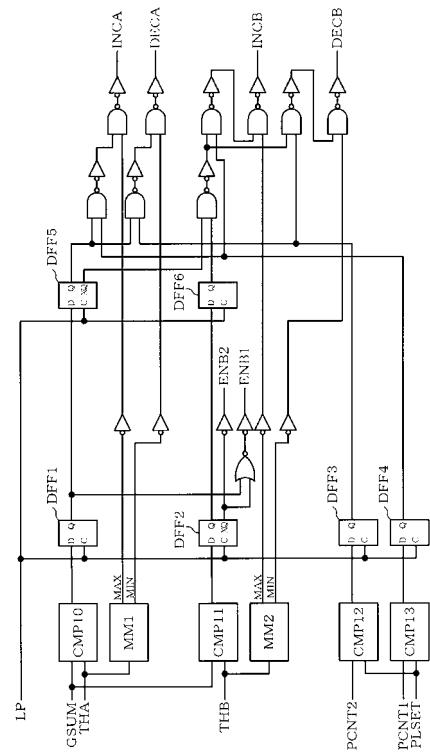
【図 1 3】



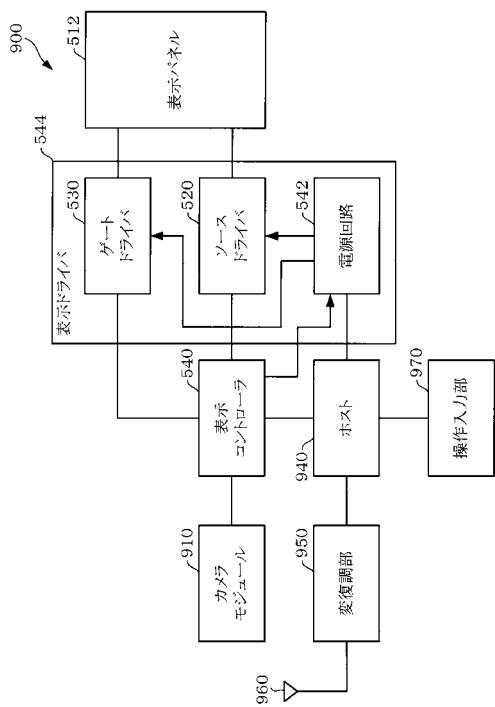
【図 1 4】



【図 1 5】



【図16】



---

フロントページの続き

(51)Int.Cl.

F I

G 09 G 3/20 612D  
G 09 G 3/20 612U

(56)参考文献 特開2005-354782(JP,A)  
特開2003-289663(JP,A)  
特開2006-50778(JP,A)  
特開2004-272616(JP,A)  
特開2006-178074(JP,A)  
特開2002-218740(JP,A)  
特開2000-102244(JP,A)  
特開平6-153493(JP,A)  
特開平3-78469(JP,A)  
特開平8-294267(JP,A)  
特開2005-80395(JP,A)  
特開2003-70236(JP,A)  
特開平9-312095(JP,A)  
特開2008-209901(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 02M 3/07,  
G 05F 1/56, 1/613,  
G 09G 3/20