



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2010년07월28일  
(11) 등록번호 10-0972929  
(24) 등록일자 2010년07월22일

(51) Int. Cl.

*H01L 21/336* (2006.01)

(21) 출원번호 10-2003-0027086  
(22) 출원일자 2003년04월29일  
심사청구일자 2008년04월29일  
(65) 공개번호 10-2004-0092774  
(43) 공개일자 2004년11월04일

(56) 선행기술조사문헌

KR100137815 B1\*  
US05858848 A1\*  
US6303449 B  
JP05243262 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

매그나칩 반도체 유한회사

충북 청주시 흥덕구 향정동 1

(72) 발명자

문봉용

충청북도청주시흥덕구향정동1번지

(74) 대리인

특허법인 신성

전체 청구항 수 : 총 3 항

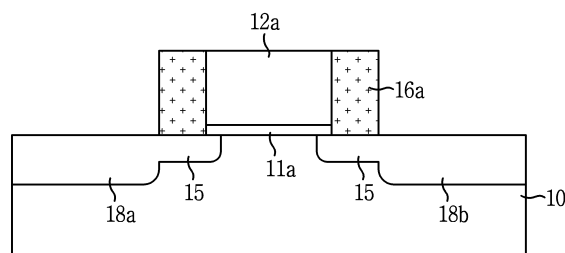
심사관 : 박근용

**(54) 반도체소자의 제조방법**

**(57) 요약**

사각 모양의 측벽 스페이서를 구비한 딥 서브미크론(deep submicron) 영역에서 동작하기에 알맞은 반도체소자의 제조방법을 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 반도체소자의 제조방법은 기판상에 제 1 절연막과 반도체층을 적층 형성하는 단계; 상기 기판의 일영역이 드러나도록 상기 반도체층과 제 1 절연막에 일정 간격을 갖는 홀들을 형성하는 단계; 상기 드러난 기판내에 LDD이온주입 영역을 형성하는 단계; 상기 홀들 내에 측벽 절연막을 형성하는 단계; 상기 측벽 절연막을 포함한 상기 반도체층 상에 감광막을 도포하는 단계; 노광 및 현상공정으로 상기 측벽 절연막을 포함한 상기 측벽 절연막 사이의 반도체층 상에만 남도록 상기 감광막을 패터닝하는 단계; 상기 패터닝된 감광막을 마스크로 상기 기판이 드러나도록 상기 반도체층과 상기 제 1 절연막을 식각하여 사각형의 측벽 절연막이 구비된 게이트전극을 형성하는 단계; 상기 측벽 절연막과 상기 게이트 전극을 마스크로 양측 기판내에 소오스/드레인 영역을 형성하는 것을 포함한다.

**대표도** - 도1f



**특허청구의 범위**

**청구항 1**

기판상에 제 1 절연막과 반도체층을 적층 형성하는 단계;

상기 기판의 일영역이 드러나도록 상기 반도체층과 제 1 절연막에 일정 간격을 갖는 홀들을 형성하는 단계;

상기 드러난 기판내에 LDD이온주입 영역을 형성하는 단계;

상기 홀들 내에 측벽 절연막을 형성하는 단계;

상기 측벽 절연막을 포함한 상기 반도체층 상에 감광막을 도포하는 단계;

노광 및 현상공정으로 상기 측벽 절연막을 포함한 상기 측벽 절연막 사이의 반도체층 상에만 남도록 상기 감광막을 패터닝하는 단계;

상기 패터닝된 감광막을 마스크로 상기 기판이 드러나도록 상기 반도체층과 상기 제 1 절연막을 식각하여 사각형의 측벽 절연막이 구비된 게이트전극을 형성하는 단계; 및

상기 측벽 절연막과 상기 게이트 전극을 마스크로 양측 기판내에 소오스/드레인 영역을 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

**청구항 2**

제 1 항에 있어서,

상기 측벽 절연막은 실리콘 질화막 또는 실리콘 산화막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

**청구항 3**

제 1 항에 있어서,

상기 측벽절연막의 형성은 상기 홀과 상기 반도체층을 포함한 상기 기판 전면에 제 2 절연막을 증착하는 단계;

상기 반도체층이 드러날때까지 화학적 기계적 연마공정으로 상기 제 2 절연막을 평탄화하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

**청구항 4**

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0009] 본 발명은 반도체 소자에 관한 것으로, 특히 사각 모양의 측벽 스페이서를 구비한 딥 서브미크론 영역에서 동작할 수 있는 반도체소자의 제조방법에 관한 것이다.
- [0010] 일반적으로 반도체 집적소자(IC)의 제조 공정에 있어서는 회로 동작의 좋은 성능과 높은 집적도를 얻기 위하여 IC의 제조기술이 서브미크론 단위로 스케일 다운되었다.
- [0011] 반도체 소자의 스케일 다운은 수평 디멘션(Horizontal Dimension)의 축소와 그에 비례하는 수직 디멘션(Vertical Dimension)의 축소가 동시에 진행되어야 소자 특성과의 균형을 이룰 수 있다.

- [0012] 그 점을 고려하지 않은 상태에서 소자의 크기를 줄이게 되면 소오스와 드레인간의 채널 길이가 줄어들게 되어 원하지 않는 소자의 특성 변화가 나타나게 된다.
- [0013] 그 대표적인 특성 변화가 숏 채널 효과(short channel effect)의 발생이다.
- [0014] 상기의 숏 채널 효과를 해결하려면 수평 스케일 다운(Horizontal scale down)(게이트 길이의 축소)과 동시에 수직 스케일 다운(vertical scale down)(게이트 절연막의 두께, 접합 깊이의 줄임)을 하여야 한다.
- [0015] 또한, 그에 따라 인가 전압(applied voltage)을 낮추고 기판 도핑 농도(substrate doping concentration)를 높이며, 특히 채널 영역의 도핑 프로파일의 제어가 효율적으로 이루어져야 한다.
- [0016] 그러나 반도체 소자의 사이즈는 줄어들고 있으나 전자 제품에서 요구하는 동작 전원은 아직 낮아진 상태가 아니기 때문에 스케일 다운된 반도체 소자 특히, MOS 소자에 있어서는 그 크기가 감소함에 따라 두접합이 아주 가까워지므로 소오스와 드레인 공핍층이 채널속으로 침투할 수 있다. 이와 같은 현상을 전하공유(Charging Sharing)라 하는데, 일반적으로 게이트에 의해서 제어 되어야할 채널 전하를 소오스와 드레인이 사실상 공유하고 있으므로 바이어스 증가에 따른 소오스-채널 정선과 상호 작용하여 전기적인 포텐셜을 낮추는 효과를 가져오게 된다. 이것을 DIBL(Drain Induced Barrier Lowering)이라 한다. 이와 같이 소오스 정선 베리어가 감소함에 따라 전자는 채널로 쉽게 주입되어 게이트 전압을 더이상 컨트롤 할 수 없게 된다.
- [0017] 또한, 소오스에서 주입되는 전자가 드레인의 높은 전위 변동(potential gradient)하에서 심하게 가속되어 나타나는 핫 캐리어(hot carrier) 발생의 취약한 구조가 된다.
- [0018] 역방향으로 바이어스된 드레인의 접합의 전계는 충돌 이온화(impact ionization)와 캐리어 증식을 일으킬 수 있다. 결과적으로 발생한 홀(hole)은 기판 전류의 원인이 되며 일부는 소오스로 움직여서 소오스 장벽을 낮추고 소오스로부터 p영역의 전자 주입을 초래한다. 따라서 소오스-채널-드레인 영역에서는 n-p-n 트랜지스터 동작이 발생하여 게이트가 전류 제어를 못하게 될 수 있다.
- [0019] 이러한 소오스, 드레인간의 기하학적인 길이 감소로 인하여 생길수 있는 DIBL, 핫 캐리어 효과등을 억제시키기 위해서 LDD(Lightly Doped Drain) 구조가 제안되었다.
- [0020] LDD 구조에서는 게이트의 옆측벽을 이용하여서 드레인의 채널쪽 꼬리 부분에 도핑 농도의 기울기가 생기도록 하였다. 따라서 pn접합에 걸린 전압이 증가할때에 공간전하층이 채널쪽과 드레인쪽으로 동시에 늘어나서 일반적으로 채널쪽 전계가 늘어나는 것을 막아주었다.
- [0021] 상기 LDD 구조를 위해서 측벽절연막(side spacer)이 필요한데, 종래에는 돔(Dome)형의 측벽절연막을 사용하였다.
- [0022] 상기 돔(Dome)형의 측벽절연막을 형성하기 위해서는 게이트 형성후 측벽절연막으로 형성될 절연물질을 증착한 후, 에치백 공정을 진행한다.
- [0023] 그러나 에치백 공정만을 이용하여 형성한 돔(Dome)형의 측벽절연막은 소자의 스케일 다운으로 인하여 원하는 전기적인 특성을 갖는 소자를 제조하기에는 한계가 있었다.
- [0024] 그리고, 상기 LDD 구조를 적용하여 드레인 에지영역에 집중되는 전계(Electric Field)를 어느정도 분산시킬 수는 있으나, 게이트전극 형성후 돔형의 측벽절연막을 형성하면 기하학적인 구조의 한계로 인하여 에지 부근에서 핫 캐리어를 유발시킬 수 있기 때문에, 딥 서브미크론 영역에서 동작할 수 있는 소자를 제조하기가 어렵다.

**발명이 이루고자 하는 기술적 과제**

- [0025] 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 사각 모양의 측벽 스페이서를 구비한 딥 서브미크론(deep submicron) 영역에서 동작하기에 알맞은 반도체소자의 제조방법을 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

- [0026] 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 기판상에 제 1 절연막과 반도체층을 적층 형

성하는 단계; 상기 기관의 일영역이 드러나도록 상기 반도체층과 제 1 절연막에 일정 간격을 갖는 홀들을 형성하는 단계; 상기 드러난 기관내에 LDD이온주입 영역을 형성하는 단계; 상기 홀들 내에 측벽 절연막을 형성하는 단계; 상기 측벽 절연막을 포함한 상기 반도체층 상에 감광막을 도포하는 단계; 노광 및 현상공정으로 상기 측벽 절연막을 포함한 상기 측벽 절연막 사이의 반도체층 상에만 남도록 상기 감광막을 패터닝하는 단계; 상기 패터닝된 감광막을 마스크로 상기 기관이 드러나도록 상기 반도체층과 상기 제 1 절연막을 식각하여 사각형의 측벽 절연막이 구비된 게이트전극을 형성하는 단계; 상기 측벽 절연막과 상기 게이트 전극을 마스크로 양측 기관 내에 소오스/드레인 영역을 형성하는 것을 특징으로 하는 반도체소자의 제조방법이 제공된다.

- [0027] 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.
- [0028] 도 1a 내지 도 1f는 본 발명의 실시예에 따른 반도체소자의 제조방법을 나타낸 공정단면도이다.
- [0029] 본 발명의 실시예에 따른 반도체소자의 제조방법은 도 1a에 도시한 바와 같이 실리콘기관(10)상에 제 1 절연막(11)과 반도체층(12)을 증착한다. 이때 반도체층(12)은 폴리실리콘으로 형성한다.
- [0030] 도 1b에 도시한 바와 같이 반도체층(12)상에 제 1 감광막(13)을 도포하고, 노광 및 현상공정으로 일영역이 드러나도록 제 1 감광막(13)을 선택적으로 패터닝한다.
- [0031] 이때 제 1 감광막(13)은 차후에 측벽절연막과 LDD영역을 형성하기 위한 부분이 드러나도록 패터닝한다.
- [0032] 도 1c에 도시한 바와 같이 패터닝된 제 1 감광막(13)을 마스크로 실리콘기관(10)의 일영역이 드러나도록 반도체층(12)과 제 1 절연막(11)을 식각하여 일정 간격을 갖는 홀(14)들을 형성한다.
- [0033] 다음에 제 1 감광막(13)과 반도체층(12)을 마스크로 상기 홀(14) 하부의 실리콘기관(10)내에 저농도의 n형이나 p형 이온을 주입하여 LDD영역(15)을 형성한다.
- [0034] 이어서 제 1 감광막(13)을 제거하고, 도 1d에 도시한 바와 같이 홀(14)과 반도체층(12)을 포함한 실리콘기관(10) 전면에 제 2 절연막(16)을 증착한다. 이때 제 2 절연막(16)은 실리콘질화막과 실리콘산화막을 모두 사용할 수 있다.
- [0035] 도 1e에 도시한 바와 같이 반도체층(12)이 드러날때까지 화학적 기계적 연마공정으로 제 2 절연막(16)을 평탄화시켜서 홀(14)내에 사각 모양의 측벽절연막(16a)을 형성한다.
- [0036] 이후에 측벽절연막(16a)을 포함한 반도체층(12)상에 제 2 감광막(17)을 도포하고, 노광 및 현상공정으로 측벽절연막(16a)을 포함한 반도체층(12)상에만 남도록 제 2 감광막(17)을 패터닝한다.
- [0037] 도 1f에 도시한 바와 같이 패터닝된 제 2 감광막(17)을 마스크로 실리콘기관(10)이 드러나도록 반도체층(12)과 제 1 절연막(11)을 식각해서 게이트절연막(11a)과 게이트전극(12a)을 적층 형성한다.
- [0038] 이때 게이트절연막(11a)과 게이트전극(12a)은 사각 모양의 측벽절연막(16a) 사이에 형성되어 있다.
- [0039] 이후에 게이트전극(12a)과 측벽절연막(16a)을 마스크로 실리콘기관(10)내에 고농도의 n형이나 p형 이온을 주입해서 소오스/드레인영역(18a/18b)을 형성한다.
- [0040] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

**발명의 효과**

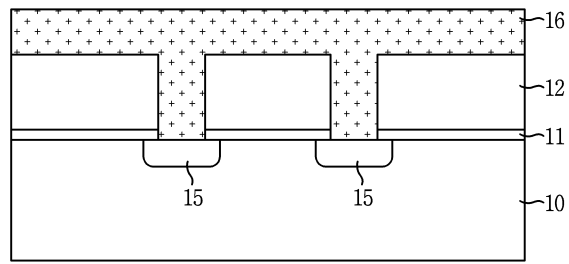
- [0041] 진술한 본 발명의 반도체소자의 제조방법은 다음과 같은 효과가 있다.
- [0042] 사각 모양의 측벽절연막을 형성한 후에 그 사이에 게이트전극을 형성하므로, 게이트전극의 임계치수(Critical Demension:CD) 제어를 측벽절연막 형성과정에서 할 수 있고, 핫 캐리어 효과와 쏘체널 효과를 줄일 수 있어서 딥 서브미크론(deep submicron) 영역에서 동작할 수 있는 소자를 제조할 수 있다.

**도면의 간단한 설명**

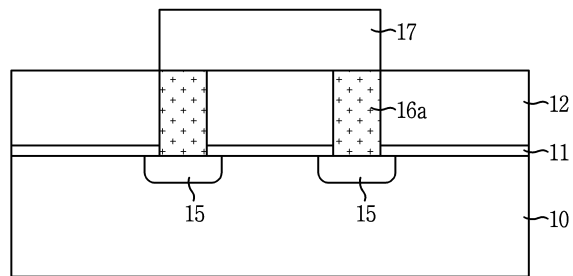
- [0001] 도 1a 내지 도 1f는 본 발명의 실시예에 따른 반도체소자의 제조방법을 나타낸 공정단면도.



도면1d



도면1e



도면1f

