



(12) 发明专利申请

(10) 申请公布号 CN 113950737 A

(43) 申请公布日 2022. 01. 18

(21) 申请号 202080043067.7

(74) 专利代理机构 北京康信知识产权代理有限公司 11240

(22) 申请日 2020.04.08

代理人 刘彬

(30) 优先权数据

16/381,629 2019.04.11 US

(51) Int.Cl.

H01L 23/482 (2006.01)

(85) PCT国际申请进入国家阶段日

H01L 29/78 (2006.01)

2021.12.10

(86) PCT国际申请的申请数据

PCT/US2020/027153 2020.04.08

(87) PCT国际申请的公布数据

W02020/210286 EN 2020.10.15

(71) 申请人 克利公司

地址 美国北卡罗来纳州

(72) 发明人 丹尼尔·詹纳·利希滕瓦纳

爱德华·罗伯特·范·布伦特

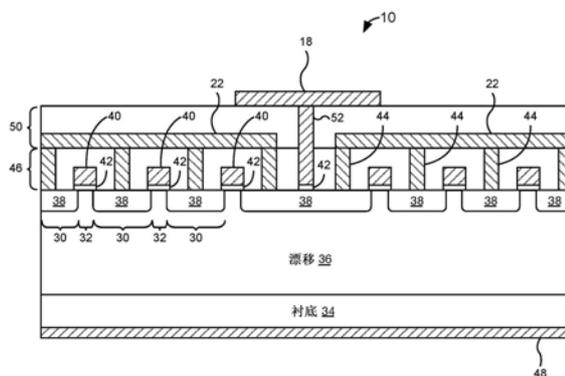
权利要求书3页 说明书7页 附图16页

(54) 发明名称

具有增加的有源面积的晶体管半导体芯片

(57) 摘要

晶体管半导体芯片包括漂移层、第一介电层、第一金属化层、第二介电层、第二金属化层、第一多个电极以及第二多个电极。第一介电层在漂移层上方。第一金属化层在第一介电层上方，使得第一金属化层的至少一部分提供第一接触垫。第二介电层在第一金属化层上方。第二金属化层在第二介电层上方，使得第二金属化层的至少一部分提供第二接触垫并且第二金属化层与第一金属化层至少部分重叠。晶体管半导体芯片被配置为基于在第二接触垫处所提供的信号而在第一接触垫与第三接触垫之间选择性地传导电流。



1. 一种晶体管半导体芯片,包括:

- 漂移层;
- 第一介电层,在所述漂移层上;
- 第一金属化层,在所述第一介电层上,其中,所述第一金属化层的至少一部分提供第一接触垫;
- 第二介电层,在所述第一金属化层上;
- 第二金属化层,在所述第二介电层上,使得所述第二金属化层的至少一部分提供第二接触垫;
- 第一多个电极,电耦合至所述第一金属化层并且被所述第一介电层覆盖;以及
- 第二多个电极,电耦合至所述第二金属化层,使得所述晶体管半导体芯片被配置为基于在所述第二接触垫处所提供的信号而在所述第一接触垫与第三接触垫之间选择性地传导电流。

2. 根据权利要求1所述的晶体管半导体芯片,其中,所述晶体管半导体芯片被配置为在正向传导操作模式中在所述第一接触垫与第三接触垫之间传导大于0.5A并且在阻断操作模式中在所述第一接触垫与第三接触垫之间阻断大于100V。

3. 根据权利要求1所述的晶体管半导体芯片,其中,所述漂移层包括碳化硅。

4. 根据权利要求1所述的晶体管半导体芯片,进一步包括:钝化层,在所述第二金属化层上方,使得通过所述钝化层而暴露所述第一接触垫和所述第二接触垫。

5. 根据权利要求1所述的晶体管半导体芯片,其中,所述晶体管半导体芯片是金属氧化物半导体场效应晶体管(MOSFET)。

6. 根据权利要求1所述的晶体管半导体芯片,其中,所述晶体管半导体芯片是绝缘栅极双极晶体管(IGBT)。

7. 根据权利要求1所述的晶体管半导体芯片,其中,所述晶体管半导体芯片是双极结型晶体管。

8. 根据权利要求1所述的晶体管半导体芯片,其中,所述晶体管半导体芯片提供垂直晶体管设备,使得所述第三接触垫从所述第一接触垫和所述第二接触垫与所述漂移层相对。

9. 根据权利要求1所述的晶体管半导体芯片,其中,所述晶体管半导体芯片提供横向晶体管设备,使得所述第三接触垫在与所述第一接触垫相邻的所述第一介电层上。

10. 根据权利要求1所述的晶体管半导体芯片,进一步包括:

- 边缘终止区域;以及
- 设备区域,在所述边缘终止区域内,其中,在所述设备区域内的总无源面积小于所述第二接触垫的面积。

11. 根据权利要求1所述的晶体管半导体芯片,其中,所述第二金属化层通过所述第一介电层和所述第二介电层由一个或多个过孔耦合至所述第二多个电极。

12. 根据权利要求1所述的晶体管半导体芯片,进一步包括:一个或多个传感器接触垫,在所述第二介电层上。

13. 根据权利要求12所述的晶体管半导体芯片,其中,一个或多个所述传感器接触垫耦合至在所述第二介电层上的传感器。

14. 根据权利要求13所述的晶体管半导体芯片,其中,所述传感器是温度传感器、应变

传感器、以及电流传感器中的一个或多个。

15. 根据权利要求12所述的晶体管半导体芯片,其中,一个或多个所述传感器接触垫通过所述第一介电层和所述第二介电层由一个或多个过孔耦合至在所述漂移层中的传感器。

16. 根据权利要求15所述的晶体管半导体芯片,其中,所述传感器是温度传感器、应变传感器、以及电流传感器中的一个或多个。

17. 根据权利要求12所述的晶体管半导体芯片,其中,一个或多个所述传感器接触垫的至少一部分与所述第一金属化层重叠。

18. 根据权利要求12所述的晶体管半导体芯片,其中,所述第一接触垫的面积为至少 0.4mm^2 。

19. 根据权利要求1所述的晶体管半导体芯片,其中,所述第二金属化层的至少一部分与所述第一金属化层重叠。

20. 根据权利要求1所述的晶体管半导体芯片,其中,所述第一介电层与所述第二介电层包括 SiO_2 、 Al_2O_3 、以及 Si_3N_4 中的一个或多个。

21. 根据权利要求20所述的晶体管半导体芯片,其中,所述第一介电层具有与所述第二介电层不同的成分。

22. 根据权利要求1所述的晶体管半导体芯片,进一步包括:中间层,在所述第一介电层与所述第二介电层之间,使得所述中间层在所述第一金属化层与所述第二介电层之间。

23. 根据权利要求22所述的晶体管半导体芯片,其中:

- 所述第一介电层、所述第二介电层、以及所述中间层包括 SiO_2 、 Al_2O_3 、以及 Si_3N_4 中的一个或多个;并且

- 所述中间层具有与所述第一介电层和所述第二介电层不同的成分。

24. 根据权利要求22所述的晶体管半导体芯片,进一步包括:附加中间层,在所述第二介电层与所述第二金属化层之间。

25. 根据权利要求24所述的晶体管半导体芯片,其中:

- 所述第一介电层、所述第二介电层、所述中间层、以及所述附加中间层包括 SiO_2 、 Al_2O_3 、以及 Si_3N_4 中的一个或多个;并且

- 所述中间层和所述附加中间层具有与所述第一介电层和所述第二介电层不同的成分。

26. 根据权利要求1所述的晶体管半导体芯片,其中,所述晶体管半导体芯片是垂直晶体管设备。

27. 一种晶体管半导体芯片,包括:

- 第一接触垫、第二接触垫、以及第三接触垫;

- 设备区域,包括耦合至所述第一接触垫、所述第二接触垫、以及所述第三接触垫中的一个或多个的一个或多个区域,使得所述晶体管半导体芯片被配置为基于在所述第二接触垫处所提供的信号而在所述第一接触垫与所述第三接触垫之间选择性地传导电流,其中:

- 所述第一接触垫与所述第二接触垫位于所述晶体管半导体芯片的同一侧上;并且

- 在所述设备区域内的总无源面积小于所述第二接触垫的面积。

28. 根据权利要求27所述的晶体管半导体芯片,其中,所述第一接触垫的面积为至少 0.4mm^2 。

29. 根据权利要求27所述的晶体管半导体芯片,其中,所述晶体管半导体芯片被配置为在正向传导操作模式中在所述第一接触垫与所述第三接触垫之间传导大于0.5A并且在阻断操作模式中在所述第一接触垫与所述第三接触垫之间阻断大于100V。

30. 根据权利要求27所述的晶体管半导体芯片,其中,所述晶体管半导体芯片是垂直半导体设备。

31. 根据权利要求27所述的晶体管半导体芯片,进一步包括:边缘终止区域,其中,所述设备区域在所述边缘终止区域内。

32. 一种晶体管半导体芯片,包括:

- 衬底;
- 漂移层,在所述衬底上;
- 一个或多个植入区域,在设备区域内的所述漂移层中,使得形成垂直晶体管设备;
- 传感器,与所述晶体管半导体芯片集成;以及
- 传感器接触垫,电耦合至所述传感器,其中,在所述设备区域内的总无源面积小于所述传感器接触垫的面积。

33. 根据权利要求32所述的晶体管半导体芯片,其中,所述传感器是温度传感器、应变传感器、以及电流传感器中的一个。

具有增加的有源面积的晶体管半导体芯片

技术领域

[0001] 本公开涉及晶体管设备,并且具体地,涉及具有增加的有源面积的垂直晶体管半导体芯片。

背景技术

[0002] 功率晶体管设备用于选择性地传递高电流并且阻断高电压。如此处定义的,功率晶体管设备是被配置为在正向传导操作模式中传导至少0.5A并且在阻断操作模式中阻断至少100V的设备。功率晶体管设备的示例包括场效应晶体管(FET)、金属氧化物半导体场效应晶体管(MOSFET)、双极结型晶体管(BJT)、以及绝缘栅极双极结型晶体管(IGBT)。由一个或多个功率晶体管半导体芯片提供功率晶体管设备。通常提供功率晶体管半导体芯片作为包括由边缘终止区域包围的设备区域的垂直晶体管设备。设备区域指包括一个或多个植入物的功率晶体管半导体芯片的面积,即,电耦合至一个或多个电极,用于提供设备的选择性电流传导和电压阻断能力。提供边缘终止区域来减少功率晶体管半导体芯片的边缘处的电场的集中并且由此防止在低反向电压下的击穿。设备区域形成功率晶体管半导体芯片的有源部分,而边缘终止区域形成功率晶体管半导体芯片的无源部分。如此处定义的,如果半导体芯片的区域在设备处于传导模式(例如,操作的第一象限或第三象限)时负责在设备中承载电流,则半导体芯片的区域是“有源的”。通常,因为总有源面积与载流容量直接成正比,所以希望将功率晶体管半导体芯片的总有源面积最大化。然而,由于常规功率晶体管半导体芯片的设计的约束,限制了专用于有源面积的设备区域的部分。相应地,存在对其设备区域中的具有增加的有源面积的功率半导体芯片的需求。

发明内容

[0003] 在一个示例中,晶体管半导体芯片包括漂移层、第一介电层、第一金属化层、第二介电层、第二金属化层、第一多个电极、以及第二多个电极。第一介电层在漂移层上方。第一金属化层在第一介电层上方,使得第一金属化层的至少一部分提供第一接触垫。第二介电层在第一金属化层上方。第二金属化层在第二介电层上方,使得第二金属化层的至少一部分提供第二接触垫。第一多个电极在漂移层中的第一多个区域上方并且耦合至第一金属化层。第二多个电极在漂移层中的第二多个区域上方并且耦合至第二金属化层。第一多个区域与第二多个区域被配置为使得晶体管半导体芯片被配置为基于在第二接触垫处所提供的信号而在第一接触垫与第三接触垫之间选择性地传导电流。通过在第二介电层上设置第二金属化层,可以增加晶体管半导体芯片的总有源面积。

[0004] 本领域技术人员应当认识到本公开的范围并且在读取与所附附图相关联的优选示例的下列细节描述之后实现其附加方面。

附图说明

[0005] 被整合并且构成本说明书的一部分的所附附图示出了本公开的若干方面,并且与

描述一起用于对本公开的原理进行说明。

- [0006] 图1是根据本公开的一个实施例的晶体管半导体芯片的俯视图。
- [0007] 图2是根据本公开的一个实施例的晶体管半导体芯片的俯视图。
- [0008] 图3是根据本公开的一个实施例的晶体管半导体芯片的俯视图。
- [0009] 图4是根据本公开的一个实施例的晶体管半导体芯片的俯视图。
- [0010] 图5是根据本公开的一个实施例的晶体管半导体芯片的横截面图。
- [0011] 图6是根据本公开的一个实施例的晶体管半导体芯片的横截面图。
- [0012] 图7A至图7C是示出根据本公开的各个实施例的晶体管半导体芯片的性能的图表。
- [0013] 图8是根据本公开的一个实施例的晶体管半导体芯片的俯视图。
- [0014] 图9是根据本公开的一个实施例的晶体管半导体芯片的俯视图。
- [0015] 图10是根据本公开的一个实施例的晶体管半导体芯片的俯视图。
- [0016] 图11是根据本公开的一个实施例的晶体管半导体芯片的俯视图。
- [0017] 图12是根据本公开的一个实施例的晶体管半导体芯片的俯视图。
- [0018] 图13是根据本公开的一个实施例的晶体管半导体芯片的横截面图。
- [0019] 图14是根据本公开的一个实施例的晶体管半导体芯片的横截面图。
- [0020] 图15是根据本公开的一个实施例的晶体管半导体芯片的横截面图。

具体实施方式

[0021] 下面阐述的实施例表示能够使得本领域技术人员实现实施例并且示出实现实施例的最佳模式的必要信息。在根据所附图读取下列描述时,本领域技术人员应当理解本公开的构思并且识别此处未具体解决的这些构思的应用。应当理解的是,这些构思与应用落在本公开以及所附权利要求的范围内。

[0022] 应当理解的是,尽管此处可以使用术语第一、第二等来描述各个元件,然而,这些元件不应受这些术语限制。这些术语仅用于区分一个元件与另一元件。例如,在不偏离本公开的范围的情况下,可以将第一元件称为第二元件,并且同样,可以将第二元件称为第一元件。如此处使用的,术语“和/或”包括一个或多个相关联的列出项目的任意及所有组合。

[0023] 应当理解的是,当诸如层、区域、或衬底的元件被称为“在(on)”另一元件上或延伸“至(onto)”另一元件上时,其能够直接在另一元件上或直接延伸至另一元件上或者也可以存在中间元件。相反,当元件被称为“直接在(directly on)”另一元件上或延伸“直接至(directly onto)”另一元件上时,则不存在中间元件。同样,应当理解的是,当诸如层、区域、或衬底的元件被称为在另一元件“上方(over)”或延伸至另一元件“上方(over)”时,其能够直接在另一元件上方或延伸至直接在另一元件上方或者也可以存在中间元件。相反,当元件被称为在另一元件的“直接上方(directly over)”或延伸至在另一元件的“直接上方(directly over)”时,则不存在中间元件。还应当理解的是,当元件被称为“连接”或“耦合”至另一元件时,其能够直接连接或耦合至另一元件或可以存在中间元件。相反,当元件被称为“直接连接”或“直接耦合”至另一元件时,则不存在中间元件。

[0024] 如图中示出的,此处可以使用诸如“下面”或“上面”、或“上”或“下”、或“水平”或“垂直”的相对术语来描述一个元件、层、或区域与另一元件、层、或区域的关系。应当理解的是,这些术语与上述讨论的术语旨在涵盖除图中所描述的方位之外的设备的不同方位。

[0025] 此处使用的术语仅用于描述具体实施例之目的并且并不旨在限制本公开。如此处使用的,单数形式“一个(a)”、“一个(an)”、以及“该”也旨在包括复数形式,除非上下文另有清晰指示。应当进一步理解的是,当此处使用时,术语“包括(comprises)”、“包括(comprising)”、“包括(includes)”、和/或“包括(including)”指定存在所述特征、整数、步骤、操作、元件、和/或部件,但并不排除存在或添加一个或多个其他特征、整数、步骤、操作、元件、部件、和/或其组合。

[0026] 除非另有限定,否则,此处使用的全部术语(包括技术和科技术语)具有与本公开所属领域的普通技术人员通常理解的含义。应当进一步理解的是,此处使用的术语应被解释为具有与其在本说明书的上下文以及相关技术领域中的含义一致的含义并且不应以理想化或过度形式的含义进行解释,除非此处明确限定如此。

[0027] 图1示出了根据本公开的一个实施例的晶体管半导体芯片10的俯视图。出于示出之目的,晶体管半导体芯片10是包括钝化层12的垂直金属氧化物半导体场效应晶体管(MOSFET)设备,钝化层12具有用于栅极接触垫14和多个源极接触垫16的开口。晶体管半导体芯片10是其中漏极接触垫(未示出)位于设备的背侧上的垂直功率设备。可以提供栅极接触垫14与源极接触垫16作为用于将晶体管半导体芯片10耦合至外部电路的表面。相应地,栅极接触垫14与源极接触垫16可以具有最小的尺寸,使得它们被可靠地连接。在一个实施例中,栅极接触垫14与每一个源极接触垫16的最小尺寸为 0.4mm^2 。在各个实施例中,栅极接触垫14与每一个源极接触垫16的最小尺寸可以为 0.5mm^2 、 0.6mm^2 、 0.7mm^2 、 0.8mm^2 、 0.9mm^2 、以及高达 1.0mm^2 。

[0028] 图2示出了移除钝化层12的晶体管半导体芯片10的俯视图。在钝化层12下方是栅极金属层18、耦合至栅极金属层18的栅极过孔条20、以及源极金属层22。如下面更为详细讨论的,由同一金属化层提供栅极金属层18、栅极过孔条20、以及源极金属层22,并且由此,源极金属层22必须包括开口24,以容纳所示出的栅极金属层18和栅极过孔条20的整个区域。图2还示出了晶体管半导体芯片10的设备区域26和边缘终止区域28。如上面讨论的,设备区域26是包括一个或多个植入物的晶体管半导体芯片10的区域,一个或多个植入物电耦合至一个或多个电极,用于提供设备的选择性电流传导和电压阻断能力。边缘终止区域28被设置为减少晶体管半导体芯片10的边缘处的电场的集中并且由此防止在低反向电压下的击穿。

[0029] 图3示出了移除栅极金属层18、栅极过孔条20、源极金属层22、以及多个其他层(下面讨论)的晶体管半导体芯片10的俯视图。在这些层下方是被多个栅极区域32分离的多个源极区域30。可以提供源极区域30作为具有与其中它们所位于的漂移层不同的掺杂类型和/或掺杂浓度的区域(例如,经由与漂移层分离的外延工艺或通过漂移层的植入),而可以提供栅极区域32作为其中漂移层的掺杂类型和/或掺杂浓度相对未变或改变不同的量的区域。如图3中所示,设置栅极区域32作为条带,然而,同样可以在图4示出的网格中设置栅极区域32。为了提供晶体管半导体芯片10的主要功能,栅极接触垫14必须与栅极区域32电接触,而源极接触垫16必须与源极区域30电接触。

[0030] 图5示出了根据本公开的一个实施例的晶体管半导体芯片10的一部分的横截面图。晶体管半导体芯片10包括衬底34和在衬底34上方的漂移层36。在漂移层36的表面中的多个植入物38提供源极区域30,而在植入物38之间的多个非植入区域提供栅极区域32。多

个栅电极40设置在栅极区域32上,使得每一个栅电极40在栅极区域32的任一侧上设置的植入物38之间延伸。每一个栅电极40通过氧化层42与漂移层36的表面分离。多个源电极44设置在源极区域30上,使得每一个源电极44与一个不同的植入物38接触。栅极金属层18设置在漂移层36的表面上,使得栅极金属层18通过氧化层42与漂移层36的表面分离并且耦合至图5中未示出的平面上的每一个栅电极40。为了保持栅电极40与源电极44电隔离,在栅电极40上方设置介电层46。源电极44暴露在介电层46的表面处。源极金属层22设置在介电层46上,使得其与源电极44接触。漏极金属层48设置在与漂移层36相对的衬底34上。

[0031] 如图2和图5中所示,在单一金属化步骤(即,作为被适当图案化的单一金属层)中,将源极金属层22与栅极金属层18设置在晶体管半导体芯片10的设备区域26内。这就是指将源极金属层22和栅极金属层18设置在晶体管半导体芯片10的同一表面/平面上。相应地,源极金属层22不能与栅极金属层18重叠,并且代替地,必须包括用于栅极金属层18的开口。由于栅极金属层18的尺寸的约束(例如,用于引线接合的最小接触垫尺寸),源极金属层22的覆盖区由此被限制在晶体管半导体芯片10的设备区域26内。如图5中所示,在源极金属层22下面的区域是其中由漂移层36将电流从源极金属层22承载至漏极金属层48的有源区域。因为在栅极金属层18下面的漂移层18不能承载电流,所以在栅极金属层18下面的区域是无源区域。相应地,对于给定尺寸的芯片,可能限制设备区域26的总有源面积并且由此限制晶体管半导体芯片10的总载流容量。

[0032] 相应地,图6示出了根据本公开的附加实施例的晶体管半导体芯片10的横截面图。图6中所示的晶体管半导体芯片10与图5中所示的大致相似,但是,进一步包括了在介电层46上方的附加介电层50。具体地,栅电极40与源电极44设置在漂移层36的表面上,介电层46设置在栅电极40与源电极44上方,使得栅电极40与源电极44电隔离并且源电极44暴露在介电层46的表面处、源极金属层22设置在介电层46上方、附加介电层50设置在介电层46和源极金属层22上方、并且栅极金属层18设置在附加介电层50上方。栅极金属层18经由通过介电层46和附加介电层50延伸的一个或多个过孔52而电耦合至栅电极40(连接在图6中未示出的平面上)。如示出的,提供附加介电层50允许栅极金属层18的至少一部分与源极金属层22重叠。与栅极金属层18的总面积相比较,一个或多个过孔52非常小。相应地,源极金属层22中仅需要非常小的开口,并且被源极金属层22覆盖的总面积由此增加。如上面讨论的,因为在源极金属层22下面的区域是晶体管半导体芯片10的有源区域,所以这有效地增加了总有源面积并且由此增加晶体管半导体芯片的载流容量。事实上,晶体管半导体芯片10的设备区域26的总无源面积可能小于栅极金属层18的总面积,并且在之前未实现的一些实施例中,小于栅极接触垫14的总面积。

[0033] 对于给定的尺寸,增加晶体管半导体芯片10的有源面积允许载流容量的增加。可替代地,增加晶体管半导体芯片10的有源面积允许在不牺牲载流容量的情况下减少芯片的尺寸。这进而允许在制造晶体管半导体芯片10时针对给定的晶圆提供附加芯片(chip)。尽管此处讨论的示例主要涉及提供MOSFET设备的晶体管半导体芯片10,然而,此处所述的原理同样适用于提供场效应晶体管(FET)设备的晶体管半导体芯片10、双极结型晶体管(BJT)设备、绝缘栅极双极晶体管(IGBT)设备、或具有两个或多个顶级触点的任意其他类型的垂直晶体管设备。考虑到这一点,可以将栅极接触垫14统称为第一接触垫,可以将源极接触垫16统称为第二接触垫,可以将源极金属层22统称为第一金属化层,可以将栅极金属层18统

称为第二金属化层,可以将源极区域30统称为第一组区域,并且可以将栅极区域统称为第二组区域。

[0034] 在一个实施例中,衬底34与漂移层36是碳化硅。当与使用诸如硅的常规材料系统相比较时,衬底34和漂移层36使用碳化硅可以明显增加晶体管半导体芯片10的性能。尽管未示出,然而,植入物38可以根据需要包括若干不同的植入区域,以提供晶体管半导体芯片10的选择性电流传导和电压阻断能力。介电层46和附加介电层50可以通过例如交替形式包括一层或多层 Al_2O_3 和 SiO_2 。在其他实施例中,介电层46与附加介电层50可以通过例如交替形式包括一层或多层 Si_3N_4 和 SiO_2 。通常,介电层46与附加介电层50可以包括任意合适的介电材料(例如,具有宽带隙($> \sim 5eV$)和相对较低的介电常数的材料)。介电层46与附加介电层50可以包括相同或不同的材料。包括 Si_3N_4 、 Al_2O_3 、 AlN 、 SiO_2 或任意其他合适材料的附加钝化层可以根据需要与介电层46和附加介电层50交错,以避免材料之间相互作用。在各个实施例中,钝化层12可以包括 Si_3N_4 、 Al_2O_3 、 AlN 、 SiO_2 或任意其他合适材料。

[0035] 图7A是示出由于栅极金属层18在源极金属层22上方的移动而改善晶体管半导体芯片10的载流容量的图表。实线示出了在不改善如图5中所示的接触垫的布局的情况下的晶体管半导体芯片10的载流容量与尺寸之间的关系。虚线示出了晶体管半导体芯片10的载流容量与上面参考图6所讨论的改善之间的相同关系。图表假设恒定的额定阻断电压(例如,1200V)。如所示出的,无论芯片尺寸如何,实现了晶体管半导体芯片10的载流容量的改善。如上面所讨论的,这是由于设备区域26的有源面积的增加。

[0036] 图7B是进一步示出由于栅极金属层18在源极金属层22上方的移动而改善晶体管半导体芯片10的载流容量的图表。图表示出了晶体管半导体芯片10的载流容量的百分比增加(与在没有如图5中示出的改善的情况下的晶体管半导体芯片相比较)与电流额定值之间的关系。如示出的,晶体管半导体芯片10的电流容量百分比增加与晶体管半导体芯片10的电流额定值具有反向关系。这是因为随着晶体管半导体芯片10的电流额定值的增加,其整体尺寸也增加。相应地,作为栅极金属层18在源极金属层22上方的移动结果而产生的有源面积使得设备的总有源面积的百分比更小,由此减少通过使用这些改善而看到的载流容量的百分比增加。图7B示出了由于在较低电流额定值下所看到的此处讨论的改善的设备性能的最大改善。

[0037] 图7C是进一步示出由于栅极金属层18在源极金属层22上方的移动而改善晶体管半导体芯片10的载流容量的图表。图表示出了晶体管半导体芯片10的载流容量的百分比增加(与在没有如图5中示出的改善的情况下的晶体管半导体芯片相比较)与电压额定值之间的关系。如示出的,晶体管半导体芯片10的电流容量百分比的增加与晶体管半导体芯片10的电压额定值为正向关系。所示的图表假设了晶体管半导体芯片10的恒定尺寸。载流容量的百分比增加与电压额定值之间的关系源于下列事实:随着晶体管半导体芯片10的电压额定值的增加,边缘终止区域28的尺寸也增加。相应地,设备区域26的尺寸减少,使得由于栅极金属层18在源极金属层22上方的移动结果而产生的有源面积使设备的总有源面积的百分比更大,由此增加通过使用这些改善所看到的载流容量的百分比增加。图7C示出了在较高电压额定值下所看到的给定芯片(chip)尺寸的设备性能的最大改善。

[0038] 图8示出了根据本公开的一个实施例的晶体管半导体芯片10的俯视图。具体地,图8示出了移除栅极金属层18和附加介电层50的晶体管半导体芯片10。在附加介电层50下方

暴露源极金属层22。在图8所示的实施例中,仍存在栅极过孔条20。第一虚线框54示出了其上设置栅极金属层18的区域。该区域可以与栅极接触垫14的边界对应、或可以延伸至栅极接触垫14的边界之外。换言之,可以通过钝化层12而暴露作为栅极接触垫14的栅极金属层18的全部,或者可以由钝化层12覆盖栅极金属层18的一部分,使得仅栅极金属层18的一部分构成栅极接触垫14。如所示出的,栅极金属层18的一部分与栅极过孔条20重叠,由此允许栅极接触垫14与耦合至栅极过孔条的栅电极40接触。第二虚线框56A与第三虚线框56B示出了源极接触垫16的区域。栅极过孔条20仍位于漂移层36的表面上,并且由此仍需要源极金属层22具有尺寸为容纳栅极过孔条20的开口58。然而,栅极过孔条20的整体尺寸必须小于常规栅极接触垫的尺寸。相应地,能够明显增加晶体管半导体芯片10的设备区域26内的有源面积的尺寸。

[0039] 图9示出了根据本公开的附加实施例的晶体管半导体芯片10的俯视图。具体地,图9示出了移除栅极金属层18和附加介电层50的晶体管半导体芯片10。在附加介电层50下方暴露源极金属层22。在图9所示的实施例中,移除了栅极过孔条20,并且代替为多个栅极接触过孔60,即,延伸通过介电层46和附加介电层50,以与一个或多个下方栅电极40接触,进而在漂移层36的表面上耦合至另一个(例如,在上面所示的网格配置中)。第一虚线框54示出了其上设置栅极金属层18的区域。如所示出的,栅极金属层18的一部分与栅极接触过孔60重叠,由此将栅极接触垫14连接至栅电极40。第二虚线框56A与第三虚线框56B示出了源极接触垫16的区域。栅极接触过孔60可以具有甚至比栅极过孔条20更小的面积。相应地,甚至可以使得源极金属层22中容纳从栅极接触垫14至栅电极40的连接的开口60的总尺寸更小,由此进一步增加晶体管半导体芯片10的设备区域26内的有源面积。

[0040] 由于栅极接触垫14与下方栅电极40之间的连接尺寸减少,晶体管半导体芯片10的栅极电阻可能增加。相应地,栅极接触垫14的尺寸和形状、栅极金属层18、以及栅极接触过孔60的数量和放置可以被布置成使得晶体管半导体芯片10的栅极电阻最小化,同时使得图10和图11中示出的设备区域26的有源部分最大化。在图10和图11中,第一虚线框54表示栅极金属层18在栅极接触过孔60上方的放置。如上面所讨论的,栅极接触垫14可以与栅极金属层18的全部或子集对应。第二虚线框56A与第三虚线框56B再一次表示源极接触垫16的区域。在图11中,第四虚线框56C与第五虚线框56D表示可以提供的源极接触垫16的附加区域。

[0041] 除了使得晶体管半导体芯片10的设备区域26的有源部分最大化之外,还可以使用附加介电层50来提供附加特征。相应地,图12示出了根据本公开的一个实施例的晶体管半导体芯片10的俯视图。具体地,图12示出了移除钝化层12的晶体管半导体芯片10。在钝化层12下方是附加介电层50,通过附加介电层50暴露栅极接触垫14和源极接触垫16。除这些接触垫之外,将多个传感器接触垫62设置在附加介电层50上。传感器接触垫62耦合至传感器64,其可以是任意类型的传感器,例如,温度传感器、应变传感器、或电流传感器。传感器64还可以位于附加介电层50的表面上或可以进一步位于层堆叠下方,诸如在介电层46上、在漂移层36上、或甚至在漂移层36中。如果传感器64位于漂移层36中,则其可能减少设备区域26的总有源面积。然而,与设备区域26的尺寸相比较,传感器64通常非常小并且由此使得漂移层36中的传感器导致设备区域26的有源面积的减少非常小。通常,传感器接触垫62比传感器64自身大许多,并且因为传感器接触垫62能够位于源极金属层22的上方,所以通过将一个或多个传感器引入晶体管半导体芯片10中而使设备区域26的有源面积受到的影响最

小。在一些实施例中,通过与栅极金属层18相同的金属化层(即,在同一金属化步骤中)可以形成传感器接触垫62。

[0042] 图13示出了根据本公开的一个实施例的晶体管半导体芯片10的横截面图。图13中所示的晶体管半导体芯片10与图6中所示的大致相似,但示出了在附加介电层50的表面上的传感器接触垫62。由于传感器64可以位于附加介电层50上的传感器接触垫62的后面,图13中未示出传感器64。

[0043] 图14示出了根据本公开的附加实施例的晶体管半导体芯片10的横截面图。图14中所示的晶体管半导体芯片10与图13中所示的大致相似,但传感器接触垫62通过传感器接触过孔66耦合至位于漂移层36中的传感器64。传感器64可以包括漂移层36中的一个或多个植入区域,使得传感器64可以是任意类型的半导体设备。传感器64可以用于测量温度、应力、电流、电压、或任意其他所需的参数。如上面讨论的,传感器接触垫62通常需要比传感器64和传感器接触过孔66更大量的区域来实现。在附加介电层50上设置传感器接触垫62使得传感器接触垫62与源极金属层22至少部分重叠,由此减少在晶体管半导体芯片10中设置传感器64对其设备区域26的有源面积的影响。尽管示出了在漂移层36中的传感器64,然而,传感器64可以位于漂移层36上方或下方的任意位置并且在不偏离本公开的的原理的情况下使用任意数量的过孔和中间金属层进行耦合。

[0044] 图15示出了根据本公开的附加实施例的晶体管半导体芯片10的横截面图。晶体管半导体芯片10与图6中所示的大致相似,但是,其进一步包括在介电层46与附加介电层50之间的第一中间层68A以及在附加介电层50与栅极金属层18之间的第二中间层68B。第一中间层68A与第二中间层68B可以减少介电层46、附加介电层50、栅极金属层18、以及源极金属层22之间的化学相互作用。因为附加介电层50可能需要致密化退火来获取良好的介电特性,所以这是重要的。第一中间层68A与第二中间层68B可以包括 Si_3N_4 、 Al_2O_3 、 AlN 、 SiO_2 、其变化层、或任意其他合适的材料。如上面所讨论的,介电层46与附加介电层50可以包括 SiO_2 或任意其他合适的材料。如所示出的,在制造用于一个或多个过孔52的开口之后,可以提供第二中间层68B。相应地,可以沿着一个或多个过孔52的边缘设置第二中间层68B,使得第二中间层68B减少一个或多个过孔52的金属、介电层46、以及附加介电层50之间的化学相互作用。一个或多个过孔52可以包括与栅极金属层18相同或不同的单一导电金属、或者可以根据需要包括用于沿着一个或多个过孔52的壁形成化学或扩散势垒层的不同金属堆叠。

[0045] 图15还示出了在栅极金属层18上方的钝化层12。钝化层12可以保护晶体管半导体芯片10免于周围环境影响。钝化层12可以包括 Si_2N_4 、 Al_2O_3 、 SiO_2 、其交替层、或任意其他合适材料。

[0046] 晶体管半导体芯片10可以是被配置为在正向传导操作模式中传导至少0.5A并且在阻断操作模式中阻断至少100V的功率晶体管芯片。在各个实施例中,晶体管半导体芯片10可以被配置为在正向传导操作模式中传导至少1.0A、至少2.0A、至少3.0A、至少4.0A、至少5.0A、至少6.0A、至少7.0A、至少8.0A、至少9.0A、以及至少10.0A。晶体管半导体芯片10可以被配置为在阻断操作模式中阻断至少250V、至少500V、至少750V、至少1kV、至少1.5kV、以及至少2.0kV。

[0047] 本领域技术人员应当认识到对本公开的优选实施例做出的改善和改造。该全部改善与改造被视为在此处所公开的构思以及权利要求的范围内。

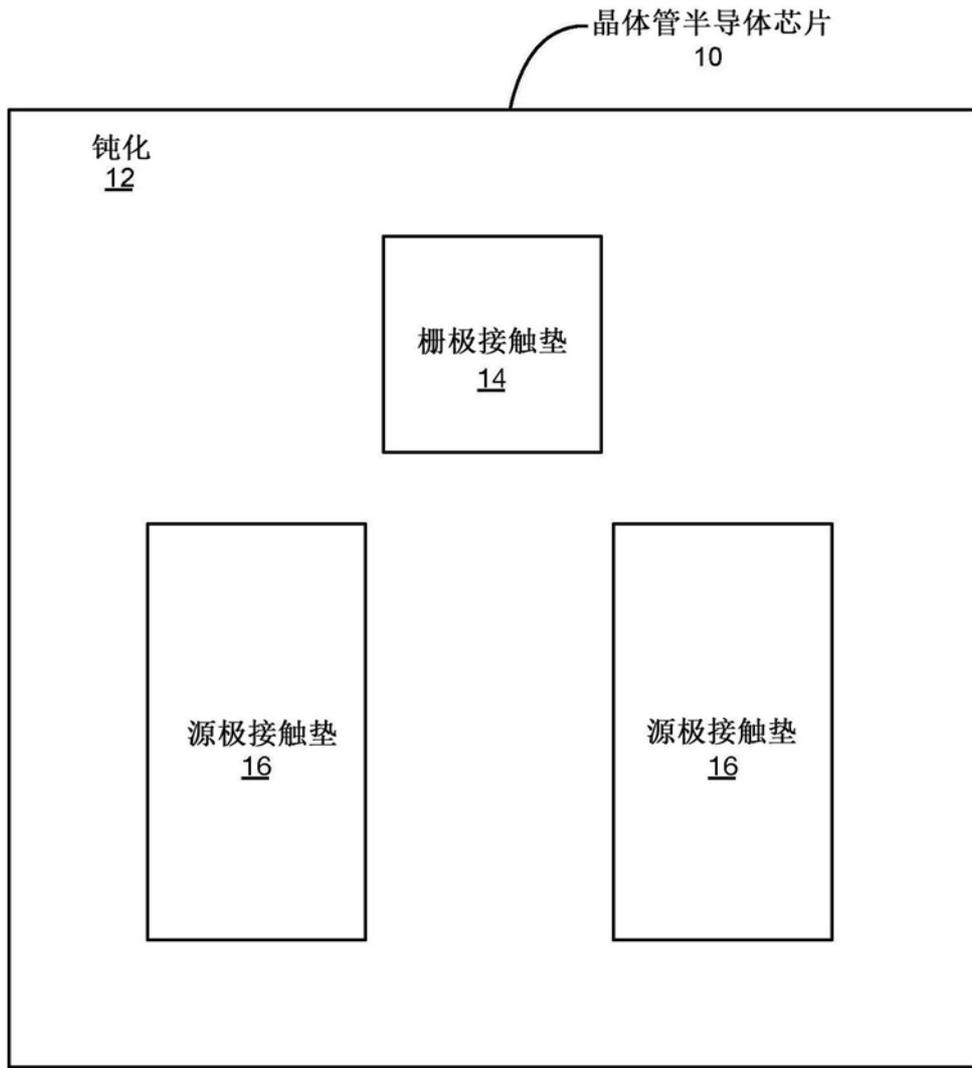


图1

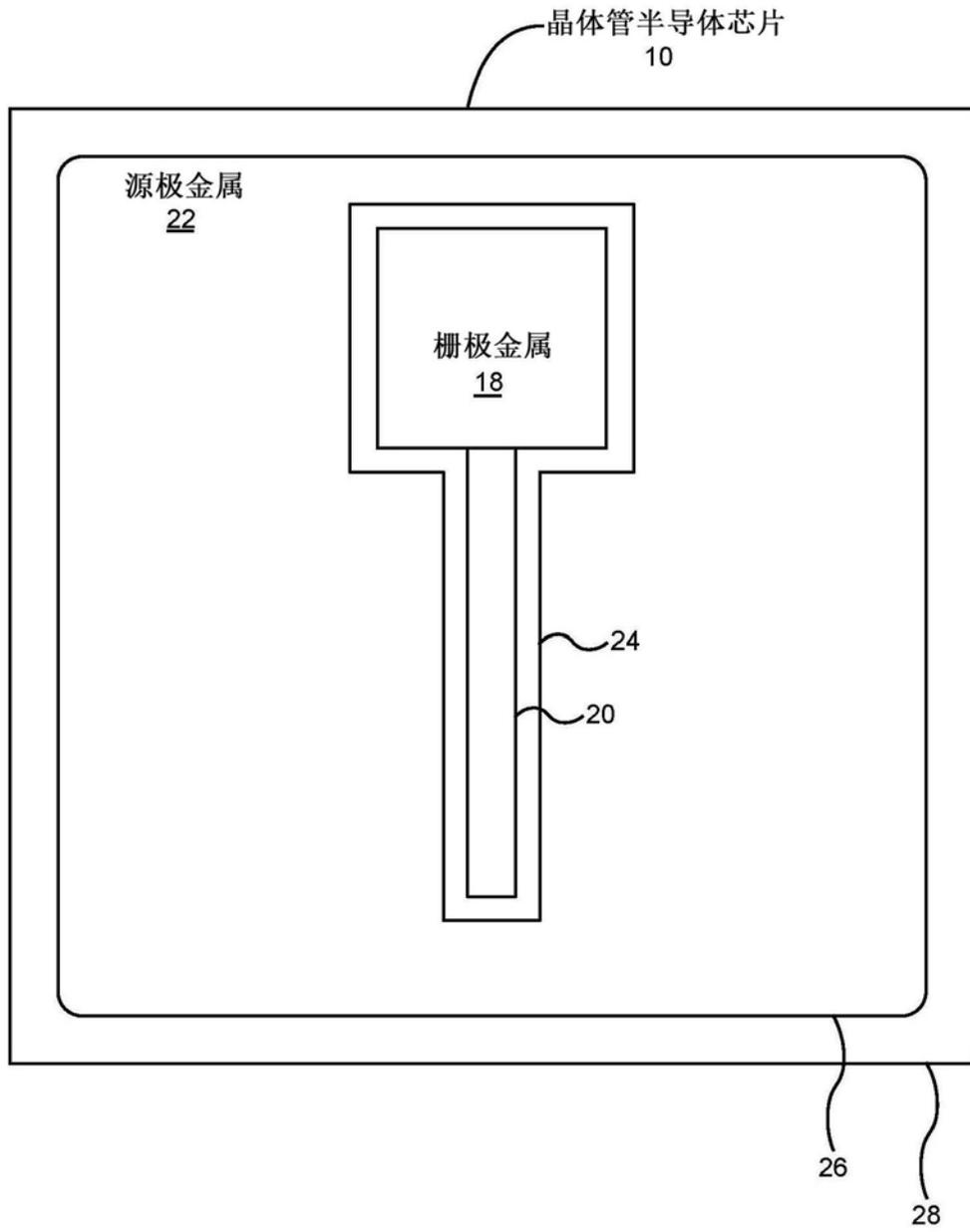


图2

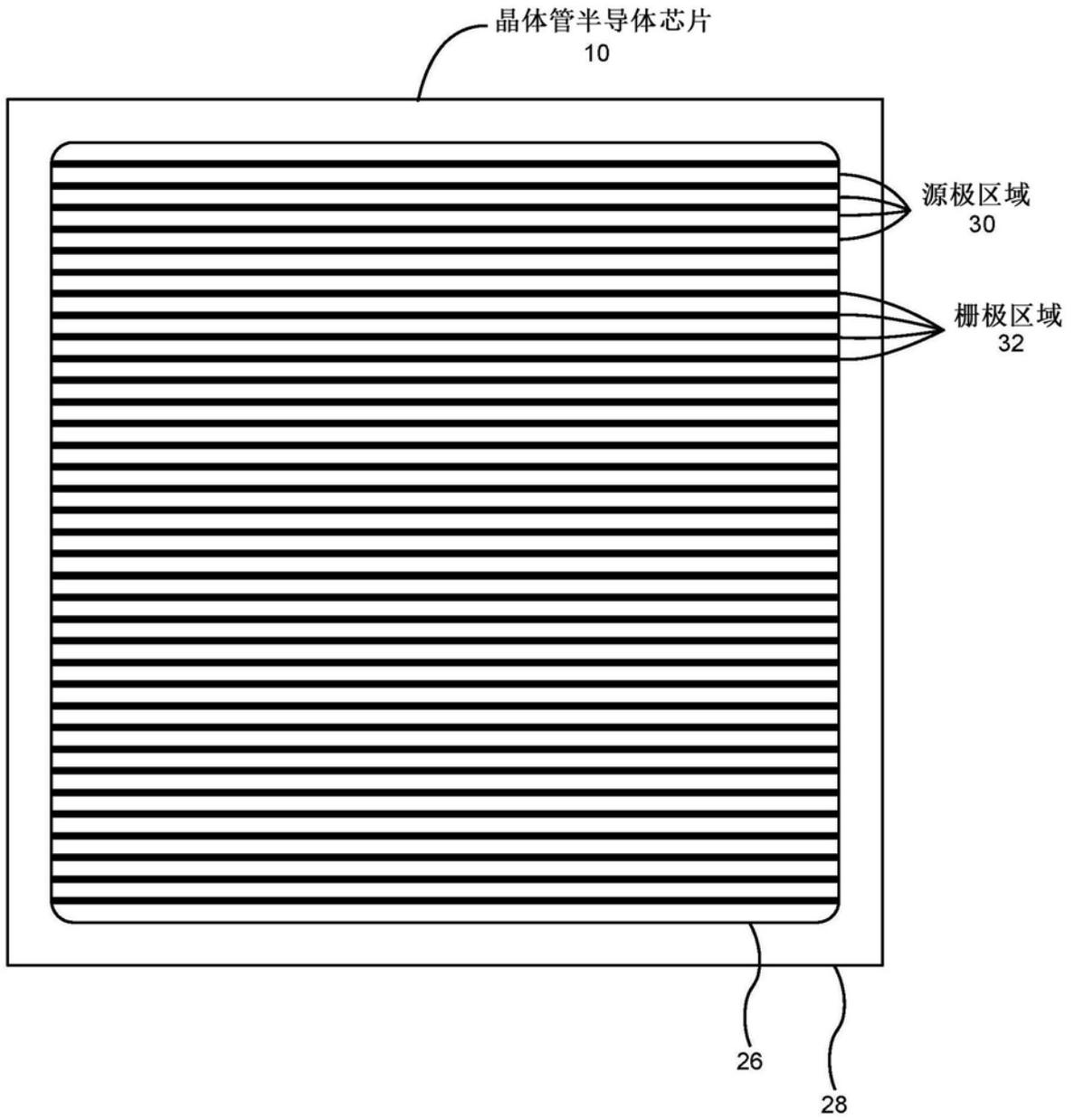


图3

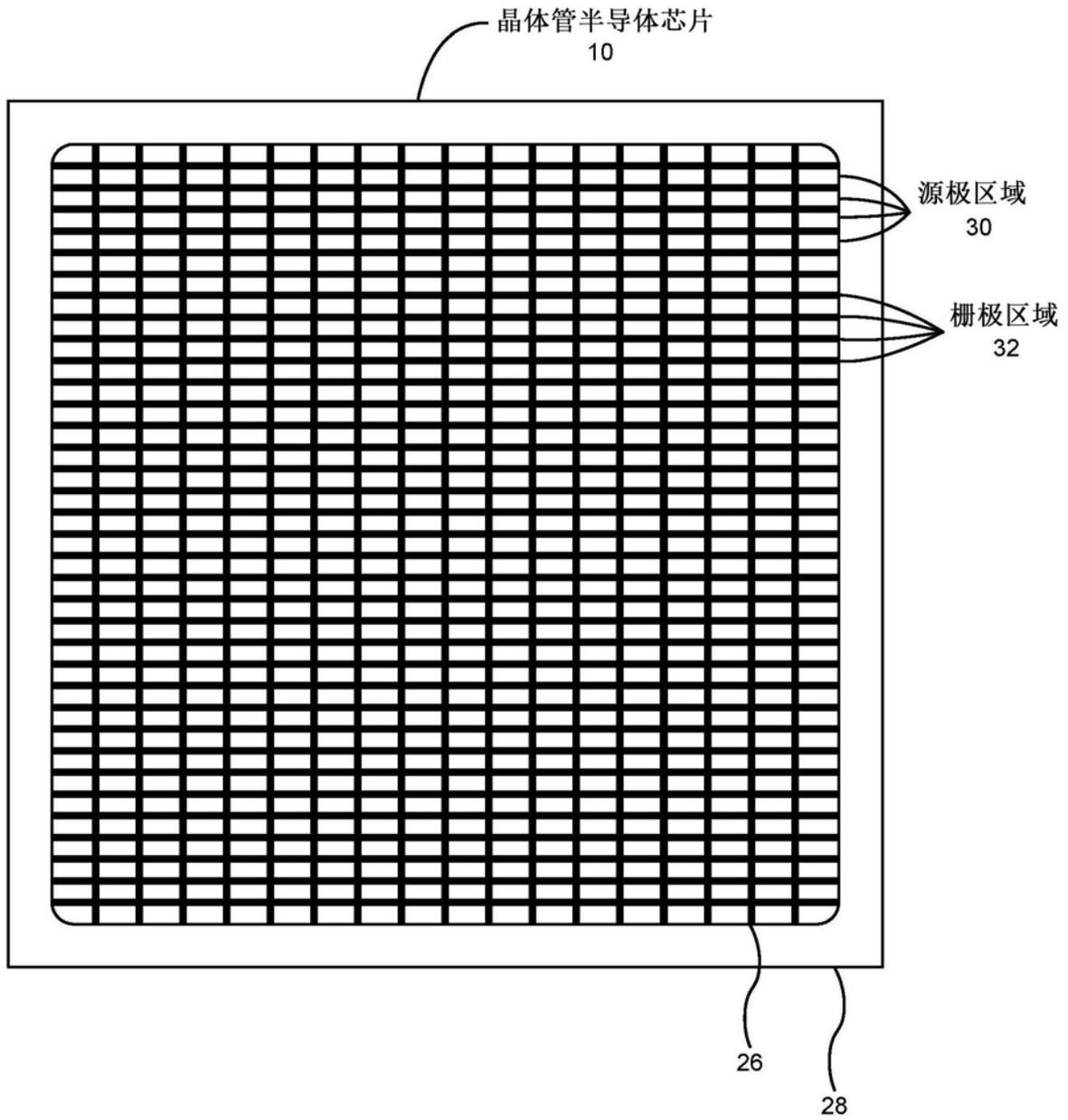


图4

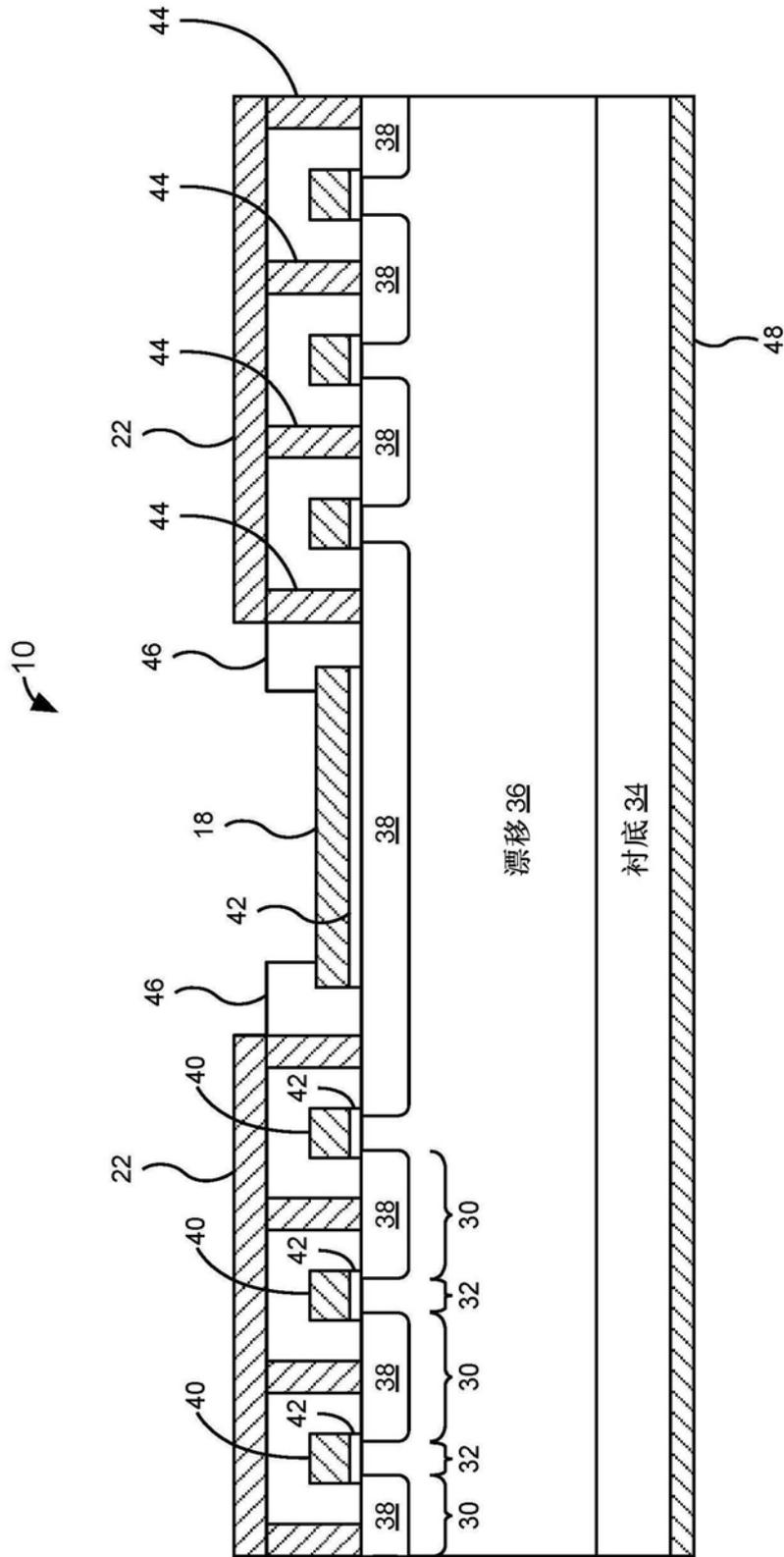


图5

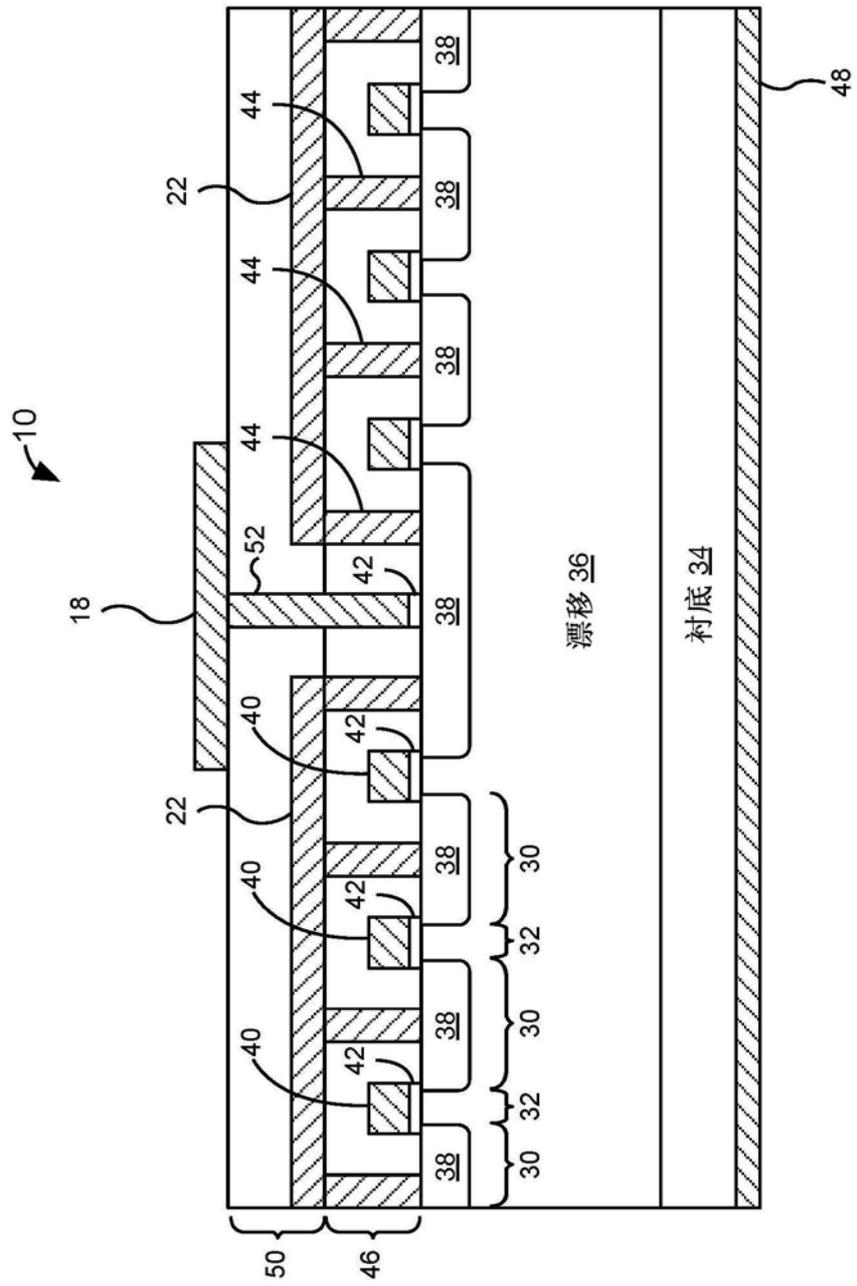


图6

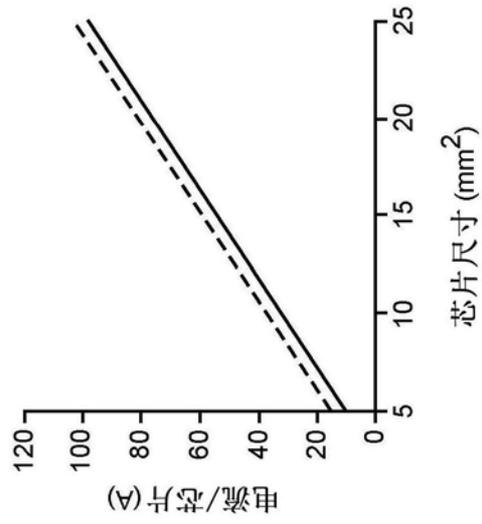


图7A

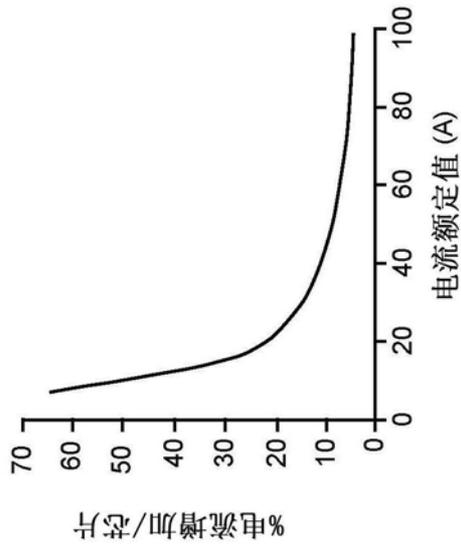


图7B

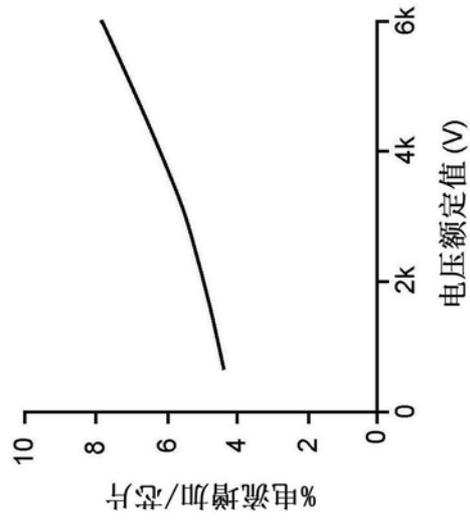


图7C

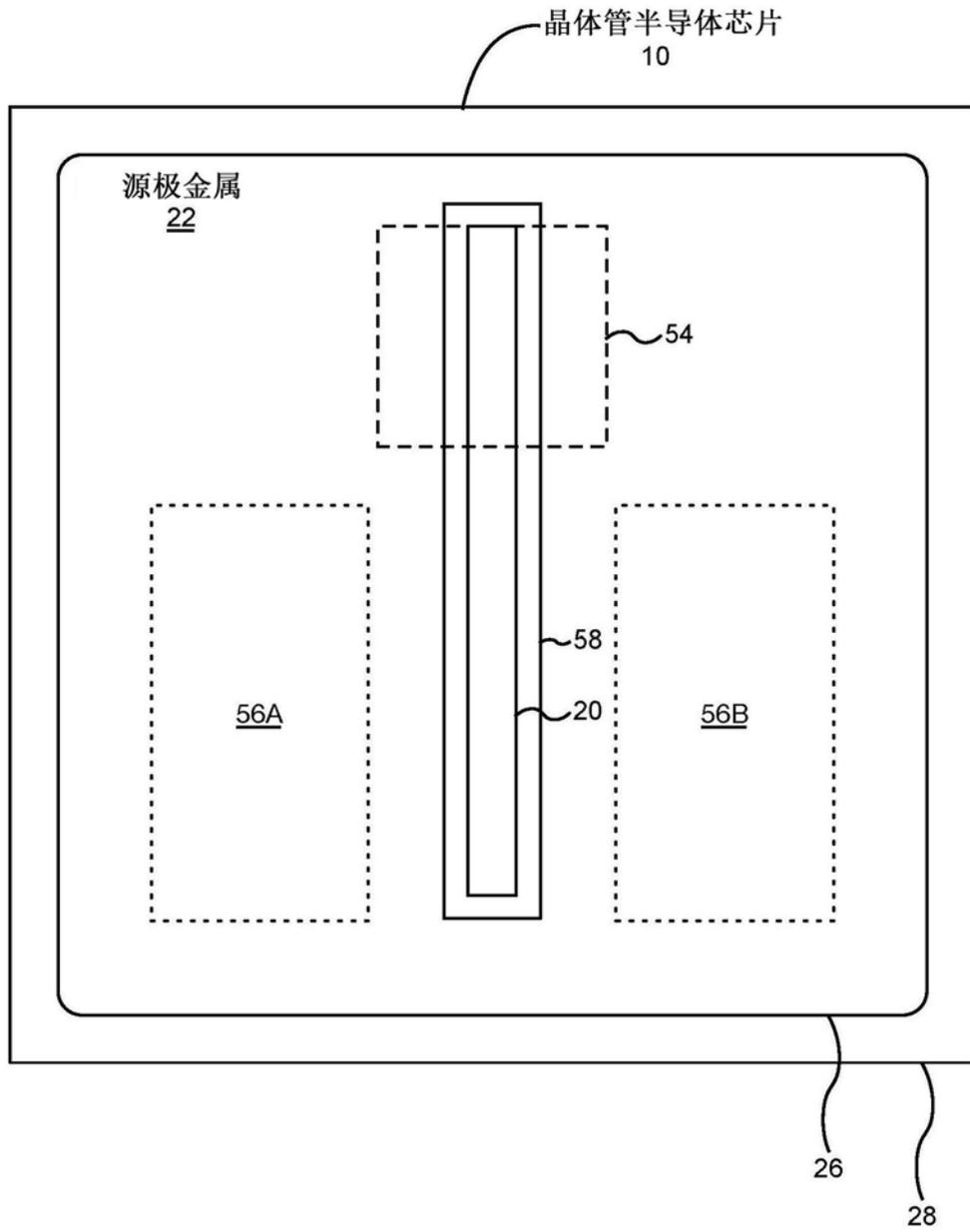


图8

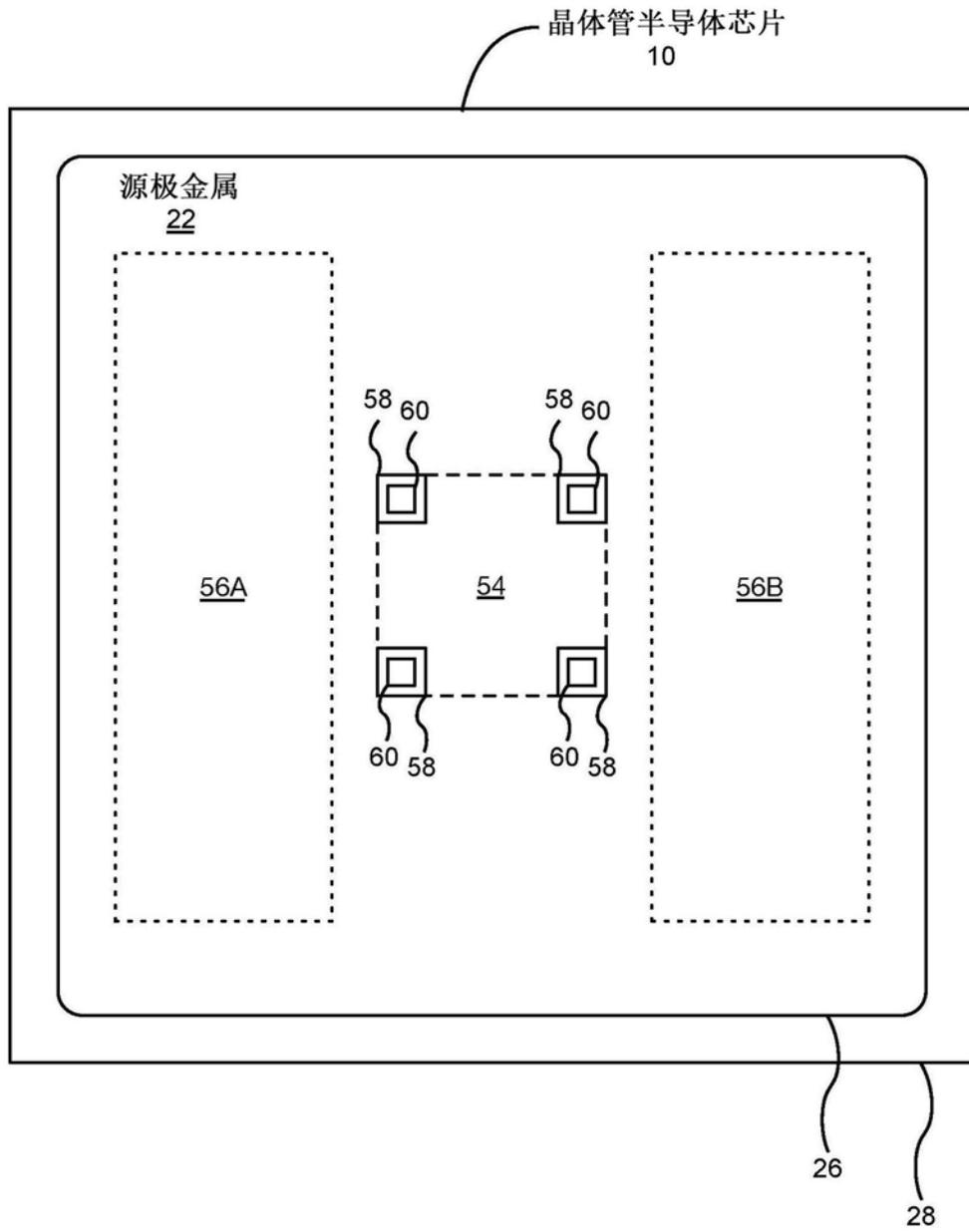


图9

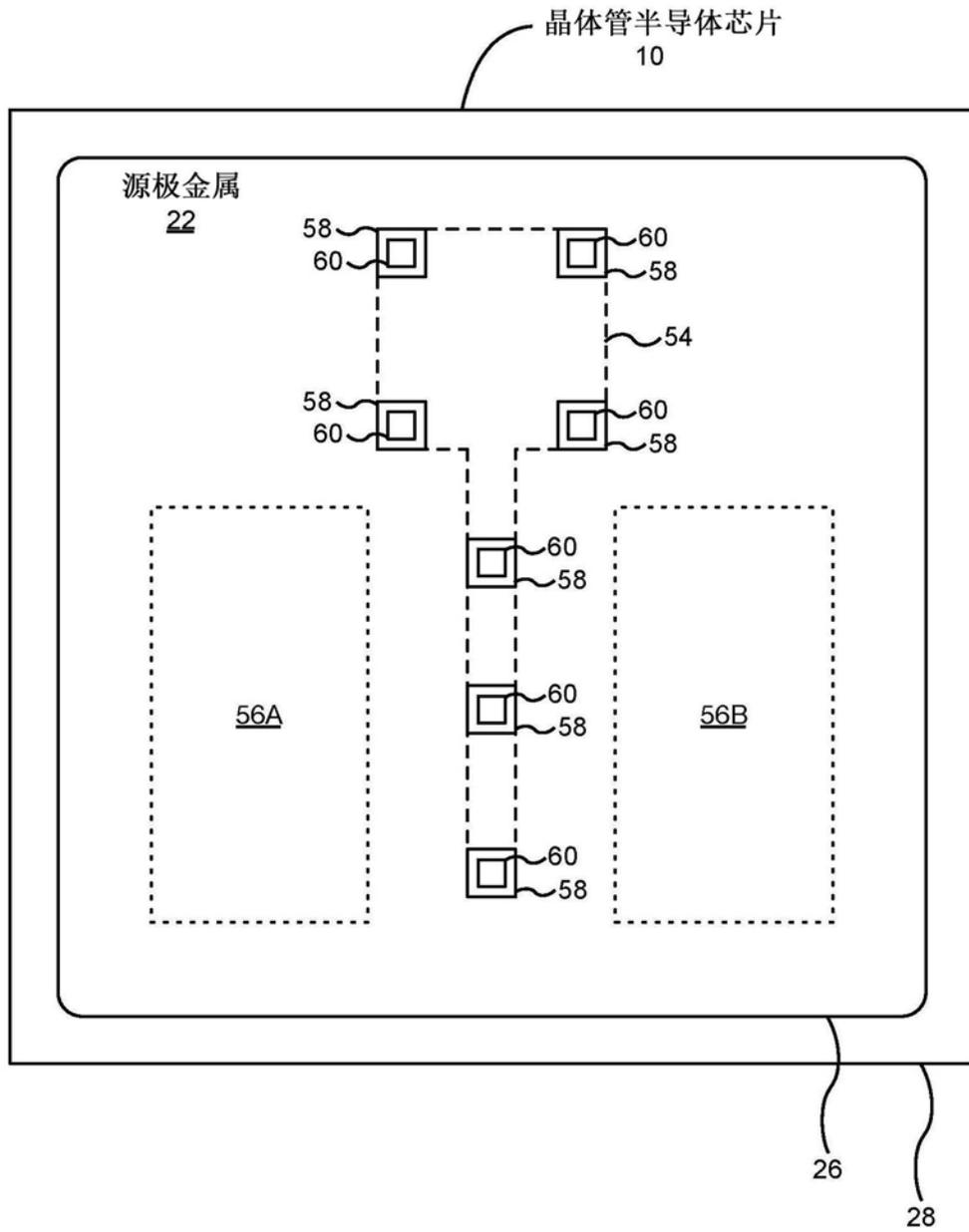


图10

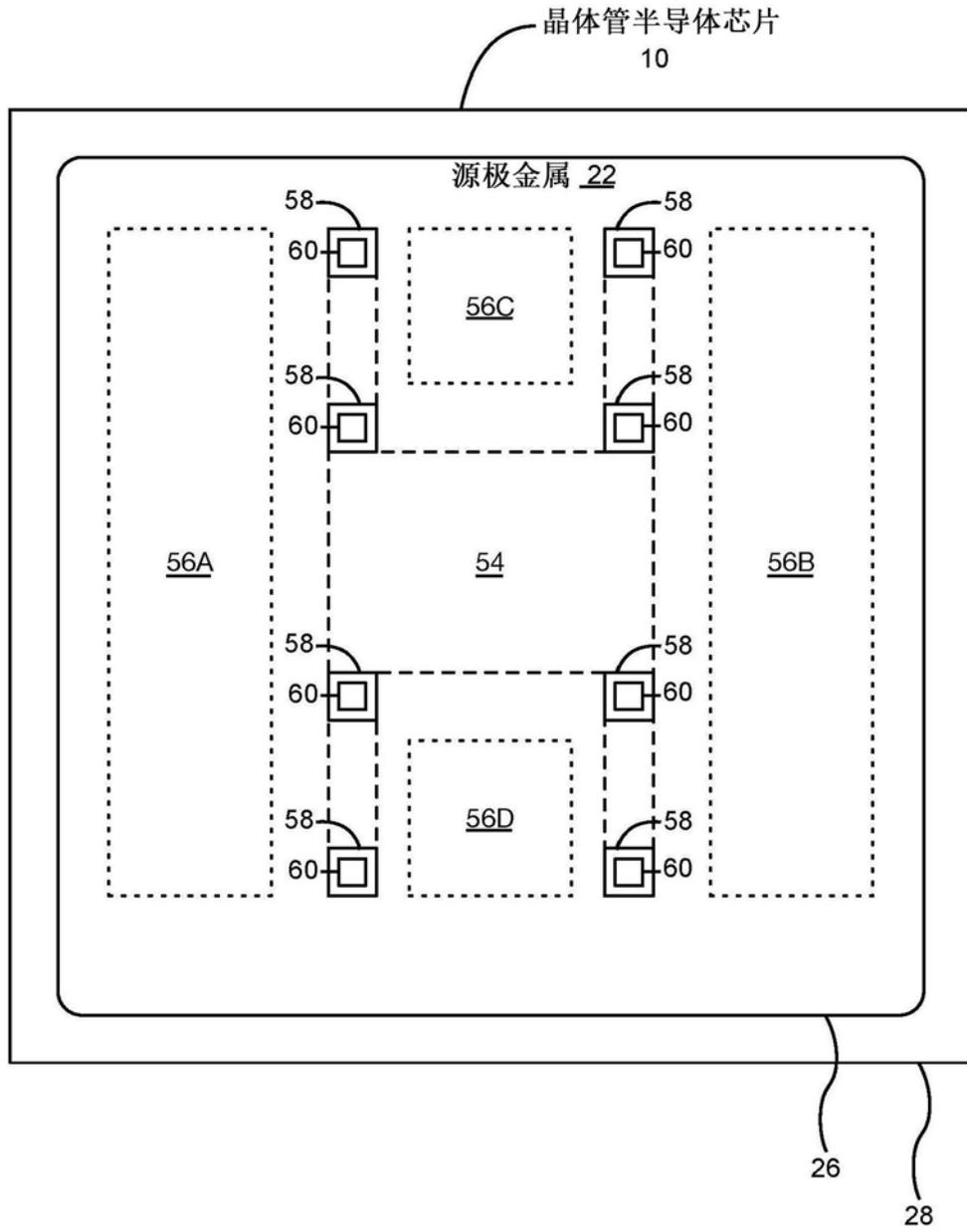


图11

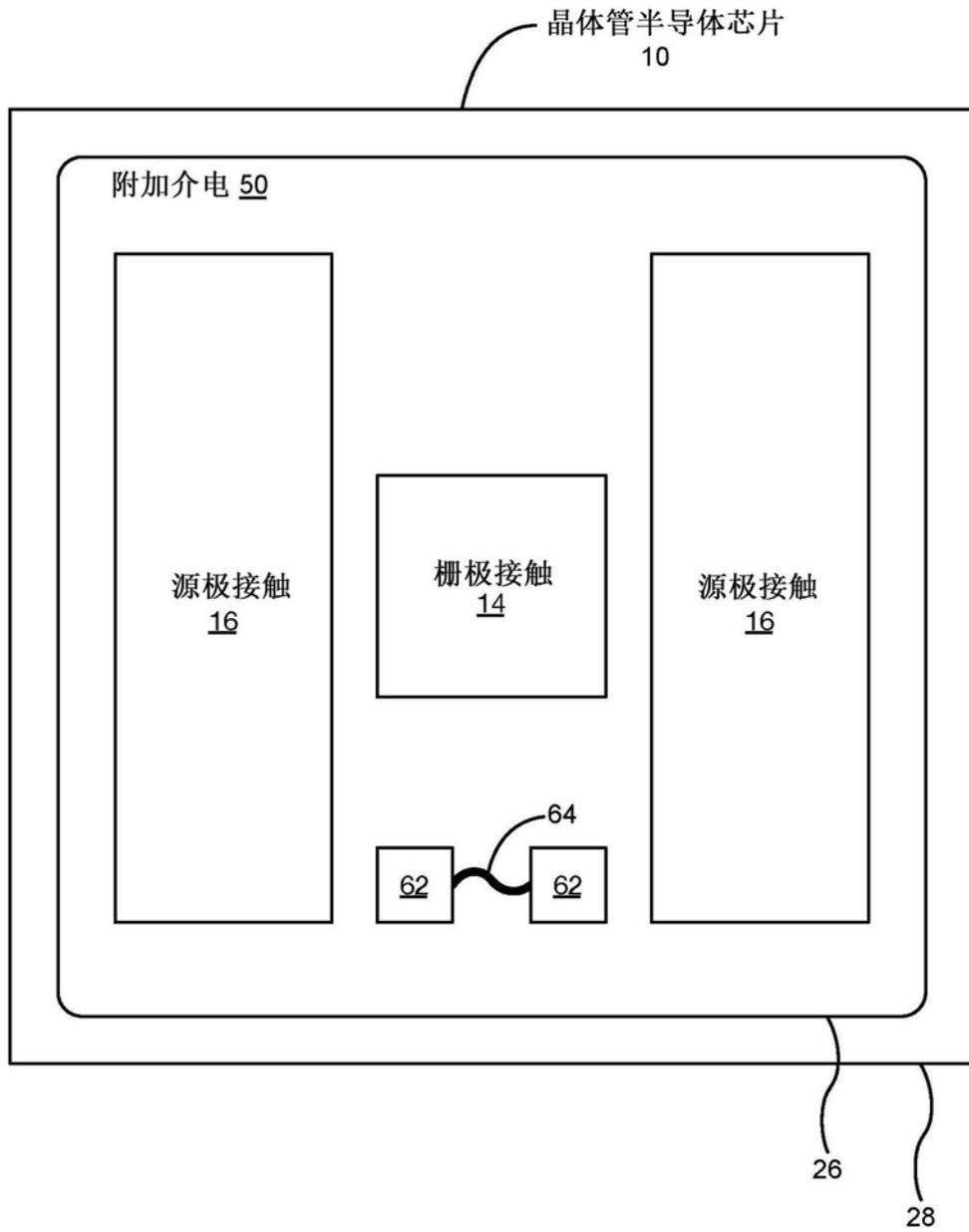


图12

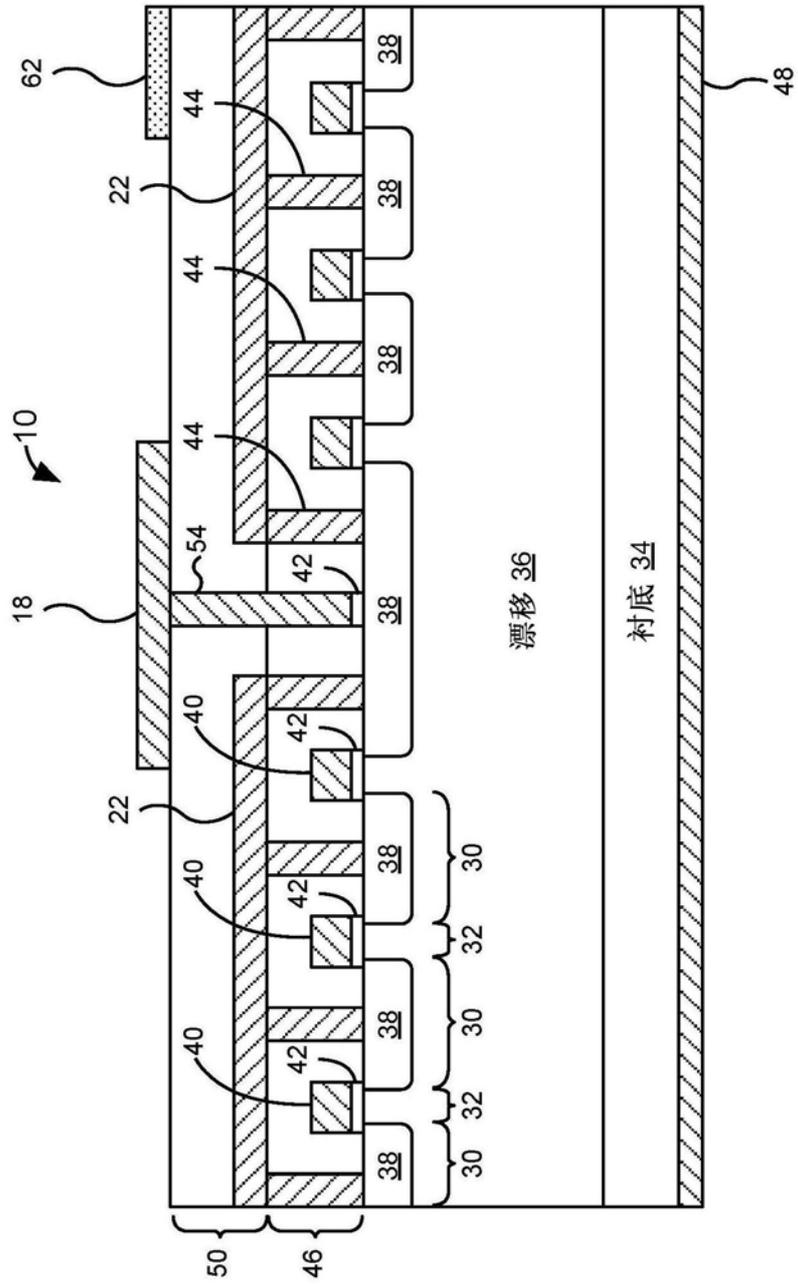


图13

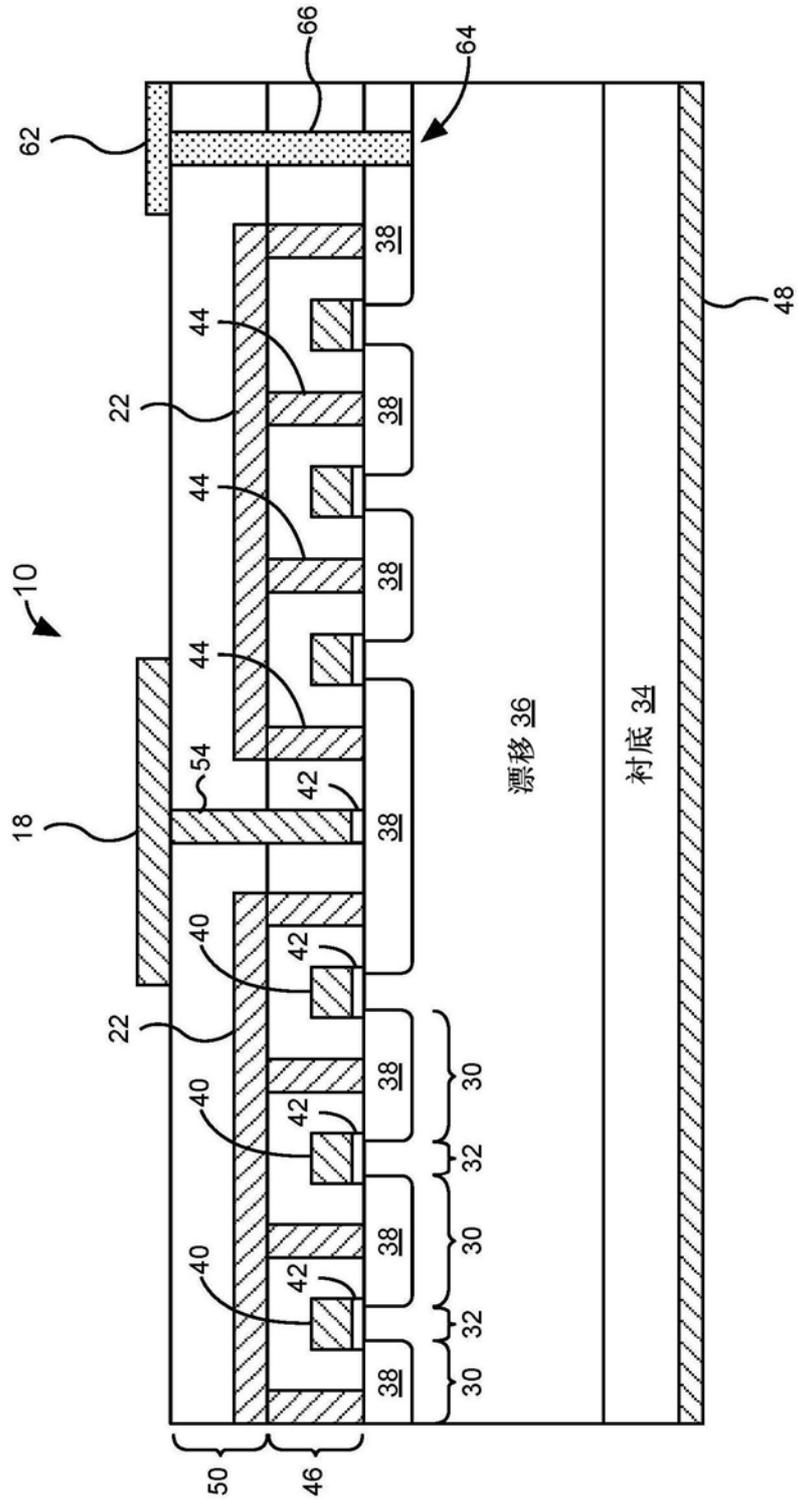


图14

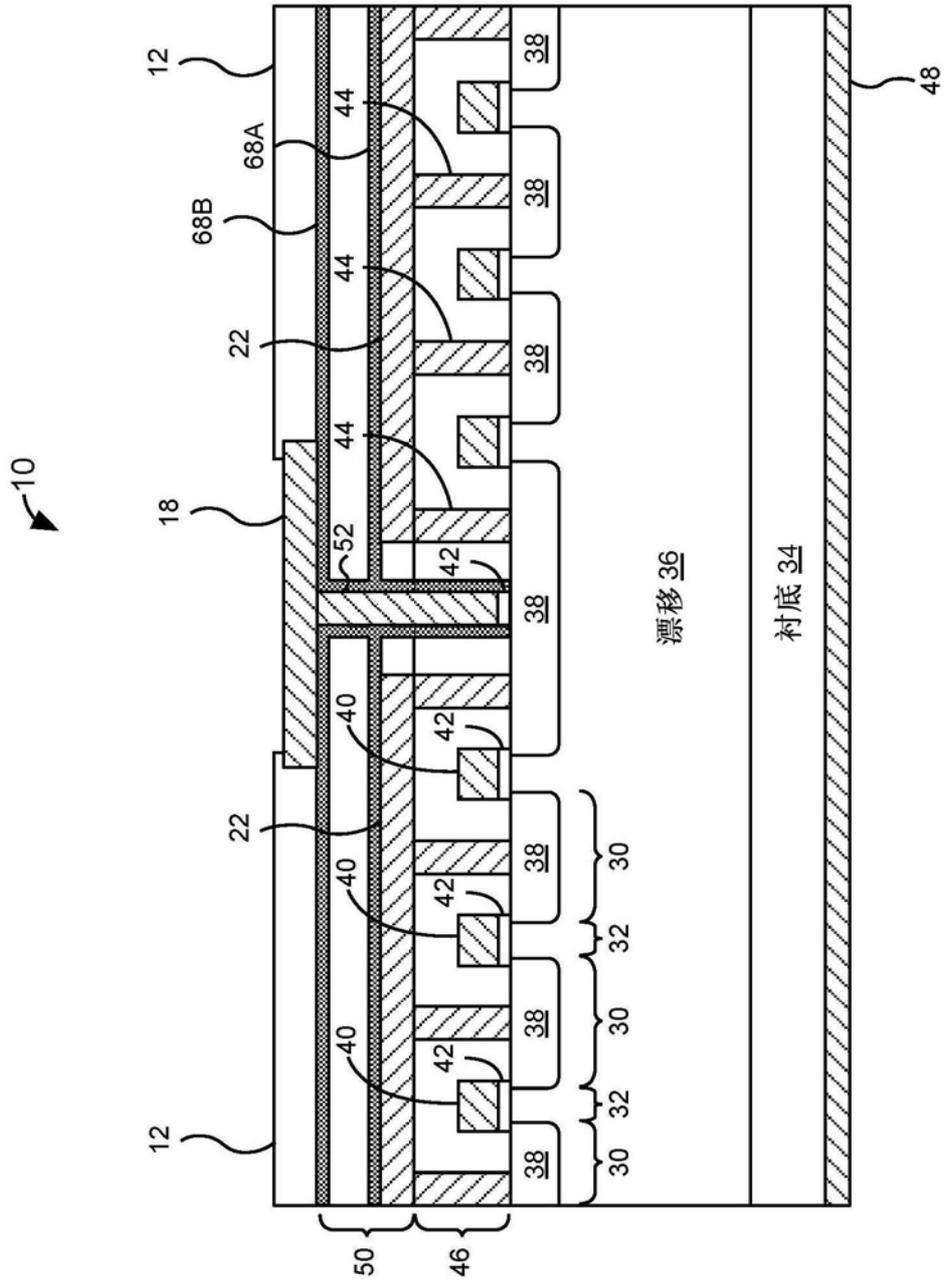


图15