(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3653107号
(P3653107)
(45)発行日　平成17年5月25日(2005.5.25)　(24)登録日　平成17年3月4日(2005.3.4)

(51)Int.Cl.[7]　F I
H01L 21/28　H01L 21/28　L

請求項の数 21　(全 24 頁)

(21)出願番号　特願平6-42240
(22)出願日　平成6年3月14日(1994.3.14)
(65)公開番号　特開平7-249593
(43)公開日　平成7年9月26日(1995.9.26)
審査請求日　平成13年3月9日(2001.3.9)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】半導体装置およびその製造方法

(57)【特許請求の範囲】

【請求項１】

半導体基板と、

前記半導体基板の上に設けられ、実質的に厚みが一定の本体領域と活性領域に向かって厚みが減少する傾斜領域とを有し、その端部が前記活性領域を取囲むことにより、前記活性領域を他の活性領域から分離する分離酸化膜と、

前記活性領域を覆うように前記半導体基板の上に設けられた層間絶縁膜と、

前記層間絶縁膜中に設けられるとともに、前記活性領域の表面の部分を抉るように設けられたコンタクトホールと、

前記活性領域の表面に電気的に接続されるように前記コンタクトホール内に埋込まれた導電体と、を備え、

前記分離酸化膜の前記端部は、前記半導体基板の表面に対して実質的に垂直な面を有し、

前記コンタクトホールはＭＯＳトランジスタのゲート電極を挟んで２箇所に設けられ、

それぞれの前記コンタクトホールにおいて、前記垂直な面は前記コンタクトホールの内壁面と連続している、半導体装置。

【請求項２】

前記分離酸化膜の前記端部は、ロコス酸化膜のバーズビークである、請求項１に記載の半導体装置。

【請求項３】

主表面を有する半導体基板と、
前記半導体基板の上に設けられ、実質的に厚みが一定の本体領域と活性領域に向かって厚みが減少する傾斜領域とを有し、前記傾斜領域の端部が前記活性領域を取囲み、前記活性領域を他の活性領域から分離する分離酸化膜と、
前記主表面の上で第１の方向に延びる第１のゲート電極と、前記第１の方向と交差する第２の方向に沿って位置する一対のソース／ドレイン領域とを有する第１のトランジスタと、
前記主表面の上で第１の方向に延び、かつ前記第１のゲート電極から離されてる形成された第２のゲート電極と、前記第１の方向と交差する第２の方向に沿って位置する一対のソース／ドレイン領域とを有する第２のトランジスタと、
前記第１のトランジスタおよび前記第２のトランジスタを覆う層間絶縁膜と、
前記層間絶縁膜の一部と前記傾斜領域の一部を除去し、前記第１のトランジスタの一対のソース／ドレイン領域の内の一方であって、前記活性領域において、前記第２のトランジスタが位置する側と反対側に位置する部分を抉るように形成された第１のコンタクトホールと、
前記層間絶縁膜の一部と前記傾斜領域の一部を除去し、前記第２のトランジスタの一対のソース／ドレイン領域の内の一方であって、前記活性領域において、前記第１のトランジスタが位置する側と反対側に位置する部分を抉るように形成された第２のコンタクトホールと、を備え、
前記第１および前記第２のコンタクトホールの形成によって露出した前記分離酸化膜のそれぞれの端面は前記半導体基板の主表面に対して垂直であり、
前記第１のコンタクトホールにおいて、前記垂直な面は前記第１のコンタクトホールの内壁面と連続し、前記第２のコンタクトホールにおいて、前記垂直な面は前記第２のコンタクトホールの内壁面と連続している、半導体装置。
【請求項４】
前記第１および第２トランジスタは、それぞれのソース／ドレインの他方を共有している、請求項３に記載の半導体装置。
【請求項５】
前記分離酸化膜の端部の垂直面は前記ソース／ドレイン領域の周辺に沿って連続的に形成されている、請求項３に記載の半導体装置。
【請求項６】
前記第１および第２コンタクトホールのそれぞれに、それぞれのソース／ドレインの一方と電気的に接触するように埋め込まれた導電体を備え、
前記導電体はキャパシタ素子のストレージノードであり、
前記第１および第２トランジスタは、それぞれのソース／ドレインの他方を共有している、請求項３に記載の半導体装置。
【請求項７】
前記分離酸化膜のうち、前記コンタクトホールが形成されている領域では、前記端部の前記垂直な面は前記本体領域にまで後退して形成されている、請求項１に記載の半導体装置。
【請求項８】
前記分離酸化膜はロコス酸化膜である、請求項７に記載の半導体装置。
【請求項９】
前記コンタクトホールはストレージノードコンタクトホールであり、
前記導電体は、キャパシタ素子のストレージノードである、請求項１または７に記載の半導体装置。
【請求項１０】
前記分離酸化膜の前記端部の前記垂直な面は、前記活性領域の周縁に沿って連続的に形成されている、請求項１または７に記載の半導体装置。
【請求項１１】

前記活性領域は、その平面形状において、１対の長辺と、該１対の長辺の端部を結ぶ円弧の辺とによって囲まれており、
前記分離酸化膜の前記端部の前記垂直な面は、前記円弧の辺を取囲むように設けられている、請求項７に記載の半導体装置。
【請求項１２】
前記活性領域は、その平面形状において、１対の長辺と、該１対の長辺の端部を結ぶ短辺によって囲まれており、
前記分離酸化膜の前記端部の前記垂直面は、前記活性領域の前記長辺の側にのみ形成される、請求項１に記載の半導体装置。
【請求項１３】
前記活性領域は、その平面形状において、１対の長辺と、該１対の長辺の端部を結ぶ短辺によって囲まれており、
前記分離酸化膜の前記端部の前記垂直面は、前記長辺側の前記傾斜領域を完全に削り取ることによって形成されている、請求項７に記載の半導体装置。
【請求項１４】
前記活性領域は、その平面形状において、１対の長辺と、該１対の長辺の端部を結ぶ短辺によって囲まれており、
前記分離酸化膜の前記端部の前記垂直面は、前記長辺側の前記傾斜領域を削り取らず、前記短辺側の傾斜領域を部分的に削り取ることによって形成されている、請求項１に記載の半導体装置。
【請求項１５】
前記活性領域は、その平面形状において、１対の長辺と、該１対の長辺の端部を結ぶ短辺によって囲まれており、
前記分離酸化膜の前記端部の前記垂直面は、前記長辺側の前記傾斜領域を削り取らず、前記短辺側の傾斜領域を完全に削り取ることによって形成されている、請求項７に記載の半導体装置。
【請求項１６】
半導体基板の表面中に、その端部で活性領域を取囲み、該活性領域を他の活性領域から分離するために、基板を酸化することによって実質的に厚みが一定の本体領域と前記活性領域に向かって厚みが減少する傾斜領域を有する分離酸化膜を形成する工程と、
前記活性領域の上にゲート電極を形成する工程と、
前記ゲート電極を覆うように前記半導体基板の上に層間絶縁膜を形成する工程と、
前記分離酸化膜の前記端部をエッチング除去するように前記層間絶縁膜と前記分離酸化膜を貫通するコンタクトホールを形成する工程と、を備えた、半導体装置の製造方法。
【請求項１７】
前記分離酸化膜はロコス酸化膜である、請求項１６に記載の半導体装置の製造方法。
【請求項１８】
半導体基板の表面中に、その端部で活性領域を取囲み、該活性領域を他の活性領域から分離するために、基板を酸化することによって実質的に厚みが一定の本体領域と前記活性領域に向かって厚みが減少する傾斜領域を有する分離酸化膜を形成する工程と、
前記活性領域の上にゲート電極を形成する工程と、
前記ゲート電極を覆うように前記半導体基板の上に層間絶縁膜を形成する工程と、
前記分離酸化膜の前記端部をエッチング除去するように前記層間絶縁膜と前記分離酸化膜を貫通するコンタクトホールを形成し、それによって、該コンタクトホールの底部において、半導体基板の表面を下方向に抉り取る工程と、
前記コンタクトホールを通じて、前記抉られた部分の下において下方向に突出するように延びる、不純物濃度の高い領域を形成する工程と、を備えた、半導体装置の製造方法。
【請求項１９】
前記不純物濃度の高い領域は、前記コンタクトホール内に埋め込まれた導電性材料から活性領域へ不純物を拡散させることによって形成される、請求項１８に記載の半導体装置

の製造方法。
【請求項２０】
前記コンタクトホールを通じて、ＤＲＡＭのストレージノードとトランジスタのソース／ドレイン領域が接触している、請求項１８に記載の半導体装置の製造方法。
【請求項２１】
前記不純物濃度の高い領域は、前記コンタクトホール内に埋め込まれた導電性材料から前記活性領域へ不純物を拡散させることによって形成される、請求項２０に記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
この発明は、一般に半導体装置に関するものであり、より特定的には、リーク電流を減少させることができるように改良された半導体装置に関する。
【０００２】
この発明は、さらに、そのような半導体装置の製造方法に関する。
【０００３】
【従来の技術】
図５２は、従来のダイナミックランダムアクセスメモリ（ＤＲＡＭ）のメモリアレイの回路図である。図５３は、従来のＤＲＡＭのアレイ動作の波形を示す図である。
【０００４】
これらの図を参照して、従来のＤＲＡＭのメモリセルアレイは、ワード線（ＷＬ）、ビット線（ＢＬ）と、ビット線分離（ＢＬＩ）と、センスドライブライン（ＳＮ）と、ビット線プリチャージ（ＶＢＬ）、リストアドライブライン（ＳＰ）と、メモリセルと、Ｎチャネル－センスアンプ（Ｎｃｈ－ＳＡ）、エコライザ、Ｐチャネル－リストアアンプ（Ｐｃｈ－ＲＡ）とを備える。
【０００５】
情報は、メモリセルに蓄積される。読出、書込を行なおうとする場所の指定は、ワード線の選択によって行なわれる。読出あるいは書込は、特定のビット線の選択によって行なわれる。
【０００６】
【発明が解決しようとする課題】
図５４は、従来のＤＲＡＭのメモリセルの断面図である。Ｐ型半導体基板１の表面中に、その端部２ａが活性領域３を取囲むことにより、該活性領域３を他の活性領域から分離するフィールド酸化膜２が設けられている。活性領域３の表面中には、不純物拡散層である活性層４が設けられている。活性領域３の上にはゲート電極（ワード線）５が設けられている。ゲート電極５を覆うように、半導体基板１の上に層間絶縁膜６が設けられている。層間絶縁膜６中には、活性層４の表面を露出させるためのコンタクトホール７が設けられている。コンタクトホール７内には、活性層４の表面に電気的に接続されるように、導電体であるストレージノード８が埋込まれている。ストレージノード８の表面を、誘電体膜９が被覆している。誘電体膜９をその間に介在させて、ストレージノード８を被覆するようにセルプレート電極１０が設けられている。活性層１１には、ビット線１２が接続されている。
【０００７】
ＤＲＡＭのメモリセルにおいては、ストレージノード８とセルプレート１０に挟まれる誘電体膜９に電荷を蓄積することによって、情報が保持される。
【０００８】
ところで、この蓄積電荷は、時間の経過とともにリークして、減少する。減少の度合が大きくなると、正確な情報が読出せなくなり、誤動作を起こしてしまう。
【０００９】
リーク電流の原因の多くは、半導体基板１中の欠陥に起因する。

このリーク電流について、さらに詳細に説明する。

【００１０】

図５５は、ＤＲＡＭのレイアウト図である。図５５中、輪郭１３は、活性領域を形成するマスクの端部を表わしている。これについて、さらに詳細に説明する。

【００１１】

すなわち、図５７（ａ）を参照して、半導体基板の上に活性領域３を形成するために、活性領域３の上にシリコン窒化膜で形成されたマスク１４を形成する。

【００１２】

図５７（ｂ）を参照して、マスク１４を用いて、半導体基板１の表面を熱酸化して、フィールド酸化膜２を形成する。このとき、フィールド酸化膜２の端部は、マスク１４の下に潜込み、バーズビーク部分２２が形成される。

【００１３】

図５７（ｃ）を参照して、マスク１４を除去すると、膜厚がほぼ一定にされた本体領域１６と、活性領域３に向かう方向に膜厚が順次減少するバーズビーク領域１５とに区分されたフィールド酸化膜２が形成される。

【００１４】

図５５において、輪郭１３は、上述のマスク１４の端部１３を表わしている。言い換えると、図５５と図５７（ｃ）を参照して、輪郭１３は、本体領域１６とバーズビーク領域１５との境界線を表わしている。

【００１５】

図５５中、輪郭１７は、ストレージノードコンタクトホールを形成するための、レジストマスクの開口部を表わしている。これについて、さらに詳細に説明する。すなわち、図５８（ａ）を参照して、層間絶縁膜６中にコンタクトホールを形成するために、層間絶縁膜６の上に所定の開口部１７を有するレジストマスク１８を形成する。図５８（ｂ）を参照して、レジストマスク１８を用いて、層間絶縁膜６をエッチングし、コンタクトホール７を形成する。輪郭１７は、上述の開口部１７の端部を表わしている。

【００１６】

図５６は、図５５におけるＡ－Ａ線方向と同一方向に沿って切ったメモリセルの断面図である。半導体基板１の表面中にフィールド酸化膜２が形成されている。活性領域３の表面中には、活性層４が形成されている。活性層４を覆うように、半導体基板１の上に層間絶縁膜６が形成されている。層間絶縁膜６中に、活性層４の表面を露出させるためのコンタクトホール７が形成されている。コンタクトホール７中に、ストレージノード８が埋込まれている。活性層４から、空乏層２０が延びている。

【００１７】

さて、上述したように、リーク電流の原因の多くは、半導体基板１中の欠陥２１に起因する。フィールド酸化膜２を半導体基板１の表面中に形成する際、図５７（ｂ）を参照して、バーズビーク部分２２の直下にストレスが多くかかるため、バーズビーク部分２２と半導体基板１との境界付近で多数の欠陥２１が形成される。この欠陥２１に、半導体装置製造のプロセス中において生じた、金属イオンがトラップされる。図５６を参照して、この欠陥２１に活性層４から延びる空乏層２０が接触すると、通常のＰＮ接合の逆方向リーク電流以外のリーク電流成分が加わり、ひいては、メモリセル中の蓄積電荷を急速に減少させる。これが従来のＤＲＡＭの問題点である。

【００１８】

それゆえに、この発明の目的は、リーク電流を抑制することができるように改良された半導体装置を提供することにある。

【００１９】

この発明の他の目的は、基板中の欠陥に起因するリーク電流を抑制することができるように改良された半導体装置を提供することにある。

【００２０】

この発明のさらに他の目的は、情報の保持時間を増大させることができるように改良され

たダイナミックランダムアクセスメモリを提供することにある。
【００２１】
この発明のさらに他の目的は、メモリセル中の蓄積電荷を減少させないように改良されたダイナミックランダムアクセスメモリを提供することにある。
【００２２】
この発明のさらに他の目的は、上述した半導体装置の製造方法を提供することにある。
【００２３】
【課題を解決するための手段】
この発明の第１の局面に従う半導体装置は、半導体基板を備える。上記半導体基板の上に、その端部が活性領域を取囲むことにより、該活性領域を他の活性領域から分離するフィールド酸化膜が設けられている。上記活性領域を覆うように上記半導体基板の上に層間絶縁膜が設けられている。上記層間絶縁膜中に、上記活性領域の表面の一部を露出させるためのコンタクトホールが設けられている。上記活性領域の表面に電気的に接続されるように、上記コンタクトホール内に導電体が埋め込まれている。上記フィールド酸化膜の上記端部は、上記半導体基板の表面に対して垂直又は垂直に近い面を有している。
【００２４】
この発明の第２の局面に従う半導体装置は、半導体基板を備える。上記半導体基板の上に、その端部で活性領域を取囲み、該活性領域を他の活性領域から分離するためのフィールド酸化膜が設けられている。上記活性領域の表面中に活性層が設けられている。上記活性領域を覆うように上記半導体基板の上に層間絶縁膜が設けられている。上記層間絶縁膜中に、上記活性層の表面を露出させるためのコンタクトホールが設けられている。上記活性層に接触するように、上記コンタクトホール内に導電体が埋込まれている。上記活性層は、上記フィールド酸化膜の上記端部と接触しないように、上記フィールド酸化膜の上記端部から離されて形成されている。
【００２５】
この発明の第３の局面に従う半導体装置は、半導体基板を備える。上記半導体基板の表面中であって、活性領域以外の部分に、凹部が設けられている。上記凹部内に、上記活性領域を他の活性領域から分離するための、化学気相成長法によって形成された絶縁膜が埋込まれている。上記活性領域の上にゲート電極が設けられている。上記ゲート電極を覆うように、上記半導体基板の上に層間絶縁膜が設けられている。上記層間絶縁膜中に、上記活性領域の表面の一部を露出させるためのコンタクトホールが設けられている。上記コンタクトホール中に埋込まれるように、上記半導体基板の上に導電体が設けられている。
【００２６】
この発明の第４の局面に従う半導体装置の製造方法においては、まず、半導体基板の表面中に、その端部で活性領域を取囲み、該活性領域を他の活性領域から分離するためのフィールド酸化膜を形成する。上記活性領域の上にゲート電極を形成する。上記ゲート電極を覆うように、上記半導体基板の上に層間絶縁膜を形成する。上記層間絶縁膜を選択的にエッチングし、それによって、上記層間絶縁膜中に、上記活性領域の表面の一部を露出させるためのコンタクトホールを形成し、かつ、これと同時に、上記フィールド酸化膜の上記端部をエッチング除去する。上記コンタクトホール中に、上記活性領域に接続されるように導電体を埋込む。
【００２７】
この発明の第５の局面に従う半導体装置の製造方法においては、まず、半導体基板の表面中に、その端部で活性領域を取囲み、該活性領域を他の活性領域から分離するためのフィールド酸化膜を形成する。上記フィールド酸化膜の前記端部をエッチング除去する。上記半導体基板の上にゲート絶縁膜のもとになる酸化膜と、ゲート電極のもとになる導電体層を順次形成する。上記酸化膜と上記導電体層をパターニングし、それによって、ゲート絶縁膜とゲート電極とを形成する。上記ゲート電極を覆うように上記半導体基板の上に層間絶縁膜を形成する。上記層間絶縁膜中に上記活性領域の表面を露出させるためのコンタクトホールを形成する。上記コンタクトホール中に、上記活性領域の表面に接触するように

導電体を埋込む。
【００２８】
この発明の第６の局面に従う半導体装置の製造方法においては、まず、半導体基板の表面中であって、活性領域以外の部分に凹部を形成する。上記凹部内に絶縁膜を埋込む。上記活性領域の上にゲート電極を形成する。上記ゲート電極を覆うように上記半導体基板の上に層間絶縁膜を形成する。上記層間絶縁膜中に上記活性領域の表面の一部を露出させるためのコンタクトホールを形成する。上記コンタクトホール中に、上記活性領域の表面に電気的接続される導電体を埋込む。
【００２９】
【作用】
この発明の第１の局面に従う半導体装置によれば、フィールド酸化膜の端部が、半導体基板の表面に対して垂直又は垂直に近い面を有している。このような構造は、フィールド酸化膜の端部を、半導体基板の表面に対して垂直な方向からエッチング除去することによって得られる。このエッチングにより、フィールド酸化膜の端部が除去されると同時に、フィールド酸化膜の端部の直下に存在していた欠陥の多くが除去される。
【００３０】
この発明の第２の局面に従う半導体装置によれば、活性層が、フィールド酸化膜の端部と接触しないように、フィールド酸化膜の端部から離されて形成されているので、活性層はフィールド酸化膜の端部の直下に存在している欠陥と接触しない。
【００３１】
この発明の第３の局面に従う半導体装置によれば、活性領域を他の活性領域から分離するための絶縁膜を、化学気相成長法により形成しているので、基板に対して与えられるストレスが少なくなるため、絶縁膜の直下には欠陥が生じない。
【００３２】
この発明の第４の局面に従う半導体装置の製造方法によれば、層間絶縁膜中にコンタクトホールを形成するときに、フィールド酸化膜の端部も同時にエッチング除去する。フィールド酸化膜の端部のエッチング除去時に、該フィールド酸化膜の端部の直下に存在していた欠陥の多くが除去される。
【００３３】
この発明の第５の局面に従う半導体装置の製造方法によれば、フィールド酸化膜の端部をエッチング除去するときに、フィールド酸化膜の端部の直下に存在していた欠陥の多くが同時に除去される。
【００３４】
この発明の第６の局面に従う半導体装置の製造方法によれば、活性領域以外の部分に凹部を形成し、この凹部内に絶縁膜を埋込む。活性領域は、凹部内に埋込まれた絶縁膜によって、他の活性領域から分離される。絶縁膜を凹部内に埋込むとき、半導体基板にはストレスが与えられないため、絶縁膜の下には欠陥は生じない。
【００３５】
【実施例】
以下、この発明の実施例を図について説明する。
【００３６】
実施例１
図１は、この発明の一実施例に係る半導体装置の断面図である。
【００３７】
当該半導体装置は、Ｐ型半導体基板１を備える。半導体基板１は、たとえばシリコン半導体基板である。半導体基板１の表面中には、その端部が活性領域３を取囲むことにより、該活性領域３を他の活性領域から分離するフィールド酸化膜２が設けられている。活性領域３の表面には活性層４が設けられている。活性層４から空乏層２０が広がっている。活性層４を覆うように、半導体基板１の上に層間絶縁膜６が設けられている。層間絶縁膜６中に、活性層４の表面を露出させるためのコンタクトホール７が設けられている。活性層

４の表面に電気的に接続されるようにコンタクトホール７内に、ダイナミックランダムアクセスメモリのストレージノード８が埋込まれている。本実施例において、フィールド酸化膜２の端部は、半導体基板１の表面に対して垂直な面２ｅを有している。フィールド酸化膜２の端部の垂直な面２ｅは、後述するように、フィールド酸化膜２の端部を、半導体基板１の表面に対して垂直な方向からエッチング除去することによって得られる。このエッチングにより、フィールド酸化膜２の端部の直下に存在していた欠陥２１の多くが除去される。したがって、リーク電流を増大させる欠陥の数が減少するため、リーク電流が少なくなり、ひいては、情報の保持時間が増大したダイナミックランダムアクセスメモリが得られる。

【００３８】

実施例２

図２は、実施例２に係る半導体装置の断面図である。実施例２は、以下の点を除いて、実施例１と同様であるので、同一または相当する部分には同一の参照番号を付し、その説明を繰返さない。フィールド酸化膜２は、一般に、膜厚がほぼ一定にされた本体領域１６と、活性領域３に向かう方向に膜厚が順次減少するバーズビーク領域１５に区分される。本実施例では、フィールド酸化膜の端部の垂直面２ｅは、本体領域１６内にまで後退して形成されている。このような構造は、図２と図５７と図５８を参照して、コンタクトホール７を形成するとき、マスク１４の端部１３の位置まで層間絶縁膜６をエッチングすることによって形成される。フィールド酸化膜２を、マスク１４の端部の位置まで削ることによって、同時に、フィールド酸化膜の端部の直下に存在していた欠陥の多くが取除かれる。したがって、リーク電流を増大させる欠陥の数が減少するため、リーク電流が少なくなり、ひいては、情報の保持時間が増大したダイナミックランダムアクセスメモリが得られる。

【００３９】

なお、上記垂直な面２ｅは、完全に垂直でなくても良く、若干の傾斜を有する場合、すなわち、垂直に近い面を含む。エッチング手法によっては、若干の傾斜を有することがあるからである。

【００４０】

実施例３

図３は、実施例３に係る半導体装置の断面図である。

【００４１】

実施例３は、以下の点を除いて、実施例２と同様であるので、同一または相当する部分には、同一の参照番号を付し、その説明を繰返さない。

【００４２】

実施例３においても、実施例２と同様に、フィールド酸化膜２の端部の垂直面２ｅは、フィールド酸化膜２の本体領域１６内にまで後退して形成されている。

【００４３】

実施例２では、コンタクトホールの径を拡大することによって、同様の構造を得た。しかし実施例３では、図５７と図５８を参照して、マスク１４の領域を、コンタクトホール７の領域よりも小さくすることによって、このような構造を得ている。実施例３においても、酸化膜のエッチングと同時に欠陥のほとんどが取除かれる。したがって、リーク電流を増大させる欠陥の数を減少させられるため、情報の保持時間を増大させることができる。

【００４４】

実施例４

図４は、実施例４に係る半導体装置のレイアウト図である。図中、輪郭１３は、図５７のマスク１４の端部１３を表わしている。輪郭１７は、図５８を参照して、レジスト１８の開口部１７を表わしている。輪郭２３は、図４と図５７（ｃ）を参照して、活性領域３の輪郭を表わしている。

【００４５】

図４と図５７（ｃ）を参照して、フィールド酸化膜２は、膜厚がほぼ一定にされた本体領

域１６と、活性領域３に向かう方向に膜厚が順次減少するバーズビーク領域１５とに区分される。実施例４では、フィールド酸化膜２の端部の垂直面２ｅは、バーズビーク領域１５内にまで後退して形成されている。フィールド酸化膜２の端部の垂直面２ｅは、活性領域３の周囲に沿って連続的に形成されている。このような構造は、フィールド酸化膜２の端部を、活性領域３の周囲に沿って、半導体基板の表面に対して垂直な方向からエッチングすることによって形成される。このエッチングによって、リーク電流を増大させる欠陥の数を減少させられるため、情報の保持時間を増大させることができる。

【００４６】

実施例５

図５は、実施例５に係る半導体装置のレイアウト図である。実施例５に係る半導体装置は、以下の点を除いて、実施例４に係る半導体装置と同様であるので、同一または相当する部分には、同一の参照番号を付し、その説明は繰返さない。

【００４７】

実施例５では、フィールド酸化膜２の端部の垂直面２ｅは、フィールド酸化膜２の本体領域１６内にまで後退して形成されている。本実施例においても、フィールド酸化膜２の端部の垂直面２ｅは、活性領域３の周囲に沿って連続的に形成されている。フィールド酸化膜２の端部をエッチング除去すると同時に、欠陥のほとんどが除去される。したがって、リーク電流を増大させる欠陥の数を減少させられるため、情報の保持時間を増大させることができる。

【００４８】

実施例６

図６は、実施例６に係る半導体装置のレイアウト図である。実施例６に係る半導体装置は、以下の点を除いて、実施例５に係る半導体装置と同様であるので、同一または相当する部分には同一の参照番号を付し、その説明を繰返さない。

【００４９】

通常、活性領域３は、その平面形状において、図のように、１対の長辺２５，２５と、該１対の長辺２５，２５の端部を結ぶ円弧の辺２６とによって囲まれる。本実施例においては、図６と図５８を参照して、レジストマスク１８の開口部１７は、円弧の辺２６がその中に含まれるように形成される。このようなレジストマスク１８を用いてフィールド酸化膜の端部をエッチングすると、フィールド酸化膜２の端部の垂直面２ｅは、円弧の辺２６を取囲むように形成される。フィールド酸化膜２の端部のエッチングと同時に、端部の直下に存在していた欠陥の多くも取除かれる。したがって、リーク電流を増大させる欠陥の数を減少させられるため、情報の保持時間を増大させることができる。

【００５０】

実施例７

図７は、実施例７に係る半導体装置のレイアウト図である。実施例７に係る半導体装置は、以下の点を除いて、実施例４に係る半導体装置と同様であるので、同一または相当する部分には同一の参照番号を付し、その説明を繰返さない。

【００５１】

図７を参照して、活性領域３は、その平面形状において、１対の長辺２５，２５と、該１対の長辺２５，２５の端部を結ぶ短辺２７によって囲まれている。フィールド酸化膜２の端部の垂直面２ｅは、活性領域３の長辺２５の側にのみ形成されている。また、フィールド酸化膜２の端部の垂直面２ｅは、バーズビーク領域１５内にまで後退して形成されている。フィールド酸化膜２の端部の垂直面２ｅを形成するための、フィールド酸化膜２の端部のエッチングと同時に、フィールド酸化膜の端部の直下に存在していた欠陥のほとんどが取除かれる。したがって、リーク電流を増大させる欠陥の数を減少させられるため、情報の保持時間を増大させることができる。

【００５２】

実施例８

図８は、実施例８に係る半導体装置のレイアウト図である。実施例８に係る半導体装置は

、以下の点を除いて、実施例７に係る半導体装置と同様であるので、同一または相当する部分には同一の参照番号を付し、その説明を繰返さない。

【００５３】

フィールド酸化膜２の端部の垂直面２ｅは、活性領域３の長辺２５，２５の側にのみ形成されている。またフィールド酸化膜２の端部の垂直面２ｅは、フィールド酸化膜２の本体領域１６内にまで後退して形成されている。フィールド酸化膜２の端部の垂直面２ｅを形成するための、フィールド酸化膜の端部のエッチングと同時に、フィールド酸化膜の端部の直下に存在していた欠陥の多くが取除かれる。したがって、リーク電流を増大させる欠陥の数を減少させられるため、情報の保持時間を増大させることができる。

【００５４】

実施例９

図９は、実施例９に係る半導体装置のレイアウト図である。実施例９に係る半導体装置は、以下の点を除いて、実施例７に係る半導体装置と同様であるので、同一または相当する部分には同一の参照番号を付し、その説明を繰返さない。

【００５５】

活性領域３は、その平面形状において１対の長辺２５，２５と、該１対の長辺２５，２５の端部を結ぶ短辺２７によって囲まれている。フィールド酸化膜２の端部の垂直面ｅは、活性領域３の短辺２７側にのみ形成されている。また、フィールド酸化膜２の端部の垂直面２ｅは、フィールド酸化膜のバーズビーク領域１５内にまで後退して形成されている。フィールド酸化膜２の端部の垂直面２ｅを形成するための、フィールド酸化膜の端部のエッチングと同時に、フィールド酸化膜の端部の直下に存在していた欠陥の多くも取除かれる。したがって、リーク電流を増大させる欠陥の数を減少させられるため、情報の保持時間を増大させることができる。

【００５６】

実施例１０

図１０は、実施例１０に係る半導体装置のレイアウト図である。実施例１０に係る半導体装置は、以下の点を除いて、実施例９に係る半導体装置と同様であるので、同一または相当する部分には同一の参照番号を付し、その説明を繰返さない。

【００５７】

実施例１０においては、フィールド酸化膜２の端部の垂直面２ｅは、活性領域３の短辺２７側にのみ形成されている。フィールド酸化膜２の端部の垂直面２ｅは、フィールド酸化膜２の本体領域１６内にまで後退して形成されている。フィールド酸化膜２の端部の垂直面２ｅの形成時に、フィールド酸化膜２の端部の直下に存在していた欠陥の多くが同時に除去される。

【００５８】

実施例１１

図１１は、実施例１１に係る半導体装置のレイアウト図である。実施例１１に係る半導体装置は、次の点を除いて、実施例４に係る半導体装置と同様であるので、同一または相当する部分には同一の参照番号を付し、その説明を繰返さない。

【００５９】

本実施例では、図１１と図５７を参照して、活性領域３を形成するためのマスク１４を、実施例４に比べて小さくしている点である。すなわち、輪郭１３が、実施例４の場合と比べて小さい。このような実施例でも、実施例４に係る半導体装置と同様の効果を奏する。

【００６０】

実施例１２

図１２は、実施例１２に係る半導体装置のレイアウト図である。実施例１２に係る半導体装置は、実施例５に係る半導体装置と次の点を除いて同一であるので、同一または相当する部分には同一の参照番号を付し、その説明を繰返さない。

【００６１】

実施例１２の半導体装置においては、活性領域３の大きさが、実施例５に係る装置に比べ

て小さくされている点である。このような構成であっても、実施例５と同様の効果を奏する。

【００６２】

実施例１３

図１３は、実施例１３に係る半導体装置のレイアウト図である。実施例１３に係る半導体装置は、次の点を除いて、実施例７に係る半導体装置と同一であるので、同一または相当する部分には同一の参照番号を付し、その説明を繰返さない。

【００６３】

実施例１３に係る半導体装置が実施例７に係る半導体装置と異なる点は、活性領域３の短辺２７を、小さくしている点である。このような実施例でも実施例７に係る半導体装置と同様の効果を奏する。

【００６４】

実施例１４

図１４は、実施例１４に係る半導体装置のレイアウト図である。実施例１４に係る半導体装置は、次の点を除いて、実施例８に係る半導体装置と同様であるので、同一または相当する部分には同一の参照番号を付し、その説明を繰返さない。

【００６５】

実施例１４に係る装置においては、活性領域３の短辺２７が、実施例８に比べて、縮小されている。このような実施例であっても、実施例８に係る半導体装置と同様の効果を奏する。

【００６６】

実施例１５

図１５は、実施例１５に係る半導体装置のレイアウト図である。実施例１５に係る半導体装置は、次の点を除いて、実施例９に係る半導体装置と同様であるので、同一または相当する部分には同一の参照番号を付し、その説明を繰返さない。

【００６７】

実施例１５に係る半導体装置が実施例９に係る半導体装置と異なる点は、活性領域３の長辺２５の長さが縮小されている点である。このような実施例であっても、実施例９に係る半導体装置と同様の効果を奏する。

【００６８】

実施例１６

図１６は、実施例１６に係る半導体装置のレイアウト図である。実施例１６に係る半導体装置は、次の点を除いて、実施例１０に係る半導体装置と同様であるので、同一または相当する部分には同一の参照番号を付し、その説明を繰返さない。

【００６９】

実施例１６に係る半導体装置においては、実施例１０に係る半導体装置に比べて、活性領域３の長辺２５を縮小している。このような実施例であっても、実施例１０に係る半導体装置と同様の効果を奏する。

【００７０】

実施例１７

図１７は、実施例１７に係る半導体装置のレイアウト図である。本実施例においては、活性領域３が非常に小さくされている。活性領域３の端部は三角形である。フィールド酸化膜２の端部の垂直面２ｅは、活性領域３を囲んでいる。垂直面２ｅを形成するために、フィールド酸化膜２の端部をエッチング除去する。フィールド酸化膜２の端部のエッチングと同時に、フィールド酸化膜の端部の直下に存在していた欠陥の多くも除去される。したがって、リーク電流を増大させる欠陥の数を減少させられるため、情報の保持時間を増大させることができる。

【００７１】

実施例１８

図１８は、実施例１８に係る半導体装置の断面図である。実施例１８に係る半導体装置は

、半導体基板１を備える。半導体基板１の上に、その端部で活性領域３を取囲み、該活性領域３を他の活性領域から分離するためのフィールド酸化膜２が設けられている。活性領域３の表面中に、活性層４が設けられている。活性層４を覆うように半導体基板１の上に層間絶縁膜６が設けられている。層間絶縁膜６中に活性層４の表面を露出させるためのコンタクトホール７が設けられている。活性層４に接触するように、コンタクトホール７内にストレージノード８が埋込まれている。活性層４は、フィールド酸化膜２の端部と接触しないように、フィールド酸化膜２の端部から離されて形成されている。本実施例によれば、フィールド酸化膜２の端部に欠陥２１が存在しても、活性層４が欠陥２１から離されて形成されているので、リーク電流は生じない。ひいては情報の保持時間を増大させることができる。

【００７２】

実施例１９

図１９は、実施例１９に係る半導体装置の断面図である。当該半導体装置は、半導体基板１を備える。半導体基板１の表面中であって、活性領域３以外の部分に凹部２８が設けられている。凹部２８内に、活性領域３を他の活性領域から分離するための、化学気相成長法によって形成された絶縁膜２９が埋込まれている。活性領域３の上にゲート電極５が設けられている。活性領域３の表面中であって、ゲート電極５の両側に活性層４が設けられている。ゲート電極５を覆うように、半導体基板１の上に層間絶縁膜６が設けられている。層間絶縁膜６中に、活性層４の表面を露出させるためのコンタクトホール７が設けられている。活性層４に接続されるように、コンタクトホール７内にストレージノード８が埋込まれている。本実施例によれば、絶縁膜２９は、化学気相成長法によって形成されるので、絶縁膜２９の直下には欠陥は生じない。したがって、リーク電流は発生せず、ひいては情報の保持時間を増大させることができる。

【００７３】

実施例２０

図２０～図２８は、本実施例２０に係る半導体装置の製造方法の順序の各工程における半導体装置の断面図である。

【００７４】

図２０を参照して、シリコン基板等の半導体基板１の上であって、活性領域となる部分の上に窒化膜３０を形成する。

【００７５】

図２１を参照して、窒化膜３０をマスクにして、シリコン基板１の表面を熱酸化することによって、フィールド酸化膜２を形成する。このとき、フィールド酸化膜２は、窒化膜３０の端部３０ｅを超えて、活性領域側にはみ出るように形成される。以下、はみ出した部分をバーズビーク部分２２という。バーズビーク部分２２の直下には、多くの欠陥２１が形成される。図２１と図２２を参照して、窒化膜３０を除去する。

【００７６】

図２３を参照して、シリコン基板１の上にゲート絶縁膜のもとになる酸化膜３１と、ゲート電極のもとになる導電体層３２を形成する。酸化膜３１と導電体層３２をパターニングし、それによって、ゲート絶縁膜３３とゲート電極５を形成する。活性領域の表面に活性層３４を形成する。

【００７７】

図２５を参照して、ゲート電極５を覆うように、シリコン基板１の上に層間絶縁膜６を堆積する。

【００７８】

図２６を参照して、層間絶縁膜６中に、活性領域の表面の一部を露出させるためのコンタクトホール７を形成する。コンタクトホール７の形成と同時に、フィールド酸化膜２の端部をエッチング除去する。このとき、フィールド酸化膜２の端部の垂直面２ｅが形成される。このとき、フィールド酸化膜の端部の直下に存在していた欠陥２１も除去される。コンタクトホール７から不純物イオンを活性領域の表面に注入することによって、活性層４

を形成する。コンタクトホール７中に、活性層４の表面に接触するように、ストレージノード８を埋込む。ストレージノード８の表面を誘電体膜９で被覆する。誘電体膜９を介在させて、ストレージノード８の上にセルプレート電極１０を形成する。セルプレート電極１０を覆うように、シリコン基板１の上に層間絶縁膜３５を形成する。層間絶縁膜３５および層間絶縁膜６中に、活性層３４の表面を露出させるためのコンタクトホール３６を形成する。コンタクトホール３６内に、活性層３４に接続されるビット線３７を埋込む。

【００７９】

実施例２１

図２９～図３７は、実施例２１に係る半導体装置の製造方法の順序の各工程における半導体装置の断面図である。

【００８０】

図２９を参照して、シリコン基板１の上であって、活性領域３となる部分の上に窒化膜３０を形成する。

【００８１】

図３０を参照して、窒化膜３０をマスクにして、シリコン基板１の表面を熱酸化することによって、フィールド酸化膜２を形成する。このとき、フィールド酸化膜２は、窒化膜３０の端部３０ｅを超えて、活性領域３側にはみ出るように形成される。バーズビーク部分２２の直下には、多くの欠陥２１が形成される。

【００８２】

図３０と図３１を参照して、窒化膜３０を除去する。

図３２を参照して、シリコン基板１の上に平坦化のための層間絶縁膜３８を形成する。活性領域３とフィールド酸化膜２のバーズビーク部分２２以外の部分をレジストマスク１８で覆う。

【００８３】

図３３を参照して、レジストマスク１８を用いて、層間絶縁膜３０と、フィールド酸化膜２のバーズビーク部分２２をエッチング除去する。このとき、フィールド酸化膜２のバーズビーク部分２２の直下に形成されていた欠陥２１が除去される。

【００８４】

図３３と図３４を参照して、レジストマスク１８を除去する。

図３５を参照して、シリコン基板１の上に、ゲート絶縁膜のもとになる酸化膜３１と、ゲート電極のもとになる導電体層３２を形成する。酸化膜３１と導電体層３２をパターニングし、それによってゲート絶縁膜３３とゲート電極５を形成する。酸化膜３１と導電体層３２のパターニングのためのエッチングによって、活性領域３の表面中の欠陥が、さらに除去される。

【００８５】

ゲート電極５を覆うように、シリコン基板１の上に層間絶縁膜６を形成する。層間絶縁膜６中にコンタクトホール７を形成する。コンタクトホール７を通して、活性領域の表面に不純物イオンを注入することによって、活性層４を形成する。コンタクトホール７中に、活性層４の表面に接触するように、ストレージノード８を埋込む。

【００８６】

実施例２２

図３８～図４５は、実施例１２に係る半導体装置の製造方法の順序の各工程における半導体装置の断面図である。

【００８７】

図３８を参照して、シリコン基板１の上であって、活性領域３となる部分の上に窒化膜３０を形成する。

【００８８】

図３９を参照して、窒化膜３０をマスクにして、シリコン基板１の表面を熱酸化することによって、フィールド酸化膜２を形成する。このとき、フィールド酸化膜２は、窒化膜３０の端部３０ｅを超えて、活性領域３側にはみ出るように形成される。

【００８９】
図３９と図４０を参照して、窒化膜３０を除去する。
図４０と図４１とを参照して、フィールド酸化膜２をすべて除去する。これによって、シリコン基板１の表面中であって、活性領域３以外の部分に凹部３９を形成する。
【００９０】
図４２を参照して、凹部３９に埋込まれるようにシリコン基板１の上に低ストレスの酸化膜４０を形成する。図４２と図４３を参照して低ストレスの酸化膜４０の表面をエッチングし、活性領域３を露出させる。
【００９１】
図４４を参照して、活性領域３の上にゲート絶縁膜３３とゲート電極５を形成する。活性領域３の表面中であってゲート電極５の両側に、活性層４を形成する。
【００９２】
図４５を参照して、ゲート電極５を覆うように、シリコン基板１の上に層間絶縁膜６を形成する。層間絶縁膜６中に活性層４の表面を露出させるためのコンタクトホール７を形成する。活性層４に接続されるように、コンタクトホール７内にストレージノード８を埋込む。
【００９３】
本実施例においては、活性領域３を他の活性領域から分離するための絶縁膜を、低ストレスの酸化膜４０で形成するので、酸化膜４０の直下には欠陥は生じない。
【００９４】
実施例２３
図４６～図５１は、実施例２３に係る半導体装置の製造方法の順序の各工程における半導体装置の断面図である。
【００９５】
図４６を参照して、シリコン基板１の上であって、活性領域３となる部分の上に窒化膜３０を形成する。
【００９６】
図４７を参照して、窒化膜３０をマスクにして、分離領域にあたる部分をエッチングし、凹部４２を形成する。
【００９７】
図４７と図４８を参照して、窒化膜３０を除去する。
図４９を参照して、凹部４２に埋込まれるようにシリコン基板１の上に低ストレスの酸化膜４０を堆積する。
【００９８】
図４９と図５０を参照して、酸化膜４０の表面をエッチングし、活性領域３の表面を露出させる。
図５１を参照して、活性領域３の上に、ゲート絶縁膜３３とゲート電極５を形成する。活性領域３の表面中であって、ゲート電極５の両側に活性層４を形成する。ゲート電極５を覆うように、シリコン基板１の上に層間絶縁膜６を形成する。層間絶縁膜６中に活性層４の表面を露出させるためのコンタクトホール７を形成する。コンタクトホール７中に活性層４に接続されるストレージノード８を埋込む。
【００９９】
本実施例によれば、活性領域３を他の活性領域から分離するための絶縁膜を、低ストレスの酸化膜４０で形成するので、絶縁膜の直下には欠陥は生じない。
【０１００】
【発明の効果】
本発明の第１の局面に従う半導体装置によれば、フィールド酸化膜の端部が、半導体基板の表面に対して垂直な面を有している。このような構造は、フィールド酸化膜の端部を、半導体基板の表面に対して垂直な方向からエッチング除去することによって得られる。このエッチングにより、フィールド酸化膜の端部が除去されると同時に、フィールド酸化膜

の端部の直下に存在していた欠陥の多くが除去される。その結果、リーク電流を増大させる欠陥の数が減少するため、リーク電流が少なくなるという効果を奏する。

【０１０１】

本発明の第２の局面に従う半導体装置によれば、活性層が、フィールド酸化膜の端部と接触しないように、フィールド酸化膜の端部から離されて形成されているので、活性層はフィールド酸化膜の端部の直下に存在している欠陥と接触しない。その結果、リーク電流が少なくなるという効果を奏する。

【０１０２】

本発明の第３の局面に従う半導体装置によれば、活性領域を他の活性領域から分離するための絶縁膜を、化学気相成長法により形成しているので、基板に対して与えられるストレスが少なくなる。そのため、絶縁膜の直下には欠陥が生じない。ひいては、リーク電流の少ない半導体装置が得られる。

【０１０３】

本発明の第４の局面に従う半導体装置の製造方法によれば、層間絶縁膜中にコンタクトホールを形成するときに、フィールド酸化膜の端部も同時にエッチング除去する。フィールド酸化膜の端部のエッチング除去時に、フィールド酸化膜の端部の直下に存在していた欠陥の多くが除去される。その結果、リーク電流の少ない半導体装置が得られるという効果を奏する。

【０１０４】

本発明の第５の局面に従う半導体装置の製造方法によれば、フィールド酸化膜の端部をエッチング除去するときに、フィールド酸化膜の端部の直下に存在していた欠陥の多くが同時に除去される。その結果、リーク電流の少ない半導体装置が得られるという効果を奏する。

【０１０５】

本発明の第６の局面に従う半導体装置の製造方法によれば、活性領域以外の部分に凹部を形成し、この凹部内に絶縁膜を埋込む。活性領域は、凹部内に埋込まれた絶縁膜によって、他の活性領域から分離される。絶縁膜を凹部内に埋込むとき、半導体基板にはストレスが与えられないため、絶縁膜の下には欠陥は生じない。その結果、リーク電流の少ない半導体装置が得られるという効果を奏する。

【図面の簡単な説明】

【図１】実施例１に係る半導体装置の断面図である。

【図２】実施例２に係る半導体装置の断面図である。

【図３】実施例３に係る半導体装置の断面図である。

【図４】実施例４に係る半導体装置のレイアウト図である。

【図５】実施例５に係る半導体装置のレイアウト図である。

【図６】実施例６に係る半導体装置のレイアウト図である。

【図７】実施例７に係る半導体装置のレイアウト図である。

【図８】実施例８に係る半導体装置のレイアウト図である。

【図９】実施例９に係る半導体装置のレイアウト図である。

【図１０】実施例１０に係る半導体装置のレイアウト図である。

【図１１】実施例１１に係る半導体装置のレイアウト図である。

【図１２】実施例１２に係る半導体装置のレイアウト図である。

【図１３】実施例１３に係る半導体装置のレイアウト図である。

【図１４】実施例１４に係る半導体装置のレイアウト図である。

【図１５】実施例１５に係る半導体装置のレイアウト図である。

【図１６】実施例１６に係る半導体装置のレイアウト図である。

【図１７】実施例１７に係る半導体装置のレイアウト図である。

【図１８】実施例１８に係る半導体装置の断面図である。

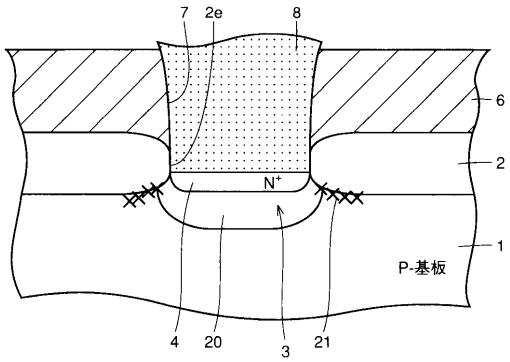
【図１９】実施例１９に係る半導体装置の断面図である。

【図２０】実施例２０に係る半導体装置の製造方法の順序の第１の工程における半導体装

置の断面図である。
【図２１】実施例２０に係る半導体装置の製造方法の順序の第２の工程における半導体装置の断面図である。
【図２２】実施例２０に係る半導体装置の製造方法の順序の第３の工程における半導体装置の断面図である。
【図２３】実施例２０に係る半導体装置の製造方法の順序の第４の工程における半導体装置の断面図である。
【図２４】実施例２０に係る半導体装置の製造方法の順序の第５の工程における半導体装置の断面図である。
【図２５】実施例２０に係る半導体装置の製造方法の順序の第６の工程における半導体装置の断面図である。
【図２６】実施例２０に係る半導体装置の製造方法の順序の第７の工程における半導体装置の断面図である。
【図２７】実施例２０に係る半導体装置の製造方法の順序の第８の工程における半導体装置の断面図である。
【図２８】実施例２０に係る半導体装置の製造方法の順序の第９の工程における半導体装置の断面図である。
【図２９】実施例２１に係る半導体装置の製造方法の順序の第１の工程における半導体装置の断面図である。
【図３０】実施例２１に係る半導体装置の製造方法の順序の第２の工程における半導体装置の断面図である。
【図３１】実施例２１に係る半導体装置の製造方法の順序の第３の工程における半導体装置の断面図である。
【図３２】実施例２１に係る半導体装置の製造方法の順序の第４の工程における半導体装置の断面図である。
【図３３】実施例２１に係る半導体装置の製造方法の順序の第５の工程における半導体装置の断面図である。
【図３４】実施例２１に係る半導体装置の製造方法の順序の第６の工程における半導体装置の断面図である。
【図３５】実施例２１に係る半導体装置の製造方法の順序の第７の工程における半導体装置の断面図である。
【図３６】実施例２１に係る半導体装置の製造方法の順序の第８の工程における半導体装置の断面図である。
【図３７】実施例２１に係る半導体装置の製造方法の順序の第９の工程における半導体装置の断面図である。
【図３８】実施例２２に係る半導体装置の製造方法の順序の第１の工程における半導体装置の断面図である。
【図３９】実施例２２に係る半導体装置の製造方法の順序の第２の工程における半導体装置の断面図である。
【図４０】実施例２２に係る半導体装置の製造方法の順序の第３の工程における半導体装置の断面図である。
【図４１】実施例２２に係る半導体装置の製造方法の順序の第４の工程における半導体装置の断面図である。
【図４２】実施例２２に係る半導体装置の製造方法の順序の第５の工程における半導体装置の断面図である。
【図４３】実施例２２に係る半導体装置の製造方法の順序の第６の工程における半導体装置の断面図である。
【図４４】実施例２２に係る半導体装置の製造方法の順序の第７の工程における半導体装置の断面図である。
【図４５】実施例２２に係る半導体装置の製造方法の順序の第８の工程における半導体装

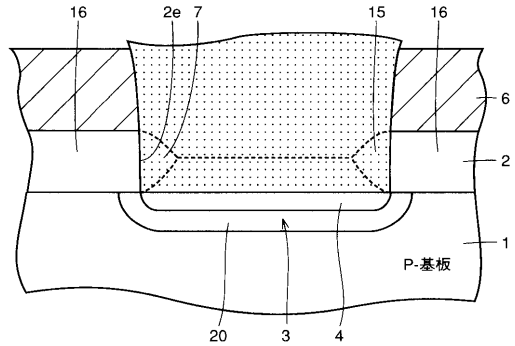
置の断面図である。
【図４６】実施例２３に係る半導体装置の製造方法の順序の第１の工程における半導体装置の断面図である。
【図４７】実施例２３に係る半導体装置の製造方法の順序の第２の工程における半導体装置の断面図である。
【図４８】実施例２３に係る半導体装置の製造方法の順序の第３の工程における半導体装置の断面図である。
【図４９】実施例２３に係る半導体装置の製造方法の順序の第４の工程における半導体装置の断面図である。
【図５０】実施例２３に係る半導体装置の製造方法の順序の第５の工程における半導体装置の断面図である。
【図５１】実施例２３に係る半導体装置の製造方法の順序の第６の工程における半導体装置の断面図である。
【図５２】従来のＤＲＡＭのアレイ構成の図である。
【図５３】従来のＤＲＡＭのアレイ動作の波形の図である。
【図５４】従来のＤＲＡＭの断面図である。
【図５５】従来のＤＲＡＭのレイアウト図である。
【図５６】図５におけるＡ－Ａ線と同一方向に沿って切ったときの、ＤＲＡＭの断面図である。
【図５７】従来のフィールド酸化膜の形成方法を示す図である。
【図５８】従来のコンタクトホールの形成方法を示す図である。
【符号の説明】
１　半導体基板
２　フィールド酸化膜
３　活性領域
４　活性層
６　層間絶縁膜
７　コンタクトホール
８　ストレージノード
２ｅ　フィールド酸化膜の端部の垂直面

【図１】

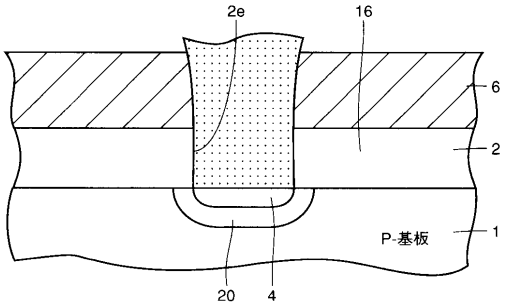


1：半導体基板　4：活性層
2：フィールド酸化膜　6：層間絶縁膜
2e：フィールド酸化膜の端部の垂直面　7：コンタクトホール
3：活性領域　8：ストレージノード

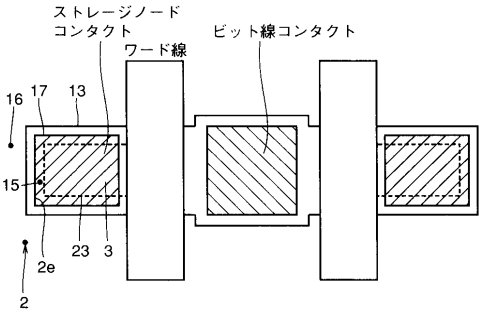
【図２】



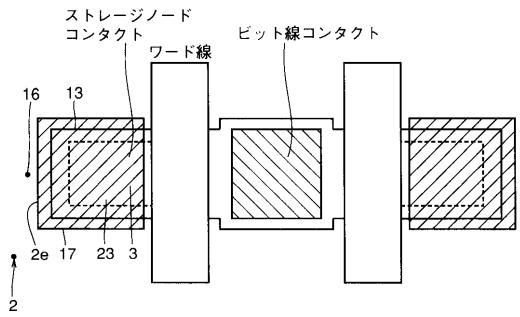
【図３】



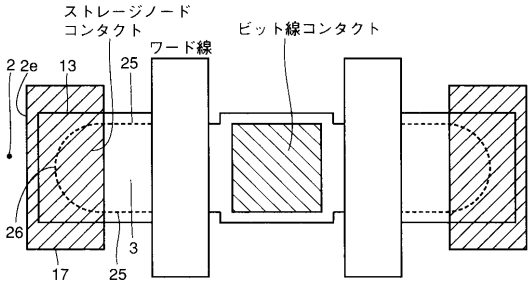
【図４】



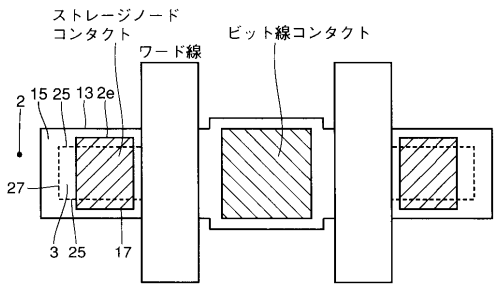
【図５】



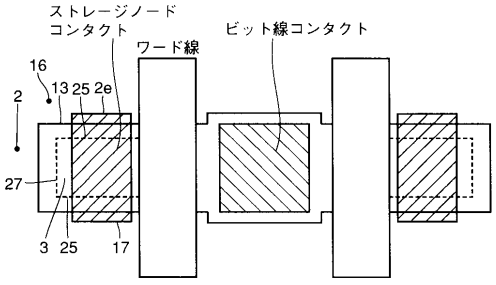
【図６】



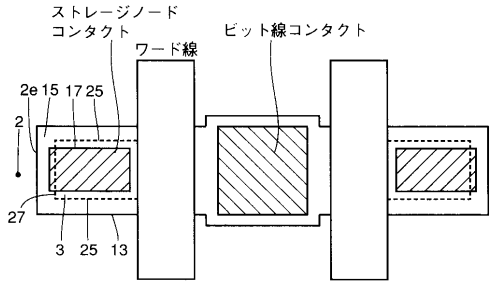
【図７】



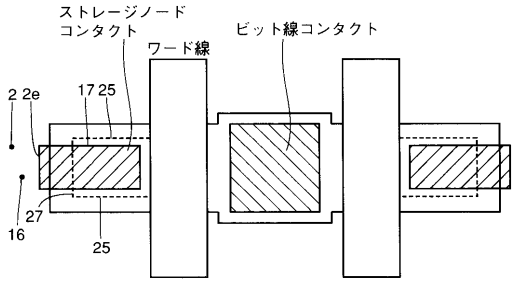
【図８】



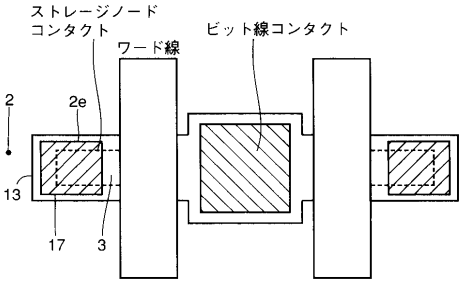
【図９】



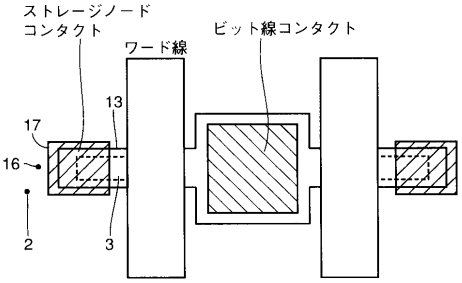
【図１０】



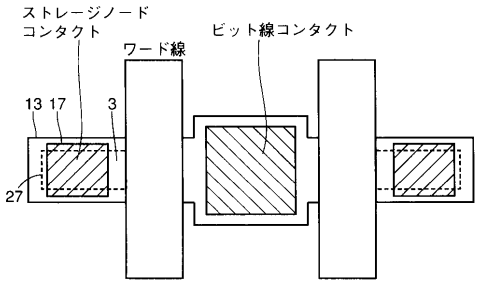
【図１１】



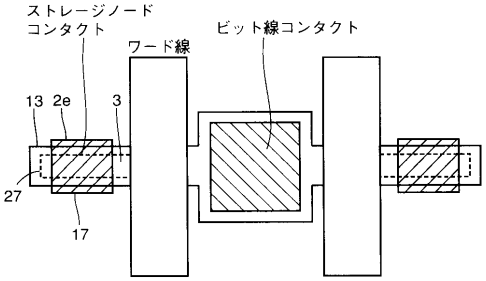
【図１２】



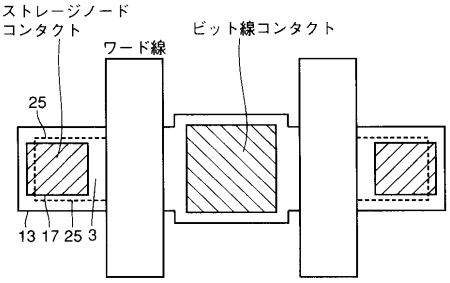
【図１３】



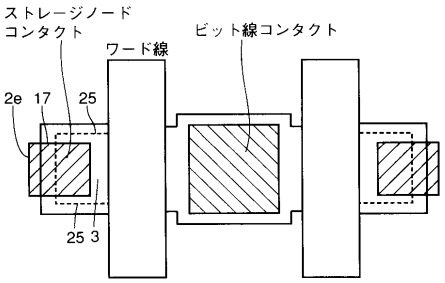
【図１４】



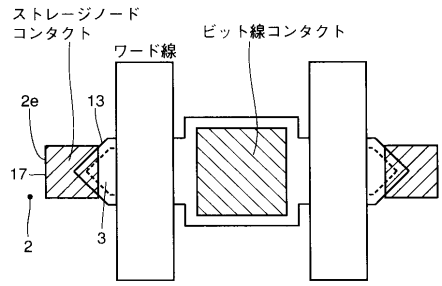
【図１５】



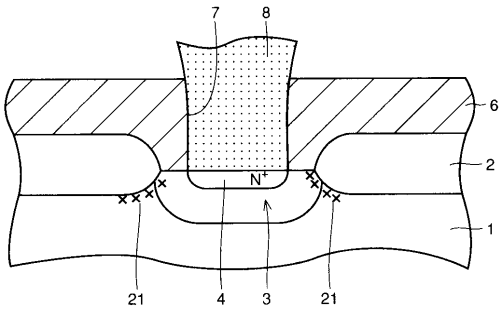
【図１６】



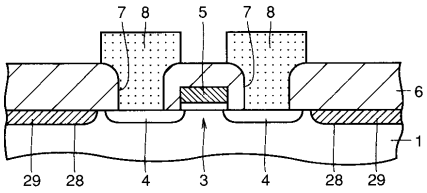
【図１７】



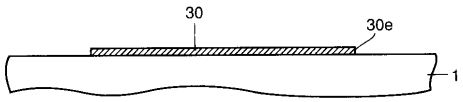
【図１８】



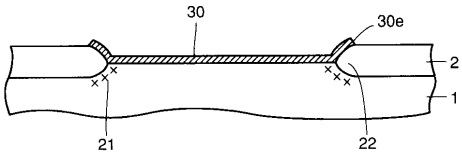
【図１９】



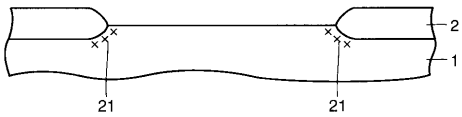
【図２０】



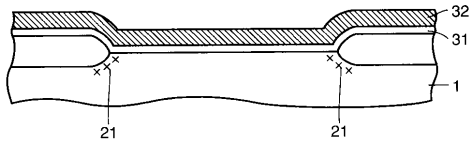
【図２１】



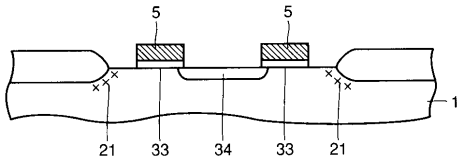
【図２２】



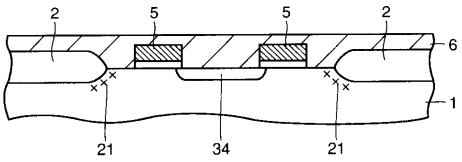
【図２３】



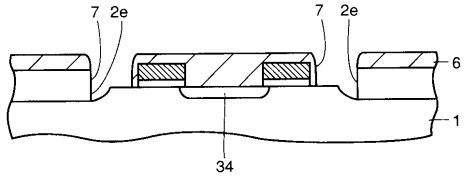
【図２４】



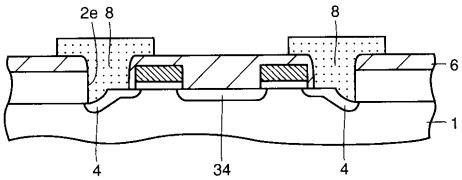
【図２５】



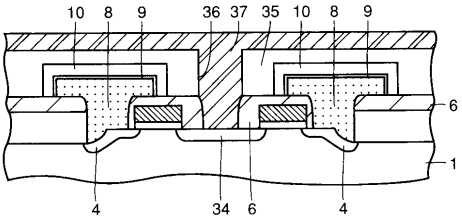
【図２６】



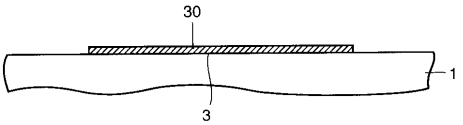
【図２７】



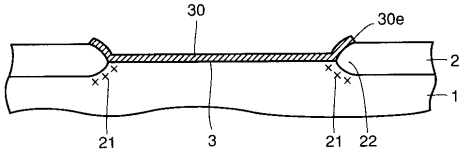
【図２８】



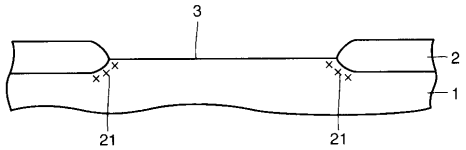
【図２９】



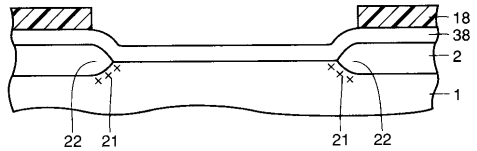
【図３０】



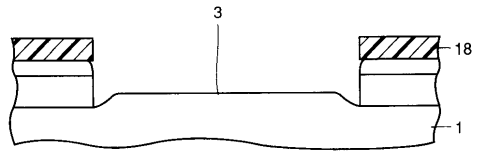
【図３１】



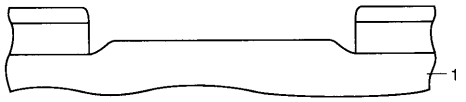
【図３２】



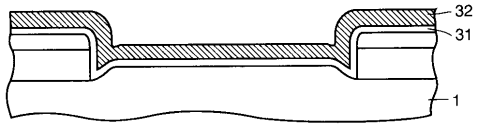
【図３３】



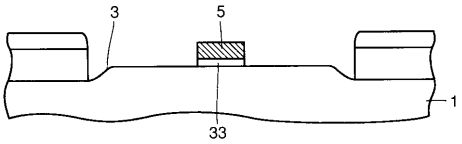
【図３４】



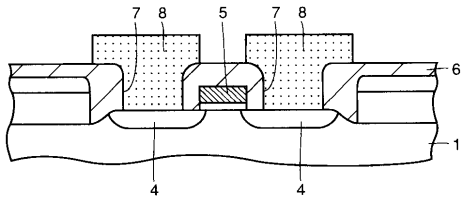
【図３５】



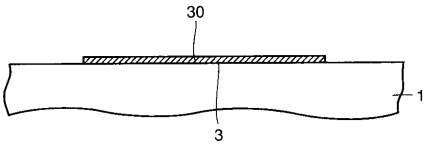
【図３６】



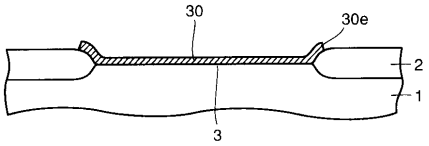
【図３７】



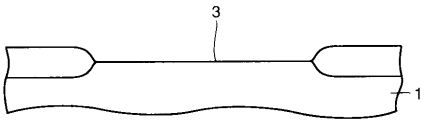
【図３８】



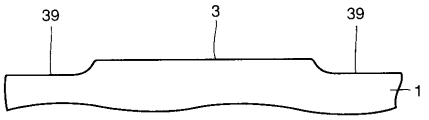
【図３９】



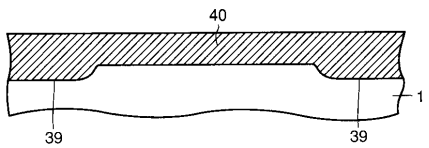
【図４０】



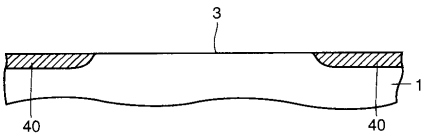
【図４１】



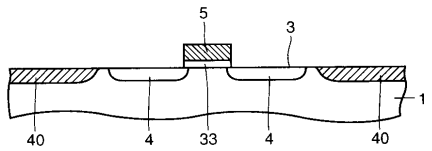
【図４２】



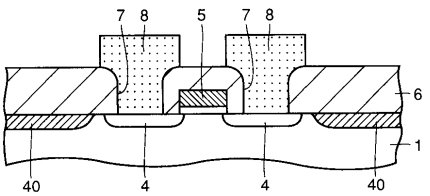
【図４３】



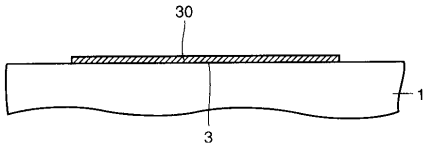
【図４４】



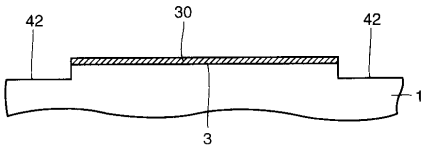
【図４５】



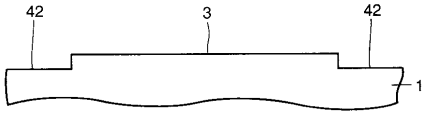
【図４６】



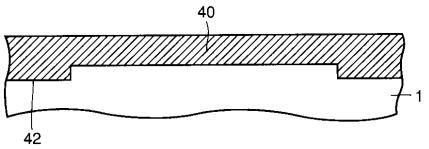
【図４７】



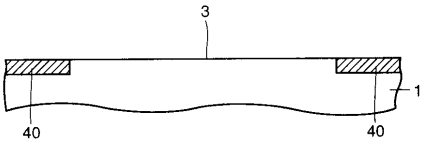
【図４８】



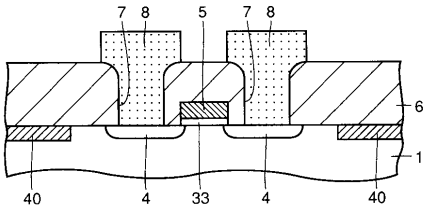
【図４９】



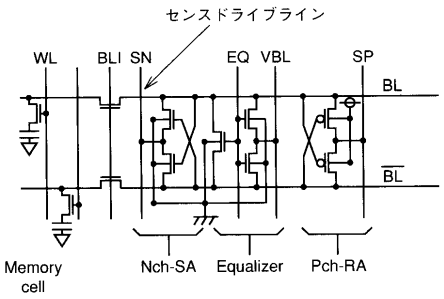
【図５０】



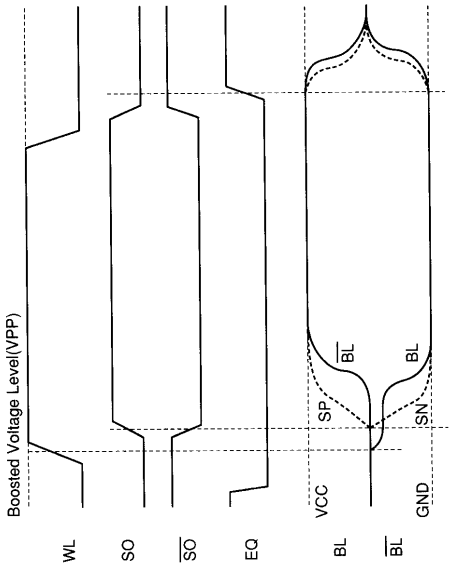
【図５１】



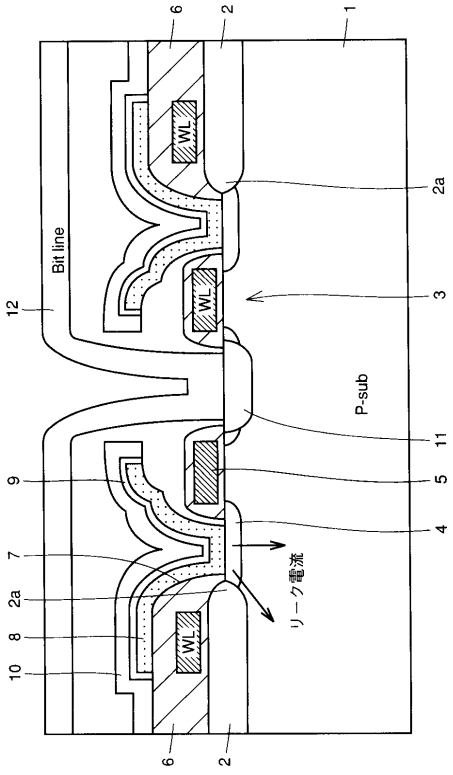
【図５２】



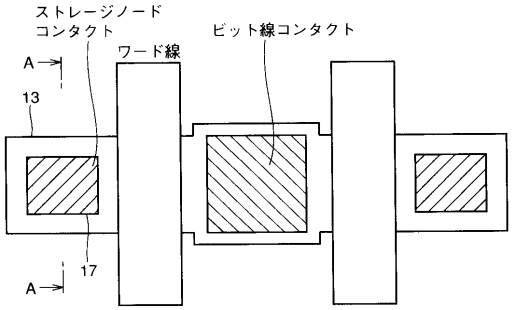
【図５３】



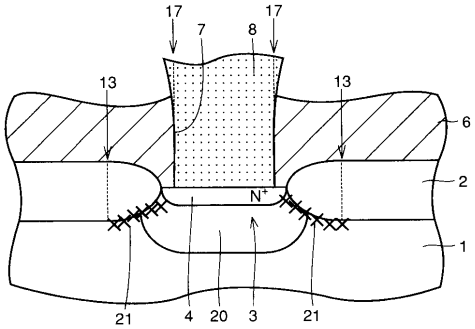
【図５４】



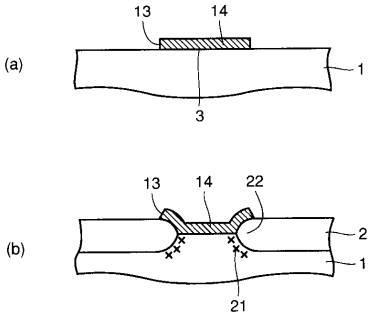
【図５５】



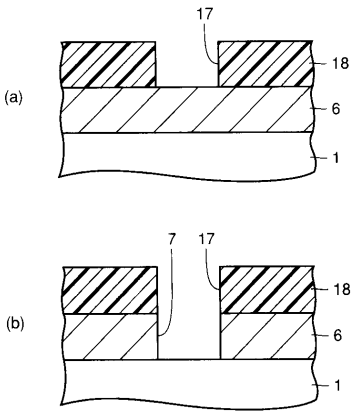
【図５６】



【図５７】



【図５８】



フロントページの続き

(72)発明者　大石　司
兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社ユー・エル・エス・アイ開発研究所内

審査官　小野田　誠

(56)参考文献　特開平０６－００５８０７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/28