



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I479613 B

(45)公告日：中華民國 104 (2015) 年 04 月 01 日

(21)申請案號：100144456

(22)申請日：中華民國 100 (2011) 年 12 月 02 日

(51)Int. Cl. : *H01L23/053 (2006.01)**H01L23/12 (2006.01)*

(30)優先權：2010/12/02 美國

61/419,033

2011/03/18 美國

13/051,424

(71)申請人：泰斯拉公司 (美國) TESSERA, INC. (US)

美國

(72)發明人：歐根賽安 維吉 OGANESIAN, VAGE (IL)；哈巴 貝勒卡塞姆 HABA, BELGACEM

(US)；穆翰米德 艾里亞斯 MOHAMMED, ILYAS (US)；米契爾 克瑞格

MITCHELL, CRAIG (US)；賽維拉亞 琵悠許 SAVALIA, PIYUSH (IN)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 7834273B2

US 2007/0035020A1

US 2010/0117242A1

US 2010/0159643A1

US 2010/0230795A1

審查人員：郭子鳳

申請專利範圍項數：60 項 圖式數：64 共 93 頁

(54)名稱

具有在多個階段中形成之矽穿孔之堆疊式微電子組件以及在晶片上之載體

STACKED MICROELECTRONIC ASSEMBLY WITH TSVS FORMED IN STAGES AND CARRIER ABOVE CHIP

(57)摘要

提供一種微電子組件 100，其包括一第一元件 110，該第一元件 110 基本上由半導體或無機介電材料中之至少一者組成，該第一元件 110 具有一表面 103，該表面 103 面向且附接至一微電子元件 102 之一主表面 104，複數個導電襯墊 106 在該微電子元件 102 之該主表面 104 處曝露，該微電子元件 102 中具有主動半導體裝置。一第一開口 111 自該第一元件 110 之一曝露表面 118 朝向附接至該微電子元件 102 之該表面 103 延伸，且一第二開口 113 自該第一開口 111 延伸至該等導電襯墊 106 中之一第一者，其中在該第一開口與該第二開口相會處，該第一開口之內表面 121 及該第二開口之內表面 123 相對於該微電子元件 102 之該主表面 104 以不同角度延伸。一導電元件 114 在該第一開口 111 及該第二開口 113 內延伸且接觸該至少一導電襯墊 106。

A microelectronic assembly 100 is provided which includes a first element 110 consisting essentially of at least one of semiconductor or inorganic dielectric material having a surface 103 facing and attached to a major surface 104 of a microelectronic element 102 at which a plurality of conductive pads 106 are exposed, the microelectronic element 102 having active semiconductor devices therein. A first opening 111 extends from an exposed surface 118 of the first element 110 towards the surface 103 attached to the microelectronic element 102, and a second opening 113 extends from the first opening 111 to a first one of the conductive pads 106, wherein where the first and second openings meet, interior surfaces 121, 123 of the first and second

openings extend at different angles relative to the major surface 104 of the microelectronic element 102. A conductive element 114 extends within the first and second openings 111, 113 and contacts the at least one conductive pad 106.

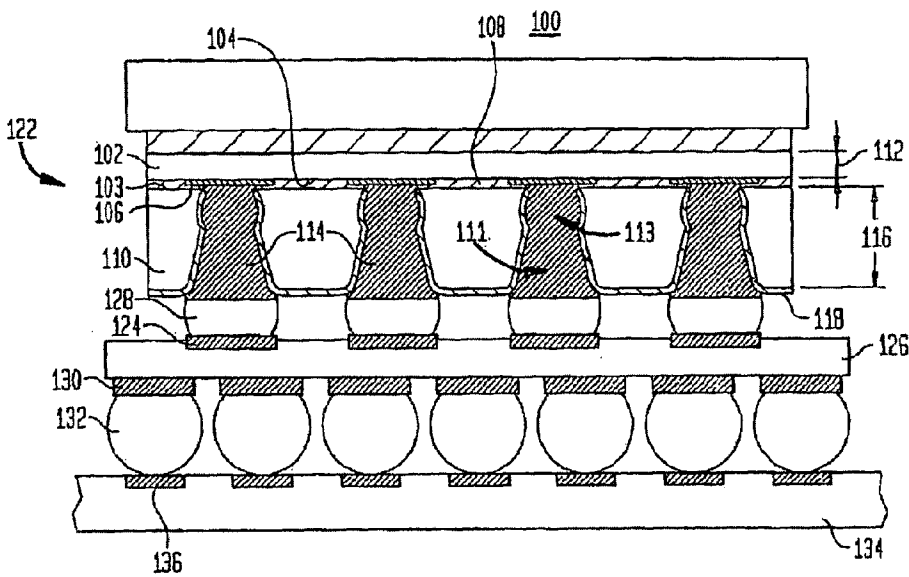


圖1

- 100 . . . 微電子封裝
- 102 . . . 微電子元
件/半導體晶片/晶圓或
晶片
- 103 . . . 表面
- 104 . . . 主表面/前
表面
- 106 . . . 導電襯墊
- 108 . . . 介電材料/
黏合劑/介電結合層
- 110 . . . 第一元件/
封裝層
- 111 . . . 第一開口
- 112 . . . 厚度
- 113 . . . 第二開口
- 114 . . . 導電元件
- 116 . . . 厚度
- 118 . . . 曝露表面
- 122 . . . 微電子組件
- 124 . . . 觸點
- 126 . . . 介電元件
- 128 . . . 結合金屬塊
體
- 130 . . . 端子
- 132 . . . 導電塊體
- 134 . . . 電路面板
- 136 . . . 觸點

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100144456

※申請日：100.12.2

※IPC 分類：H01L 23/053 (2006.01)

一、發明名稱：(中文/英文)

H01L 23/12 (2006.01)

具有在多個階段中形成之矽穿孔之堆疊式微電子組件以及在晶片上之載體

STACKED MICROELECTRONIC ASSEMBLY WITH TSVS FORMED
IN STAGES AND CARRIER ABOVE CHIP

二、中文發明摘要：

提供一種微電子組件100，其包括一第一元件110，該第一元件110基本上由半導體或無機介電材料中之至少一者組成，該第一元件110具有一表面103，該表面103面向且附接至一微電子元件102之一主表面104，複數個導電襯墊106在該微電子元件102之該主表面104處曝露，該微電子元件102中具有主動半導體裝置。一第一開口111自該第一元件110之一曝露表面118朝向附接至該微電子元件102之該表面103延伸，且一第二開口113自該第一開口111延伸至該等導電襯墊106中之一第一者，其中在該第一開口與該第二開口相會處，該第一開口之內表面121及該第二開口之內表面123相對於該微電子元件102之該主表面104以不同角度延伸。一導電元件114在該第一開口111及該第二開口113內延伸且接觸該至少一導電襯墊106。

三、英文發明摘要：

A microelectronic assembly 100 is provided which includes a first element 110 consisting essentially of at least one of semiconductor or inorganic dielectric material having a surface 103 facing and attached to a major surface 104 of a microelectronic element 102 at which a plurality of conductive pads 106 are exposed, the microelectronic element 102 having active semiconductor devices therein. A first opening 111 extends from an exposed surface 118 of the first element 110 towards the surface 103 attached to the microelectronic element 102, and a second opening 113 extends from the first opening 111 to a first one of the conductive pads 106, wherein where the first and second openings meet, interior surfaces 121, 123 of the first and second openings extend at different angles relative to the major surface 104 of the microelectronic element 102. A conductive element 114 extends within the first and second openings 111, 113 and contacts the at least one conductive pad 106.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100	微電子封裝
102	微電子元件/半導體晶片/晶圓或晶片
103	表面
104	主表面/前表面
106	導電襯墊
108	介電材料/黏合劑/介電結合層
110	第一元件/封裝層
111	第一開口
112	厚度
113	第二開口
114	導電元件
116	厚度
118	曝露表面
122	微電子組件
124	觸點
126	介電元件
128	結合金屬塊體
130	端子
132	導電塊體
134	電路面板
136	觸點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於微電子裝置之封裝，尤其係關於半導體裝置之封裝。

本申請案主張於2011年3月18日申請之美國專利申請案第13/051,424號之申請日期之權利，該申請案主張於2010年12月2日申請之美國臨時專利申請案第61/419,033號之權利，在此將該等申請案揭示內容以引用的方式併入於本文中。

【先前技術】

微電子裝置通常包含半導體材料(諸如，矽或砷化鎵)之薄塊(通常被稱作晶粒或半導體晶片)。通常將半導體晶片提供為個別已預封裝之單元。在一些單元設計中，將半導體晶片安裝至基板或晶片載體，基板或晶片載體又安裝於電路面板(諸如，印刷電路板)上。

在半導體晶片之第一面(例如，前表面)中製造主動電路。為了促進至主動電路之電連接，在同一面上給晶片提供結合襯墊。結合襯墊通常按一規則陣列來置放，圍繞晶粒之邊緣或(對於許多記憶體裝置)處於晶粒中心。結合襯墊一般由約0.5微米(μm)厚之導電金屬(諸如，銅或鋁)製成。結合襯墊可包括單一金屬層或多個金屬層。結合襯墊之大小將隨著裝置類型而變化，但在一側上通常將有數十至數百微米。

矽穿孔(TSV)可用以在半導體晶片之前表面(上面安置有

結合襯墊)與半導體晶片之後表面(與前表面對置)之間提供電連接。習知TSV孔可減少可用以容納主動電路之第一面的部分。第一面上可用於主動電路之可用空間之此減少可增加產生每一半導體晶片所需之矽的量，進而可能增加每一晶片之成本。

在晶片之任何實體配置中，大小為重要考慮因素。隨著攜帶型電子裝置之快速發展，對晶片之更緊湊實體配置的需求變得更加強烈。僅藉由實例，通常稱為「智慧型電話」之裝置整合蜂巢式電話與功能強大的資料處理器、記憶體及輔助裝置(諸如，全球定位系統接收器)、電子相機，及區域網路連接連同高解析度顯示器及相關聯影像處理晶片之功能。此等裝置可提供諸如完全網際網路連接性、娛樂(包括全解析度視訊)、導航、電子銀行及其他之能力，該等能力全部整合於袖珍裝置中。複雜的攜帶型裝置需要將眾多晶片包裝至小空間中。此外，該等晶片中的一些具有許多輸入及輸出連接，通常稱為「I/O」。此等I/O必須與其他晶片之I/O互連。互連應為短的且應具有低阻抗以使信號傳播延遲最小化。形成互連之部件不應極大地增加組件之大小。類似需要出現於其他應用中，例如資料伺服器(諸如用於網際網路搜尋引擎中之資料伺服器)中。舉例而言，提供複雜晶片之間的眾多短的低阻抗互連之結構可增加搜尋引擎之頻寬且減少其功率消耗。

儘管已經由形成及互連在半導體中取得進步，但可作進一步改良以增強用於在前晶片表面與後晶片表面之間形成

連接之製程，且可對可由此等製程產生之結構作進一步改良。

【發明內容】

根據本發明之一態樣，一種微電子組件可包括：一第一元件；一微電子元件，其附接至該第一元件以使得該第一元件之一表面面向該微電子元件之一主表面；一第一開口，其自該第一元件之一曝露表面朝向該第一元件之面向該微電子元件之該表面延伸；及一導電元件。該第一元件可基本上由半導體或無機介電材料中之至少一者組成。該微電子元件可具有在該主表面處曝露之複數個導電襯墊。該微電子元件中可具有主動半導體裝置。該微電子組件亦可包括一第二開口，該第二開口自該第一開口延伸至該等導電襯墊中之一第一者。在第一開口與第二開口相會處的第一開口及第二開口的內表面可相對於該微電子元件之主表面以不同角度延伸。該導電元件可在第一開口及第二開口內延伸且可接觸該至少一導電襯墊。

根據本發明之另一態樣，一種微電子組件可包括：一第一元件；一微電子元件，其附接至該第一元件以使得該第一元件之一表面面向該微電子元件之一主表面；一第一開口，其自該第一元件之一曝露表面朝向該第一元件之面向該微電子元件之該表面延伸；及一導電元件。該第一元件可基本上由半導體或無機介電材料中之至少一者組成。該微電子元件可具有在該主表面處曝露之複數個導電襯墊。該微電子元件中可具有主動半導體裝置。該微電子組件亦

可包括一第二開口，該第二開口自該第一開口延伸穿過該等導電襯墊中之一第一者。第一開口與第二開口相會處的第一開口及第二開口的內表面可相對於該微電子元件之該主表面以不同角度延伸。該導電元件可在第一開口及第二開口內延伸且可接觸該至少一導電襯墊。

在一特定實施例中，該導電元件可符合第一開口及第二開口中之至少一者的一內表面之一輪廓。在一例示性實施例中，該導電元件可具有獨立於第一開口及第二開口中之至少一者的一內表面之一輪廓而判定之一形狀。在一實施例中，該導電元件可具有圓柱形或截頭圓錐形形狀中之至少一者。在一特定實施例中，該第一元件可為不具有主動半導體裝置之一載體。在一例示性實施例中，該第一元件中可進一步包括至少一被動電路元件。在一實施例中，該至少一被動電路元件可包括選自由一電感器、一電阻器或一電容器組成之群組的至少一者。在一特定實施例中，該載體可以機械方式支撐該微電子元件。

在一例示性實施例中，該第一元件可具有一第一厚度且該微電子元件可具有小於或等於該第一厚度之一第二厚度。在一實施例中，該微電子元件之該主表面可為該微電子元件之一前表面。該微電子元件可具有與該前表面對置之一後表面，且該微電子元件可具有一開口，該開口自該後表面延伸且曝露該等導電襯墊中之至少一者之至少一部分。一第二導電元件可在該微電子元件中之該開口內延伸且可與該導電襯墊電連接。在一例示性實施例中，該微電

子元件可包括複數個該等開口。該微電子組件可包括在該等第二開口內延伸且與該等導電襯墊電連接的複數個該等第二導電元件。在一特定實施例中，該等第二導電元件可與該等導電襯墊中之各別者電連接。

根據本發明之又一態樣，一種微電子組件可包括：一第一元件；一微電子元件，其附接至該第一元件以使得該第一元件之一表面面向該微電子元件之一主表面；及第一導電元件及第二導電元件。該第一元件可基本上由半導體或無機介電材料中之至少一者組成。該微電子元件可具有複數個導電襯墊，該複數個導電襯墊具有在該主表面處曝露之上表面及與該等上表面對置之下表面。該微電子元件中可具有主動半導體裝置。該第一導電元件可在該第一元件中的一第一開口內延伸且可接觸該等導電襯墊中之至少一者的該上表面。該第二導電元件可延伸穿過在該微電子元件中的一第二開口且可接觸該至少一導電襯墊。該第一導電元件及該第二導電元件可在該微電子組件之對置面處曝露以用於與在該微電子組件外部的至少一部件之導電互連。

在一實施例中，第一開口及第二開口之內表面可自該至少一導電襯墊之各別上表面及下表面以第一角度及第二不同角度延伸出來。在一特定實施例中，該微電子元件可包括複數個該等第二開口，且該微電子組件可包括在該等第二開口內延伸且與該等導電襯墊電連接的複數個該等第二導電元件。該等第二導電元件可與在該第一開口內延伸之

各別第一導電元件電連接。在一例示性實施例中，該第一元件中可進一步包括至少一被動電路元件。在一實施例中，在該第一元件中之該開口可包括一第三開口，該第三開口自該第一元件之一後表面朝向該前表面延伸。在該第一元件中之該開口可進一步包括一第四開口，該第四開口自該第三開口延伸且曝露該等導電襯墊中之至少一者的該上表面之至少一部分。該第一導電元件可至少在該第三開口內延伸且延伸穿過該第四開口以接觸該至少一導電襯墊之該上表面。

在一特定實施例中，該導電元件可具有獨立於第一開口及第二開口中之至少一者的一內表面之一輪廓而判定之一形狀。在一例示性實施例中，該導電元件可具有圓柱形或截頭圓錐形形狀中之至少一者。在一實施例中，該導電元件可自鄰近該第一元件之該曝露表面的一第一寬度均勻地漸縮至鄰近該微電子元件之該導電襯墊的一第二寬度。在一特定實施例中，該導電元件可符合第一開口及第二開口中之至少一者的一內表面之一輪廓。在一例示性實施例中，在第二開口內的該導電元件之一部分可符合第二開口之一內表面的一輪廓。在一實施例中，在第一開口及第二開口內延伸的該導電元件之一部分可具有圓柱形或截頭圓錐形形狀中之至少一者。

在一例示性實施例中，該導電元件之一第一部分可自鄰近該第一元件之該曝露表面的一第一寬度均勻地漸縮至在第二開口內之一第一位置處的一第二寬度。該導電元件之

一第二部分可自鄰近該微電子元件之該後表面的一第三寬度均勻地漸縮至在該第一位置處的一第四寬度。在一實施例中，在該微電子元件中之第二開口可自該微電子元件之該後表面延伸穿過該導電襯墊。該第二導電元件可延伸穿過該導電襯墊且可在第一開口內之一位置處電耦合至該第一導電元件。在一特定實施例中，該第一導電元件可符合在該微電子元件中的第二開口之一輪廓。在一例示性實施例中，該第一導電元件可具有獨立於在該微電子元件中的第二開口之一輪廓。

本發明之另外態樣可提供系統，該等系統併入有根據本發明之前述態樣的微電子結構及電連接至該等結構之一或多個其他電子部件。舉例而言，該系統亦可包括一外殼，該結構及該等其他電子部件安裝至該外殼。根據在本發明之此態樣中的較佳實施例之系統可比類似的習知系統更緊湊。

根據本發明之又一態樣，一種形成一微電子組件之方法可包括以下步驟：(a)將一第一元件與一微電子元件附接以使得該第一元件之一第一表面面向該微電子元件之一主表面，該第一元件基本上由半導體或無機介電材料中之至少一者組成，該微電子元件具有至少一導電襯墊，該至少一導電襯墊具有在該主表面處曝露之一上表面，該微電子元件具有鄰近該主表面之主動半導體裝置，(b)接著形成一第一導電元件，該第一導電元件延伸穿過該第一元件且接觸該至少一導電襯墊之該上表面，及(c)在步驟(b)之前或之

後形成延伸穿過該微電子元件之一第二導電元件，該第二導電元件在該主表面處接觸第一導電襯墊或一第二導電襯墊中之至少一者。

在一例示性實施例中，該第一導電元件及該第二導電元件可在該微電子組件之對置面處曝露。在一實施例中，該微電子元件可包括在切割線處附接在一起之複數個晶片。該方法可進一步包括沿著該等切割線將該微電子組件切割成個別單元，每一單元包括該複數個晶片中之至少一者。在一特定實施例中，該第一元件可為不具有主動半導體裝置之一載體。在一例示性實施例中，該第一元件中可進一步包括至少一被動裝置。

在一實施例中，該載體可以機械方式支撐該微電子元件。在一特定實施例中，該形成該第一導電元件之步驟可包括：在該附接步驟之後形成延伸穿過該第一元件之厚度的開口，及接著至少在該第一元件中的該開口內沈積一金屬層，該金屬層接觸在該開口內曝露之該至少一導電襯墊的該上表面。在一例示性實施例中，該形成該第二導電元件之步驟可包括至少在第二開口內沈積一第二金屬層，該第二金屬層接觸在該微電子元件中的該開口內曝露之該至少一導電襯墊的該下表面。

根據本發明之另一態樣，一種形成一微電子組件之方法可包括以下步驟：(a)將一第一元件與一微電子元件附接以使得該第一元件之一第一表面面向該微電子元件之一主表面，該第一元件基本上由半導體或無機介電材料中之至少

一者組成，該微電子元件具有複數個導電襯墊，該複數個導電襯墊具有在該主表面處曝露之上表面，該微電子元件具有鄰近該主表面之主動半導體裝置，(b)接著形成一第一導電元件，該第一導電元件延伸穿過該第一元件且接觸至少一導電襯墊之該上表面，及(c)在步驟(b)之前或之後進行以下動作中之至少一者：自該微電子元件之該後表面薄化該微電子元件或在該微電子元件中形成自該後表面延伸之一開口，使得在該微電子元件內之一第二導電元件在該後表面處曝露。

在一特定實施例中，步驟(c)可包括薄化該微電子元件。在一實施例中，步驟(c)可包括形成自該微電子元件之該後表面延伸且曝露該第二導電元件之一開口。在一例示性實施例中，步驟(c)可進一步包括：在執行該薄化之後形成自該微電子元件之該薄化的後表面延伸且曝露該第二導電元件之一開口。在一特定實施例中，該形成第一開口之步驟可包括：在該第一元件中形成一初始開口，該初始開口自該第一元件之一第一表面朝向該主表面延伸；及接著在該第一元件中形成一另外開口，該另外開口自該初始開口延伸且至少部分地曝露該至少一導電襯墊，其中該初始開口及該另外開口具有以一角度相交之內表面。

在一實施例中，該微電子元件可為一第一微電子元件。該方法可進一步包括將一第二微電子元件之一主表面附接至該第一微電子元件之一後表面；接著形成一第三開口，該第三開口延伸穿過該第二微電子元件且至少部分地曝露

該第二導電元件；及形成一第三導電元件，該第三導電元件至少在該第三開口內且接觸該第二導電元件。在一例示性實施例中，第一導電元件及第三導電元件可在該微電子組件之對置面處曝露。

根據本發明之又一態樣，一種形成一微電子組件之方法可包括以下步驟：形成至少在一第一開口內之一第一導電元件，該第一開口自一第一元件之一第一表面朝向遠離該第一表面之一第二表面延伸，至少部分地穿過該第一元件；接著將該第一元件與具有主動半導體裝置的一微電子元件附接；形成一第三導電元件，該第三導電元件延伸穿過在該微電子元件中的一開口；及在該附接步驟之後進一步處理以提供在該第一元件之該第二表面處曝露之一觸點。該第一導電元件可具有在該第一表面處曝露之一部分。該第一元件之該第一表面可面向該微電子元件之一主表面。該第一導電元件可至少部分地上覆在該微電子元件之該主表面處曝露之一第二導電元件。可將該第三導電元件形成為延伸穿過至少一第二導電元件。可將該第三導電元件形成為接觸該第一導電元件。該觸點可與該第三導電元件電連接。

在一例示性實施例中，可形成該第一導電元件以使得其僅部分地延伸穿過該第一元件，且該形成該觸點之步驟可包括自該第一元件之一曝露表面薄化該第一元件，直至該第一導電元件之一部分在該曝露表面處曝露，該觸點與在該第一元件中的該開口對準。在一實施例中，該提供該觸

點之步驟可包括自該曝露表面移除該第一元件之材料，直至該第一導電元件之一部分突出於該曝露表面上方達一所要距離且曝露為一柱體以用於與在該微電子組件外部的一部件電互連。

在一特定實施例中，該方法可進一步包括在該第一元件中形成自該第二表面延伸至在該第一元件中之該開口的至少一另外開口，其中該形成該觸點之步驟包括形成延伸穿過該另外開口之一導通體，該導通體與該第一導電元件電連接。在一例示性實施例中，該第一導電元件之一部分可沿著該第一元件之該主表面延伸，該至少一導電襯墊可上覆該部分且該第二導電元件可接合至該部分。在一實施例中，該形成該第一導電元件之步驟可包括同時形成至少在該第一元件中之該開口內的一第三導電元件。該形成該第二導電元件之步驟可包括形成一第四導電元件，該第四導電元件延伸穿過在該微電子元件中之該開口，延伸穿過該等導電襯墊中之一第二者，該第四導電元件接觸該第三導電元件。

根據本發明之又一態樣，一種形成一微電子組件之方法可包括以下步驟：(a)形成：(i)至少在一開口內之一第一導電元件，該開口自一第一表面朝向遠離該第一表面之一第二表面延伸，至少部分地穿過一第一元件，該第一導電元件具有在該表面處曝露之一部分，及(ii)沿著該第一元件之一表面延伸的一金屬再分配層(RDL)，該RDL自該第一導電元件延伸出來；(b)接著將該第一元件與具有主動半導

體裝置之一微電子元件附接以使得該第一元件之第一表面面向該微電子元件之一主表面，且該RDL與在該微電子元件之該主表面處曝露之複數個導電襯墊中之至少一導電襯墊相鄰；(c)接著形成一第二導電元件，該第二導電元件延伸穿過在該微電子元件中之一開口，延伸穿過該至少一導電襯墊且接觸該RDL；及(d)在該附接步驟之後形成在該第一元件之該第二表面處曝露之一觸點，該觸點與該第一導電元件電連接。

【實施方式】

圖1說明根據本發明之實施例的微電子封裝100。該微電子封裝包括微電子元件102，例如，實施於半導體晶片中之積體電路，半導體晶片可包括矽、矽合金或其他半導體材料(諸如III-V半導體材料或II-VI半導體材料)。如在圖1A中之放大圖中所見，晶片102具有前表面104(亦被稱作接觸承載面)，前表面104為該晶片之主表面，其中該晶片之介電層105在該前表面處曝露。介電層105上覆該晶片之半導體區107，其中提供有主動半導體裝置，例如電晶體、二極體或其他主動裝置。如在圖1中進一步所見，複數個導電襯墊106在前表面104處曝露。

在一特定實施例中，介電層105可在金屬佈線圖案之間及周圍包括具有低介電常數之一或多個介電材料層(亦即，「低k」介電層)，該等金屬佈線圖案為該微電子元件提供電互連。低k介電材料包括多孔二氧化矽、摻碳二氧化矽、聚合介電質及多孔聚合介電質以及其他材料。在多

孔低k介電層中，介電層可具有實質多孔性，此相對於相同材料之無孔層減小了介電材料的介電常數。介電材料通常具有顯著高於1.0之介電常數，但佔據多孔介電材料內的開放空間之空氣具有約1.0之介電常數。以此方式，一些介電材料可由於具有實質多孔性而達成介電常數之減小。

然而，一些低k介電材料(諸如聚合介電材料及多孔介電材料)相比於傳統介電材料經受得住小得多的機械應力。特定類型的操作環境及可測試微電子元件之方式可呈現等於或接近低k介電材料可耐受之極限的應力。本文中所描述之微電子組件藉由使施加應力至微電子元件之位置移動而遠離低k介電層105而為微電子元件之低k介電層提供改良之保護。以此方式，製造、操作及測試可施加減小了很多之應力至低k介電層，因此保護低k介電層。如在圖1中進一步所見，藉由介電材料108(諸如黏合劑)將第一元件110之表面103結合至前表面104。其他可能的結合材料可包括玻璃，在一特定實施例中，玻璃可經摻雜且可具有低於500°C之玻璃轉化溫度(glass transition temperature)。第一元件可基本上由具有小於每攝氏度百萬分之十(「ppm」)(亦即，小於10 ppm/°C)的熱膨脹係數(「CTE」)之半導體材料或無機介電材料或其他材料組成。通常，第一元件110基本上由與該晶片相同之半導體材料組成或基本上由具有等於或接近該晶片的CTE之CTE的介電材料組成。在此狀況中，可稱該第一元件與該晶片為「CTE匹

配」。如在圖1中進一步所見，第一元件110可具有複數個「分級導通體」以用於提供與該晶片的導電襯墊106之導電連接。舉例而言，第一元件可具有自面向外的曝露表面118朝向晶片前表面104延伸之複數個第一開口111。複數個第二開口113可自各別第一開口111延伸至該晶片之各別導電襯墊106。如在圖1A中進一步所見，在第一開口與第二開口相會之位置處，第一開口之內表面121及第二開口之內表面123相對於由主表面104界定之平面以不同角度140、142延伸，角度140、142與相對於平行於該主表面的任何平面125之角度140、142相同。

複數個導電元件114在第一開口及第二開口內延伸且電耦合至導電襯墊106。導電元件114在第一元件之面向外的曝露表面118處曝露。在一實例中，導電元件114可包括藉由沈積金屬以使其與導電襯墊106之曝露表面相接觸而形成的金屬特徵。如下文更詳細描述，可使用各種金屬沈積步驟來形成導電元件。第一元件可包括一或多個被動電路元件，例如電容器、電阻器或電感器，或其組合，該一或多個被動電路元件儘管未在圖1中具體展示，但可進一步促成晶片及封裝100之功能。

如由封裝100進一步提供，第一元件可充當以機械方式支撐晶片之載體。晶片之厚度112通常小於或等於第一元件之厚度116。當第一元件與晶片為CTE匹配且第一元件結合至晶片之前表面時，與第一元件相比，晶片可相對薄。舉例而言，當第一元件具有匹配於晶片之CTE時，晶

片之厚度112可僅為幾微米，此係因為施加給導電元件114之應力散佈在第一元件之尺寸及厚度116上，而非直接施加給導電襯墊106。舉例而言，在一特定實施例中，晶片的半導體區107之厚度120可小於一微米至幾微米。晶片、結合至晶片之第一元件及導電元件114一起提供微電子組件122，微電子組件122可安裝於微電子封裝中且經進一步互連。

如在圖1中進一步所見，導電元件114可諸如經由結合金屬(例如，焊料、錫、銦或其組合)之塊體128導電地結合(類似於覆晶方式)至介電元件126之觸點124。介電元件又可具有複數個端子130以用於諸如經由從介電元件126突出來之導電塊體132(例如，焊球)將封裝100進一步電連接至電路面板134之對應觸點136。

圖2為進一步說明微電子組件122的結構之部分剖視圖。當第一元件由半導體材料製成時，可將介電層138提供為可符合第一開口111之內表面121及第二開口113之內表面123的輪廓之一塗層。在一實例中，當第一元件基本上由半導體材料組成時，可藉由在開口111、113之內表面上及在第一元件之曝露表面148上的電泳沈積來選擇性地形成此保形介電層138，如下文將更詳細描述。此後，諸如藉由沈積金屬或導電金屬化合物以使其與導電襯墊106及介電層138相接觸，可在該等開口內形成導電層114A。此後，在形成導電層之後，可用介電材料150填充在開口111、113內剩餘之體積。可接著藉由隨後沈積於介電材料

150上導電材料(例如，金屬)在介電材料150之頂部上形成導電觸點114B。

圖3說明圖2中所展示之實施例的變體。在此變體中，第二導電元件154電耦合至導電襯墊106且在晶片之主表面152(具體言之，晶片之遠離前表面104的後表面)處曝露。開口153可自晶片之後表面152延伸且曝露導電襯墊106之至少一部分。介電層158可加襯裡於晶片之開口153且使第二導電元件154與晶片的半導體區107電絕緣。在圖3中所展示之特定實施例中，介電層158可符合在開口153內曝露之半導體區的內表面159之輪廓。另外，如同導電元件114一樣，第二導電元件可包括沿著介電層158延伸之導電層154A，導電層154A亦可符合在開口153內之半導體區的內表面159之輪廓。如在圖3中特定展示，類似於上文描述的第一導電觸點114(圖2)，可將介電材料160沈積於導電層154A上且可提供上覆該介電材料之外部導電觸點154B。如圖3中所展示，第二導電觸點154B可上覆其所直接或間接電耦合至之導電襯墊106之至少一部分。如在圖3中進一步所見，在封裝層及晶圓中的開口之內表面123、159具有介電層138、158所符合且導電層114A、154A所符合之輪廓。內表面123、159可分別以實質上不同的角度162、163自晶圓之前表面或主表面延伸出來。結果，在導電層114A、154A與導電襯墊相會處之開口113、153的寬度190、192可分別小於在各別方向181、183中距導電襯墊106實質距離處之開口113、153的寬度191、193。在一特

定實施例中，在該等開口與導電襯墊106之各別表面相會處，開口113、153可具有其最小寬度190、192。

如將進一步理解，第二導電元件154B在晶圓200之表面處曝露且可用於形成介於微電子組件(圖3)與在微電子組件外部的部件之間的導電互連。舉例而言，如在圖3A中進一步所見，微電子組件之晶片102的一些導電襯墊106A可具有在晶片之後表面處曝露之導電元件154，且藉由結合金屬155(例如，焊料)與在第二介電元件196上之導電特徵194(諸如導電襯墊)電互連。介電元件196可進一步包括其它特徵，諸如可與該等襯墊電連接之導電跡線198。如在圖3A中進一步所見，該等導電襯墊中之其他導電襯墊106B可不具有連接至該等導電襯墊106B且在晶片102之後表面處曝露之導電元件154。

圖4說明將第二導電元件164提供為實心導電結構之另外變體。在此狀況中，第二導電元件164至少部分地填充在形成保形介電塗層158之後在晶片中的開口內剩餘之體積。如在圖4中進一步所見，第二導電元件之導電觸點或導電襯墊部分164B可沿著晶片之後表面152延伸超過開口153。

圖5說明又一變體，其中第二導電元件包括沿著介電層158延伸的導電層166。如在上述實施例中一樣，介電層158及導電層166可符合開口的內表面159之輪廓。如在圖5中進一步展示，可將導電塊體168(其可為結合金屬，例如焊料、錫、鈹或其組合)接合至導電層。導電塊體168可至

少實質上填充該開口且(如圖5中所展示)可突出超過晶片之後表面152。

參看圖6，現將描述製造根據上述實施例中之任一者之微電子組件的方法。如在圖6中所見，半導體晶圓200或晶圓之部分可包括在切割線201處附接在一起的複數個半導體晶片102。每一晶片通常具有在晶片之前表面104處曝露之複數個導電襯墊106。如在圖7中所見，諸如經由黏合劑108或其他介電結合材料(諸如具有相對低熔化溫度(諸如低於500°C之溫度)之摻雜玻璃)將封裝層110(諸如具有小於10 ppm/°C的CTE之未圖案化半導體晶圓或玻璃晶圓或其他元件)結合至前表面104。封裝層110通常具有接近或等於半導體晶圓200的CTE之CTE。舉例而言，當半導體晶圓200基本上由矽組成時，封裝層110可基本上由與晶圓200為CTE匹配之矽組成。或者，摻雜玻璃之封裝層110可與半導體晶圓200為CTE匹配。在一特定實施例中，當封裝層110與晶圓200為CTE匹配時，介電結合材料亦可與晶圓200為CTE匹配。

在將封裝層110結合至晶圓200之後，可將封裝層110之厚度自最初厚度減小至已減小之厚度116(如在圖8中展示)。可藉由研磨、研光或拋光製程或其組合來減小封裝層110的厚度。在一實施例中，在此製程期間達到之已減小之厚度116可為封裝層110之最終厚度。

下文中使用一系列局部剖視圖來說明在根據本發明之實施例的製造微電子組件的方法中之各階段。可通常在晶圓

級上(亦即，在將半導體晶圓(圖6)切割成個別晶片102之前)執行本文中所展示之步驟，但在每一圖中可能僅出現個別晶片之一部分。應將對製造該微電子組件的方法之以下描述理解為涵蓋晶片級或晶圓級製造技術，而不論是否具體描述此等技術，且不論以下描述是否參考針對晶圓或晶片所執行之製程。

圖9說明在圖8中所說明的階段之後之製造階段。如圖9中所展示，形成開口170，開口170自封裝層110之外表面148延伸至上覆導電襯墊106的介電結合層108之表面108A。可以分級方式將開口170形成為自封裝層110之曝露表面148朝向晶片前表面104延伸之第一開口111及自第一開口進一步朝向晶片前表面104延伸之第二開口113。在一實施例中，可藉由以下操作來形成第一開口111及第二開口113：諸如經由蝕刻、雷射切除或藉由「噴砂」(亦即，藉由朝向封裝層導向微磨粒子流)來形成第一開口。此後，該製程可進一步包括：形成加襯裡於第一開口111的內表面之一介電層(未圖示)，在此介電層中形成一孔，及接著藉由將封裝層蝕刻穿過該孔直至結合層108之表面被曝露來形成第二開口113。在蝕刻封裝層110以形成第二開口時，在第一開口中之介電層可充當遮罩，以使得封裝層在介電層中的孔內曝露處被蝕刻且介電層保護封裝層之遠離該孔的部分免於被蝕刻。此後，如在圖10中所說明，移除在第二開口113內曝露且上覆導電襯墊106的結合層108之一部分以曝露該襯墊之自晶片102面向外的上表面172之

至少一部分。

形成第一開口及第二開口之製程可如美國專利公開案 20080246136A1 或以下各自於 2010 年 7 月 23 日申請之美國申請案中之任一者或全部中所大體描述：申請案第 12/842,717 號、第 12/842,612 號、第 12/842,669 號、第 12/842,692 號、第 12/842,587 號，該等案的揭示內容以引用的方式併入本文中，其中例外為：第一開口及第二開口延伸穿過封裝層及結合層而非穿過晶片，且第二開口曝露導電襯墊之面向外的上表面之一部分而非下襯墊表面。

如在圖 11 中進一步所見，可形成介電層 138，介電層 138 分別沿著第一開口之內表面 121 及第二開口之內表面 123 延伸且上覆封裝層 110 之面向外的表面 148。在一實例中，可使用電泳沈積技術來相對於該等開口之內表面 121、123 及封裝層表面 148 保形地形成介電塗層 138。以此方式，可將保形介電塗層僅沈積至該組件之曝露的導電及半導體表面上。在沈積期間，將半導體裝置晶圓保持在所要電位，且將電極浸沒於電解槽中以將電解槽保持在不同的所要電位。接著在恰當條件下將該組件保持在電解槽中達足夠時間，以在裝置晶圓之導電或半導體曝露表面上(包括(但不限於)沿著面向外的表面 148、第一開口 111 之內表面 121 及第二開口 113 之內表面 123)形成經電泳沈積的保形介電層 138。只要在待藉由電泳沈積來塗佈的表面與電解槽之間維持足夠強的電場，就發生電泳沈積。經電泳沈積之塗層為自行限制的，因為在該塗層到達由其沈積參數(例如，電壓、

濃度等)控管之某厚度之後，沈積停止。

電泳沈積在該組件之導電及/或半導體外表面上形成連續的且厚度均勻的保形塗層。此外，可沈積電泳塗層以使得其不在上覆導電襯墊106的上表面172之介電結合層108的表面108A上形成(歸因於介電結合層108之介電(不導電)性質)。換言之，電泳沈積之性質為：只要上覆半導體的介電材料層具有足夠厚度，電泳沈積就不在該介電材料層上形成(考慮到介電材料層之介電性質)。通常，電泳沈積將不在具有大於約10微米至幾十微米的厚度之介電層上發生。可由陰極環氧樹脂沈積前驅體形成保形介電層138。或者，可使用聚胺基甲酸酯或丙烯酸沈積前驅體。以下表1中列出各種電泳塗層前驅體組成及供應源。

表 1

ECOAT名稱	POWERCRON 645	POWERCRON 648	CATHOGUARD 325
製造商			
MFG	PPG	PPG	BASF
類型	陰極	陰極	陰極
聚合物基	環氧樹脂	環氧樹脂	環氧樹脂
所在地	Pittsburgh, PA	Pittsburgh, PA	Southfield, MI
應用資料			
無Pb/Pf	無Pb	無Pb或無Pf	無Pb
HAP, g/L		60-84	視條件而定
VOC, g/L(減去水)		60-84	<95
固化	20分鐘/175C	20分鐘/175C	
膜性質			

顏色	黑	黑	黑
厚度，μm	10-35	10-38	13-36
鉛筆硬度		2H+	4H
電解槽特性			
固體，% wt	20(18-22)	20(19-21)	17.0-21.0
pH(25C)	5.9(5.8-6.2)	5.8(5.6-5.9)	5.4-6.0
導電率(25C)μS	1000-1500	1200-1500	1000-1700
P/B比率	0.12-0.14	0.12-0.16	0.15-0.20
操作溫度，C	30-34	34	29-35
時間，秒	120-180	60-180	120+
陽極	SS316	SS316	SS316
伏特		200-400	>100
ECOAT名稱	ELECTROLAC	LECTRASEAL DV494	LECTROBASE 101
製造商			
MFG	MACDERMID	LVH COATINGS	LVH COATINGS
類型	陰極	陽極	陰極
聚合物基	聚胺基甲酸酯	胺基甲酸酯	胺基甲酸酯
所在地	Waterbury, CT	Birmingham, UK	Birmingham, UK
應用資料			
無Pb/Pf		無Pb	無Pb
HAP，g/L			
VOC，g/L(減去水)			
固化	20分鐘/149C	20分鐘/175C	20分鐘/175C
膜性質			
顏色	透明(+染色)	黑	黑
厚度，μm		10-35	10-35
鉛筆硬度	4H		
電解槽特性			
固體，% wt	7.0(6.5-8.0)	10-12	9-11

pH(25C)	5.5-5.9	7-9	4.3
導電率(25C) μ S	450-600	500-800	400-800
P/B比率			
操作溫度，C	27-32	23-28	23-28
時間，秒			60-120
陽極	SS316	316SS	316SS
伏特	40，最大		50-150

在另一實例中，可以電解方式形成介電層。此製程類似於電泳沈積，其中例外為：所沈積層之厚度不受與形成該所沈積層的導電或半導體表面之接近度限制。以此方式，可將經電解沈積之介電層形成為基於要求所選擇之厚度，且處理時間為所達成厚度之一因素。

以此方式形成之介電層138可符合第一開口之內表面121及第二開口之內表面123的輪廓。

在形成介電層138之後，可在開口111、113內形成導電層114A(圖11)，導電層114A在形成於保形介電層138上時亦可符合第一開口的內表面121及第二開口的內表面123之輪廓。額外介電層150之沈積及上覆介電層150的金屬層114B之形成完成導電元件114，導電元件114在封裝層的面向外之表面處曝露。該導電元件在第一開口111及第二開口113內延伸且電耦合至導電襯墊106。可在封裝層中的各別開口內同時形成複數個此等導電元件114，該等導電元件電耦合至晶圓200之各別導電襯墊106。

此後，如在圖12中所見，可將臨時載體180或承載晶圓(handle wafer)附接至封裝層110之曝露表面，其上覆導電

元件114之曝露觸點114B。舉例而言，可使用黏合劑182來附接載體180，可如下文所描述在隨後處理之後移除黏合劑182。

如在圖13中進一步展示，可將晶圓200之厚度減小至一值，該值可為該晶圓的最終厚度112。可使用研磨、研光或拋光來減小晶圓厚度。在一特定實施例中，已減小之厚度可在0.5微米至僅幾微米之範圍中。在一可能的實施中，晶圓200之最終厚度112可受控於內埋於晶圓200內的介電層184(圖12)之存在，該介電層184將該晶圓之上部分186(其鄰近該前表面且具有厚度112)與下部分188(其與上部分186對置)分離。在一實施例中，在晶圓200中製造主動半導體裝置之前，內埋介電層184可為在晶圓200的絕緣體上半導體或絕緣體上矽晶圓結構中提供之內埋氧化物層。在此狀況中，下晶圓部分188可為單晶或多晶半導體材料。接著，在到達圖13中所展示之製造階段之後，可自該結構移除載體180及黏合劑182，從而產生圖2中所展示之微電子組件122。

或者，無需自封裝層110卸除該載體，可執行多個步驟以製造進一步包括第二導電元件154之微電子組件(如在圖3中所見)。具體言之，如在圖14中所見，可形成延伸穿過晶圓200的半導體區之厚度的開口153。如在圖14中所見，可以對晶圓的介電層105有選擇性之方式來形成該開口。介電層105可包括複數個層間介電(「ILD」)層(其中提供有金屬佈線)、上覆該等ILD層之一或多個鈍化層，或兩者。

因而，開口153曝露介電層105之一部分而不延伸穿過介電層153。

接下來，如在圖15中所見，開口153延伸穿過介電層105以曝露導電襯墊106的下表面174之至少一部分。下表面174與襯墊之上表面172對置，第一導電元件114自上表面172延伸，如圖15中所說明。此後，如在圖16中所見，可形成保形介電層158且接著形成通常為金屬或導電金屬化合物之保形導電層，該保形導電層至少部分地在該開口內延伸以形成包括導電層之第二導電元件154，第二導電元件154電耦合至導電襯墊106且通常藉由介電層158而與晶圓200電絕緣。進一步處理可包括形成上覆導電層154A的介電層160，且可接著形成通常為金屬或導電金屬化合物之導電觸點154B，導電觸點154B上覆介電層160。

此後，可卸除載體及結合層182，從而產生如在圖3中所見之微電子組件。

在上述實施例之變體中，可形成導電層164(圖4)以提供導電觸點164，導電觸點164在晶圓之後表面152處曝露且在無額外介電層160將觸點164與導電襯墊160分離的情況下延伸至該導電襯墊，而不是在介電層158上形成保形導電層154A且接著在晶圓200中的開口內形成上覆該導電層之額外介電層160(如在圖16中所見)。

圖17說明在圖16中所見的實施例之變體，其中第一及第二導電襯墊206在封裝層110內之第二開口213曝露。如在圖17中進一步所見，可形成複數個導電元件214，該複數

個導電元件214自各別導電襯墊206延伸至上覆該封裝層110之面向外的曝露表面218之表面。該等導電元件214可藉由介電層138及額外介電層250彼此電絕緣，介電層138沿著第一開口211及第二開口213之內表面延伸，額外介電層250可實質上或完全填充開口211、213內之剩餘體積。如在圖17中所見，導電元件214之部分可作為襯墊或跡線在開口211內之額外介電層250上延伸。然而，在一替代實施例中，該等導電元件可具有僅在該封裝層中的開口211之外的位置處曝露之部分。

另外，如在上述實施例(圖2、圖3)中一樣，可選的第二導電元件254可自導電襯墊206延伸且在晶圓或晶片102之後表面處曝露以准許形成至外部部件之電互連。

圖18說明該實施例(圖17)之變體，其中在形成第二導電元件時省略介電填充材料，使得導電材料在導電襯墊206與導電材料之表面254A之間為連續的，導電材料之表面254A被曝露以用於與外部部件互連。在一特定實施例中，第二導電元件254A可具有如上文關於圖5所描述之結構，其中結合金屬168接合至在該開口內之導電層166且在微電子組件之表面152處曝露。

圖19說明另一變體，其中複數個第二開口313A、313B自封裝層110中的特定第一開口311延伸。舉例而言，可藉由雷射鑽孔或其他實質上垂直的圖案化方法(例如，反應性離子蝕刻(「RIE」))來形成第二開口，在此之後形成介電層328以加襯裡於該等第二開口之內表面。導電元件

314A、314B可實質上或完全填充在形成介電層328之後在第二開口313A、313B內剩餘之體積。如在圖19中進一步所見，導電元件314A、314B可接觸在晶圓200之表面處曝露之導電襯墊306的邊緣。在晶圓之後表面處曝露之第二導電元件354可上覆在開口內之介電層360，或第二導電元件356可具有如在圖20中所見之結構，該結構不需要包括介於導電襯墊與導電元件的曝露表面之間的介電層。

圖21說明根據本發明之另一實施例的微電子組件，其中具有在封裝層410的外表面418處曝露之接觸襯墊416的導電元件414具有凹角型態。換言之，導電元件414可具有以下形狀，該形狀在鄰近晶圓401的導電襯墊406之相對大寬度420與鄰近該封裝層的曝露表面418之較小寬度421之間變化。如在上文之實施例(例如，圖1、圖3)中一樣，封裝層可基本上由半導體材料組成，其中介電層416安置於在封裝層中的開口411之內表面與導電元件414之間。如在圖21中進一步所見，在晶圓401之外表面處曝露之第二導電元件454可在襯墊406的厚度408之方向中延伸穿過導電襯墊406。在一實施例中，如在圖21中所見，第二導電元件454可具有連接部分412，該連接部分412在該組件之一高度處電接觸第一導電元件414，該高度介於晶圓401與封裝層410的鄰近表面之間。

現將描述能夠形成該微電子組件(圖21)之製程。在初始製造階段(圖22至圖23)中，形成開口411，開口411自封裝層410(諸如半導體晶圓)之主表面朝向該封裝層之與該主表

面對置的第二主表面423延伸。此後，如在圖24中所見，可形成介電層，該介電層加襯裡於該開口之內表面且上覆主表面403。此後，可將金屬層或導電金屬化合物層或兩者沈積於該開口中以填充該開口且形成第一導電元件430。可同時形成自晶圓之表面403朝向表面423延伸的複數個此等導電元件430。

此後，如在圖25中所說明，可將封裝層410結合至裝置晶圓400，裝置晶圓400中具有主動半導體裝置及在其前表面404處曝露之複數個導電襯墊406。封裝層410之導電元件430可與該裝置晶圓之對應導電襯墊406配合，以使得導電元件430至少部分地上覆各別導電襯墊406。

隨後，如在圖26中所說明，可將裝置晶圓400之厚度減小為厚度416(諸如上文關於圖2所描述)以提供薄化晶圓401。接著，如在圖27中所見，可形成延伸穿過晶圓401的半導體區之開口453。舉例而言，可使用蝕刻製程，可針對介電層(未圖示)(例如，可能在導電襯墊的下表面406A下方之一系列ILD層及鈍化層)選擇性地執行蝕刻製程。

接下來，如在圖28中所說明，可形成一另外開口，該另外開口延伸穿過該介電層(未圖示)、導電襯墊406及介於薄化晶圓401與封裝層410之間的結合層405。接著，如在圖29中所說明，諸如藉由如在前文中所描述之電解技術在該開口內形成介電層452。可接著形成第二導電元件454以使其與第一導電元件430相接觸。第二導電元件454之一部分可上覆薄化晶圓401之後表面452，其中介電層452安置於

半導體區與第二導電元件454之間。

如在圖30中所見，可使用臨時黏合劑418將臨時支撐晶圓或載體440結合至晶圓401之後表面453。此後，如在圖31中所見，可(例如)藉由研磨、研光或拋光來減小封裝層410之厚度，直至第一導電元件430之至少部分在封裝層410之曝露表面411處至少部分地曝露。接著，可視情況形成額外介電層434且在介電層434之頂上形成導電襯墊432(圖32)且使其與第一導電元件相接觸以提供如在圖32中所說明之結構。隨後，可自裝置晶圓401卸除臨時載體440以提供如(例如)在圖21中所見之完成的微電子組件。

現參看圖33，在上述製造方法(圖21至圖32)之變體中，可結合在圖28中所展示之處理而執行濕式蝕刻步驟或其他蝕刻步驟。可以不蝕刻在第一導電元件430及導電襯墊406的曝露表面處曝露之材料的方式來執行濕式蝕刻步驟。在此狀況中，濕式蝕刻步驟可產生介於第一導電元件430與鄰近該第一導電元件430的導電襯墊406之間的切槽區442。

隨後，如在圖34中所展示，可接著形成介電層452且可將金屬或導電金屬化合物區464沈積至第一導電元件430上、沈積於該等切槽區內且沈積至導電襯墊406及介電層452之表面上以產生如在圖34中所見之結構。在第二導電元件的金屬區464沈積於切槽區442內的情況下，該等金屬區可具有與晶圓401的導電襯墊406相接觸之更大表面積。以此方式，有可能在導電襯墊406與第一及第二導電元件

之間的最終結構性連接中達成改良的製程容限或改良的可靠性。此後，可執行如上文(圖31至圖32)上描述之進一步處理以產生如在圖35中所見之微電子組件。

在另一變體中，在薄化封裝層410時(如在圖36中所見)，可更進一步減小封裝層之厚度460，以使得封裝層自裝置晶圓前表面404起之剩餘高度462低於第一導電元件430自裝置晶圓前表面起之最大高度464。此後，可自該結構移除介電層428之在封裝層的已減小之高度462上方曝露之部分以產生如在圖37中所表示之結構，其中複數個導電柱體470具有突出於封裝層的曝露表面421上方之實質部分。另外，當藉由電鍍或沈積在正常晶片操作溫度範圍中具有實質剛性的金屬(例如，銅、鎳、鋁等)、耐火金屬(例如，鎢、鈦)及其類似者來形成柱體470時，柱體470可為實質上剛性的。

圖38進一步說明由此變體(圖36至圖37)產生之微電子組件的可能的進一步互連配置。如在圖38中所見，可經由焊料塊體482將微電子組件480之實質上剛性的導電柱體470安裝至介電元件426上之對應觸點484以形成微電子封裝490。觸點484又可與在介電元件426的下表面488處曝露之接合單元486(例如，焊球或其他結合金屬塊體(諸如錫或鈦或其組合))電連接。如在圖38中進一步展示，可使用接合單元486將封裝490接合至在電路面板494之表面493處曝露之對應觸點492。

圖39說明根據另一變體之微電子組件590，其展示並非

晶圓 501 的所有導電襯墊需要與第一導電元件 530 相連接 (特定而言，導電襯墊 506A 不需要)。為形成組件 590，在形成封裝層 510 之第一導電元件時可省略在對應於襯墊 506A 的位置處之第一導電元件。在如上文關於圖 27 所描述將裝置晶圓與封裝層結合且形成上覆導電襯墊的開口 453 之後，可使用諸如抗蝕劑圖案之阻擋層來控制導電層延伸穿過導電襯墊 506B 之位置及導電襯墊 506A 不應被穿透之其他位置。

圖 40 說明又一變體，其中可形成導電的再分配層 (「RDL」) 640，其上覆安置於封裝層 610 上的介電層之表面。該 RDL 可包括導電跡線 642 及襯墊 644。如在圖 40 中所見，跡線 642 可將第一導電元件 630 中之一或多者與導電襯墊 644 中之一或多者電連接，導電襯墊 644 中之該一或多者又連接至第二導電元件中之一或多者 654A。在一特定實施例中，如在圖 40 中所說明，第二導電元件中的一些 654B 可不與組件 690 中之第一導電元件電連接。如在圖 40 中進一步所見，第二導電元件中的一些可經由與其相接觸之導電金屬層 656 電連接至參考電位源 (諸如接地)。在一特定實施例中，金屬層 656 可為焊料、錫、銮或其組合之接合層。此外，在一實施例中，金屬層 656 可用以電連接及接合第二導電元件中之一或多者與金屬接地平面，其亦可充當微電子組件 690 之導熱散熱片。介電層 658 可使第二導電元件 654A 與組件 690 之接合層 656 電絕緣。

根據上述實施例 (圖 21 至圖 32) 的其他變體之微電子組件

可進一步見於圖41及圖42中，其中兩個或兩個以上第一導電元件714A、714B沿著在封裝層710中的開口711之內表面延伸，第一導電元件包括延伸穿過介於第一開口711與組件790的介電層之曝露表面718之間的單獨開口之部分716A、716B。第一導電元件714A、714B可包括在介電層718之表面718處曝露之各別導電襯墊720A、720B，如在圖41及圖42中所展示，導電襯墊720A、720B可上覆介電層718。在圖41中所展示之組件的第二導電元件754A、754B與圖42中所展示之第二導電元件755A、755B有所變化，其方式與在上文關於圖17及圖18所描述的實施例中之第二導電元件相同，具體而言，襯墊754A、754B之曝露的接觸表面(圖41)上覆在其所連接至的各別襯墊706A、706B上方之介電層，而在圖42之組件中並非如此。

圖43說明另一變體，其中複數個第一導電元件814A、814B自至晶圓的導電襯墊806A、806B之連接沿著在封裝層810中的分級開口之內表面延伸，且包括在封裝層上之曝露的導電襯墊832。在此狀況中，該分級開口包括自封裝層810之第一主表面812(其鄰近該裝置晶圓801)延伸之第一開口811，及自第一開口811至少延伸至封裝層810之第二主表面816(其遠離該第一主表面)的第二開口813。第一開口及第二開口可具有表面821、823，表面821、823在不同的方向中延伸，從而在表面821、823相會處界定頂點826。介電材料850通常覆蓋第一導電元件814A、814B。第一導電元件814A、814B至導電襯墊806A、806B之互連

可如上文關於圖41所描述。

圖44說明該實施例(圖43)的變體，其類似於上述實施例(圖42)，其中第二導電元件855A、855B具有並未藉由介電材料與導電襯墊806A、806B分離之接觸表面。

圖45說明根據上文關於圖2所描述的實施例之變體的微電子組件990。在此變體中，自裝置晶圓901之導電襯墊906延伸之第一導電元件914不符合開口911、913的內表面之輪廓，開口911、913一起在封裝層的厚度之方向922中延伸穿過封裝層910。如在圖45中所見，第一導電元件可具有形狀為圓柱形或截頭圓錐形之在封裝層的厚度之方向中延伸的部分以接觸導電襯墊906的上表面907。

在開口911、913內提供介電區928，介電區928通常接觸導電襯墊906之上表面907，其中第一導電元件延伸穿過該介電區。該介電區之部分928A可上覆封裝層之面向外的表面926。可將在介電區928之表面處曝露之導電襯墊916提供為導電元件914之部分，且可將導電襯墊916安置於介電區928的頂上。或者，可省略導電襯墊916。

可藉由與上文關於圖6至圖13所描述之處理類似之處理來製造微電子組件990，其中例外為：藉由沈積介電材料以填充開口911、913來形成介電區928。此等介電區928通常基本上由聚合材料組成，該聚合材料可為柔性的(如藉由該材料的彈性模數與該介電區的厚度之組合所判定)。在形成該等介電區之後，可形成延伸穿過介電區928以曝露導電襯墊906的至少部分之孔隙。該等孔隙可具有圓柱

形或截頭圓錐形形狀以及其他形狀中之至少一者。可接著在該等孔隙中提供導電層或填充物(例如，金屬或導電金屬化合物)以形成第一導電元件914之垂直延伸的部分。此後，可接著在介電層928之表面上方形成曝露的導電襯墊部分916。

圖46說明圖45中所展示之實施例的變體，其中第二導電元件954(類似於上文關於圖4所描述之第二導電元件164)在裝置晶圓901的曝露表面處曝露且電接觸導電襯墊906。

圖47說明圖46中所展示之實施例的變體，其中第二介電區938上覆導電襯墊906之與上表面907對置的下表面909。在此狀況中，第一導電元件之垂直延伸的圓柱形或截頭圓錐形部分914A可延伸穿過導電襯墊906，到達在裝置晶圓901之面向外的後表面950處曝露之導電襯墊部分918。在此狀況中，垂直延伸部分914A可能不分別符合在封裝層及裝置晶圓中的開口911、913及915中之任一者的內表面之輪廓。微電子組件(圖47)之製造的變化之處在於：在開口911、911、915中形成介電區928、938，在此之後，諸如藉由雷射切除、微磨粒子流(例如，「噴砂」)或其他技術形成延伸穿過導電襯墊906及介電區928、938之圓柱形或截頭圓錐形開口。此後，在一實施例中，可形成導電襯墊916、918，導電襯墊916、918可在微電子組件之對置面處曝露。

圖48說明根據圖47中所展示之實施例的變體之微電子組件1090，其中第二導電元件1054可延伸穿過導電襯墊1006

之厚度。在一實施例中，微電子組件1090之製造可包括在裝置晶圓1001中形成開口1015，該形成包括(例如)藉由蝕刻、雷射切除、微磨粒子流等在自裝置晶圓1001的下表面1050起之方向中圖案化導電襯墊1006。此圖案化可受限於介於裝置晶圓與封裝層1010之間的結合層1008的存在。在開口1015中形成介電層1038之後，可接著形成在開口1015內延伸之第二導電元件1054。

圖49說明另一變體，其中第一導電元件1114及第二導電元件1154在封裝層1110的厚度內之位置處相會。在此狀況中，第二導電元件1154延伸穿過裝置晶圓1101之導電襯墊1106。

如在圖50中進一步所見，在該實施例(圖49)之變體中，第二導電元件1254可包括部分1254B，部分1254B符合在裝置晶圓1201中的開口1215之內表面的輪廓。然而，如在圖50中所見，在封裝層1210的厚度內延伸之部分1254A可不符合開口1213之內表面的輪廓，部分1254A延伸至開口1213中。

圖51說明根據上文描述的實施例(圖43)之變體之微電子組件，其中微電子元件1301之第一導電襯墊1306A及第二導電襯墊1306B在第一元件1310之相對寬的貫穿開口1313內至少實質上曝露。至該等襯墊之單獨導電元件1314A、1314B沿著該開口之內表面延伸且可在介電層1318中的開口1316A、1316B內曝露，介電層1318上覆第一元件的主表面1320。

圖 52 說明在上述實施例(圖 51)之又一變體中的導電元件之方法中的一階段。在此狀況中，將開口 1313 形成為延伸穿過第一元件之厚度且接著諸如藉由上文描述的技術中之一者用介電材料 1318 來填充開口 1313。接著，如在圖 53 中所見，可將與上文描述的彼等元件(圖 45)類似之導電元件 1314 形成為延伸穿過介電區 1318 以接觸導電襯墊 1306A、1306B。視情況，可在導電元件 1314A、1314B 的頂上提供導電襯墊 1315A、1315B，此等導電襯墊通常被曝露以用於與外部部件互連。

現轉而參看圖 54 以及下列等等，現將描述用於製造根據上述實施例(圖 22 至圖 34)之變體之微電子組件的方法。如在圖 54 中所見，形成自第一元件 1410(例如，具有小於 10 ppm/°C 的 CTE 之元件)之主表面延伸之開口 1413。在一實例中，第一元件可基本上由半導體或介電材料組成。接著用介電材料 1418 填充第一元件 1410，介電材料 1418 可形成上覆該第一元件的主表面 1420 之層。參看圖 55，接著組裝(例如，結合)第一元件 1410 與上面具有導電襯墊 1406 的微電子元件 1402，圖 55 中說明該等導電襯墊 1406 中之一者。

接著，以與上文描述之方式(圖 26)類似的方式，可藉由如上文所描述之研磨、研光或拋光或其組合來達成微電子元件之已減小之厚度 1411(如在圖 56 中所見)。接著，可組裝該結構與載體 1430(圖 57)，且可減小在開口 1413 上方的第一元件 1410 之厚度，直至該開口在第一元件之表面 1417 處曝露(圖 58)。

可接著在表面 1417 的頂上形成介電層 1419 (如在圖 59 中所見)。此後，可形成開口 1432，開口 1432 延伸穿過在表面 1417 上方 (圖 60) 及在開口 1416 內之介電材料以曝露導電襯墊 1406 之一部分。通常，在開口 1432 內曝露上表面 1409 (亦即，背對微電子元件 1402 之表面) 之一部分。然而，在一些狀況中，開口 1432 可延伸穿過襯墊 1406 以使得在襯墊 1406 中的開口之內表面可曝露。

圖 61 說明一後續階段，其中在一或多個步驟中沈積金屬以形成導電元件 1414 及上覆該導電元件 1414 之導電襯墊 1420。襯墊 1420 可上覆或可不上覆第一元件之表面 1417 及介電層 1419。圖 61 說明導電元件為非中空 (亦即，完全由金屬填充) 之實例。在到達在圖 61 中所展示之階段之後，可自微電子元件 1402 移除載體，從而產生如在圖 62 中所見之結構。

圖 63 說明在圖 62 中所見的實施例之另一變體，其中導電元件 1424 可為諸如藉由沈積金屬以加襯裡於開口 1432 的內表面而形成的中空結構。在圖 62 或圖 63 的變體中，導電元件通常將呈圓形結構之形式，該圓形結構符合在介電材料中的開口 1432 之輪廓，但不符合在第一元件 1410 中首先製成之開口 1413。導電襯墊 1430 可上覆導電元件 1424 且可自導電元件 1424 在一或多個橫向方向 1440 中延伸出來，橫向為第一元件之表面 1417 延伸之方向。

微電子組件之結構及製造及其至較高階組件中之併入可包括在以下中之一或多者中所描述的結構及製造步驟：各

自於2010年12月2日申請之以下共同擁有之同在申請中的美國申請案：美國臨時申請案第61/419,037號及美國非臨時申請案第12/958,866號；及各自於2010年7月23日申請之以下美國申請案：申請案第12/842,717號、第12/842,651號、第12/842,612號、第12/842,669號、第12/842,692號及第12/842,587號；所有此等申請案之揭示內容以引用的方式併入於本文中。上文論述之結構提供卓越的三維互連能力。此等能力可配合任何類型之晶片而使用。僅藉由實例，以下晶片組合可包括於如上文所論述之結構中：(i)處理器及配合該處理器而使用之記憶體；(ii)相同類型的多個記憶體晶片；(iii)不同類型的多個記憶體晶片，諸如DRAM及SRAM；(iv)影像感測器及用以處理來自該感測器的影像之影像處理器；(v)特殊應用積體電路(「ASIC」)及記憶體。上文論述之結構可用於構造不同電子系統。舉例而言，根據本發明之另一實施例的系統1500包括如上文所描述的結構1506以及其他電子部件1508及1510。在所描繪之實例中，部件1508為半導體晶片，而部件1510為顯示螢幕，但可使用任何其他部件。當然，儘管為了說明之清晰起見在圖64中描繪僅兩個額外部件，但該系統可包括任何數目個此類部件。舉例而言，如上文所描述之結構1506可為如上文結合圖1或圖2至圖63中任一者所論述之微電子組件100。在另一變體中，可提供兩者，且可使用任何數目個此類結構。將結構1506及部件1508及1510安裝於以虛線示意性地描繪之共同外殼1501中，且按需要彼此電互連以

形成所要電路。在所展示之例示性系統中，該系統包括諸如軟性印刷電路板之電路面板1502，且該電路面板包括使該等部件彼此互連之眾多導體1504，圖64中僅描繪其中之一。然而，此僅為例示性的；可使用用於製造電連接之任何適宜結構。將外殼1501描繪為攜帶型外殼，其係可用於(例如)蜂巢式電話或個人數位助理中之類型，且螢幕1510在該外殼之表面處曝露。在結構1506包括諸如成像晶片的光敏元件之情況下，亦可提供透鏡1511或其他光學裝置以用於將光導引至該結構。圖64中所展示之簡化系統同樣僅為例示性的；可使用上文論述之結構來製造其他系統，包括通常被視為固定結構之系統，諸如桌上型電腦、路由器及其類似者。

由於可在不偏離本發明之情況下利用上文論述的特徵之此等及其他變體及組合，因此對較佳實施例之以上描述應被看作說明而非被看作對如申請專利範圍所界定之本發明的限制。

儘管以上描述參考了針對特定應用之說明性實施例，但應理解，所主張之本發明不限於此。可以使用本文中提供之教示的一般熟習此項技術者將認識到在所附申請專利範圍之範疇內的額外修改、應用及實施例。

【圖式簡單說明】

圖1為說明附接至電路面板之根據本發明之實施例的微電子封裝之剖視圖。

圖1A為進一步說明圖1中所展示的微電子封裝之局部剖

視圖。

圖2為特定地說明根據圖1之微電子封裝之微電子組件的局部剖視圖。

圖3為說明根據圖1中所展示的實施例之變體的微電子組件之局部剖視圖。

圖3A為說明根據圖1中所展示的實施例之變體的微電子封裝之剖視圖。

圖4為說明根據圖3中所展示的實施例之變體的微電子組件之局部剖視圖。

圖5為說明根據圖3中所展示的實施例之變體的微電子組件之局部剖視圖。

圖6、圖7、圖8、圖9、圖10、圖11、圖12、圖13、圖14、圖15及圖16為說明在根據本發明之實施例之製造微電子組件的方法中之各階段的局部剖視圖。

圖17為說明根據圖3中所展示的本發明之實施例之變體的微電子組件之局部剖視圖。

圖18為說明根據圖17中所展示的本發明之實施例之變體的微電子組件之局部剖視圖。

圖19為說明根據圖17中所展示的本發明之實施例之變體的微電子組件之局部剖視圖。

圖20為說明根據圖19中所展示的本發明之實施例之變體的微電子組件之局部剖視圖。

圖21為說明根據圖3中所展示的本發明之實施例之變體的微電子組件之局部剖視圖。

圖 22、圖 23、圖 24、圖 25、圖 26、圖 27、圖 28、圖 29、圖 30、圖 31 及圖 32 為說明根據本發明之實施例的製造圖 21 中所展示之微電子組件的方法中之各階段的局部剖視圖。

圖 33、圖 34 及圖 35 為說明在製造根據圖 21 中所展示之實施例的變體之微電子組件的方法中之各階段的局部剖視圖。

圖 36 及圖 37 為說明在製造根據圖 21 中所展示之實施例的變體之微電子組件的方法中之各階段的局部剖視圖。

圖 38 為說明圖 3A 中所展示的實施例之變體中之微電子封裝之剖視圖，該微電子封裝定位於待與其接合的電路面板上方。

圖 39 為說明根據圖 21 中所展示的實施例之變體之微電子組件之剖視圖。

圖 40 為說明根據圖 39 中所展示的實施例之變體之微電子組件之局部剖視圖。

圖 41 為說明根據圖 21 中所展示的實施例之變體之微電子組件之局部剖視圖。

圖 42 為說明根據圖 41 中所展示的實施例之變體之微電子組件之局部剖視圖。

圖 43 為說明根據圖 42 中所展示的實施例之變體之微電子組件之局部剖視圖。

圖 44 為說明根據圖 43 中所展示的實施例之變體之微電子組件之局部剖視圖。

圖 45 為說明根據圖 2 中所展示的實施例之變體之微電子

組件之局部剖視圖。

圖 46 為說明根據圖 45 及圖 3 中所展示的實施例之變體的微電子組件之局部剖視圖。

圖 47 為說明根據圖 46 中所展示的實施例之變體的微電子組件之局部剖視圖。

圖 48 為說明根據圖 47 中所展示的實施例之變體的微電子組件之局部剖視圖。

圖 49 為說明根據圖 48 中所展示的實施例之變體的微電子組件之局部剖視圖。

圖 50 為說明根據圖 49 中所展示的實施例之變體的微電子組件之局部剖視圖。

圖 51 為說明根據圖 18 中所展示的實施例之變體的微電子組件之局部剖視圖。

圖 52 及圖 53 為說明根據圖 46 中所展示的實施例之變體的微電子組件之局部剖視圖。

圖 54、圖 55、圖 56、圖 57、圖 58、圖 59、圖 60、圖 61 及圖 62 為說明根據本發明之實施例的製造圖 45 中所展示之微電子組件的方法中之各階段的局部剖視圖。

圖 63 為說明根據圖 62 中所展示的實施例之變體的微電子組件之局部剖視圖。

圖 64 為根據本發明之一實施例的系統之示意性描繪。

【主要元件符號說明】

100	微電子封裝
102	微電子元件/半導體晶片/晶圓或晶片
103	表面

104	主表面/前表面
105	介電層
106	導電襯墊
106A	導電襯墊
106B	導電襯墊
107	半導體區
108	介電材料/黏合劑/介電結合層
108A	表面
110	第一元件/封裝層
111	第一開口
112	厚度
113	第二開口
114	導電元件
114A	導電層
114B	導電觸點/金屬層
116	厚度
118	曝露表面
121	內表面
122	微電子組件
123	內表面
124	觸點
126	介電元件
128	結合金屬塊體
130	端子
132	導電塊體

134	電路面板
136	觸點
138	介電層/介電塗層
148	曝露表面/外表面
150	介電材料/介電層
152	主表面/後表面
153	開口
154	第二導電元件
154A	導電層
154B	第二導電觸點
155	結合金屬
158	介電層/介電塗層
159	內表面
160	介電材料/介電層
164	第二導電元件/導電層
164B	導電觸點或導電襯墊部分
166	導電層
168	導電塊體/結合金屬
170	開口
172	上表面
174	下表面
180	載體
182	黏合劑/結合層
184	介電層

186	上 部 分
188	下 部 分 / 下 晶 圓 部 分
194	導 電 特 徵
196	第 二 介 電 元 件
198	導 電 跡 線
200	半 導 體 晶 圓
201	切 割 線
206	導 電 襯 墊
211	第 一 開 口
213	第 二 開 口
214	導 電 元 件
218	曝 露 表 面
250	介 電 層
254	第 二 導 電 元 件
254A	導 電 材 料 之 表 面
306	導 電 襯 墊
311	第 一 開 口
313A	第 二 開 口
313B	第 二 開 口
314A	導 電 元 件
314B	導 電 元 件
328	介 電 層
354	第 二 導 電 元 件
356	第 二 導 電 元 件

360	介電層
400	裝置晶圓
401	晶圓/薄化晶圓
403	主表面/表面
404	前表面
405	結合層
406	導電襯墊/襯墊
406A	下表面
410	封裝層
411	開口/曝露表面
412	連接部分
414	導電元件
416	接觸襯墊/介電層
418	外表面/曝露表面/黏合劑
421	曝露表面
423	第二主表面/表面
426	介電元件
428	介電層
430	第一導電元件
432	導電襯墊
434	介電層
440	支撐晶圓或載體
442	切槽區
452	介電層/後表面

453	開口/後表面
454	第二導電元件
464	金屬或導電金屬化合物區/金屬區
470	導電柱體
480	微電子組件
482	焊料塊體
484	觸點
486	接合單元
488	下表面
490	微電子封裝
492	觸點
493	表面
494	電路面板
501	晶圓
506A	導電襯墊/襯墊
506B	導電襯墊
510	封裝層
530	第一導電元件
590	微電子組件
610	封裝層
630	第一導電元件
640	再分配層
642	導電跡線/跡線
644	襯墊/導電襯墊

654A	第二導電元件中之一或多者
654B	第二導電元件中之一些
656	導電金屬層/金屬層/接合層
658	介電層
690	微電子組件
706A	襯墊
706B	襯墊
710	封裝層
711	第一開口
714A	第一導電元件
714B	第一導電元件
716A	單獨開口之部分
716B	單獨開口之部分
718	曝露表面/介電層/表面
720A	導電襯墊
720B	導電襯墊
754A	第二導電元件/襯墊
754B	第二導電元件/襯墊
755A	第二導電元件
755B	第二導電元件
790	組件
801	裝置晶圓
806A	導電襯墊
806B	導電襯墊

810	封裝層
811	第一開口
812	第一主表面
813	第二開口
814A	第一導電元件
814B	第一導電元件
816	第二主表面
821	表面
823	表面
826	頂點
832	曝露導電襯墊
850	介電材料
855A	第二導電元件
855B	第二導電元件
901	裝置晶圓
906	導電襯墊
907	上表面
909	下表面
910	封裝層
911	開口
913	開口
914	第一導電元件
914A	圓柱形或截頭圓錐形部分/垂直延伸部分
915	開口

916	導電襯墊/導電襯墊部分
918	導電襯墊/導電襯墊部分
926	表面
928	介電區
928A	介電區之部分
938	第二介電區/介電區
950	後表面
954	第二導電元件
990	微電子組件
1001	裝置晶圓
1006	導電襯墊
1008	結合層
1010	封裝層
1015	開口
1038	介電層
1050	下表面
1054	第二導電元件
1090	微電子組件
1101	裝置晶圓
1106	導電襯墊
1110	封裝層
1114	第一導電元件
1154	第二導電元件
1201	裝置晶圓

1213	開口
1215	開口
1254	第二導電元件
1254A	第二導電元件之部分
1254B	第二導電元件之部分
1301	微電子元件
1306A	第一導電襯墊
1306B	第二導電襯墊
1310	第一元件
1313	開口
1314A	導電元件
1314B	導電元件
1315A	導電襯墊
1315B	導電襯墊
1316A	開口
1316B	開口
1318	介電層/介電材料/介電區
1320	主表面
1402	微電子元件
1406	導電襯墊/襯墊
1409	上表面
1410	第一元件
1413	開口
1414	導電元件

1416	開口
1417	第一元件之表面
1418	介電材料
1419	介電層
1420	主表面/導電襯墊/襯墊
1424	導電元件
1430	載體/導電襯墊
1432	開口
1500	系統
1501	外殼
1502	電路面板
1504	導體
1506	結構
1508	電子部件/部件
1510	電子部件/部件/螢幕
1511	透鏡

七、申請專利範圍：

1. 一種微電子組件，其包含：

一第一元件，其基本上由半導體或無機介電材料中之至少一者組成；

一微電子元件，其附接至該第一元件以使得該第一元件之一表面面向該微電子元件之一主表面，該微電子元件具有在該主表面處曝露之複數個導電襯墊，該微電子元件中具有主動半導體裝置；

一第一開口，該第一開口自該第一元件之一曝露表面朝向該第一元件之面向該微電子元件的表面延伸，及一第二開口，該第二開口自該第一開口延伸至該等導電襯墊中之一第一者，其中在該第一開口與該第二開口相會處，該第一開口及該第二開口之內表面相對於該微電子元件之該主表面以不同角度延伸；及

一導電元件，其在該第一開口及該第二開口內延伸且接觸該至少一導電襯墊

其中該導電元件具有圓柱形或截頭圓錐形形狀中之至少一者，

其中該導電元件的一第一部分自鄰近該第一元件之該曝露表面的一第一寬度均勻地漸縮至在該第二開口內的一第一位置處的一第二寬度，以及該導電元件的一第二部分自鄰近該微電子元件之一後表面的一第三寬度均勻地漸縮至在該第一位置處的一第四寬度。

2. 如請求項1之微電子組件，其中該導電元件符合該第一

開口及該第二開口中之至少一者之一內表面之一輪廓。

3. 如請求項1之微電子組件，其中該導電元件具有獨立於該第一開口及該第二開口中之至少一者之一內表面之一輪廓而判定之一形狀。
4. 如請求項1之微電子組件，其中該導電元件具有圓柱形或截頭圓錐形形狀中之至少一者。
5. 如請求項1之微電子組件，其中該第一元件為不具有主動半導體裝置之一載體。
6. 如請求項5之微電子組件，其中該第一元件中進一步包括至少一被動電路元件。
7. 如請求項6之微電子組件，其中該至少一被動電路元件包括選自由一電感器、一電阻器或一電容器組成之群組的至少一者。
8. 如請求項5之微電子組件，其中該載體以機械方式支撐該微電子元件。
9. 如請求項1之微電子組件，其中該第一元件具有一第一厚度且該微電子元件具有小於或等於該第一厚度之一第二厚度。
10. 如請求項1之微電子組件，其中該微電子元件之該主表面為該微電子元件之一前表面，且該微電子元件具有與該前表面對置之該後表面及一開口，該開口自該後表面延伸且曝露該等導電襯墊中之至少一者之至少一部分，且一第二導電元件在該微電子元件中的該開口內延伸且與該導電襯墊電連接。

11. 如請求項10之微電子組件，其中該微電子元件包括複數個該等開口，且該微電子組件包括在該等第二開口內延伸且與該等導電襯墊電連接的複數個該等第二導電元件。
12. 如請求項11之微電子組件，其中該等第二導電元件與該等導電襯墊中之各別者電連接。
13. 一種微電子組件，其包含：
- 一第一元件，其基本上由半導體或無機介電材料中之至少一者組成；
 - 一微電子元件，其附接至該第一元件以使得該第一元件之一表面面向該微電子元件之一主表面，該微電子元件具有在該主表面處曝露之複數個導電襯墊，該微電子元件中具有主動半導體裝置；
 - 一第一開口，該第一開口自該第一元件之一曝露表面朝向該第一元件之面向該微電子元件的表面延伸，及一第二開口，該第二開口自該第一開口延伸穿過該等導電襯墊中之一第一者，其中在該第一開口與該第二開口相會處，該第一開口及該第二開口之內表面相對於該微電子元件之該主表面以不同角度延伸；及
 - 一導電元件，其在該第一開口及該第二開口內延伸且接觸該至少一導電襯墊，
- 其中該導電元件具有圓柱形或截頭圓錐形形狀中之至少一者，
- 其中該導電元件的一第一部分自鄰近該第一元件之該

曝露表面的一第一寬度均勻地漸縮至在該第二開口內的一第一位置處的一第二寬度，以及該導電元件的一第二部分自鄰近該微電子元件之一後表面的一第三寬度均勻地漸縮至在該第一位置處的一第四寬度。

14. 如請求項 13 之微電子組件，其中該導電元件符合該第一開口及該第二開口中之至少一者的一內表面之一輪廓。
15. 如請求項 13 之微電子組件，其中該導電元件具有獨立於該第一開口及該第二開口中之至少一者的一內表面之一輪廓而判定之一形狀。
16. 如請求項 13 之微電子組件，其中該第一元件為不具有主動半導體裝置之一載體。
17. 如請求項 16 之微電子組件，其中該第一元件中進一步包括至少一被動電路元件。
18. 如請求項 17 之微電子組件，其中該至少一被動電路元件包括選自由一電感器、一電阻器或一電容器組成之群組的至少一者。
19. 如請求項 16 之微電子組件，其中該載體以機械方式支撐該微電子元件。
20. 如請求項 13 之微電子組件，其中該第一元件具有一第一厚度且該微電子元件具有小於或等於該第一厚度之一第二厚度。
21. 如請求項 13 之微電子組件，其中該微電子元件之該主表面為該微電子元件之一前表面，且該微電子元件具有與該前表面對置之該後表面及一開口，該開口自該後表面

延伸且曝露該等導電襯墊中之至少一者之至少一部分，
且一第二導電元件在該微電子元件中的該開口內延伸且
與該導電襯墊電連接。

22. 如請求項21之微電子組件，其中該微電子元件包括複數
個該等開口，且該微電子組件包括在該等第二開口內延
伸且與該等導電襯墊電連接的複數個該等第二導電元
件。

23. 如請求項22之微電子組件，其中該等第二導電元件與該
等導電襯墊中之各別者電連接。

24. 一種微電子組件，其包含：

一第一元件，其基本上由半導體或無機介電材料中之
至少一者組成；

一微電子元件，其附接至該第一元件以使得該第一元
件之一表面面向該微電子元件之一主表面，該微電子元
件具有複數個導電襯墊，該複數個導電襯墊具有在該主
表面處曝露之上表面及與該等上表面對置之下表面，該
微電子元件中具有主動半導體裝置；

一第一導電元件，其在該第一元件中的一第一開口內
延伸且接觸該等導電襯墊中之至少一者的該上表面；及

一第二導電元件，其延伸穿過在該微電子元件中的一
第二開口且接觸該至少一導電襯墊；

該第一導電元件及該第二導電元件在該微電子組件之
對置面處曝露以用於與在該微電子組件外部的至少一部
件之導電互連，

其中該第一導電元件及該第二導電元件中之至少一者具有圓柱形或截頭圓錐形形狀中之至少一者，

其中該第一導電元件自鄰近該第一元件的一後表面之一第一寬度均勻地漸縮至在該第一開口內之一第一位置處的一第二寬度，且該第二導電元件自鄰近該微電子元件之一後表面的一第三寬度均勻地漸縮至在該第一位置處的一第四寬度。

25. 如請求項24之微電子組件，其中該第一開口及該第二開口之內表面自該至少一導電襯墊之該等各別上表面及下表面以第一角度及第二不同角度延伸出來。
26. 如請求項24之微電子組件，其中該微電子元件包括複數個該等第二開口，且該微電子組件包括在該等第二開口內延伸且與該等導電襯墊電連接的複數個該等第二導電元件，該等第二導電元件與在該第一開口內延伸之各別第一導電元件電連接。
27. 如請求項24之微電子組件，其中該第一元件中進一步包括至少一被動電路元件。
28. 如請求項24之微電子組件，其中該第一元件之該表面為一前表面，且其中在該第一元件中之該第一開口包括自該第一元件之一後表面朝向該前表面延伸之一第三開口，且進一步包括一第四開口，該第四開口自該第三開口延伸且曝露該等導電襯墊中之至少一者的該上表面之至少一部分，該第一導電元件至少在該第三開口內延伸且延伸穿過該第四開口以接觸該至少一導電襯墊之該上

表面。

29. 如請求項24之微電子組件，其中該第一導電元件及該第二導電元件中之至少一者具有獨立於該第一開口及該第二開口中之各別者的一內表面之一輪廓而判定之一形狀，該第一導電元件或該第二導電元件中之該至少一者在該各別者中延伸。
30. 如請求項24之微電子組件，其中該第一導電元件自鄰近該第一元件之一後表面的一第一寬度均勻地漸縮至鄰近該微電子元件之該至少一導電襯墊的一第二寬度。
31. 如請求項24之微電子組件，其中該第一導電元件及該第二導電元件中之至少一者符合該第一開口及該第二開口中之該各別者的一內表面之一輪廓，該第一導電元件或該第二導電元件中之該至少一者在該各別者中延伸。
32. 如請求項24之微電子組件，其中在該第二開口內延伸的該第二導電元件之一部分符合該第二開口之一內表面之一輪廓。
33. 如請求項32之微電子組件，其中在該第二開口內延伸的該第二導電元件之該部分具有圓柱形或截頭圓錐形形狀中之至少一者。
34. 如請求項24之微電子組件，其中在該微電子元件中的該第二開口自該微電子元件之一後表面延伸穿過該導電襯墊，且該第二導電元件延伸穿過該導電襯墊且在該第一開口內之一位置處電耦合至該第一導電元件。
35. 如請求項34之微電子組件，其中該第一導電元件符合在

該微電子元件中的該第二開口之一輪廓。

36. 如請求項34之微電子組件，其中該第一導電元件具有獨立於在該微電子元件中的該第二開口之一輪廓的一輪廓。

37. 一種系統，其包含如請求項1、13或24之一結構及電連接至該結構之一或多個其他電子部件。

38. 如請求項37之系統，其進一步包含一外殼，該結構及該等其他電子部件安裝至該外殼。

39. 一種形成一微電子組件之方法，其包含：

(a)將一第一元件與一微電子元件附接以使得該第一元件之一第一表面面向該微電子元件之一主表面，該第一元件基本上由半導體或無機介電材料中之至少一者組成，該微電子元件具有至少一導電襯墊，該至少一導電襯墊具有在該主表面處曝露之一上表面，該微電子元件具有鄰近該主表面之主動半導體裝置；

(b)接著形成一第一導電元件，該第一導電元件延伸穿過該第一元件且接觸該至少一導電襯墊之該上表面；及

(c)在步驟(b)之前或之後，形成延伸穿過該微電子元件之一第二導電元件，該第二導電元件在該主表面處接觸第一導電襯墊或一第二導電襯墊中之至少一者。

40. 如請求項39之方法，其中該第一導電元件及該第二導電元件在該微電子組件之對置面處曝露。

41. 如請求項39之方法，其中該微電子元件包括在切割線處附接在一起的複數個晶片，該方法進一步包含沿著該等

切割線將該微電子組件切割成個別單元，每一單元包括該複數個晶片中之至少一者。

42. 如請求項41之方法，其中該第一元件為不具有主動半導體裝置之一載體。
43. 如請求項42之方法，其中該第一元件中進一步包括至少一被動裝置。
44. 如請求項42之方法，其中該載體以機械方式支撐該微電子元件。
45. 如請求項40之方法，其中該形成該第一導電元件之步驟包括：在該附接步驟之後形成延伸穿過該第一元件之厚度的開口；及接著至少在該第一元件中的該開口內沈積一金屬層，該金屬層接觸在該開口內曝露之該至少一導電襯墊的該上表面。
46. 如請求項39之方法，其中該形成該第二導電元件之步驟包括：至少在該第二開口內沈積一第二金屬層，該第二金屬層接觸在該微電子元件中的該開口內曝露之該至少一導電襯墊的該下表面。
47. 如請求項39之方法，其中該形成該第一開口之步驟包括：在該第一元件中形成一初始開口，該初始開口自該第一元件之一第一表面朝向該主表面延伸；及接著在該第一元件中形成一另外開口，該另外開口自該初始開口延伸且至少部分地曝露該至少一導電襯墊，其中該初始開口及該另外開口具有以一角度相交之內表面。
48. 如請求項39之方法，其中該微電子元件為一第一微電子

元件，該方法進一步包含：將一第二微電子元件之一主表面附接至該第一微電子元件之一後表面；接著形成一第三開口，該第三開口延伸穿過該第二微電子元件且至少部分地曝露該第二導電元件；及形成一第三導電元件，該第三導電元件至少在該第三開口內且接觸該第二導電元件。

49. 如請求項48之方法，其中該第一導電元件及該第三導電元件在該微電子組件之對置面處曝露。

50. 一種形成一微電子組件之方法，其包含：

(a) 將一第一元件與一微電子元件附接以使得該第一元件之一第一表面面向該微電子元件之一主表面，該第一元件基本上由半導體或無機介電材料中之至少一者組成，該微電子元件具有複數個導電襯墊，該複數個導電襯墊具有在該主表面處曝露之上表面，該微電子元件具有鄰近該主表面之主動半導體裝置；

(b) 接著形成一第一導電元件，該第一導電元件延伸穿過該第一元件且接觸至少一導電襯墊之該上表面；及

(c) 在步驟(b)之前或之後，進行以下動作中之至少一者：自該微電子元件之該後表面薄化該微電子元件；或在該微電子元件中形成自該後表面延伸之一開口，使得在該微電子元件內之一第二導電元件在該後表面處曝露。

51. 如請求項50之方法，其中步驟(c)包括：薄化該微電子元件。

52. 如請求項50之方法，其中步驟(c)包括：形成自該微電子元件之該後表面延伸且曝露該第二導電元件之一開口。
53. 如請求項51之方法，其中步驟(c)進一步包括：在執行該薄化之後，形成自該微電子元件之該薄化的後表面延伸且曝露該第二導電元件之一開口。
54. 如請求項50之方法，其中該形成該第一開口之步驟包括：在該第一元件中形成一初始開口，該初始開口自該第一元件之一第一表面朝向該主表面延伸；及接著在該第一元件中形成一另外開口，該另外開口自該初始開口延伸且至少部分地曝露該至少一導電襯墊，其中該初始開口及該另外開口具有以一角度相交之內表面。
55. 一種形成一微電子組件之方法，其包含：
- 形成至少在一第一開口內的一第一導電元件，該第一開口自一第一元件之一第一表面朝向遠離該第一表面之一第二表面延伸，至少部分地穿過該第一元件，該第一導電元件具有在該第一表面處曝露之一部分，其中形成該第一導電元件以使得該第一導電元件僅部分地延伸穿過該第一元件；
- 接著將該第一元件與具有主動半導體裝置之一微電子元件附接以使得該第一元件之該第一表面面向該微電子元件之一主表面，且該第一導電元件至少部分地上覆在該微電子元件之該主表面處曝露之至少一第二導電元件；
- 形成一第三導電元件，該第三導電元件延伸穿過在該

微電子元件中的一開口，延伸穿過該至少一第二導電元件中之一第一者，且接觸該第一導電元件；及

在該附接步驟之後進一步處理以提供在該第一元件之該第二表面處曝露之一觸點，該觸點與該第三導電元件電連接，

其中在該第一元件中形成自該第二表面延伸至在該第一元件中之該開口的至少一另外開口，其中該形成該觸點之步驟包括形成延伸穿過該另外開口之一導通體，該導通體與該第一導電元件電連接。

56. 如請求項 55 之方法，其中該形成該觸點之步驟包括自該第一元件之一曝露表面薄化該第一元件，直至該第一導電元件之一部分在該曝露表面處曝露，該觸點與在該第一元件中的該開口對準。
57. 如請求項 56 之方法，其中該提供該觸點之步驟包括：自該曝露表面移除該第一元件之材料，直至該第一導電元件之一部分突出於該曝露表面上方達一所要距離且曝露為一柱體以用於與在該微電子組件外部的一部件電互連。
58. 如請求項 55 之方法，其中該第一導電元件之一部分沿著該第一元件之該主表面延伸，該至少一第二導電元件上覆該部分且該第三導電元件接合至該部分。
59. 如請求項 56 之方法，其中該形成該第一導電元件之步驟包括：同時形成至少在該第一元件中之該開口內的一第四導電元件；且該形成該第三導電元件之步驟包括形成

一第五導電元件，該第五導電元件延伸穿過在該微電子元件中之一第二開口，延伸穿過該至少一第二導電元件中之一第二者，該第五導電元件接觸該第四導電元件。

60. 一種形成一微電子組件之方法，其包含：

(a)形成：(i)至少在一開口內之一第一導電元件，該開口自一第一表面朝向遠離該第一表面之一第二表面延伸，至少部分地穿過一第一元件，該第一導電元件具有在該前表面處曝露之一部分，及(ii)沿著該第一元件之一表面延伸之一金屬再分配層(RDL)，該RDL自該第一導電元件延伸出來，其中形成該第一導電元件以使得該第一導電元件僅部分地延伸穿過該第一元件；

(b)接著將該第一元件與一微電子元件附接以使得該第一元件之該第一表面面向該微電子元件之一主表面，且該RDL與在該微電子元件之該主表面處曝露之複數個導電襯墊中之至少一導電襯墊相鄰；

(c)接著形成一第二導電元件，該第二導電元件延伸穿過在該微電子元件中之一開口，延伸穿過該至少一導電襯墊，且接觸該RDL；及

(d)在該附接步驟之後形成在該第一元件之該第二表面處曝露之一觸點，該觸點與該第一導電元件電連接，

其中在該第一元件中形成自該第二表面延伸至在該第一元件中之該開口的至少一另外開口，其中該形成該觸點之步驟包括形成延伸穿過該另外開口之一導通體，該導通體與該第一導電元件電連接。

八、圖式：

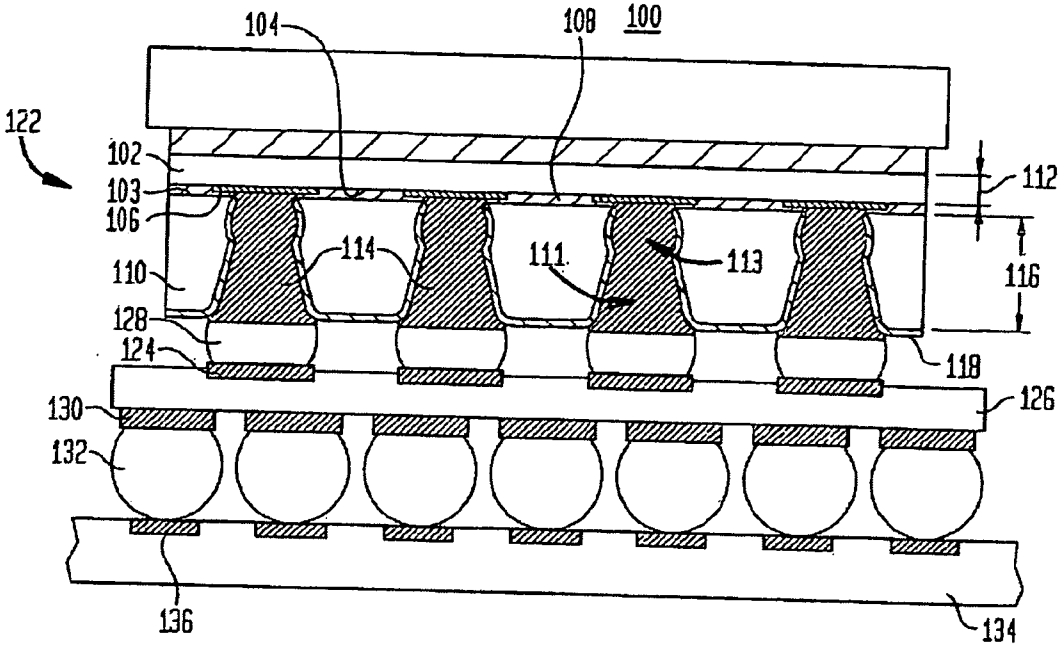


圖 1

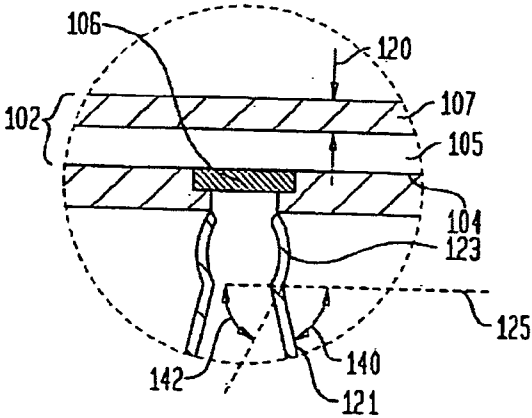


圖 1A

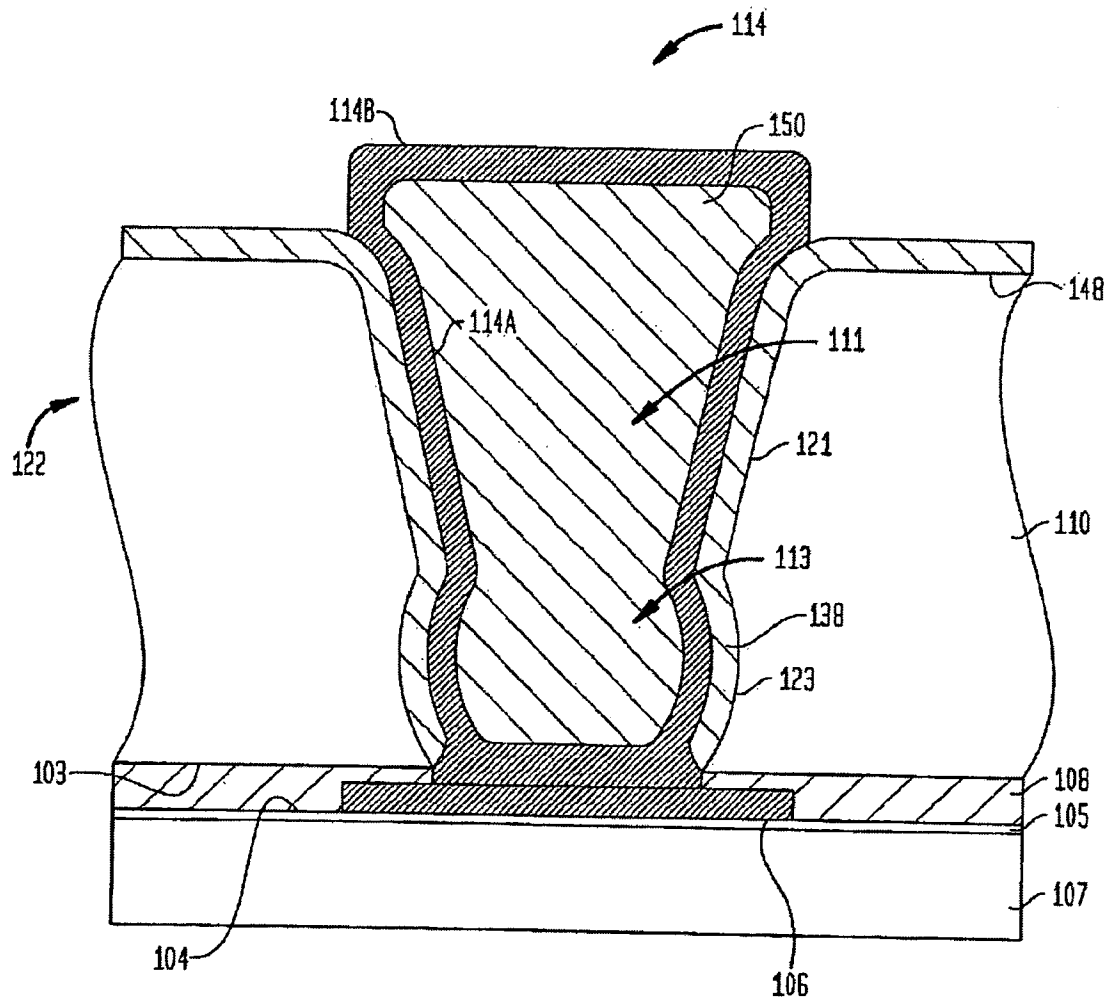
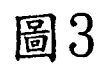


圖2



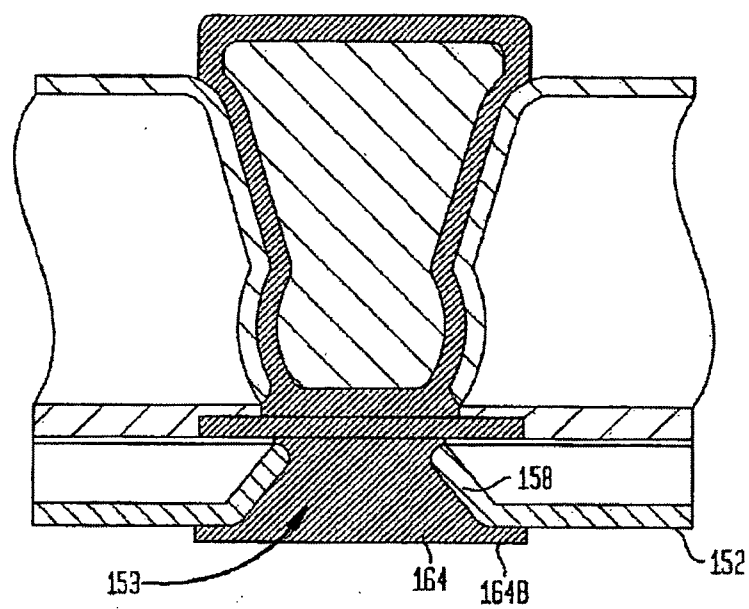


圖4

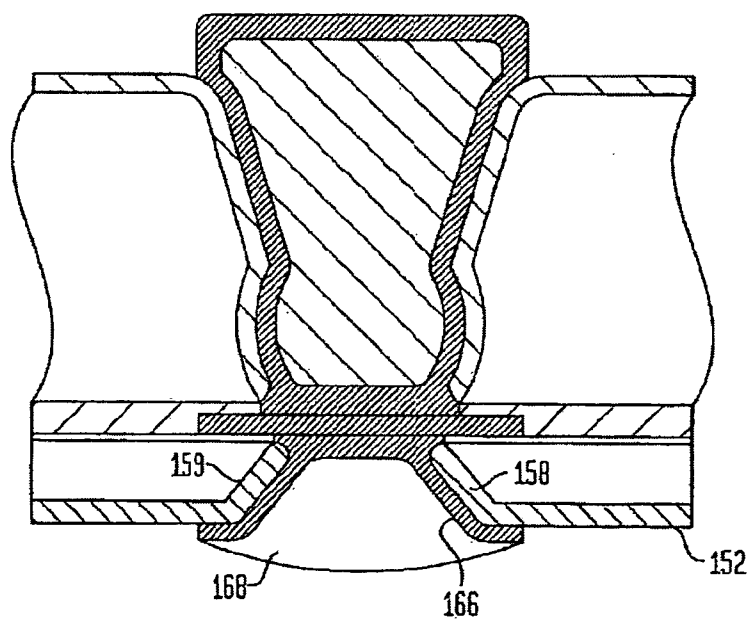


圖5

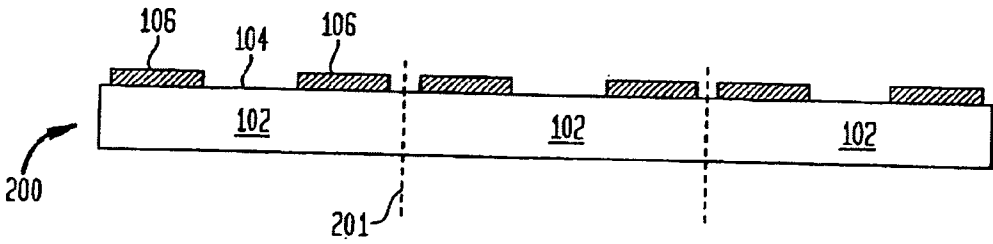


圖6

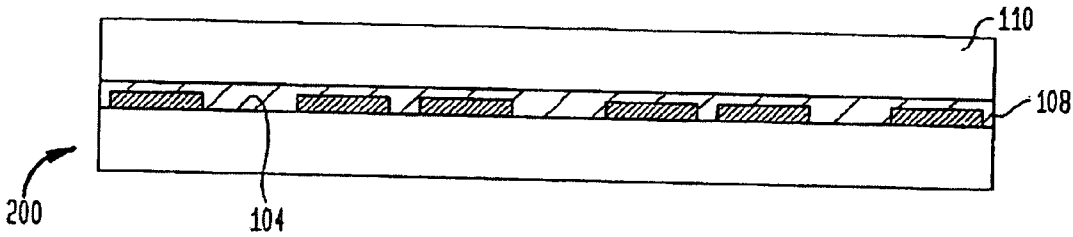


圖7

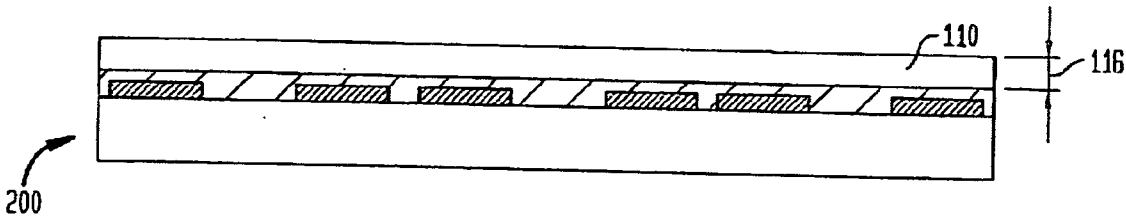


圖8

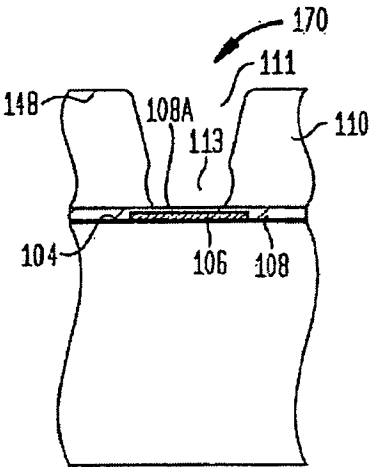


圖9

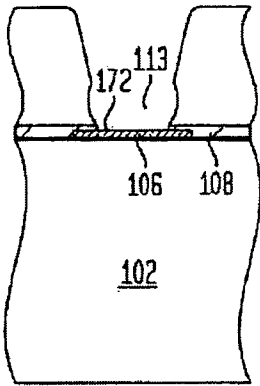


圖10

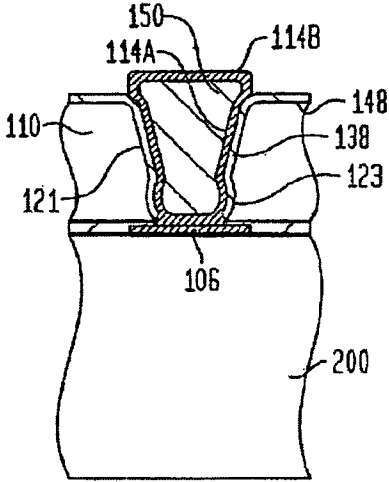


圖11

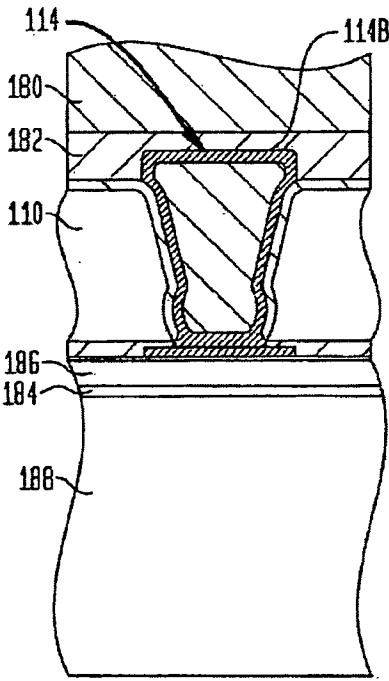


圖12

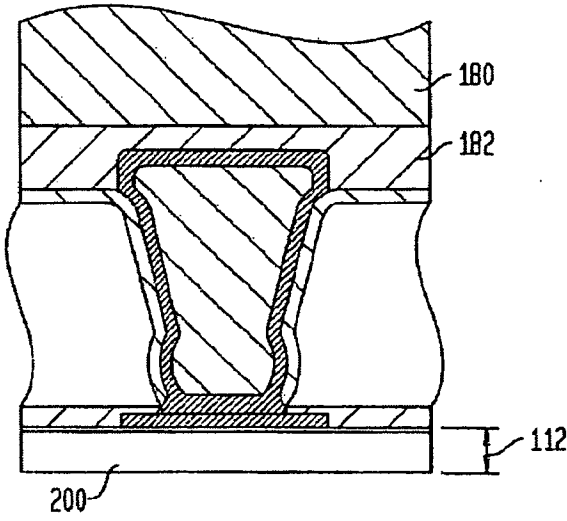


圖13

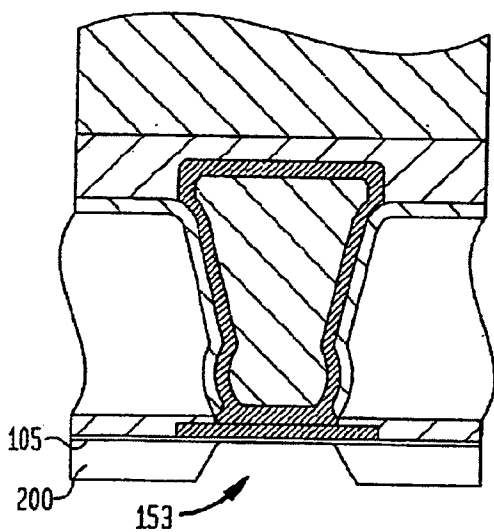


圖14

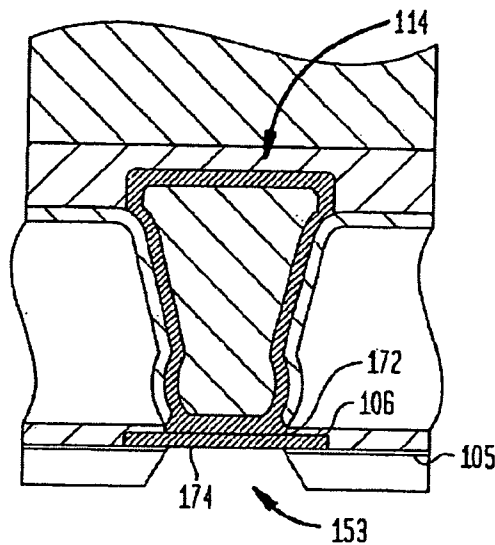


圖15

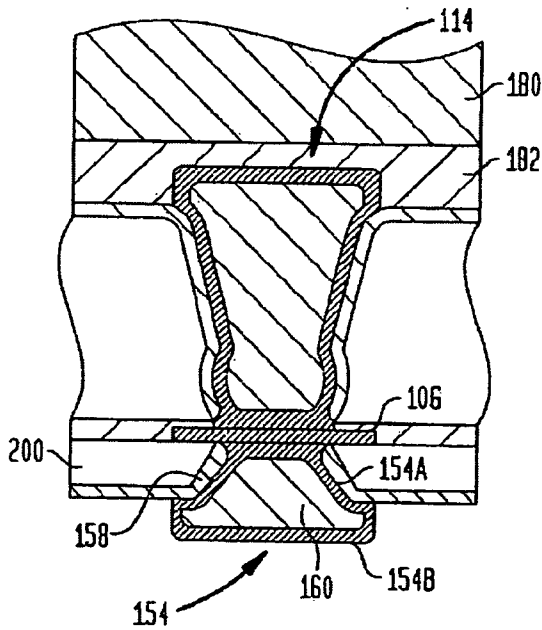


圖16

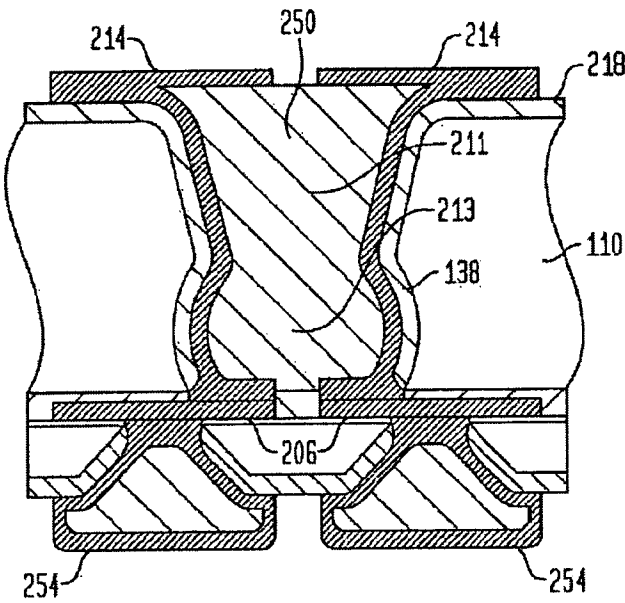


圖17

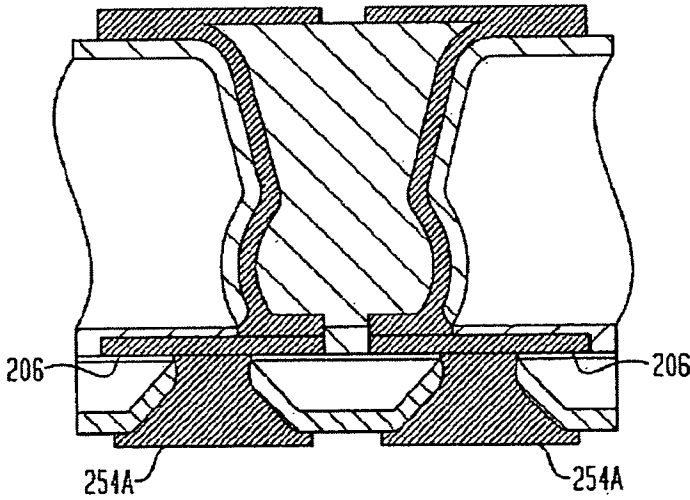


圖18

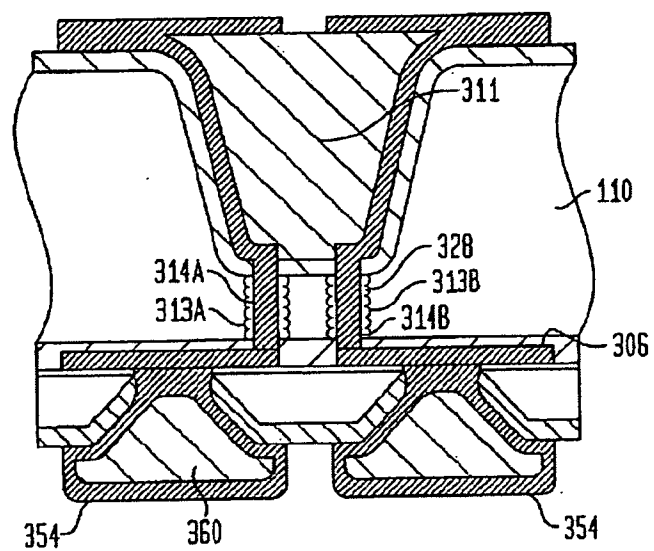


圖 19

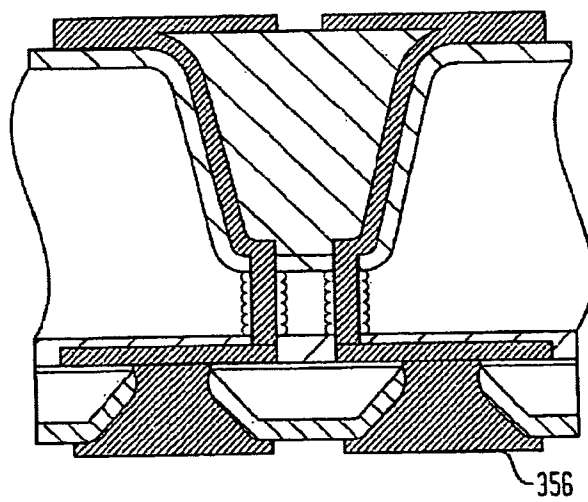


圖 20

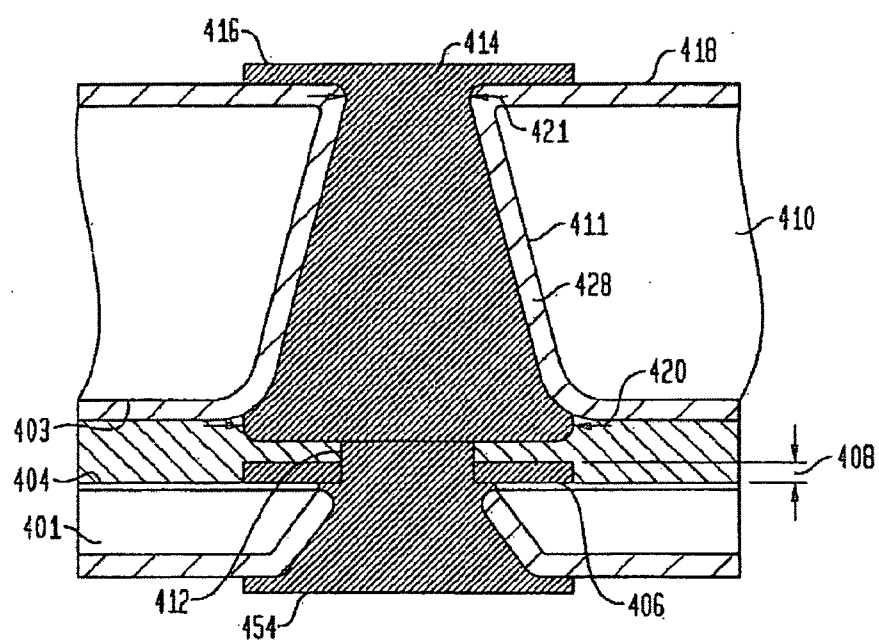


圖21

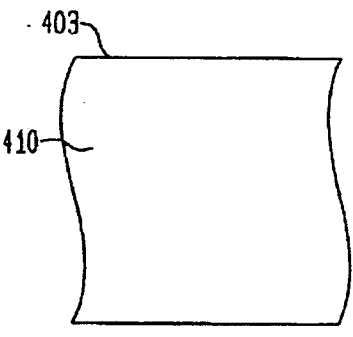


圖 22

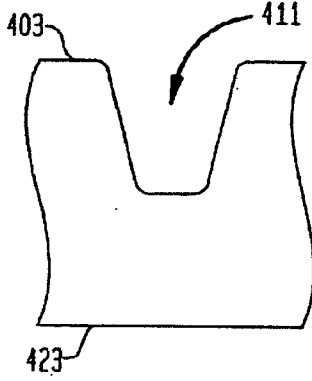


圖 23

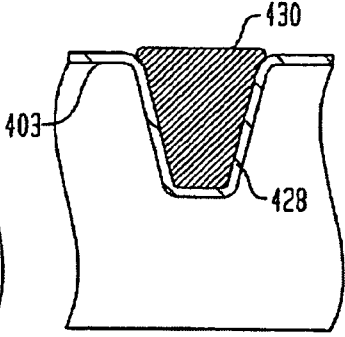


圖 24

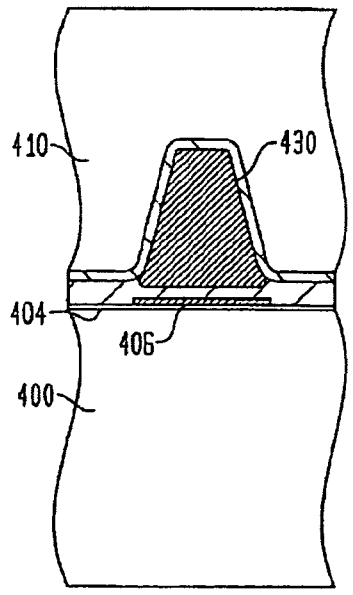


圖 25

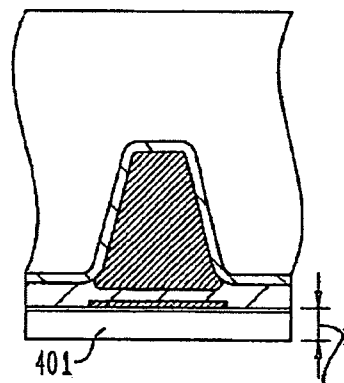


圖 26

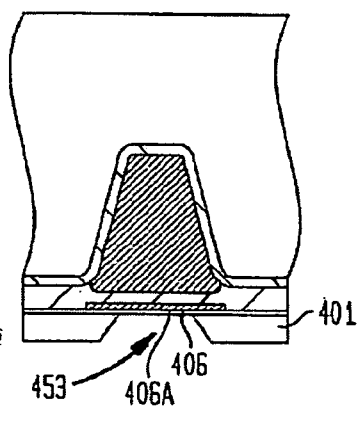
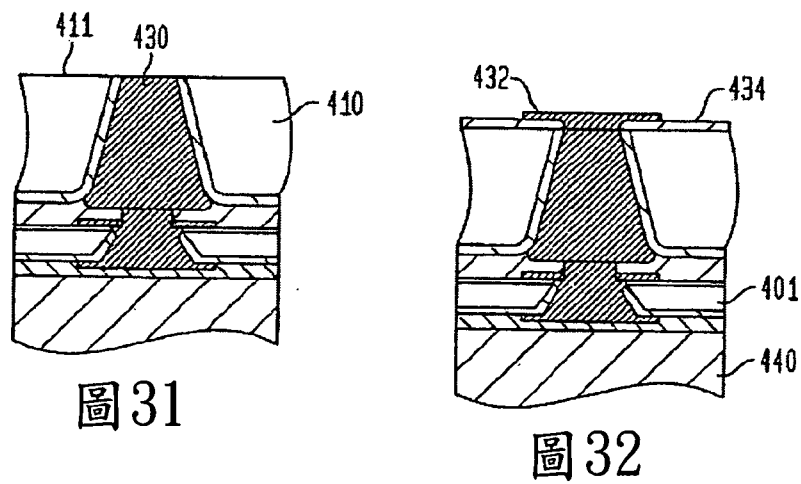
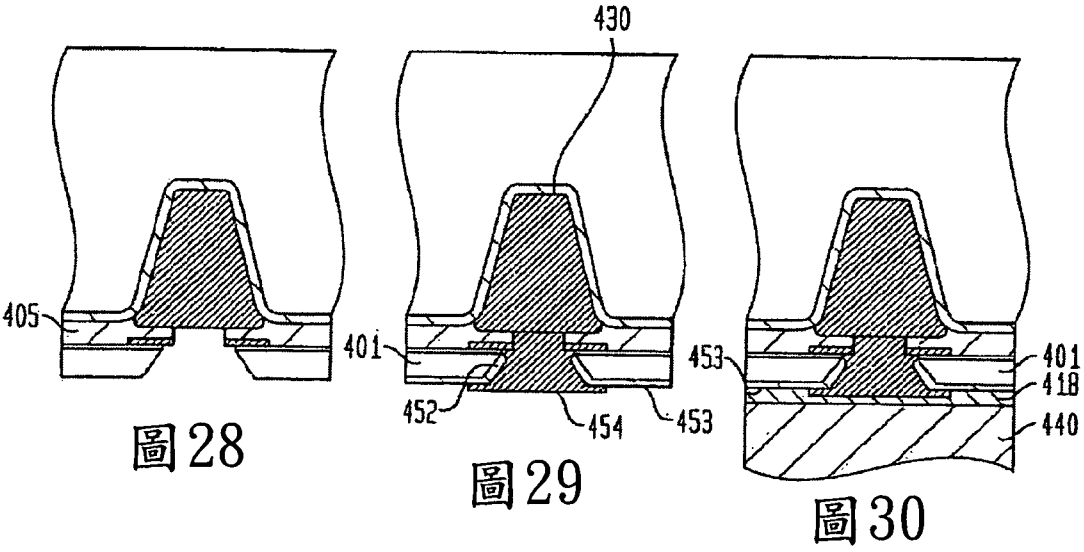


圖 27



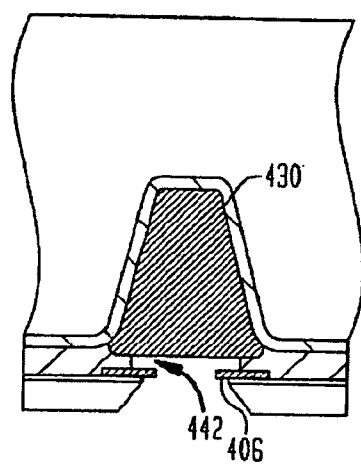


圖 33

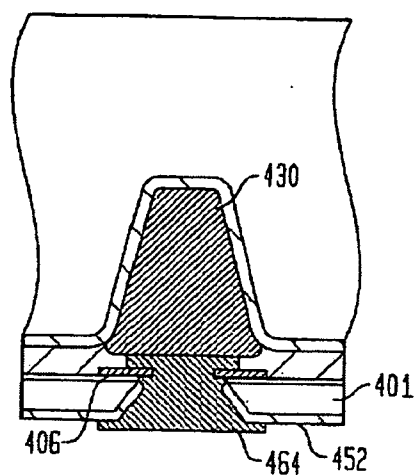


圖 34

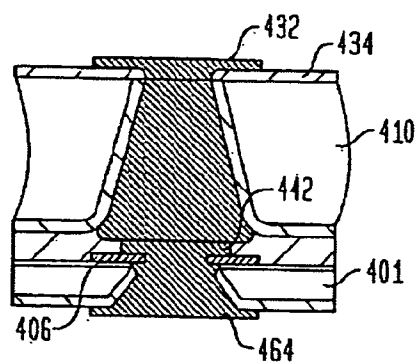


圖 35

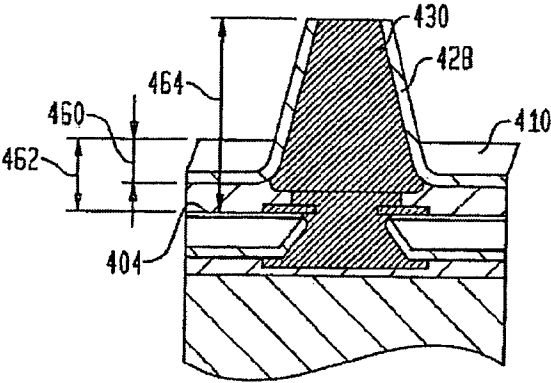


圖 36

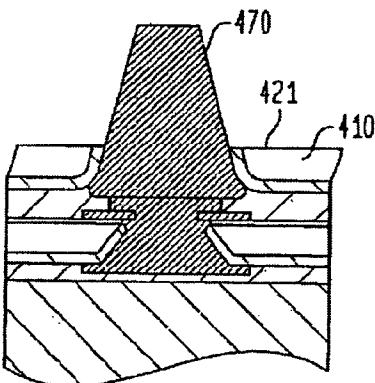


圖 37

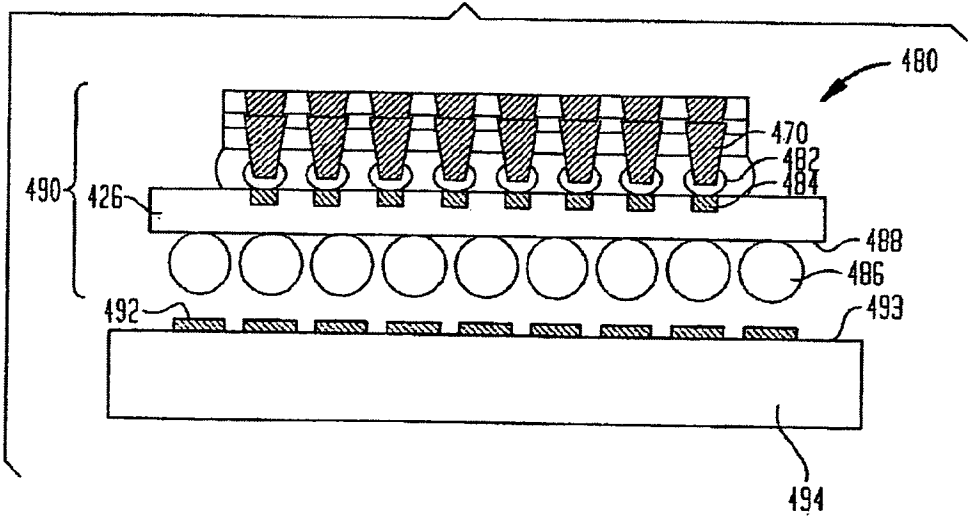


圖 38

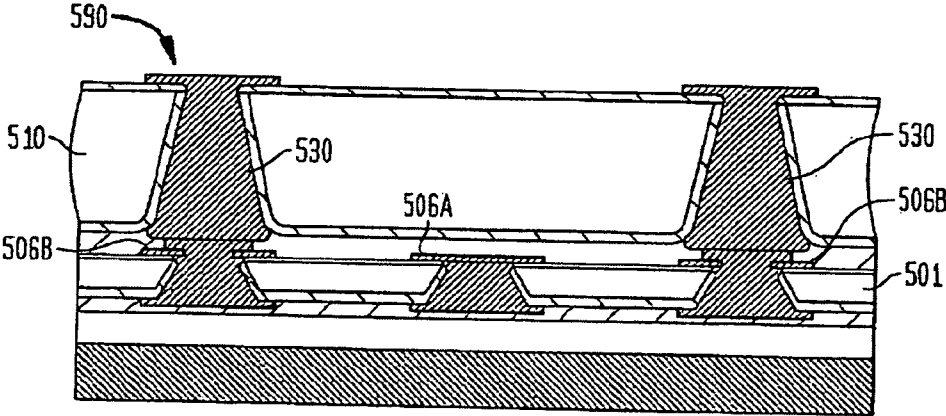


圖 39

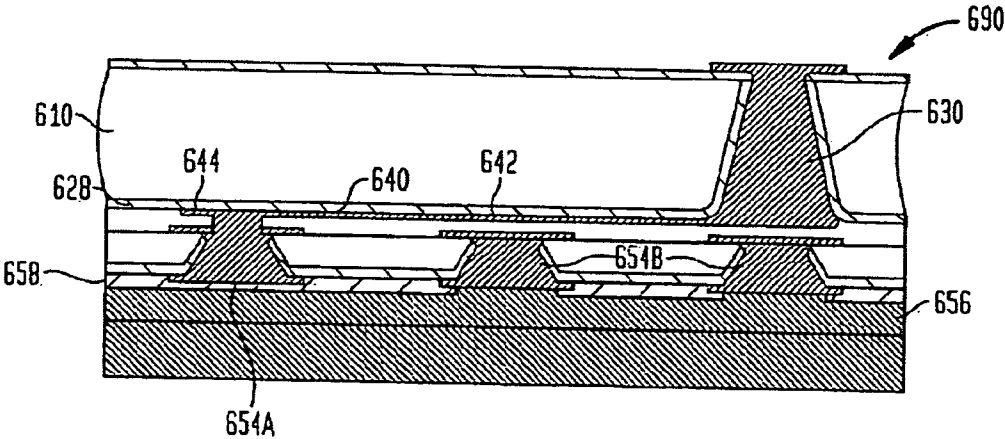


圖 40

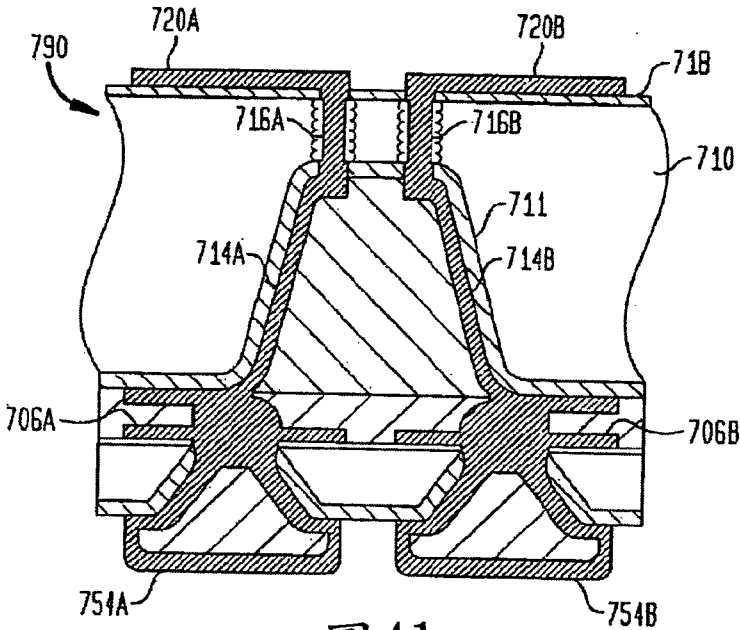


圖 41

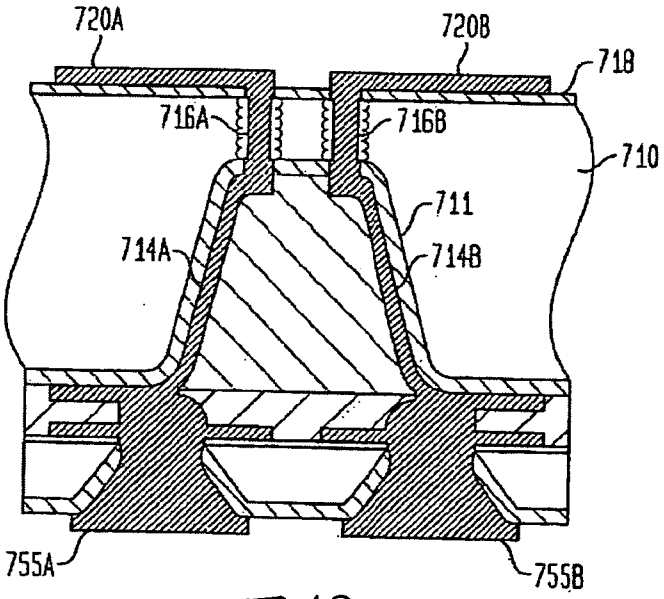


圖 42

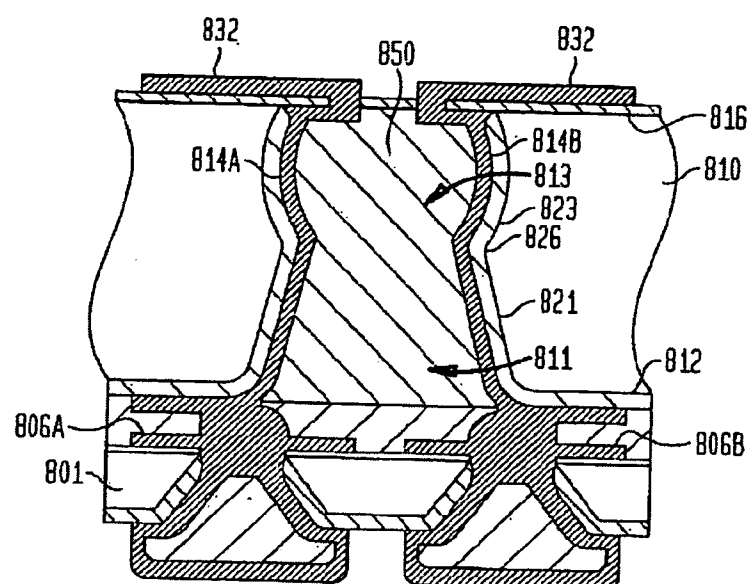


圖 43

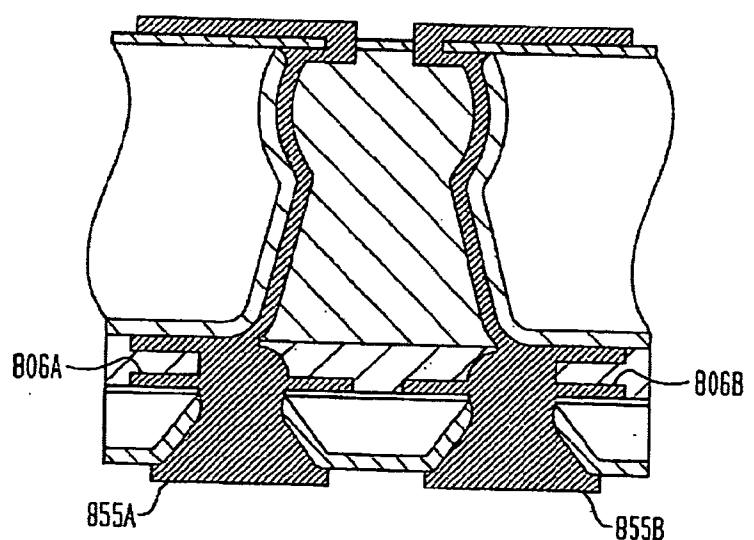


圖 44

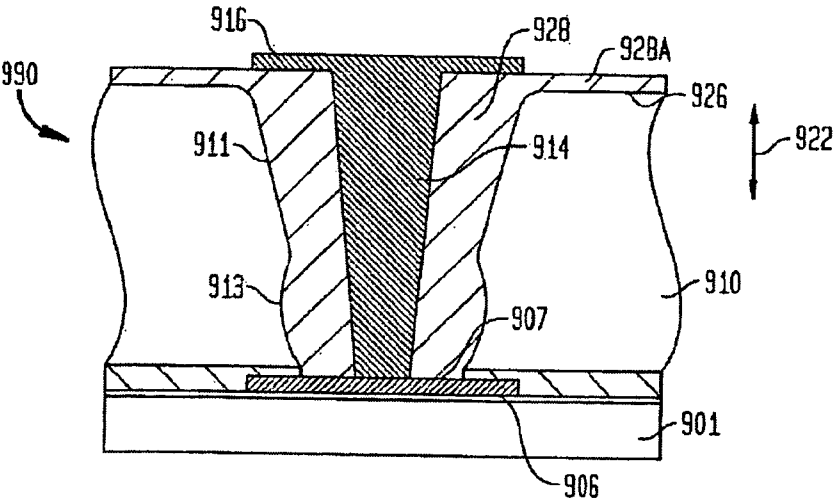


圖45

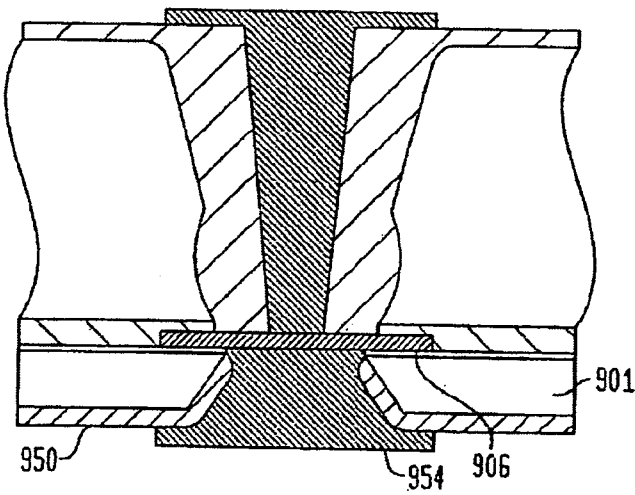


圖46

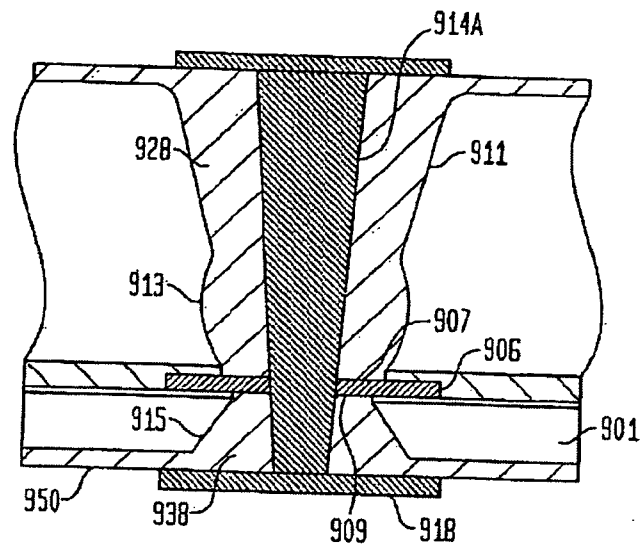


圖47

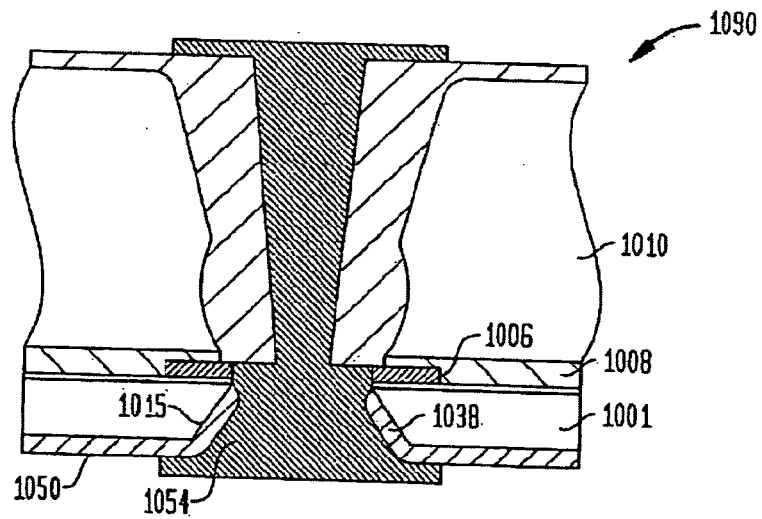


圖48

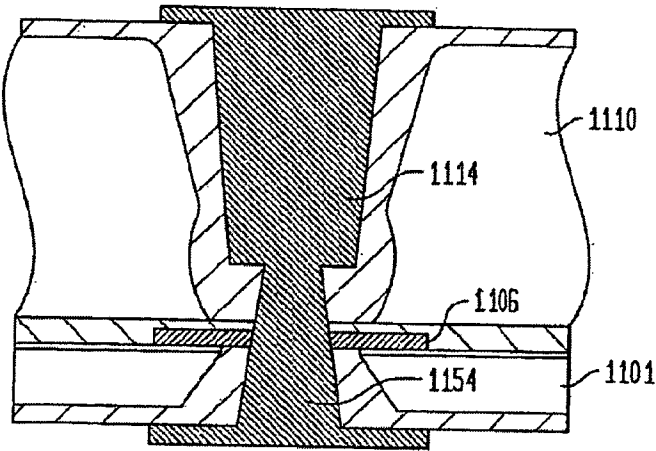


圖 49

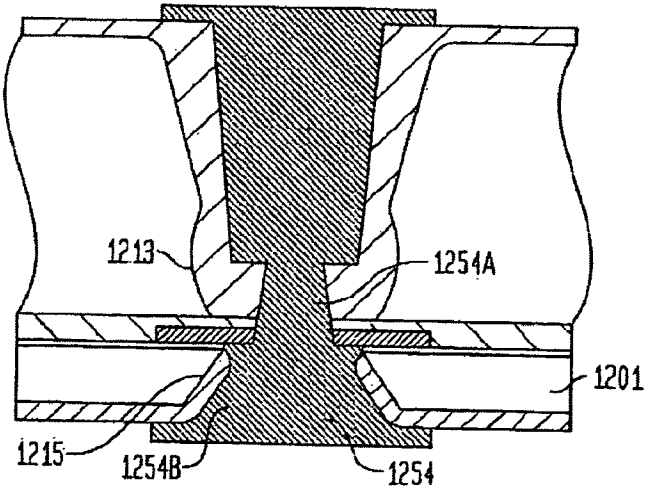


圖 50

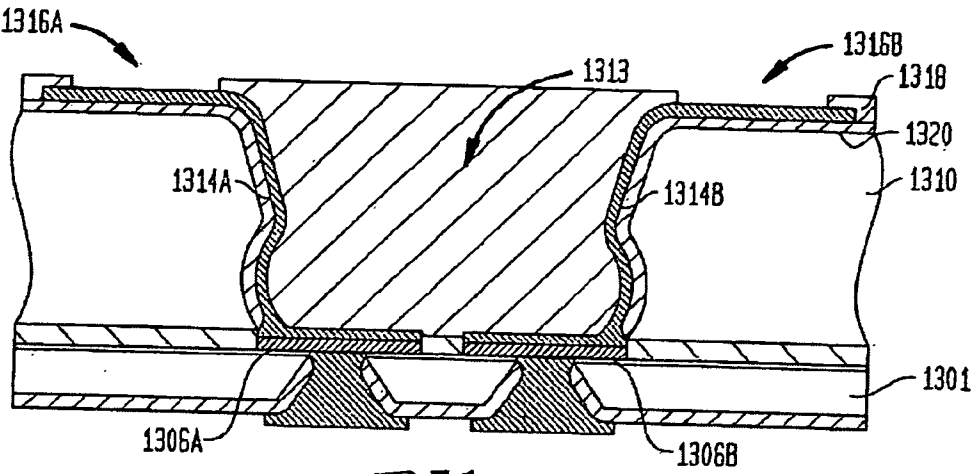


圖51

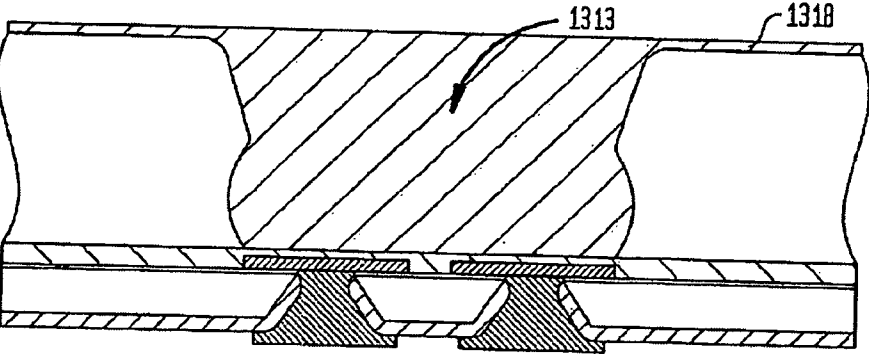


圖52

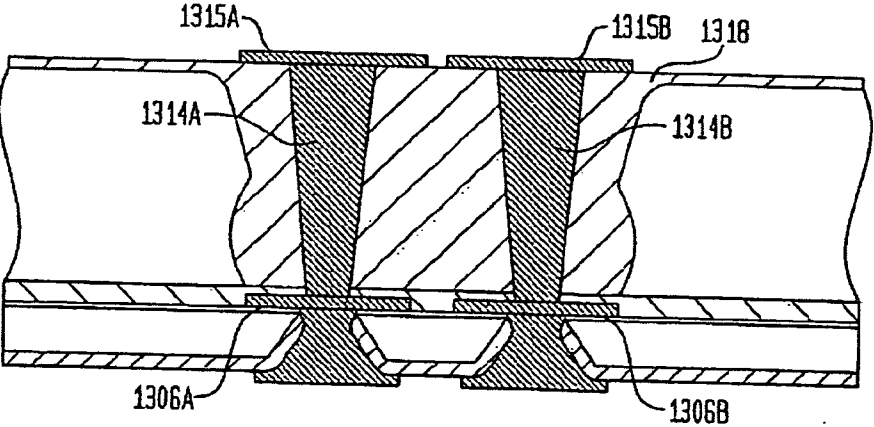


圖53

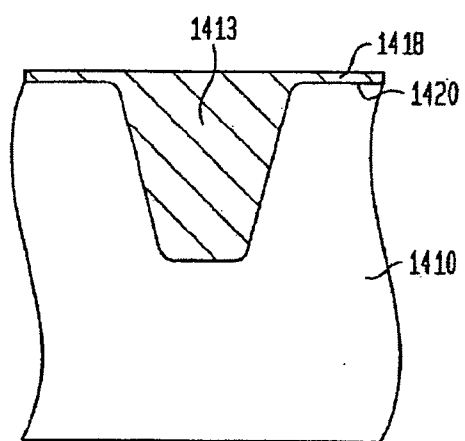


圖 54

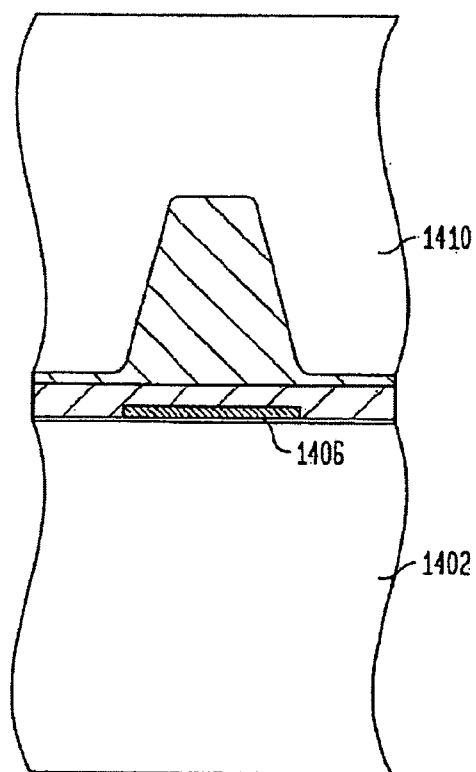


圖 55

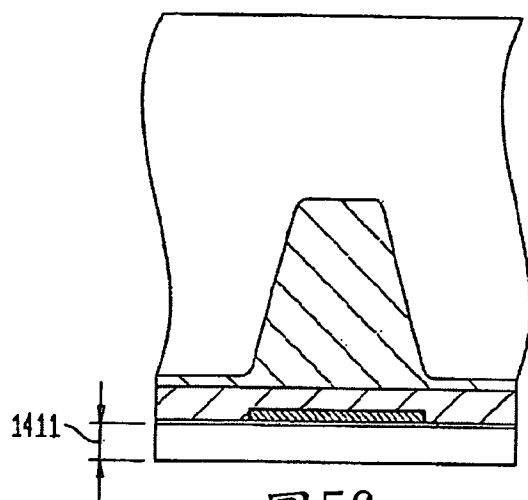


圖 56

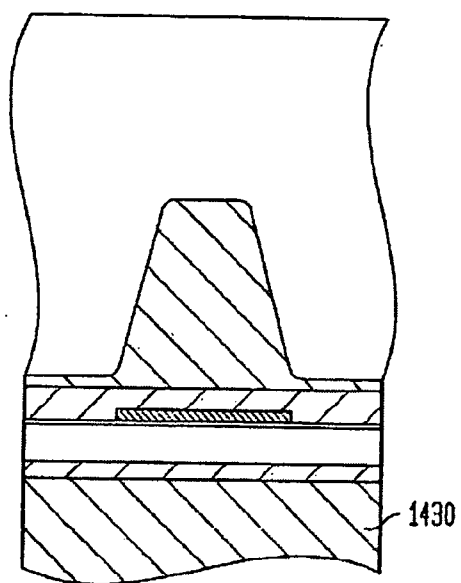


圖 57

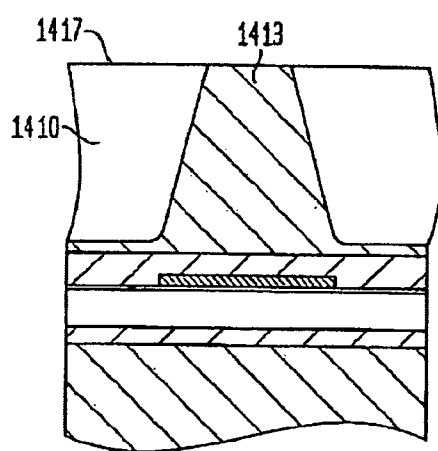


圖 58

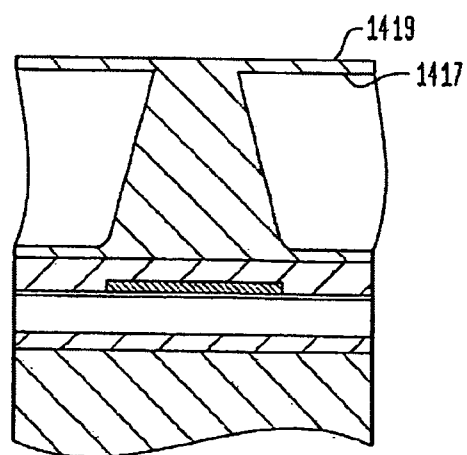


圖 59

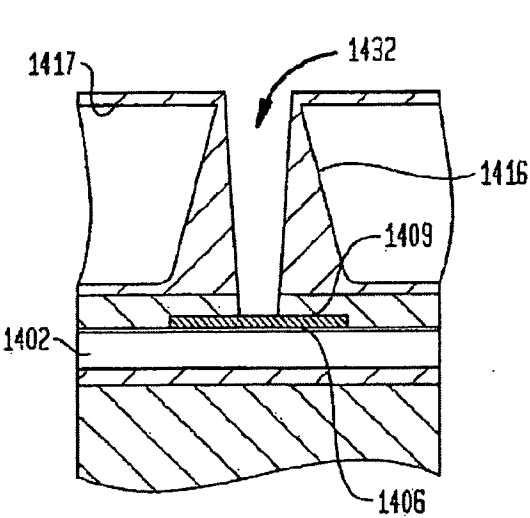


圖 60

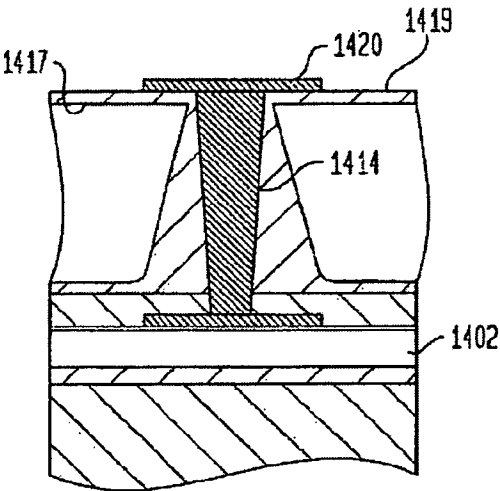


圖 61

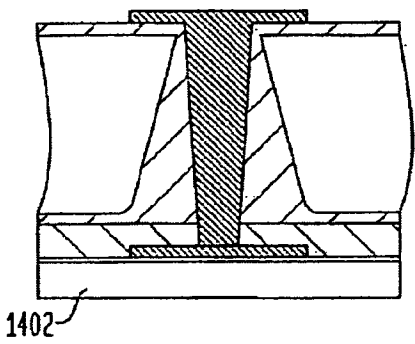


圖 62

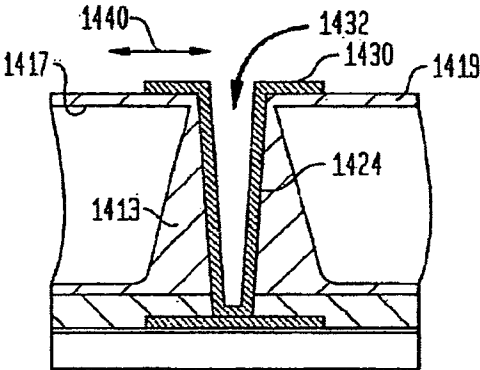


圖 63

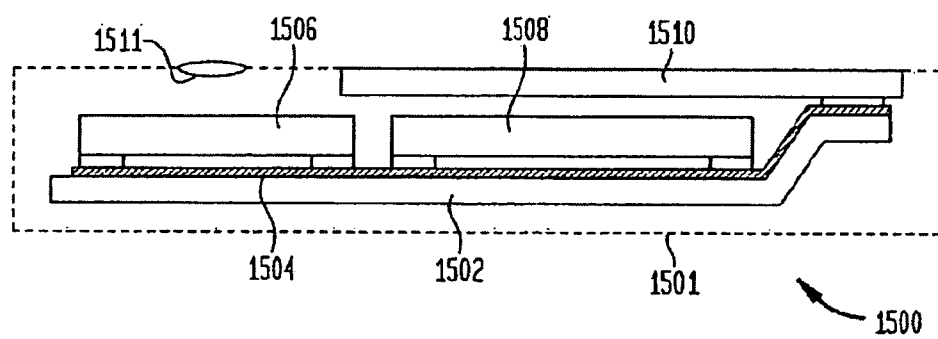


圖 64