



(21) 申請案號：107128111 (22) 申請日：中華民國 107 (2018) 年 08 月 13 日
 (51) Int. Cl. : **G01R31/28 (2006.01)** **H03K5/24 (2006.01)**
 (30) 優先權：2017/08/30 美國 15/691,722
 (71) 申請人：英商 A R M 股份有限公司 (英國) ARM LIMITED (GB)
 英國
 (72) 發明人：珊荷 鮑爾 S SANDHU, BAL S. (US)；拉帝摩 喬治 麥克尼爾 LATTIMORE,
 GEORGE MCNEIL (US)
 (74) 代理人：陳長文
 申請實體審查：無 申請專利範圍項數：20 項 圖式數：8 共 39 頁

(54) 名稱

互補式金屬氧化物半導體製程偏斜感測器

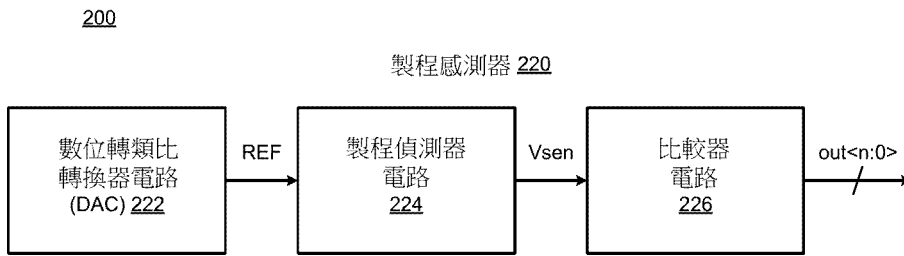
CMOS PROCESS SKEW SENSOR

(57) 摘要

本文所闡述之各種實施方案係關於一積體電路。該積體電路可包含轉換器電路，其操作以提供一驅動電流。該積體電路可包含具有多個驅動強度裝置之製程偵測器電路，該多個驅動強度裝置由來自該轉換器電路之該驅動電流驅動。該多個驅動強度裝置可基於該驅動電流而提供多個驅動強度信號。該積體電路可包含具有一比較器之比較器電路，該比較器自該多個驅動強度裝置接收該多個驅動強度信號，偵測該多個驅動強度信號之間之一電壓差，且基於該所偵測電壓差提供一輸出信號。

Various implementations described herein are directed to an integrated circuit. The integrated circuit may include converter circuitry that operates to provide a drive current. The integrated circuit may include process detector circuitry having multiple drive strength devices that are driven by the drive current from the converter circuitry. The multiple drive strength devices may provide multiple drive strength signals based on the drive current. The integrated circuit may include comparator circuitry having a comparator that receives the multiple drive strength signals from the multiple drive strength devices, detects a voltage difference between the multiple drive strength signals, and provides an output signal based on the detected voltage difference.

指定代表圖：



【圖2】

符號簡單說明：

200 . . . 方塊圖

220 . . . 製程感測器

222 . . . 轉換器電路

224 . . . 製程偵測器/製程偵測器電路

226 . . . 比較器電路

out<n:0> . . . 輸出信號

REF . . . 參考電流/驅動電流

Vsen . . . 電壓感測信號

【發明說明書】

【中文發明名稱】

互補式金屬氧化物半導體製程偏斜感測器

【英文發明名稱】

CMOS PROCESS SKEW SENSOR

【技術領域】

【先前技術】

【0001】此章節意欲提供與理解本文所闡述之各種技術相關之資訊。如此章節之標題暗指，此係相關技術之一論述，該相關技術應絕非暗指其係先前技術。大體而言，相關技術可或可不視為先前技術。因此應理解此章節中之任何陳述應以此視角閱讀，且不應作為對先前技術之任何認可。

【0002】大體而言，具有在一單晶片上提供一運算系統之組件之一積體電路(IC)通常係指系統單晶片(SoC)。該SoC經製作以在一單晶片基板上包含數位、類比、混合信號及/或射頻(RF)能力。由於其在嵌入式系統中之低功耗及最小面積影響，因而SoC應用對於行動電子裝置係有用的。由於一更密集佈局，SoC裝置可具有比其他類型之邏輯電路高之一缺陷密度，且為改良操作功能性SoC裝置，應測試SoC裝置以評估SoC裝置之製程變化。

【發明內容】

【圖式簡單說明】

【0003】本文參考附圖闡述各種技術之實施方案。然而，應理解附圖僅圖解說明本文所闡述之各種實施例且並不意味著限制本文所闡述之各

種技術之實施方案。

【0004】圖1圖解說明根據本文所闡述之各種實施方案之具有製程感測器之晶片電路之一方塊圖。

【0005】圖2至圖3圖解說明根據本文所闡述之各種實施方案之一製程感測器之各種方塊圖。

【0006】圖4至圖5圖解說明根據本文所闡述之各種實施方案之一製程感測器之各種示意圖。

【0007】圖6圖解說明根據本文所闡述之各種實施方案之另一製程感測器之一方塊圖。

【0008】圖7至圖8圖解說明根據本文所闡述之各種實施方案之用於製作一製程感測器之方法之各種製程流程圖。

【實施方式】

【0009】現將參考圖1至圖8更詳細地闡述一製程偏斜感測器(或製程偏斜偵測器)之各種實施方案。

【0010】圖1圖解說明根據本文所闡述之實施方案之具有製程感測器120之系統單晶片(SoC)電路102之一方塊圖100。

【0011】SoC電路102可實施為具有各種核心組件電路之一積體電路(IC)，該核心組件電路包含CPU核心電路104、記憶體電路106(例如SRAM及/或其他類型之記憶體)、輸入/輸出(IO)電路108、各種邏輯電路110、112、無線電電路114(例如射頻(RF)組件)及能量管理電路118。在某些例項中，諸如，例如IO電路108之電路區塊中之某些區塊可包含諸如，例如鎖相環(PLL)電路116之額外電路。此外，SoC電路102可用作各種電子及行動應用之一嵌入式系統。在某些例項中，SoC電路102及其組

件可實施為一單晶片。

【0012】 記憶體電路106可包含具有複數個記憶體胞元之一記憶體胞元陣列，該複數個記憶體胞元經配置成具有列及行的一個二維(2D)陣列。記憶體電路106可實施為一IC，且記憶體電路106可包含諸如，例如輸出多工電路之支援電路。該等記憶體胞元可被稱為位元胞元，且每一記憶體胞元可組態為儲存至少一個資料位元值(例如，與儲存邏輯0或1相關)。該記憶體胞元陣列之該等記憶體胞元可用SRAM電路實施。在某些例項中，每一記憶體胞元可包含一多電晶體SRAM胞元，其包含各種類型之SRAM胞元，諸如，例如6T CMOS SRAM及/或其他類型之CMOS SRAM胞元，諸如，例如每位元4T、8T、10T或更多個電晶體。

【0013】 如所展示，SoC電路102包含混合信號構建區塊104、106、108、110、112、114、118，其效能可取決於每一區塊內之電晶體之行為。此等電晶體可係PMOS或NMOS，且可具有相反或類似之變化，該等變化可變更CPU、記憶體及類比組件中之某些關鍵構建區塊之功能性。為監視該矽上之電晶體裝置行為之一狀況，可策略性地將製程偏斜感測器120放置於SoC電路102上，如圖1中所展示。因此，電路區塊104、106、108、114中之某些區塊可包含一或多個製程感測器120，其可包含具有多個類型(例如，NMOS、PMOS)之電晶體之製程感測器(或偵測器)電路。製程感測器120可稱為製程偵測器。在某些例項中，該製程感測器(或偵測器)電路之電晶體可在一相同晶圓(或其部分)，亦即一相同積體電路上製造，使得該製程偵測器偵測(或感測)該相同晶圓上之電路區塊104、106、108、114之偏斜。製程感測器120可與能量管理單元118耦合及/或通信。

【0014】 在某些實施方案中，偵測(或感測)製程變化可包含偵測SoC

電路102之電路區塊104、106、108、114之全域互補式金屬氧化物半導體(CMOS)製程變化。此外，偵測製程變化可包含當電晶體偵測到製程變化已經充分地偏斜至SF、FS、FF、SS製程點時偵測各種製程點。該等製程點之此種命名慣例係指製程點之一第一位置及一第二位置。舉例而言，SF製程點係指在一第一位置(S)中偵測較慢的P型MOS電晶體且在一第二位置(F)中偵測較快的N型MOS電晶體。在另一例項中，偵測製程變化亦可包含當第二電晶體偵測到製程變化已充分地偏斜至一FS製程點時偵測另一製程點。在此例項中，FS製程點係指在第一位置(F)中偵測較快的P型MOS電晶體且在第二位置(S)中偵測較慢的N型MOS電晶體。代工廠可使用「S」及「F」之此種慣例來建模MOS電晶體製造中之變化之效應。在某些例項中，於其中一特定電晶體係緩慢(S)之製程拐點處，可將該電晶體之臨限電壓(V_t)建模為高於一典型 V_t ，藉此包含較之通常可預期之情形可減小該電晶體之汲極電流之一或多個或所有製造效應(變化)。在某些其他例項中，於其中一特定電晶體係快速(F)之製程拐點處，可將該電晶體之臨限電壓(V_t)建模為慢於一典型 V_t ，藉此包含可將該電晶體之汲極電流增加至高於通常可預期之一值之一或多個或所有製造效應(變化)。

【0015】由於密集佈局，某些電路區塊104、106、108、114可具有比SoC電路102之其他邏輯電路110、112高之一缺陷密度。為評估電路區塊104、106、108、114之良率，可使用製程感測器120來偵測及分析電路區塊104、106、108、114之製程變化。舉例而言，製程感測器120可提供如下電路：當該電路偵測到一全域CMOS製程已充分地偏斜至諸如，例如一SF(較慢的PMOS/較快的NMOS)製程點之一特定製程點時，提供諸如一數位1位元輸出信號之一輸出信號。在某些其他例項中，拓撲一FS(較

快的PMOS/較慢的NMOS)製程點偵測亦可與類似拓撲一起加以利用。因此，可提供一偏斜製程感測器IC拓撲用於嵌入在某些電路區塊104、106、108、114中，此可增強SoC電路102之功率、效能及面積(PPA)。

【0016】 本文所闡述之各種實施方案係指且係關於偵測SoC電路中PMOS及NMOS裝置驅動電流之強度之一CMOS製程偏斜感測器。該CMOS製程偏斜感測器可包含各種電路，諸如，例如用於偵測SF或FS偏斜拐點(SF=緩慢P、快速N；FS=快速P、緩慢N)之一感測器及/或用於偵測FF或SS偏斜拐點之另一感測器，以判定矽係多快或多慢之量值(或速率)。

【0017】 圖2至圖3圖解說明根據本文所闡述之各種實施方案之一製程感測器之各種方塊圖。特定而言，圖2圖解說明一製程感測器220之一方塊圖200，圖3圖解說明另一製程感測器320之另一方塊圖300。

【0018】 如圖2中所展示，製程感測器220可包含轉換器電路222，其操作以提供諸如，例如一參考電流REF (或參考電壓)之一驅動電流(或驅動電壓)。轉換器電路222可包含一數位轉類比轉換器(DAC)。製程感測器220可包含一製程偵測器電路224，其接收參考電流(或電壓)REF並操作以提供一電壓感測信號V_{sen}。製程感測器220可包含比較器電路226，其接收電壓感測信號V_{sen}並提供一或多個輸出信號out<n:0>。

【0019】 製程感測器220可稱為一製程偏斜感測器，且該製程偏斜感測器可體現為一互補金屬氧化物半導體(CMOS)製程偏斜感測器。製程感測器220可係圖1之製程感測器120之一實施方案，其可跨越圖1之SoC電路102部署。該DAC產生參考電流REF (或參考電壓)，且該DAC之輸出係提供至製程偵測器224。製程偵測器224比較參考電流REF (或參考電壓)與

內部偵測電路，並產生電壓感測信號 V_{sen} 。然後，將電壓感測信號 V_{sen} 驅動至比較器電路226中，比較器電路226產生一或多個輸出信號 out 作為所期望之矽製程偏斜資訊。

【0020】如圖3中所展示，製程感測器320可包含轉換器電路322，其操作以提供諸如，例如參考電流REF之一驅動電流。轉換器電路322可包含一數位轉類比轉換器(DAC)，且該DAC可操作為一電流鏡以提供驅動電流REF。

【0021】製程感測器320可包含具有多個驅動強度裝置324A、324B之製程偵測器電路324，多個驅動強度裝置324A、324B由來自轉換器電路322之驅動電流REF驅動。多個驅動強度裝置324A、324B可基於驅動電流REF提供多個驅動強度信號 in_p 、 in_n 。

【0022】製程感測器320可包含具有一比較器326之比較器電路，比較器326自多個驅動強度裝置324A、324B接收多個驅動強度信號 in_p 、 in_n ，偵測多個驅動強度信號 in_p 、 in_n 之間之一電壓差，且基於所偵測電壓差提供一輸出信號(out)。比較器326可係一類比比較器，且所偵測電壓差可與多個驅動強度信號 in_p 、 in_n 之間之一強度差相關，且藉此，輸出信號(out)可指示多個驅動強度信號 in_p 、 in_n 之間之強度差。多個驅動強度裝置324A、324B可實施為多個製程偏斜偵測器，其可包含一第一製程偏斜偵測器324A (p_skew)及一第二製程偏斜偵測器324B (n_skew)，以獨立地分別偵測PMOS及NMOS電晶體之強度。

【0023】比較器326自多個驅動強度裝置324A、324B接收第一驅動強度信號及第二驅動強度信號 in_p 、 in_n 。如所展示，若來自第一製程偏斜偵測器324A (p_skew)之驅動強度信號 in_p 之強度強於來自第二製程偏

斜偵測器324B (n_skew)之驅動強度信號in_n之強度，則來自比較器326之輸出信號(out)係與一邏輯壹(1)電壓值相關之一高電壓信號。此外，如所展示，若來自第二製程偏斜偵測器324B (n_skew)之驅動強度信號in_n之強度強於來自第一製程偏斜偵測器324A (p_skew)之驅動強度信號in_p之強度，則比較器326之輸出信號(out)係與一邏輯零(0)電壓值相關之一低電壓信號。

【0024】參考圖3，該CMOS製程偏斜感測器使用一電流鏡(例如，DAC 322)驅動兩個類似(或相同)驅動強度裝置324A、324B，其中之一者係一PMOS裝置324A (p_skew)，另一者係在飽和區域中操作之一NMOS裝置324B (n_skew)。製程偏斜感測器320利用PMOS裝置324A及NMOS裝置324B以使用一類比比較器326來偵測此等兩個裝置324A、324B之間之一電壓差。在操作期間，若PMOS裝置324A (p_skew)強於NMOS裝置324B (n_skew)，則比較器326之輸出係高的。類似地，若NMOS裝置324B (n_skew)強於PMOS裝置324A (p_skew)，則比較器326之輸出係低的。

【0025】圖4至圖5圖解說明根據本文所闡述之各種實施方案之一製程感測器之一示意圖。特定而言，圖4圖解說明一製程感測器420之一第一製程感測器電路之一示意圖400，且圖5圖解說明另一製程感測器520之一第二製程感測器電路之一示意圖500。

【0026】如參考圖4所展示，製程感測器420可包含多個電晶體，該多個電晶體被佈置以操作為一CMOS PN偏斜感測器。製程感測器420、520可稱為製程偵測器。

【0027】製程感測器420可包含一電流鏡422。製程感測器420可包

含PMOS電晶體M0，其耦合於一第一電壓源Vdd與一第二電壓源Vss之間，例如接地(GND)。製程感測器420可包含耦合於PMOS電晶體M0與第二電壓源Vss之間之一電流參考IREF。PMOS電晶體M0可耦合為一個二極體，其中閘極耦合至汲極。製程感測器420可包含多個電晶體M1、M1a、M2，其以一堆疊形式一起耦合於第一電壓源Vdd與第二電壓源Vss之間。PMOS電晶體M1可耦合於第一電壓源Vdd與NMOS電晶體M1a之間，且PMOS電晶體M1之閘極可耦合至電晶體M0之閘極。NMOS電晶體M1a可耦合於PMOS電晶體M1與NMOS電晶體M2之間。可基於一啟用信號(en)啟動NMOS電晶體M1a。NMOS電晶體M2可耦合於NMOS電晶體M1a與第二電壓源Vss之間。NMOS電晶體M2可耦合為一個二極體，其中閘極耦合至汲極。製程感測器420可包含耦合於PMOS電晶體M4a與第二電壓源Vss之間之NMOS電晶體M3。製程感測器420可包含耦合於NMOS電晶體M5a與第二電壓源Vss之間之NMOS電晶體M6a。此外，NMOS電晶體M2、M3、M6a之閘極可耦合在一起。

【0028】製程感測器420可包含耦合於第一電壓源Vdd與NMOS電晶體M3之間之PMOS電晶體M4a。PMOS電晶體M4a可耦合為一個二極體，其中閘極耦合至汲極。製程感測器420可包含耦合於第一電壓源Vdd與NMOS電晶體M6a之間之NMOS電晶體M5a。NMOS電晶體M5a可耦合為一個二極體，其中閘極耦合至汲極。

【0029】PMOS電晶體M4a可操作為一第一製程偏斜偵測器424A (p_skew)，以便當PMOS電晶體M4a在飽和區域中操作時偵測參考電流IREF (亦即，驅動電流)之一強度。PMOS電晶體M4a (作為第一製程偏斜偵測器424A)基於PMOS電晶體M4之所偵測驅動強度經由一CMOS傳輸閘

x1將一第一驅動強度信號V1a、V3a提供至比較器426之一正輸入端子(+)。CMOS傳輸閘x1包含一NMOS通過閘及一PMOS通過閘。信號ph1及ph1b係具有相位1及相位1條之時脈信號。當ph1=1且ph1b=0時，傳輸閘x1開通並允許V1a信號通過。當ph1=0且ph1b=1時，傳輸閘x1閉合且沒有信號可通過，且至比較器426之輸入信號經由NMOS電晶體M7a、M8接地。

【0030】 NMOS電晶體M5a可操作為一第二製程偏斜偵測器424B，以便當NMOS電晶體M5a在飽和區域中操作時偵測參考電流IREF (亦即，驅動電流)之一強度。NMOS電晶體M5a (作為第二製程偏斜偵測器424B)基於NMOS電晶體M5a之所偵測驅動強度經由一CMOS傳輸閘x2將一第二驅動強度信號V2、V4提供至比較器426之一負輸入端子(-)。CMOS傳輸閘x2包含一NMOS通過閘及一PMOS通過閘。信號ph1及ph1b係具有相位1及相位1條之時脈信號。當ph1=1且ph1b=0時，傳輸閘x1開通且允許V2信號通過。當ph1=0且ph1b=1時，傳輸閘x1閉合且沒有信號可通過，且至比較器426之輸入信號經由NMOS電晶體M7a、M8接地。

【0031】 比較器426接收來自PMOS電晶體M4a之第一驅動強度信號及來自NMOS電晶體M5a之第二驅動強度信號。若來自PMOS電晶體M4a之參考電流IREF (亦即，驅動電流)之強度強於來自NMOS電晶體M5a之參考電流IREF (亦即，驅動電流)之強度，則來自比較器426之輸出信號(Vout)係與一邏輯壹(1)電壓值相關之一高電壓信號。若來自NMOS電晶體M5a之參考電流IREF (亦即，驅動電流)之強度強於來自PMOS電晶體M4a之參考電流IREF (亦即，驅動電流)之強度，則比較器426之輸出信號(Vout)係與一邏輯零(0)電壓值相關之一低電壓信號。在某些例項中，

PMOS電晶體M4a及NMOS電晶體M5a可具有相似驅動強度。

【0032】傳輸閘x1耦合於PMOS電晶體M4a與比較器426之正輸入端子(+)之間。傳輸閘x1可用一第一時脈信號(ph1b)及一第二時脈信號(ph1)加偏壓。第一時脈信號(ph1b)可係第二時脈信號(ph1)之反相信號。此外，NMOS電晶體M7a耦合於傳輸閘x1與第二電壓源V_{ss}之間，且NMOS電晶體M7a用一第一時脈信號(ph1b)啟動。

【0033】傳輸閘x2耦合於NMOS電晶體M5a與比較器426之負輸入端子(-)之間。傳輸閘x2可用一第一時脈信號(ph1b)及一第二時脈信號(ph1)加偏壓。此外，NMOS電晶體M8耦合於傳輸閘x2與第二電壓源V_{ss}之間，且NMOS電晶體M8用第一時脈信號(ph1b)啟動。

【0034】在某些實施方案中，圖4圖解說明一第一感測器電路420(例如，PN偏斜)之一示意性表示。電路420使用一參考電流I_{REF}，其被鏡像(I_{mir})至電晶體M3與M6a中以自節點V1a及V2移除電荷。節點V1a耦合至二極體連接之PMOS電晶體M4a，且節點V2耦合至一個二極體連接之NMOS電晶體M5a。電晶體M4a及M5a兩者皆在飽和區域中操作且經設計成具有類似(或相等)驅動強度。選擇參考電流I_{REF}(例如，對於典型矽)，使得節點V1a及V2上之電壓近似地類似或相等(V1~V2)。然後，在此組態中，電流鏡裝置M3或M6偏斜達參考電流I_{REF}之1 LSB值，使得比較器426之輸出(V_{out})係低的。關於此預設設定，其可表示P與N之間之一典型矽偏斜。由於P及N裝置於製造製程期間變化，因此取決於P與N之間之偏斜偏移程度，可能需要更多電流或更少電流來切換比較器426。用以切換比較器426之電流改變I_{REF}之步長數目可與P與N裝置之間之強度差成正比。因此，此輸出資訊(V_{out})係指兩個裝置M4a、M5a之間之一偏斜差。

【0035】如圖5中所展示，製程感測器520可包含多個電晶體，該多個電晶體經配置以操作為一COMS FF-SS (快速，緩慢)製程偏斜感測器。

【0036】製程感測器520可包含一電流鏡522。製程感測器520可包含電流參考IREF及電晶體M0、M1、M1a、M2、M3，以與圖4中所展示之一類似方式配置。製程感測器520可包含並聯耦合在NMOS電晶體M3與PMOS電晶體M6b之間且與PMOS電晶體M6b串聯之PMOS電晶體M4b及NMOS電晶體M5b。PMOS電晶體M4b之閘極耦合至第二電壓源Vss，且NMOS電晶體M5b之閘極耦合至第一電壓源Vdd。PMOS電晶體M6b耦合於第一電壓源Vdd與電晶體M4b、M5b之間。基於一選擇信號(selb)啟動PMOS電晶體M6b。

【0037】製程感測器520可包含一製程偏斜偵測器524及一比較器526。製程感測器520包含在線性區域中操作之PMOS電晶體M4b及NMOS電晶體M5b。CMOS傳輸閘x3包含一NMOS通過閘及一PMOS通過閘。信號ph1及ph1b係具有相位1及相位1條之時脈信號。當ph1=1且ph1b=0時，傳輸閘x3開通並允許V1b信號通過。當ph1=0且ph1b=1時，傳輸閘x3閉合且沒有信號可通過。第三製程偏斜偵測器524基於電晶體M4b及M5b之所偵測驅動強度將一第三驅動強度信號V1b、V3b提供至比較器526之一正輸入端子(+)。此外，一電壓參考信號Vref耦合至比較器526之一負輸入端子(-)。

【0038】傳輸閘x3耦合於電晶體M4b、M5b與比較器526之正輸入端子(+)之間。傳輸閘x3可用第一時脈信號(ph1b)及第二時脈信號(ph1)加偏壓。第一時脈信號(ph1b)係第二時脈信號(ph1)之反相信號。NMOS電晶體M7b耦合於傳輸閘x3與第二電壓源Vss之間，且NMOS電晶體M7b用第

一時脈信號(ph1b)啟動。

【0039】比較器526接收第三驅動強度信號V3b及基於參考電流IREF之一參考電壓信號Vref。若來自傳輸閘x3之第三驅動強度信號V3b之強度強於參考電壓信號Vref之強度，則來自比較器526之一輸出信號(Vout)係與一邏輯壹(1)電壓值相關之一高電壓信號。若參考電壓信號Vref之強度強於來自傳輸閘x3之第三驅動強度信號V3b之強度，則比較器526之輸出信號(Vout)係與一邏輯零(0)電壓值相關之一低電壓信號。

【0040】在某些實施方案中，圖5展示一第二感測器電路520（例如，一FF-SS偏斜）之一示意性表示。電路520之一原理係使用在線性區域中操作之電晶體M4b及M5b以便驅動節點V1b且使用一可變電流參考IREF來感測FF或SS製程拐點並判定製程偏斜之一量。作為一實例，電晶體M4b及M5b之大小可選擇為具有接近一正反器中使用之一傳輸閘之一或多個數位值（例如， $W4=W5=200\text{ nm}$ ）。電流鏡(M0-M3)中之電晶體係「類比大小」，以最小化其製程變化。取決於是對記憶體位元胞元變化還是邏輯胞元變化執行測試，相應地選擇M4及M5之裝置大小。而且，此等裝置M4及M5可以一串聯或並聯組態配置以獲得一所期望變化。

【0041】在某些實施方案中，可選擇參考電流IREF（例如，自典型矽資料），使得節點V1b上之電壓大於(>)參考電壓Vref且比較器526之輸出係高的。在某些情形中，當電晶體驅動強度由於製造變化而改變時，比較器526跳閘所需之電流量亦可相應地改變。藉由使用一DAC掃描參考電流IREF並判定使比較器526跳閘所需之數位碼，可發現矽快多少或慢多少。

【0042】圖6圖解說明根據本文所闡述之各種實施方案之一製程感測器620之一方塊圖600。製程感測器620可係指諸如，例如一CMOS製程偏

斜感測器之一製程偏斜感測器。

【0043】製程感測器或製程偏斜感測器620可包含一數位轉類比轉換器(DAC)622，其操作以提供一驅動電流(I1，I2)。DAC 622可操作為一電流鏡以提供驅動電流(I1，I2)。

【0044】製程偏斜感測器620可包含一第一製程偏斜偵測器624A (p_skew)，其用在飽和區域中操作之一PMOS電晶體來偵測驅動電流(I1)之一強度。第一製程偏斜偵測器624A基於PMOS電晶體之所偵測驅動強度提供一第一驅動強度信號(in_p)。

【0045】製程偏斜感測器620可包含一第二製程偏斜偵測器624b (n_skew)，其用在飽和區域中操作之一NMOS電晶體來偵測驅動電流(I1)之一強度。第二製程偏斜偵測器624b (n_skew)基於NMOS電晶體之所偵測驅動強度提供一第二驅動強度信號(in_n)。

【0046】製程偏斜感測器620可包含一第三製程偏斜偵測器624C (Xtr)，其具有使用驅動電流(I2)在線性區域中操作之一傳輸閘。第三製程偏斜偵測器624C (Xtr)基於傳輸閘之所偵測驅動強度提供一第三驅動強度信號(in_3)。

【0047】製程偏斜感測器620可包含一第一比較器626A，其自第一製程偏斜偵測器624A (p_skew)及第二製程偏斜偵測器624B (n_skew)接收第一及第二驅動強度信號(in_p，in_n)，偵測第一驅動強度信號與第二驅動強度信號之間之一第一電壓差，且基於所偵測第一電壓差提供一第一輸出信號(out1)。第一比較器626A可係一第一類比比較器，且所偵測第一電壓差係與第一驅動強度信號與第二驅動強度信號(in_p，in_n)之間之強度差相關，且藉此，第一輸出信號(out1)指示第一驅動強度信號與第二驅

動強度信號(in_p , in_n)之間之強度差。第一比較器626A接收第一驅動強度信號及第二驅動強度信號(in_p , in_n)。若來自PMOS電晶體之第一驅動強度信號(in_p)強於來自NMOS電晶體之第二驅動強度信號(in_n)，則來自第一比較器626A之第一輸出信號($out1$)係與一邏輯壹(1)電壓值相關之一高電壓信號。若來自NMOS電晶體之第二驅動強度信號(in_n)強於來自PMOS電晶體之第一驅動強度信號(in_p)，則第一比較器626A之第一輸出信號($out1$)係與一邏輯零(0)電壓值相關之一低電壓信號。

【0048】製程偏斜感測器620可包含一第二比較器626B，其接收第三驅動強度信號(in_3)及一參考電壓信號($Vref$)，偵測第三驅動強度信號(in_3)與參考電壓信號($Vref$)之間之一第二電壓差，且基於所偵測第二電壓差提供一第二輸出信號($out2$)。第二比較器626B可係一第二類比比較器。所偵測第二電壓差係與第三驅動強度信號(in_3)與參考電壓信號($Vref$)之間之一強度差相關，且藉此，第二輸出信號($out2$)指示第三驅動強度信號(in_3)與參考電壓信號($Vref$)之間之強度差。在某些情形中，若來自傳輸閘之第三驅動強度信號(in_3)強於參考電壓信號($Vref$)之強度，則來自第二比較器626B之第二輸出信號($out2$)係與一邏輯壹(1)電壓值相關之一高電壓信號。在某些其他情形中，若參考電壓信號($Vref$)之強度強於來自傳輸閘之第三驅動強度信號(in_3)，則第二比較器626B之第二輸出信號($out2$)係與一邏輯零(0)電壓值相關之一低電壓信號。

【0049】在某些實施方案中，圖6展示製程偏斜感測器620之一頂階結構之一示意性表示，其可稱為一CMOS製程偏斜感測器。DAC與電流鏡區塊622可於兩個比較器626A、626B之間共用。第一比較器626A之輸出($out1$)可提供FS/SF (快速-緩慢，緩慢-快速)資訊，第二比較器626B之輸

出(out2)可提供FF/SS (快速-快速，緩慢-緩慢)矽偏斜資訊。

【0050】本文所闡述之各種實施方案可與一自適應電壓按比例調整(AVS)技術一起使用，該技術使用一晶片之精確製程拐點，其由一製造測試判定或在運行時期間判定，且可判定一適宜之電壓-頻率關係。在某些例項中，自適應電壓按比例調整(AVS)可係指基於一晶片之實際操作條件減小功率之一閉環動態功率最小化技術，其中可於一晶片之運行時期間連續地調整功耗。

【0051】圖7圖解說明根據本文所闡述之各種實施方案之用於製作一積體電路之方法700之一製程流程圖。

【0052】應理解，即使方法700可指示操作執行之一特定次序，但該等操作之各種特定部分可以一不同次序且在不同系統上執行。在某些例項中，額外操作或步驟可新增至方法700及/或自方法700忽略。此外，方法700可以硬體及/或軟體來實施。若以硬體實施，則方法700可用各種電路組件實施，諸如上文參考圖1至圖6所闡述。若以軟體實施，則方法700可實施為一程式或軟體指令程序，其可經組態用於製作如本文所闡述之一製程偏斜感測器。而且，若以軟體實施，則與實施方法700相關之指令可儲存於記憶體及/或一資料庫中。舉例而言，具有一處理器及記憶體之一電腦或各種其他運算裝置可經組態以執行方法700。

【0053】參考圖7，方法700可用於製造及/或製作一積體電路。在方塊710處，方法700可製作用於積體電路之轉換器電路，且轉換器電路可操作以提供一驅動電流。在方塊720處，方法700可製作用於積體電路之製程偵測器電路。製程偵測器電路可包含藉由來自轉換器電路之驅動電流驅動之多個驅動強度裝置，且該多個驅動強度裝置可基於驅動電流提供多

個驅動強度信號。在方塊730處，方法700可製作用於積體電路之比較器電路。該比較器電路可包含一比較器，其自該多個驅動強度裝置接收多個驅動強度信號，偵測該多個驅動強度信號之間之一電壓差，且基於所偵測電壓差提供一輸出信號。

【0054】圖8圖解說明根據本文所闡述之各種實施方案之用於製作一製程偏斜感測器之方法800之一製程流程圖。

【0055】應理解，即使方法800可指示操作執行之一特定次序，但該等操作之各種特定部分可以一不同次序且在不同系統上執行。在某些例項中，額外操作或步驟可新增至方法800及/或自方法800忽略。此外，方法800可以硬體及/或軟體實施。若以硬體實施，則方法800可用各種電路組件實施，例如上文參考圖1至圖6所闡述。若以軟體實施，則方法800可實施為一程式或軟體指令程序，其可經組態用於製作如本文所闡述之一製程偏斜感測器。而且，若以軟體實施，則與實施方法800相關之指令可儲存於記憶體及/或一資料庫中。舉例而言，具有一處理器及記憶體之一電腦或各種其他運算裝置可經組態以執行方法800。

【0056】參考圖8，方法800可用於製造及/或製作一製程偏斜感測器。在方塊810處，方法800可製作一數位轉類比轉換器(DAC)，其操作以提供一驅動電流。在方塊820處，方法800可製作一第一製程偏斜偵測器，其用在飽和區域中操作之一PMOS電晶體來偵測驅動電流之一強度，且第一過程偏斜偵測器可基於PMOS電晶體之所偵測驅動強度提供一第一驅動強度信號。在方塊830處，方法800可製作一第二製程偏斜偵測器，其利用在飽和區域中操作之一NMOS電晶體來偵測驅動電流之一強度，且第二製程偏斜偵測器可基於NMOS電晶體之所偵測驅動強度提供一第二驅

動強度信號。在方塊840處，方法800可製作一第三製程偏斜偵測器，其具有使用驅動電流在線性區域中操作之一傳輸閘，且第三製程偏斜偵測器可基於傳輸閘之所偵測驅動強度來提供一第三驅動強度信號。在方塊850處，方法800可製作一第一比較器，其自第一製程偏斜偵測器及第二製程偏斜偵測器接收第一驅動強度信號及第二驅動強度信號，偵測第一驅動強度信號與第二驅動強度信號之間之一第一電壓差，且基於所偵測第一電壓差提供一第一輸出信號。在方塊860處，方法800可製作一第二比較器，其接收第三驅動強度信號及一參考電壓信號，偵測第三驅動強度信號與參考電壓信號之間之一第二電壓差，且基於所偵測第二電壓差提供一第二輸出信號。

【0057】 本文闡述一積體電路之各種實施方案。該積體電路可包含操作以提供一驅動電流之轉換器電路。該積體電路可包含具有多個驅動強度裝置之製程偵測器電路，該多個驅動強度裝置由來自該轉換器電路之驅動電流驅動。該多個驅動強度裝置可基於該驅動電流而提供多個驅動強度信號。該積體電路可包含具有一比較器之比較器電路，該比較器自該多個驅動強度裝置接收多個驅動強度信號，偵測該多個驅動強度信號之間之一電壓差，且基於所偵測電壓差提供一輸出信號。

【0058】 本文闡述一製程偏斜感測器之各種實施方案。該製程偏斜感測器可包含一數位轉類比轉換器(DAC)，其操作以提供一驅動電流。該製程偏斜感測器可包含一第一製程偏斜偵測器，其用在飽和區域中操作之一PMOS電晶體來偵測驅動電流之一強度，且第一製程偏斜偵測器可基於PMOS電晶體之所偵測驅動強度提供一第一驅動強度信號。該製程偏斜感測器可包含一第二製程偏斜偵測器，其用在飽和區域中操作之一NMOS電

晶體來偵測驅動電流之一強度，且第二製程偏斜偵測器可基於NMOS電晶體之所偵測驅動強度提供一第二驅動強度信號。該製程偏斜感測器可包含一第三製程偏斜偵測器，其具有使用該驅動電流在線性區域中操作之多個電晶體，且第三製程偏斜偵測器可基於多個電晶體之所偵測驅動強度提供一第三驅動強度信號。該製程偏斜感測器可包含一第一比較器，其自第一製程偏斜偵測器及第二製程偏斜偵測器接收第一驅動強度信號及第二驅動強度信號，偵測第一驅動強度信號與第二驅動強度信號之間之一第一電壓差，且基於所偵測第一電壓差提供一第一輸出信號。該製程偏斜感測器可包含一第二比較器，其接收第三驅動強度信號及一參考電壓信號，偵測第三驅動強度信號與參考電壓信號之間之一第二電壓差，且基於所偵測第二電壓差提供一第二輸出信號。

【0059】 本文闡述用於製作一積體電路之一方法之各種實施方案。該方法可包含製作用於該積體電路之轉換器電路，且該轉換器電路可操作以提供一驅動電流。該方法可包含製作用於該積體電路之製程偵測器電路，且該製程偵測器電路可包含由來自該轉換器電路之驅動電流驅動之多個驅動強度裝置。該多個驅動強度裝置可基於該驅動電流提供多個驅動強度信號。該方法可包含製作用於該積體電路之比較器電路，且該比較器電路可包含一比較器，其自該多個驅動強度裝置接收多個驅動強度信號，偵測該多個驅動強度信號之間之一電壓差，且基於所偵測電壓差提供一輸出信號。

【0060】 申請專利範圍之標的物不應意欲限制於本文所提供之實施方案及圖解說明，而應包含彼等實施方案(包含實施方案之部分及根據申請專利範圍之不同實施方案之元件之組合)之經修改形式。應瞭解，在開

發任何此實施方案時，如在任何工程或設計項目中，必須做出眾多個實施方案特有之決策以達成開發者之特定目標，諸如，符合系統相關及商業相關之約束(約束在不同的實施方案之間可不同)。此外，應瞭解，此一開發努力可係複雜且耗時的，但對獲益於本發明之一般技術者而言，其不過係一常規的設計、製作及製造工作。

【0061】 已詳細參考各種實施方案，該等實施方案之實例在附圖及圖中圖解說明。在以下詳細說明中，陳述眾多特定細節以提供對本文所提供之本發明之一透徹理解。然而，本文所提供之本發明可在無此等特定細節之情況下實踐。在某些其他例項中，未詳細闡述熟知方法、程序、組件、電路及網路以免不必要地模糊實施例之細節。

【0062】 亦應理解，儘管本文可使用第一、第二等術語來闡述各種元件，但此等元件不應受限於此等術語。此等術語僅用於將一個元件與另一元件區分開。舉例而言，一第一元件可稱作一第二元件，且類似地，一第二元件可稱作一第一元件。第一元件及第二元件兩者分別係兩個元件，但不能將其視為同一元件。

【0063】 在本文所提供之本發明之闡述中所使用的術語係出於闡述特定實施方案之目的，且不意欲限制本文所提供之本發明。如在本文所提供之本發明之闡述及隨附申請專利範圍中所使用，單數形式「一(a)」、「一(an)」及「該(the)」亦意欲包含複數形式，除非內容脈絡另外明確指示。如本文所使用之術語「及/或」係指且囊括相關聯所列物項中之一或多者之任一或全部可能組合。當在此說明書中使用時，術語「包含(includes)」、「包含(including)」、「包括(comprises)」及/或「包括(comprising)」規定存在所陳述特徵、整數、步驟、操作、元件及/或組

件，但並不排除存在或新增一或多個其他特徵、整數、步驟、操作、元件、組件及/或其群組。

【0064】如本文所使用，術語「若」可取決於內容脈絡而解釋為意指「當……時」或「之後旋即」或「回應於判定」或「回應於偵測」。類似地，片語「若其經判定」或「若「一所陳述條件或事件」經偵測」可取決於內容脈絡而解釋為意指「判定之後旋即」或「回應於判定」或「偵測到[所陳述條件或事件]之後旋即」或「回應於偵測到[所陳述條件或事件]」。術語「上」及「下」；「上部」及「下部」；「向上」及「向下」；「下方」及「上方」；及指示在一既定點或元件上方或下方之相對位置之其他類似術語可結合本文所闡述之各種技術之某些實施方案使用。

【0065】雖然前文係針對本文所闡述之各種技術之實施方案，但可根據本發明設想其他及進一步實施方案，該等實施方案可由以下申請專利範圍判定。

【0066】儘管已以結構特徵及/或方法動作特有之語言來闡述標的物，但應理解，隨附申請專利範圍中所定義之標的物未必限制於上述特定特徵或動作。而是，上述特定特徵及動作係作為實施申請專利範圍之實例形式而揭示。

【符號說明】

【0067】

100	方塊圖
102	系統單晶片電路
104	CPU核心電路/混合信號構建區塊/電路區塊
106	記憶體電路/混合信號構建區塊/電路區塊

- 108 輸入/輸出電路/混合信號構建區塊/電路區塊
- 110 邏輯電路/混合信號構建區塊
- 112 邏輯電路/混合信號構建區塊
- 114 無線電電路/混合信號構建區塊/電路區塊
- 116 鎖相環電路
- 118 能量管理電路/混合信號構建區塊/能量管理單元
- 120 製程感測器/製程偏斜感測器
- 200 方塊圖
- 220 製程感測器
- 222 轉換器電路
- 224 製程偵測器/製程偵測器電路
- 226 比較器電路
- 300 方塊圖
- 320 製程感測器/製程偏斜感測器
- 322 轉換器電路/數位轉類比轉換器
- 324A p型金屬氧化物半導體裝置/驅動強度裝置/第一製程偏斜
偵測器/裝置
- 324B n型金屬氧化物半導體裝置/驅動強度裝置/第二製程偏斜
偵測器/裝置
- 326 比較器/類比比較器
- 400 示意圖
- 420 製程感測器/第一感測器電路/電路
- 422 電流鏡

424A	第一製程偏斜偵測器
424B	第二製程偏斜偵測器
426	比較器
500	示意圖
520	製程感測器/第二感測器電路/電路
522	電流鏡
524	製程偏斜偵測器/第三製程偏斜偵測器
526	比較器
600	方塊圖
620	製程感測器/製程偏斜感測器
622	電流鏡區塊/數位轉類比轉換器
624A	第一製程偏斜偵測器
624B	第二製程偏斜偵測器
624C	第三製程偏斜偵測器
626A	第一比較器/比較器
626B	第二比較器/比較器
700	方法
710	方塊
720	方塊
730	方塊
800	方法
810	方塊
820	方塊

830	方塊
840	方塊
850	方塊
860	方塊
en	啟用信號
I1	驅動電流
I2	驅動電流
Imir	鏡像
in_3	第三驅動強度信號
in_n	驅動強度信號/第二驅動強度信號
in_p	驅動強度信號/第一驅動強度信號
IREF	電流參考/參考電流/電流變化/可變電流參考
M0	電流鏡/p型金屬氧化物半導體電晶體/電晶體
M1	p型金屬氧化物半導體電晶體/電晶體/電流鏡
M1a	n型金屬氧化物半導體電晶體/電晶體
M2	n型金屬氧化物半導體電晶體/電晶體/電流鏡
M3	n型金屬氧化物半導體電晶體/電晶體/電流鏡裝置/電流鏡
M4a	p型金屬氧化物半導體電晶體/電晶體/裝置
M4b	p型金屬氧化物半導體電晶體/電晶體
M5a	n型金屬氧化物半導體電晶體/電晶體/裝置
M5b	n型金屬氧化物半導體電晶體/電晶體
M6a	n型金屬氧化物半導體電晶體/電晶體
M6b	p型金屬氧化物半導體電晶體

M7a	n型金屬氧化物半導體電晶體
M7b	n型金屬氧化物半導體電晶體
M8	n型金屬氧化物半導體電晶體
out	輸出信號
out1	第一輸出信號/輸出
out2	第二輸出信號/輸出
out<n:0>	輸出信號
ph1	信號/第二時脈信號
ph1b	信號/第一時脈信號
REF	參考電流/驅動電流
selb	選擇信號
V1a	節點/第一驅動強度信號/信號
V1b	節點/第三驅動強度信號/信號
V2	節點/第二驅動強度信號/信號
V3a	第一驅動強度信號
V3b	第三驅動強度信號
V4	第二驅動強度信號
Vdd	第一電壓源
Vout	輸出信號/輸出/輸出資訊
Vref	電壓參考信號/參考電壓信號/參考電壓
Vsen	電壓感測信號
Vss	第二電壓源



201920976

【發明摘要】**【中文發明名稱】**

互補式金屬氧化物半導體製程偏斜感測器

【英文發明名稱】

CMOS PROCESS SKEW SENSOR

【中文】

本文所闡述之各種實施方案係關於一積體電路。該積體電路可包含轉換器電路，其操作以提供一驅動電流。該積體電路可包含具有多個驅動強度裝置之製程偵測器電路，該多個驅動強度裝置由來自該轉換器電路之該驅動電流驅動。該多個驅動強度裝置可基於該驅動電流而提供多個驅動強度信號。該積體電路可包含具有一比較器之比較器電路，該比較器自該多個驅動強度裝置接收該多個驅動強度信號，偵測該多個驅動強度信號之間之一電壓差，且基於該所偵測電壓差提供一輸出信號。

【英文】

Various implementations described herein are directed to an integrated circuit. The integrated circuit may include converter circuitry that operates to provide a drive current. The integrated circuit may include process detector circuitry having multiple drive strength devices that are driven by the drive current from the converter circuitry. The multiple drive strength devices may provide multiple drive strength signals based on the drive current. The integrated circuit may include comparator circuitry having a comparator that receives the multiple drive strength signals from the multiple drive strength devices, detects a

voltage difference between the multiple drive strength signals, and provides an output signal based on the detected voltage difference.

【指定代表圖】

圖2

【代表圖之符號簡單說明】

200	方塊圖
220	製程感測器
222	轉換器電路
224	製程偵測器/製程偵測器電路
226	比較器電路
out<n:0>	輸出信號
REF	參考電流/驅動電流
Vsen	電壓感測信號

【發明申請專利範圍】

【第1項】

一種積體電路，其包括：

轉換器電路，其操作以提供一驅動電流；

製程偵測器電路，其具有由來自該轉換器電路之該驅動電流驅動之多個驅動強度裝置，其中該多個驅動強度裝置基於該驅動電流提供多個驅動強度信號；及

比較器電路，其具有一比較器，該比較器自該多個驅動強度裝置接收該多個驅動強度信號，偵測該多個驅動強度信號之間之一電壓差，且基於該所偵測電壓差提供一輸出信號。

【第2項】

如請求項1之積體電路，其中該積體電路包括一製程偏斜感測器，且其中該製程偏斜感測器包括一互補式金屬氧化物半導體(CMOS)製程偏斜感測器。

【第3項】

如請求項1之積體電路，其中該轉換器電路包括一數位轉類比轉換器(DAC)，且其中該DAC操作為一電流鏡以提供該驅動電流。

【第4項】

如請求項1之積體電路，其中該比較器包括一類比比較器，且其中該所偵測電壓差與該多個驅動強度信號之間之一強度差相關，且其中該輸出信號指示該多個驅動強度信號之間之該強度差。

【第5項】

如請求項1之積體電路，其中該多個驅動強度裝置實施為多個製程偏

斜偵測器，且其中該多個製程偏斜偵測器包括一第一製程偏斜偵測器及一第二製程偏斜偵測器。

【第6項】

如請求項5之積體電路，其中該第一製程偏斜偵測器用在飽和區域中操作之一p型金屬氧化物半導體(PMOS)電晶體來偵測該驅動電流之一強度，且其中該第一製程偏斜偵測器基於該PMOS電晶體之該所偵測驅動強度將一第一驅動強度信號提供至該比較器，且其中該第二製程偏斜偵測器用在飽和區域中操作之一n型MOS (NMOS)電晶體來偵測該驅動電流之一強度，且其中該第二製程偏斜偵測器基於該NMOS電晶體之該所偵測驅動強度將一第二驅動強度信號提供至該比較器。

【第7項】

如請求項6之積體電路，其中該比較器接收該第一驅動強度信號及該第二驅動強度信號，且其中若來自該PMOS電晶體之該第一驅動強度信號強於來自該NMOS電晶體之該第二驅動強度信號，則來自該比較器之該輸出信號係與一邏輯壹(1)電壓值相關之一高電壓信號，且其中若來自該NMOS電晶體之該第二驅動強度信號強於來自該PMOS電晶體之該第一驅動強度信號，則該比較器之該輸出信號係與一邏輯零(0)電壓值相關之一低電壓信號。

【第8項】

如請求項6之積體電路，其中該PMOS電晶體耦合為一個二極體，且其中該NMOS電晶體耦合為一個二極體。

【第9項】

如請求項6之積體電路，其中該PMOS電晶體與該NMOS電晶體具有

類似驅動強度。

【第10項】

如請求項5之積體電路，其中該多個製程偏斜偵測器包括一第三製程偏斜偵測器，其具有使用該驅動電流在線性區域中操作之多個電晶體，且其中該第三製程偏斜偵測器基於該多個電晶體之該所偵測驅動強度將一第三驅動強度信號提供至該比較器。

【第11項】

如請求項10之積體電路，其中該比較器接收該第三驅動強度信號及一參考電壓信號，且其中若來自該多個電晶體之該第三驅動強度信號強於該參考電壓信號之該強度，則來自該比較器之該輸出信號係與一邏輯壹(1)電壓值相關之一高電壓信號，且其中若該參考電壓信號之該強度強於自該多個電晶體之該第三驅動強度信號，則該比較器之該輸出信號係與一邏輯零(0)電壓值相關之一低電壓信號。

【第12項】

一種製程偏斜感測器，其包括：

一數位轉類比轉換器(DAC)，其操作以提供一驅動電流；

一第一製程偏斜偵測器，其用在飽和區域操作之一p型金屬氧化物半導體(PMOS)電晶體來偵測該驅動電流之一強度，該第一製程偏斜偵測器基於該PMOS電晶體之該所偵測驅動強度提供一第一驅動強度信號；

一第二製程偏斜偵測器，其用在飽和區域操作之一n型MOS (NMOS)電晶體來偵測該驅動電流之一強度，該第二製程偏斜偵測器基於該NMOS電晶體之該所偵測驅動強度提供一第二驅動強度信號；

一第三製程偏斜偵測器，其具有使用該驅動電流在線性區域中操作

之多個電晶體，該第三製程偏斜偵測器基於該多個電晶體之該所偵測驅動強度提供一第三驅動強度信號；

一第一比較器，其自該第一製程偏斜偵測器及該第二製程偏斜偵測器接收該第一驅動強度信號及該第二驅動強度信號，偵測該第一驅動強度信號與該第二驅動強度信號之間之一第一電壓差，且基於該所偵測第一電壓差提供一第一輸出信號；及

一第二比較器，其接收該第三驅動強度信號及一參考電壓信號，偵測該第三驅動強度信號與該參考電壓信號之間之一第二電壓差，且基於該所偵測第二電壓差提供一第二輸出信號。

【第13項】

如請求項12之製程偏斜感測器，其中該製程偏斜感測器包括一互補式金屬氧化物半導體(CMOS)製程偏斜感測器。

【第14項】

如請求項12之製程偏斜感測器，其中該DAC操作為一電流鏡以提供該驅動電流。

【第15項】

如請求項12之製程偏斜感測器，其中該第一比較器包括一第一類比比較器，且其中該所偵測第一電壓差與該第一驅動強度信號與該第二驅動強度信號之間之一強度差相關，且其中該第一輸出信號指示該第一驅動強度信號與該第二驅動強度信號之間之該強度差。

【第16項】

如請求項12之製程偏斜感測器，其中該第一比較器接收該第一驅動強度信號及該第二驅動強度信號，且其中若來自該PMOS電晶體之該第一

驅動強度信號強於來自該NMOS電晶體之該第二驅動強度信號，則來自該第一比較器之該第一輸出信號係與一邏輯壹(1)電壓值相關之一高電壓信號，且其中若來自該NMOS電晶體之該第二驅動強度信號強於來自該PMOS電晶體之該第一驅動強度信號，則該第一比較器之該第一輸出信號係與一邏輯零(0)電壓值相關之一低電壓信號。

【第17項】

如請求項12之製程偏斜感測器，其中該PMOS電晶體耦合為一個二極體，且其中該NMOS電晶體耦合為一個二極體，且其中該PMOS電晶體及該NMOS電晶體具有類似驅動強度。

【第18項】

如請求項12之製程偏斜感測器，其中該第二比較器包括一第二類比比較器，且其中該所偵測第二電壓差與該第三驅動強度信號與該參考電壓信號之間之一強度差相關，且其中該第二輸出信號指示該第三驅動強度信號與該參考電壓信號之間之該強度差。

【第19項】

如請求項12之製程偏斜感測器，其中若來自該多個電晶體之該第三驅動強度信號強於該參考電壓信號之該強度，則來自該第二比較器之該第二輸出信號係與一邏輯壹(1)電壓值相關之一高電壓信號，且其中若該參考電壓信號之該強度強於來自該多個電晶體之該第三驅動強度信號，則該第二比較器之該第二輸出信號係與一邏輯零(0)電壓值相關之一低電壓信號。

【第20項】

一種製造一積體電路之方法，其包括：

製作用於該積體電路之轉換器電路，其中該轉換器電路操作以提供一驅動電流；

製作用於該積體電路之製程偵測器電路，其中該製程偵測器電路包括由來自該轉換器電路之該驅動電流驅動之多個驅動強度裝置，其中該多個驅動強度裝置基於該驅動電流提供多個驅動強度信號；及

製作用於該積體電路之比較器電路，其中該比較器電路包括一比較器，其自該多個驅動強度裝置接收該多個驅動強度信號，偵測該多個驅動強度信號之間之一電壓差，且基於該所偵測電壓差提供一輸出信號。

