



등록특허 10-2141257



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년08월05일
(11) 등록번호 10-2141257
(24) 등록일자 2020년07월29일

- (51) 국제특허분류(Int. Cl.)
H03F 1/32 (2006.01) *H03F 3/189* (2006.01)
H03F 3/24 (2006.01) *H04L 27/26* (2006.01)
- (52) CPC특허분류
H03F 1/3247 (2013.01)
H03F 1/3258 (2013.01)
- (21) 출원번호 10-2015-7004064
(22) 출원일자(국제) 2013년07월18일
심사청구일자 2018년07월17일
- (85) 번역문제출일자 2015년02월13일
(65) 공개번호 10-2015-0034787
(43) 공개일자 2015년04월03일
(86) 국제출원번호 PCT/US2013/051149
(87) 국제공개번호 WO 2014/018379
국제공개일자 2014년01월30일

(30) 우선권주장
61/674,771 2012년07월23일 미국(US)

(56) 선행기술조사문헌

KR1020080018964 A*

C. K. S. Pun 외, "An Efficient Design or Fractional-Delay Digital FIR Filters ...," Proceedings of the 11th IEEE Signal Processing Workshop on Statistical Signal Processing, pp. 595-598, 2001. 08.*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 20 항

심사관 : 신우열

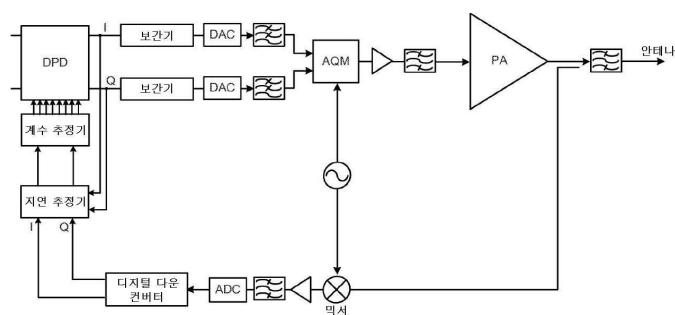
(54) 발명의 명칭 무선 통신 시스템에서의 광대역 디지털 사전왜곡을 위해 주파수가 널리 이격된 신호들을 정렬하는 방법 및 시스템

(57) 요 약

주파수가 널리 이격된 신호들을 시간 정렬하는 시스템은, 디지털 사전왜곡(digital predistortion; DPD) 프로세서 및 상기 DPD 프로세서에 연결되고 전력 증폭기 출력에서 전송 신호를 공급할 수 있는 전력 증폭기를 포함한다. 상기 시스템은 또한 상기 전력 증폭기 출력에 연결된 피드백 루프를 포함한다. 상기 피드백 루프는,

(뒷면에 계속)

대 표 도



적용적 부분 지연 필터, 상기 적용적 부분 지연 필터에 연결된 지연 추정기, 및 상기 지연 추정기에 연결된 DPD 계수 추정기를 포함한다.

(52) CPC특허분류

H03F 3/189 (2013.01)

H03F 3/245 (2013.01)

H04L 25/03063 (2013.01)

H04L 25/03343 (2013.01)

H04L 27/2655 (2013.01)

H03F 2200/336 (2013.01)

명세서

청구범위

청구항 1

주파수가 널리 이격된 신호들을 시간 정렬하는 시스템에 있어서,
디지털 사전왜곡(digital predistortion; DPD) 프로세서;
상기 DPD 프로세서에 연결되고 전력 증폭기 출력에서 전송 신호를 공급할 수 있는 전력 증폭기; 및
상기 전력 증폭기 출력에 연결된 피드백 루프
를 포함하되,

상기 피드백 루프는,

상기 전력 증폭기 출력에 연결되고 피드백 신호를 출력하는 아날로그-디지털 컨버터(ADC) 유닛 - 상기 ADC 유닛은 소정의 샘플링 레이트를 가짐 -;

상기 ADC 유닛에 연결되고 상기 샘플링 레이트의 일부에 기초해서 상기 피드백 신호를 지연시키도록 구성된 적응적 부분 지연 필터;

상기 DPD 프로세서의 하나 또는 그 이상의 출력 및 상기 적응적 부분 지연 필터에 연결된 지연 추정기;
및

상기 지연 추정기에 연결된 DPD 계수 추정기
를 포함하는 시스템.

청구항 2

제1항에 있어서,
상기 지연 추정기는 제어 알고리즘을 더 포함하는 시스템.

청구항 3

제1항에 있어서,
상기 부분 지연 필터는 3차 또는 그보다 높은 차수의 라그랑주 패로우(Lagrange Farrow) 필터에 기초하는 시스템.

청구항 4

신호들을 시간적으로 정렬하는 방법에 있어서,
 a) 카운터를 사용하여 지연 장치의 지연 파라미터의 값을 계산하는 단계;
 b) 복수의 전송 신호를 수신하는 단계;
 c) 복수의 피드백 신호를 수신하는 단계;
 d) 상기 복수의 전송 신호 및 상기 복수의 피드백 신호를 이용하여 타이밍 에러의 함수를 결정하는 단계;
 e) 상기 타이밍 에러의 함수가 미리 정해진 문턱값과 같거나 그보다 더 크다고 판단하는 단계;
 f) 카운터를 증가시키는 단계;

- g) a) 내지 f)를 한번 또는 그 이상 반복하는 단계;
- h) 상기 타이밍 에러의 함수가 상기 미리 정해진 문턱값보다 작다고 판단하는 단계; 및
- i) 상기 지연 장치의 상기 지연 파라미터를 고정시키는 단계
를 포함하는 방법.

청구항 5

제4항에 있어서,
상기 지연 파라미터를 이용하여 사전왜곡 계수를 추정하는 단계
를 더 포함하는 방법.

청구항 6

제4항에 있어서,
상기 지연 파라미터의 값을 계산하는 단계는 상기 카운터와 스텝 크기 파라미터를 곱하는 단계를 포함하는
방법.

청구항 7

제6항에 있어서,
상기 스텝 크기 파라미터는 0 내지 1 범위인 방법.

청구항 8

제4항에 있어서,
상기 복수의 전송 신호와 상기 복수의 피드백 신호를 이용하여 타이밍 에러의 함수를 결정하는 단계는, 상기 복
수의 전송 신호 및 상기 복수의 피드백 신호를 필터링하는 단계 및 타이밍 에러를 추정하는 단계를 포함하는 방
법.

청구항 9

제4항에 있어서,
상기 타이밍 에러의 함수는 크기 제곱(magnitude squared) 함수를 포함하는 방법.

청구항 10

제4항에 있어서,
상기 타이밍 에러의 함수는 크기 피크 상관 함수(magnitude peak correlation function)을 포함하는 방법.

청구항 11

제4항에 있어서,

상기 타이밍 에러의 함수는 에러 벡터 크기(error vector magnitude; EVM) 함수를 포함하는 방법.

청구항 12

제1항에 있어서,

상기 지연 추정기는 타이밍 에러의 함수를 계산하는, 시스템.

청구항 13

제1항에 있어서,

상기 지연 추정기는 상기 전송 신호 및 상기 적응적 부분 지연 필터의 출력을 필터링함으로써 타이밍 에러의 함수를 계산하는, 시스템.

청구항 14

제13항에 있어서,

상기 타이밍 에러의 함수는 크기 제곱(magnitude squared) 함수를 포함하는 시스템.

청구항 15

제13항에 있어서,

상기 타이밍 에러의 함수는 크기 피크 상관 함수(magnitude peak correlation function)을 포함하는 시스템.

청구항 16

제13항에 있어서,

상기 타이밍 에러의 함수는 에러 벡터 크기(error vector magnitude; EVM) 함수를 포함하는 시스템.

청구항 17

제1항에 있어서,

상기 적응적 부분 지연 필터는 로우 패스 필터인, 시스템.

청구항 18

제1항에 있어서,

상기 적응적 부분 지연 필터는 지연 파라미터를 포함하는, 시스템.

청구항 19

제18항에 있어서,

상기 DPD 계수 추정기는 상기 지연 파라미터를 이용하여 사전왜곡 계수를 추정하는, 시스템.

청구항 20

제18항에 있어서,

상기 지연 파라미터는 스텝 크기 파라미터와 곱해진 카운터에 의해 계산되는, 시스템.

발명의 설명

기술 분야

[0001]

관련 출원의 상호 참조

[0002]

본 출원은 "무선 통신 시스템에서의 광대역 디지털 사전왜곡을 위해 주파수가 널리 이격된 신호들을 정렬하는 방법 및 시스템"이라는 명칭의 2012년 7월 23일자 미국 임시특허출원 제61/674,771호를 우선권 주장의 기초로 하고, 상기 출원의 개시 내용은 그 전체가 여하한 목적으로 참조에 의해 본 명세서에 편입된다.

[0003]

본 발명은 일반적으로 멀티플렉싱(multiplexing) 변조 기술을 이용하는 광대역 통신 시스템에 관한 것이다. 보다 구체적으로, 본 발명은 무선 송신기에서의 광대역 디지털 사전왜곡 선형화를 위해 주파수가 널리 이격된 신호들을 정렬하는 방법에 관한 것이다.

배경 기술

[0004]

사전왜곡(predistortion)은 전력 증폭기의 선형성을 향상시키기 위해 통신 시스템에서 사용되는 기술이다. 전력 증폭기는 비선형 입력/출력 특성을 가질 수 있기 때문에, 이러한 전력 증폭기의 입력/출력 특성을 선형화하기 위해 사전왜곡이 사용된다. 본질적으로, 전력 증폭기에 공급되는 입력으로 "역 왜곡(inverse distortion)"이 도입되어, 상기 전력 증폭기의 비선형 특성을 없앤다.

[0005]

모바일 통신 시스템의 전력 증폭기를 선형화하기 위해 사용되는 현재의 사전왜곡 기술은 주로 아날로그 회로에 의해서 IF/RF에서 구현되는 아날로그 사전왜곡기와 디지털 신호 처리(digital signal processing; DSP) 기술에 의한 베이스밴드(baseband)에서의 디지털 사전왜곡기이다.

[0006]

아날로그 사전왜곡기는 전력 증폭기의 선형화를 이루기 위해 에러 감산(error subtraction) 및 전력 매칭(power matching)의 원리에 기초한다. 전력 증폭기의 비선형 특성은 복잡하고 많은 변수들이 관여될 수 있기 때문에, 아날로그 사전왜곡은 최적의 사전왜곡 정확도보다 낮은 정확도를 갖고 상당한 전력을 소모한다.

발명의 내용

해결하려는 과제

[0007]

사전왜곡 기술에서 이루어진 진보에도 불구하고, 관련 기술 분야에서는 디지털 사전왜곡 시스템을 위한 향상된 방법 및 시스템에 대한 요구가 존재한다.

과제의 해결 수단

[0008]

이에 따라, 본 발명은 상기한 과제의 관점에서 만들어졌고, 본 발명의 하나의 목적은 광대역 디지털 사전왜곡 시스템을 위한 전송(transmit) 및 피드백 신호들 간의 지연(delay)을 추정(estimation)하는 강인한(robust) 방법을 제공하는 것이다. 상기 목적을 달성하기 위해, 본 발명의 일 실시예에 의하면, 피드백 경로 지연을 정확하게 제어하기 위해서 피드백 경로 내의 패로우 기반 부분 지연 필터(Farrow based fractional delay filter)와 알고리즘의 사용에 기초한 기술이 제공된다. 본 발명의 실시예들은 언제든 높은 정확도로 전송 및 피드백 신호들을 시간 정렬(time align)할 수 있다.

[0009]

본 발명의 일 실시예에 의하면, 주파수가 널리 이격된 캐리어들에 의한 광대역 디지털 사전왜곡을 위한 단순화

고 강인한 지연 추정 방법이 제공된다. 본 발명은 광대역 디지털 사전왜곡 시스템을 위한 전송 및 피드백 신호를 시간 정렬하는 방법을 제공한다. 이러한 목적을 달성하기 위해, 본 발명의 일 실시예에 의한 기술은, 설계하고 제어하기에 매우 단순한 3차 라그랑주 패로우 구조(third order Lagrange Farrow structure)에 기초한 프로그램가능(programmable) 부분 지연 필터를 사용하는데 기초한다. 본 명세서에 개시된 실시예들은, 디지털 사전왜곡 시스템들에서, 100MHz를 넘는 순간 대역폭에서 신호들을 정렬할 수 있다.

[0010] 본 발명의 일 실시예에 의하면, 주파수가 널리 이격된 신호들을 시간 정렬하는 시스템이 제공된다. 상기 시스템은 디지털 사전왜곡(digital predistortion; DPD) 프로세서 및 상기 DPD 프로세서에 연결되고 전력 증폭기 출력에서 전송 신호를 공급할 수 있는 전력 증폭기를 포함한다. 상기 시스템은 또한, 상기 전력 증폭기 출력에 연결된 피드백 루프를 포함한다. 상기 피드백 루프는, 적응적 부분 지연 필터, 상기 적응적 부분 지연 필터에 연결된 지연 추정기, 및 상기 지연 추정기에 연결된 DPD 계수 추정기를 포함한다.

[0011] 본 발명의 다른 실시예에 의하면, 신호들을 시간적으로 정렬하는 방법이 제공된다. 상기 방법은, a) 지연 파라미터의 값을 계산하는 단계, b) 복수의 전송 신호를 수신하는 단계, 및 c) 복수의 피드백 신호를 수신하는 단계를 포함한다. 상기 방법은 또한 d) 상기 복수의 전송 신호 및 상기 복수의 피드백 신호를 이용하여 타이밍 에러에 관련된 함수를 결정하는 단계, e) 상기 타이밍 에러의 함수가 미리 정해진 문턱값과 같거나 그보다 더 큰지 결정하는 단계, 및 f) 카운터를 증가시키는 단계를 포함한다. 또한 상기 방법은 g) a) 내지 f)의 하나 또는 그 이상을 한번 또는 그 이상 반복하는 단계, h) 상기 타이밍 에러에 관련된 함수가 상기 미리 정해진 문턱값보다 작은지 정하는 단계, 및 i) 상기 지연 파라미터를 고정시키는 단계를 포함한다.

[0012] 본 발명에 의하면 종래의 기술에 비해 다수의 이점을 얻을 수 있다. 예를 들면, 본 발명의 실시예들은 피드백 경로 내의 지연에 대한 향상된 제어를 제공하고, 디지털 사전왜곡 시스템의 성능 특성을 향상시킨다. 본 발명의 이러한 그리고 다른 실시예들과 그 장점 및 특성들은 이하의 설명 및 첨부 도면에 의해 보다 상세히 기술된다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시예에 의한 지연 추정과 디지털 사전왜곡을 포함하는 멀티캐리어(multi-carrier) 광대역 시스템을 도시한 개념적인 블록도이다.

도 2는 본 발명의 일 실시예에 의한 광대역 신호들을 정렬하는 시스템을 도시한 개념적인 블록도이다.

도 3은 본 발명의 일 실시예에 의한 신호들을 시간적으로 정렬하는 방법을 도시한 개념적인 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명은 일반적으로 멀티플렉싱 변조(multiplexing modulation) 기술을 이용하는 광대역 통신 시스템에 관한 것이다. 보다 구체적으로, 본 발명은 무선 송신기에서의 광대역 디지털 사전왜곡 선형화를 위한 주파수가 널리 이격된 신호들을 정렬하는 방법에 관한 것이다.

[0015] 무선 통신 시스템의 스펙트럼 효율의 중요성이 증가하면서, 무선 주파수(radio frequency; RF) 전력 증폭기들(power amplifiers; PAs)의 선형성과 효율은 높은 첨두 대 평균 전력비(peak to average power ratio; PARs)를 갖는 비상수 엔베로프(non-constant envelope) 디지털 변조 방식의 중요한 설계 문제가 되어 왔다. RF PAs는 PA의 출력에서 진폭 변조(amplitude modulation) - 진폭 변조(AM-AM) 및 진폭 변조 - 위상(phase) 변조(AM-PM) 왜곡을 발생시키는 비선형성을 갖는다. 이들은 결과적으로 인접 채널들에서의 스펙트럼 재성장(regrowth)과 에러 벡터 크기(error vector magnitude; EVM)를 저하시키는 대역내(in-band) 왜곡을 발생시킨다. 따라서, 다양한 선형화 기술들 중 하나가 일반적으로 RF PAs에 적용된다. 피드백, 피드포워드(feedforward) 및 사전왜곡과 같은 다양한 선형화 기술들이 문헌에서 제안되어 왔다.

[0016] 가장 유망한 선형화 기술은, 디지털 신호 프로세서에 있어서의 최근의 진보를 이용하는 베이스밴드 디지털 사전왜곡(baseband digital predistortion; DPD)이다. DPD는 널리 사용된 종래의 피드포워드 선형화 기술에 비해 시스템 복잡도가 감소하고 우수한 선형성과 우수한 전력 효율을 달성할 수 있다. 또한, 소프트웨어 구현은 다중 표준(multi-standard) 환경에 적합한 재구성가능성(re-configurability)을 갖는 디지털 사전왜곡기를 제공한다. 또한, 도히티(Doherty) 전력 증폭기(DPA)와 같이 효율 향상 기술을 사용하는 PA는 선형성을 대가로 전통적인 PA 설계보다 더 높은 효율을 달성할 수 있다. 따라서, 효율 향상 기술을 사용하는 DPA와 DPD의 결합은 시스

템 선형성과 전체 효율을 극대화할 수 있는 잠재력을 갖는다.

[0017] 일반적인 무선 통신 시스템은 20MHz 내지 25MHz 정도의 순간(instantaneous) 대역폭을 지원한다. 디지털 사전 왜곡 알고리즘을 위한 통상의 지연 추정은 두 번 또는 그 이상의 오버 샘플링(oversampling)에 의한 전송 신호와 피드백 신호 간의 크기 상관 관계(magnitude correlation)를 사용한다.

[0018] 그러나, 차세대 무선 통신 시스템을 위한 순간 대역폭의 요건(>25MHz)은 계속 증가하고, 이는 광대역 멀티캐리어가 주파수에 있어서 널리 이격될 수 있음을 의미하고, 예컨대, 65MHz의 순간 대역폭을 지원하는 시스템에 있어서 캐리어 간격은 60MHz에 이를 수 있다. 이는 큰 캐리어 간격에 기인하여 매우 작은 시간차를 갖는 몇 개의 상관 피크(correlation peak)를 생성할 수 있다. 이는 바람직하지 않은 큰 지연 정렬 에러를 일으킬 수 있다. 이렇게 해서, 본 발명의 실시예들은 지연 추정이 강인한 광대역 디지털 사전왜곡 시스템을 제공한다.

[0019] 도 1은 디지털 사전왜곡(DPD) 회로, 보간기(interpolator), 디지털-아날로그 컨버터(digital-to-analog converter), 변조기(modulator), 전력 증폭기, 듀플렉서(duplexer), 상기 PA의 출력에 연결되는 출력을 위한 무선 주파수 다운변환(down-conversion) 회로, 디지털 사전왜곡 피드백 경로를 위한 아날로그-디지털 컨버터(analog-to-digital converter), 및 디지털 다운 컨버터를 도시하는 개념적인 블록도이다. 이 디지털 사전왜곡 시스템은 콤플렉스 신호(I 및 Q)의 크기에 기초한 지연 추정을 이용한다. 보통, 피드백 ADC의 샘플 레이트(sample rate)는 디지털 사전왜곡기의 샘플 레이트의 두 배이다. 예를 들어, 디지털 사전왜곡 샘플 레이트가 125MHz이면, 피드백 ADC의 샘플 레이트는 일반적으로 적어도 250MHz이고, 이는 하드웨어 제어가능 지연의 최소 분해능(resolution)이 4ns(1/250MHz)임을 의미한다. 몇몇 구현예에서, 이러한 최소 분해능은 주파수가 널리 이격된 캐리어들의 경우에 원하는 정확도로 전송 및 피드백 경로 사이에 지연을 정렬하기에 충분할 만큼 작지 않다.

[0020] 지연 추정기는 상기 DPD 회로의 출력으로부터의 입력뿐 아니라 피드백 경로로부터의 입력을 수신한다. 상기 지연 추정기는 이 입력들 간의 차이를 계산하고 여러 최소화 프로세스의 일부로서 상기 신호들을 시간 정렬(time align)하기 위해서 계수 추정기(coefficient estimator)로 입력을 공급한다. 본 발명의 몇몇 실시예에서, 상기 지연 추정기는 어떤 값을 제공하는데, 이 값은 상기 DPD 회로의 출력에서의 동상(in-phase) 성분과 피드백 신호의 동상 성분, 상기 DPD 회로의 출력에서의 직각 위상(quadrature-phase) 성분과 상기 피드백 신호의 직각 위상 성분 간의 타이밍 에러(timing error)의 함수이다.

[0021] 타이밍 에러에 관련된 함수라고도 할 수 있는 타이밍 에러의 함수의 계산의 일 예로서, 상기 함수는 콤플렉스 피드백 신호와 상기 DPD 회로의 콤플렉스 출력 간의 평균 제곱 오차(mean squared error difference)일 수 있다.

$$\text{Error} = (\hat{I} - I)^2 + (\hat{Q} - Q)^2$$

[0022] 여기서, \hat{I} 는 동상 피드백 신호, \hat{Q} 는 직각 위상 피드백 신호, I 는 동상 출력 DPD 신호, Q 는 직각 위상 출력 DPD 신호이다.

[0023] 도 2는 본 발명의 일 실시예에 의한 광대역 신호들을 정렬하는 시스템을 도시한 개념적인 블록도이다. 도 2에 도시된 시스템은 디지털 사전왜곡(DPD) 회로, 보간기(interpolator), 디지털-아날로그 컨버터(digital-to-analog converter), 변조기(modulator), 전력 증폭기, 듀플렉서(duplexer), 상기 PA의 출력에 연결되는 출력을 위한 무선 주파수 다운변환(down-conversion) 회로, 피드백 경로를 위한 아날로그-디지털 컨버터(analog-to-digital converter), 디지털 다운 컨버터, 및 몇몇 실시예에서 0 내지 1 범위인 제어가능한 파라미터(mu)를 갖는 부분 지연 필터(fractional delay filter)를 포함한다.

[0024] 본 발명의 일 실시예에 의하면, 상기 부분 지연 필터는 단순한 구현을 가능하게 하고 디지털 사전왜곡 샘플 레이트로 동작하는 3차 라그랑주 패로우 구조(third order Lagrange Farrow structure)를 기초로 구현된다. 더 높은 차수(order)의 라그랑주 패로우 필터가 특정 애플리케이션에 적합하게 사용될 수 있다. 최소 지연 분해능은 샘플 레이트의 10배 또는 그 이상일 수 있고, 이는 1GHz의 샘플 레이트를 갖는 피드백 ADC에 대해서 0.1ns만큼 작을 수 있음을 의미한다. 물론, 최소 지연 분해능은 몇몇 구현예에서는 비트 수에 의존할 것이다. 종래의 시스템은, 유사한 최소 지연을 제공하기 위해, 하드웨어에 있어서 10GHz 샘플 레이트 보간기를 사용하거나 복잡하고 시간이 오래 걸리는 소프트웨어 필터링 알고리즘을 사용할 것이다.

[0025] 부분 지연 필터는 샘플링 레이트의 일부만큼 신호를 이동시킬 수 있다(즉, 신호의 타임 시프팅(time

shifting)). 일 예로서, 만약 샘플링 레이트가 100MHz라면, 종래의 시스템은 각 샘플 사이에서 10ns(즉, 1/100MHz)가 되는 속도로 샘플링을 하게 될 뿐이다. 도 2에 도시된 것처럼, 상기 부분 지연 필터는 mu로 표시된 파라미터를 포함한다. 상기 파라미터는 신호의 이동(시프팅)을 가능하게 하여 샘플링 레이트의 미리 정해진 비율만큼, 예컨대, 샘플링 레이트의 10분의 1만큼 지연을 변화시킨다. 이렇게 해서, 상기 부분 지연 필터는 0 내지 1 범위인 mu 값에 대하여 10ns부터 1ns까지 최소 지연의 감소를 가능하게 한다. 따라서 본 발명의 실시예들은 광대역 통신 시스템에 있어서의 디지털 사전왜곡과 관련하여 부분 지연 필터링을 이용한다.

[0027] 다시 도 2를 참조하면, 상기 부분 지연 필터는 상기 파라미터 mu의 함수로서 가변 지연을 갖는 로우 패스(low pass) 필터로서 기능한다. 동작 중의 상기 파라미터 mu의 변동에 관한 추가적인 설명은 이하에 제공된다.

[0028] 도 3은 본 발명의 일 실시예에 의한 신호들을 시간적으로 정렬하는 방법을 도시한 흐름도이다. 지연 추정이 개시될 때, 카운터(n)가 0으로 설정되고, mu는 스텝 크기(step size)의 카운터 배($mu=n*$ 스텝)의 값으로 설정되므로 mu는 0으로 설정된다. 상기 스텝 크기는 다양한 값으로, 예컨대, 0.2, 0.1, 또는 0.05 등으로 설정될 수 있다. 일 예로서, ADC가 1MHz의 샘플 레이트(즉, 샘플당 $1\mu s$)로 동작하고 있고 스텝 크기가 0.1로 설정된다면, $0.1\mu s$ 의 최소 지연 분해능을 제공하기 위해 카운터가 증가함에 따라 mu는 0.1의 배수로 설정될 것이다.

[0029] 신호들은 DPD 회로의 출력과 피드백 경로의 출력(즉, 디지털 다운 컨버터의 출력)에서 포착된다. 상기 DPD 회로의 출력과 피드백 경로의 출력은 크기(magnitude)로 정렬된다. 상기 두 경로의 정렬된 포착 신호들을 이용하여, 도 2에 도시된 것처럼 지연 추정기에서 타이밍 에러의 함수의 계산이 행해진다. 반복 실행(iteration)의 첫 번째 실행에서, $n=0$ 및 $mu=0$ 이고, 파라미터 $mu=0$ 을 부분 지연 필터로 공급한다. 상기 타이밍 에러의 결과적인 함수가 미리 정해진 문턱값과 같거나 그보다 더 크면, 카운터가 증가되고 반복 실행의 다음번 실행을 위해 mu가 다시 계산된다(즉, 본 예에서 두 번째 실행에 대해서는 $mu=1*$ 스텝= $1*0.1=0.1$). 상기 프로세스는 상기 타이밍 에러의 함수가 상기 미리 정해진 문턱값보다 작을 때까지 반복되고, mu가 고정되고, 상기 지연 추정기로부터의 값들이 계수 추정기(즉, 계수 추정 알고리즘)로 공급된다. 상기 스텝 크기는 본 예의 0.1의 값으로 국한되지 않고 적합한 다른 값을, 예컨대, 0.2, 0.1, 또는 0.05 등으로 설정될 수 있다.

[0030] 본 발명의 실시예들은 미리 정해진 수준까지 신호 에러를 감소시키기 위해 실시간으로 적응적(adaptive) 프로세싱을 제공한다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게는 명백한 것처럼, 미리 정해진 수의 심벌(symbol)들이 포착되고(예컨대, 4000 샘플), 지연 추정 값을 결정하기 위해 타이밍 에러의 함수의 계산이 행해지고, 계수 추정기로 지연이 제공된다.

[0031] 도 3을 참조하면, 시간적으로 신호들을 정렬하는 방법이 제공된다. 이 방법은 a) 지연 파라미터의 값을 계산하는 단계, b) 복수의 전송 신호를 수신하는 단계, 및 c) 복수의 피드백 신호를 수신하는 단계를 포함한다. 도 3에 도시된 바와 같이, 지연 파라미터의 값을 계산하는 단계는 카운터와 스텝 크기 파라미터를 곱하는 단계를 포함할 수 있다. 상기 스텝 크기 파라미터는 0 내지 1의 범위일 수 있다. 상기 방법은 또한, d) 상기 복수의 전송 신호와 상기 복수의 피드백 신호를 이용하여 타이밍 에러의 함수를 결정하는 단계 및 e) 상기 타이밍 에러의 함수가 미리 정해진 문턱값과 같거나 그보다 더 큰지 결정하는 단계를 포함한다. 상기 복수의 전송 신호와 상기 복수의 피드백 신호를 이용하여 상기 타이밍 에러의 함수를 결정하는 단계는 상기 복수의 전송 신호 및 상기 복수의 피드백 신호를 필터링하는 단계 및 타이밍 에러를 추정하는 단계를 포함할 수 있다.

[0032] 상기 방법은 또한 f) 카운터를 증가시키는 단계, g) a) 내지 f)를 한번 또는 그 이상 반복하는 단계를 포함한다. 몇몇 실시예에서는, a) 내지 f)의 서브세트가 한번 또는 그 이상 반복된다. 도 3에 도시된 것처럼, 상기 타이밍 에러의 함수가 상기 미리 정해진 문턱값과 같거나 그보다 큰 동안은 a) 내지 f)의 반복이 실행된다.

[0033] 소정 수의 반복과 지연 파라미터 값의 증가 후에, 상기 방법은 h) 상기 타이밍 에러의 함수가 상기 미리 정해진 문턱값보다 작은지 정하는 단계 및 i) 상기 지연 파라미터를 고정시키는 단계를 포함한다. 일 실시예에서, 상기 방법은 또한 상기 지연 파라미터를 이용하여 사전왜곡 계수를 추정하는 단계를 포함한다.

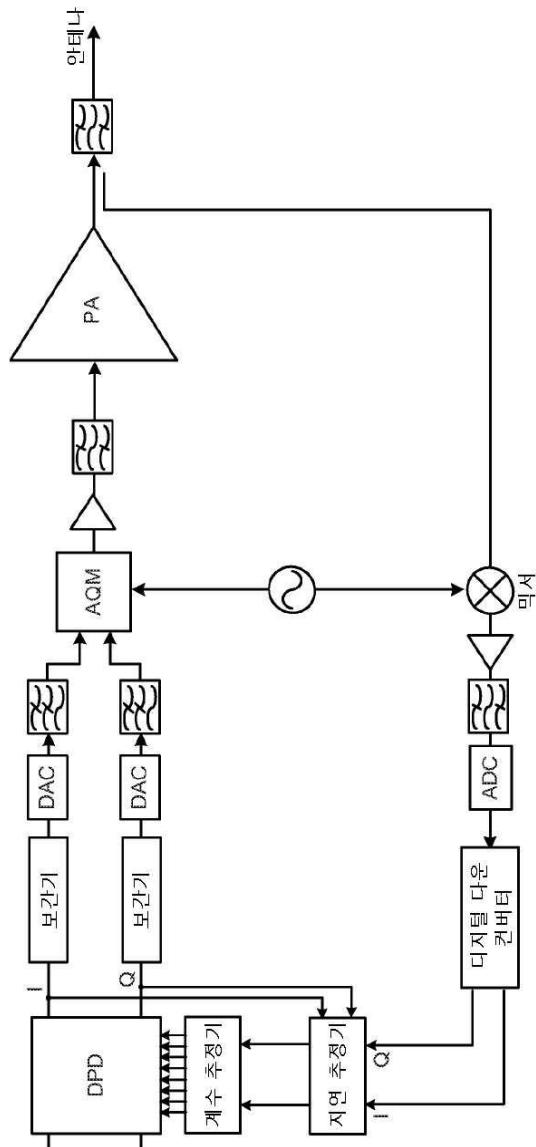
[0034] 도 3에 도시된 구체적인 단계들은 본 발명의 일 실시예에 의한 신호를 시간적으로 정렬하는 특정 방법을 제공한다는 점에 유의하여야 한다. 다른 실시예들에 의하면 다른 시퀀스의 단계들이 수행될 수도 있다. 예를 들어, 본 발명의 다른 실시예들은 상기 단계들을 다른 순서로 수행할 수 있다. 또한, 도 3에 도시된 개별 단계들은 상기 개별 단계에 적합하도록 다양한 시퀀스로 수행될 수 있는 다수의 하위 단계들을 포함할 수 있다. 또한, 특정 애플리케이션에 따라서는 추가적인 단계들이 부가되거나 삭제될 수도 있다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 다양한 변형, 개량 및 대안을 인식할 수 있을 것이다.

[0035]

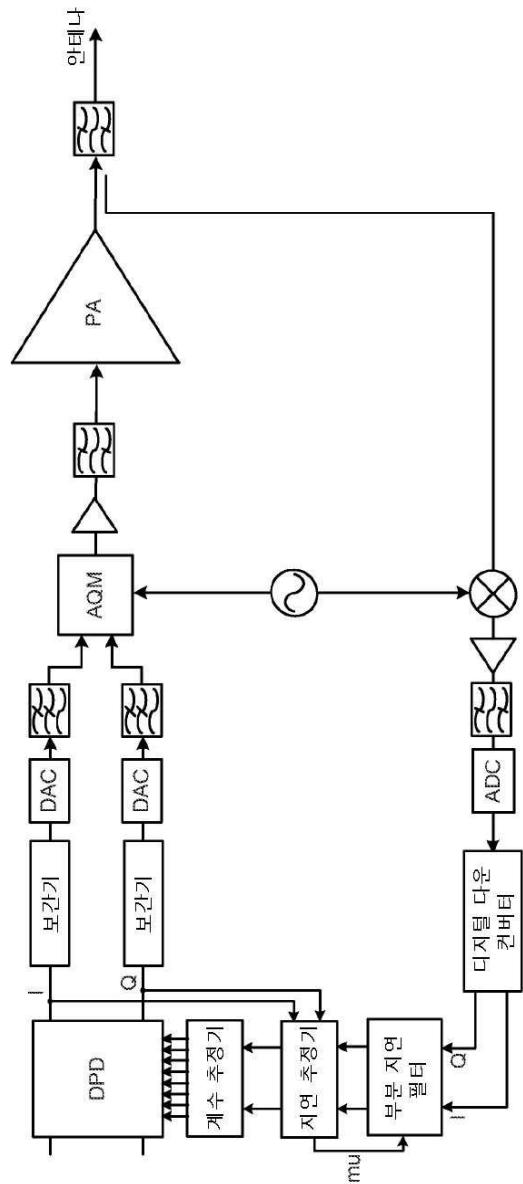
본 명서에 개시된 예와 실시예들은 단지 예시의 목적일 뿐이며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 그에 비추어 다양한 개량 및 변형을 도출해 낼 수 있고, 이러한 개량 및 변형은 첨부된 청구범위의 영역과 본 출원의 사상 및 목적의 범위 내에 포함되어야 한다는 점에 유의해야 한다.

도면

도면1



도면2



도면3

