



(12) 发明专利

(10) 授权公告号 CN 101753864 B

(45) 授权公告日 2012. 10. 10

(21) 申请号 200910258351. 1

(22) 申请日 2009. 12. 14

(30) 优先权数据

2008-321292 2008. 12. 17 JP

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 山崎和男 樋山拓己 岩根正晃

(74) 专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 杜娟

(51) Int. Cl.

H04N 5/376(2011. 01)

H04N 5/3745(2011. 01)

H04N 5/378(2011. 01)

(56) 对比文件

WO 2004045204 A1, 2004. 05. 27,
JP 特开 2002 - 185328 A, 2002. 06. 28,
US 5132803 A, 1992. 07. 21,
CN 101151884 A, 2008. 03. 26,
US 2008129851 A1, 2008. 06. 05,

审查员 王峥

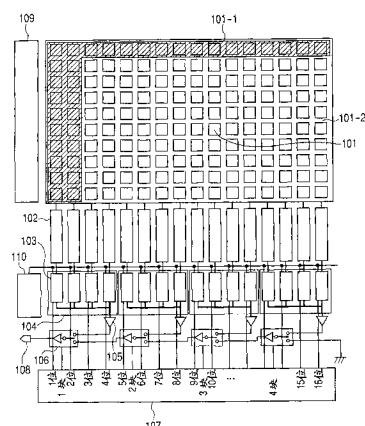
权利要求书 2 页 说明书 10 页 附图 11 页

(54) 发明名称

固态成像装置和使用该固态成像装置的成像
系统

(57) 摘要

本发明的目的是提供一种以高速输出数字信号的固态成像装置。提供了一种固态成像装置,其包括:把通过光电转换获得的模拟信号转换为数字信号的多个模数转换器;存储由所述模数转换器转换的所述数字信号的多个数字存储器;多个块数字输出线,其被提供以对应于所述多个数字存储器的块,并且存储在所述块中所包括的多个数字存储器中的数字信号被输出到所述多个块数字输出线;输出从所述多个块数字输出线输出的所述数字信号的公共数字输出线;缓冲从所述块数字输出线输出的所述数字信号的缓冲器电路;和能够切换在电气上连接到所述公共数字输出线的所述块数字输出线的块选择单元。



1. 一种固态成像装置,包含:

包括按矩阵布置的多个像素的像素区域,其中,所述像素执行光电转换以输出模拟信号;

用于把所述模拟信号转换为数字信号的多个模数转换器,被布置成使得所述模数转换器中的每一个对应于所述像素中的每一列;

用于保持由所述模数转换器转换的数字信号的多个数字存储器;

多个块数字输出线,被布置成使得所述块数字输出线中的每一个或更多个对应于所述数字存储器的块中的每一个,其中,所述数字存储器的块之一包括多个数字存储器,并且所述多个块数字输出线被布置成使得保持在特定数字存储器中的数字信号通过对应于包括所述特定数字存储器的块的块数字输出线输出;

用于输出来自所述多个块数字输出线的数字信号的公共数字输出线;

用于缓冲来自所述块数字输出线的数字信号的缓冲器电路,被布置在所述块数字输出线和所述公共数字输出线之间;和

被布置在所述块数字输出线和所述公共数字输出线之间、或者被布置在两个相邻的块数字输出线之间的块选择单元,所述块选择单元能够切换所述块数字输出线以便在电气上连接到所述公共数字输出线,或者连接到相邻的块数字输出线。

2. 如权利要求 1 所述的固态成像装置,还包含:

用于控制从所述数字存储器读出的水平扫描电路,其中

所述水平扫描电路执行控制,使得保持在所述数字存储器中的所述数字信号按所述数字存储器的布置顺序被顺次地读出到所述公共数字输出线。

3. 如权利要求 1 所述的固态成像装置,其中

所述缓冲器电路具有 CMOS 反相器。

4. 如权利要求 1 所述的固态成像装置,其中

所述缓冲器电路具有同步延迟电路,用于使输入所述缓冲器电路的数字信号与时钟同步。

5. 如权利要求 1 所述的固态成像装置,其中

所述缓冲器电路具有比较器电路,用于比较来自所述数字存储器的作为所述数字信号的非反相和反相差分输出,以确定比较的逻辑结果。

6. 如权利要求 1 到 5 中的任何一项所述的固态成像装置,其中

所述块数字输出线中的多于一个被提供给所述数字存储器的块之一,使得由包括在所述块之一中的多个数字存储器保持的数字信号被并行地输出。

7. 如权利要求 2 所述的固态成像装置,其中

所述水平扫描电路执行对从所述数字存储器读出的控制,以便以相同定时把由分别包括在相邻块中的相邻数字存储器所保持的数字信号读出到对应的块数字输出线。

8. 如权利要求 1 到 5 中的任何一项所述的固态成像装置,还包含

被布置在所述块数字输出线和所述公共数字输出线之间的选择性延迟电路,用于控制所述块中的每一个的延迟。

9. 一种成像系统,包含:

如权利要求 1 到 5 中的任何一项所述的固态成像装置;

用于把光学图像聚焦在所述固态成像装置的像素区域上的光学系统 ;和
用于处理从所述固态成像装置输出的信号的信号处理单元。

固态成像装置和使用该固态成像装置的成像系统

技术领域

[0001] 本发明涉及包括模数转换器(AD 转换器)的固态成像装置和使用该固态成像装置的成像系统。

背景技术

[0002] 近年来,提出了在 MOS 型固态成像装置中用于为每一列提供 AD 转换器并执行高速读出的结构。

[0003] 图 12 是示出在日本已公开专利申请 No. 2008-103992 中公开的 MOS 型固态成像装置 10 的电路结构的图。日本已公开专利申请 No. 2008-103992 公开了包括用于每一列像素 30 的 AD 转换器 16 和 17 以便实现速度上的增加的固态成像装置。在日本已公开专利申请 No. 2008-103992 中公开的固态成像装置包括多个数据总线 19 和 20,数据总线 19 和 20 相互独立地传送像素的经 AD 转换的数字信号,并从多个数据总线 19 和 20 并行地读出所述数字信号。

[0004] 日本已公开专利申请 No. 2008-103992 还公开了通过平行于列的划分线把像素划分为两个部分 - 左部分 11 和右部分 12,并同时读出信号的技术。

[0005] 但是,在日本已公开专利申请 No. 2008-103992 中公开的结构中存在重大的问题,因为在用于沿着像素的列方向把像素划分为左部分和右部分的系统中,不能按像素被排列的顺序读出信号。

[0006] 通常,在成像装置中,其中光电转换元件与光隔开的称作 OB(optical black,光学黑色)像素的像素被布置在各个行中,并且 OB 像素的输出在平行于行的方向上被用于校正等等。但是,例如当像素被划分为左部分和右部分时,如果 OB 像素只被布置在像素区域的左侧,则不能从右侧的输出端子读出 OB 像素的输出。因此,很难使用 OB 像素校正从右侧的输出端子读出的输出。

[0007] 因此,需要一种用来把用于输出数字信号的数据总线划分为两个或更多个部分,并按像素排列的顺序将输出信号输出的技术。

发明内容

[0008] 本发明的目的是提供一种安装了模数转换器的固态成像装置和使用所述固态成像装置的成像系统,所述固态成像装置能够高速输出数字信号,并且能够按像素排列的顺序输出所述数字信号。根据本发明的一种固态成像装置包含:包括按矩阵布置的多个像素的像素区域,其中,所述像素执行光电转换以输出模拟信号;用于把所述模拟信号转换为数字信号的多个模数转换器,被布置成使得所述模数转换器中的每一个对应于所述像素中的每一列;用于保持由所述模数转换器转换的所述数字信号的多个数字存储器;多个块数字输出线,被布置成使得所述块数字输出线中的每一个或更多个对应于所述数字存储器的块中的每一个,其中,所述数字存储器的块之一包括多个所述数字存储器,并且所述多个块数字输出线被布置成使得保持在特定数字存储器中的数字信号通过对应于包括所述特定数

字存储器的块的块数字输出线输出；用于输出来自所述多个块数字输出线的数字信号的公共数字输出线；用于缓冲来自所述块数字输出线的数字信号的缓冲器电路，被布置在所述块数字输出线和所述公共数字输出线之间；和被布置在所述块数字输出线和所述公共数字输出线之间，或者被布置在两个相邻的块数字输出线之间的块选择单元，所述块选择单元能够切换所述数字输出线以便在电气上连接到所述公共数字输出线，或者连接到相邻的块数字输出线。

[0009] 在本发明的另一个方面中，提供了一种成像系统，包括所述固态成像装置、在像素区域中形成光图像的光学系统，和处理从所述固态成像装置输出的信号的信号处理单元。

[0010] 能够高速输出数字信号，并且按像素排列的顺序输出所述数字信号。

[0011] 参考附图，从下面对示范性实施例的描述，本发明进一步的特征将变得清晰。

附图说明

[0012] 图 1 是示出了根据本发明第一实施例的固态成像装置的结构例子的框图。

[0013] 图 2 是作为图 1 中的缓冲器电路 105 的电路结构的例子的 CMOS 反相器的等效电路图。

[0014] 图 3 是作为图 1 中的缓冲器电路 105 的电路结构的例子的触发器电路的等效电路图。

[0015] 图 4 是作为图 1 中的缓冲器电路 105 的电路结构的例子的读出放大器 (sense amplifier) 电路的等效电路图。

[0016] 图 5 是示出图 4 中的读出放大器电路的操作的定时图。

[0017] 图 6 是示出根据本发明第一实施例的固态成像装置的读出操作的定时图。

[0018] 图 7 是示出了根据本发明第二实施例的固态成像装置的结构例子的框图。

[0019] 图 8 是示出根据本发明第二实施例的固态成像装置的读出操作的定时图。

[0020] 图 9 是示出了根据本发明第三实施例的固态成像装置的结构例子的框图。

[0021] 图 10 是示出了根据本发明第四实施例的固态成像装置的结构例子的框图。

[0022] 图 11 是示出根据本发明第四实施例的固态成像装置的读出操作的定时图。

[0023] 图 12 是示出以往固态成像装置的电路结构的图。

[0024] 图 13 是示出根据本发明第五实施例的成像系统的结构例子的图。

具体实施方式

[0025] 下面参考附图描述本发明的示范性实施例。

[0026] 第一实施例

[0027] 图 1 是根据本发明第一实施例的 MOS 型固态成像装置的基本电路结构例子的图。该结构例子的基本电路形成在同一硅衬底上，并且被配置为一个固态成像装置。在这个实施例中，为了简化，像素区域是具有按 10 行 × 16 列布置的像素的像素区域 101。在这个像素区域 101 中，在上端的一行和在左端的两列是 OB (光学黑色) 像素 101-1。OB 像素 101-1 中的每一个均具有与光隔离的光电转换元件。9 行 × 14 列中的其他像素是有效像素 101-2。

[0028] 附图标记 102 代表对应于像素区域 101 的列提供的模数转换器 (AD 转换器)。附图标记 103 代表暂时存储由 AD 转换器 102 转换的数字信号的数字存储器。

[0029] 附图标记 104 代表块数字输出线。在这个实施例中,用于四列的 AD 转换器 102 和数字存储器 103 被设置为一个块,四个块的布置对应于 16 列 (4 列 $\times$ 4 块 = 16) 的读出电路。

[0030] 附图标记 108 代表公共数字输出线。虽然只有来自块中的数字存储器 103 的输出被传送到块数字输出线 104,来自所有列中的数字存储器 103 的数字输出被传送到公共数字输出线 108。

[0031] 附图标记 105 代表缓冲器电路,其缓冲从数字存储器 103 读出到块数字输出线 104 的信号。附图标记 106 代表控制块之间的读出连接关系的块选择单元。通常,块选择单元 106 包括转接开关和缓冲器电路。

[0032] 附图标记 107 代表控制各个列中的数字存储器 103 的读出定时的水平扫描电路。附图标记 109 代表控制像素区域 101 中的各个行中的像素的读出定时的垂直扫描电路。作为水平扫描电路 107 和垂直扫描电路 109 的电路结构,通常使用移位寄存器、解码器等的结构。

[0033] 下面详细描述在这个实施例中的读出方法。来自像素区域 101 中被垂直扫描电路 109 选择的行中的像素的模拟输出被对应于相应列的 AD 转换器 102 进行模数转换。转换的结果作为数字数据被存储在对应于相应列的数字存储器 103 中。

[0034] 存储在数字存储器 103 中的数字数据的读出顺序由水平扫描电路 107 选择。当数字存储器 103 被选择时,暂时存储在数字存储器 103 中的数字数据被读出到块数字输出线 104。

[0035] 通过缓冲器电路 105 和块选择单元 106 把读出到块数字输出线 104 的数据读出到公共数字输出线 108。

[0036] 在这个实施例中,像素区域 101 中的列数是 16,并且提供了四个块数字输出线 104。因此,针对每一个块数字输出线 104,四个数字存储器 103 并行连接。另一方面,如果不采用块划分,则将并行连接 16 个数字存储器 103。因此,并行连接的数字存储器 103 的数量和数字输出线的长度将变为四倍。在这个实施例中,由于数字输出线被划分,块数字输出线 104 的全部连线电阻和连线电容、以及连接在一起的数字存储器 103 的总容量被分为四部分。不言自明,读出线的电容和电阻是执行高速读出的重要障碍。因此,像在本实施例中那样布置块数字输出线 104 并减小块数字输出线 104 中的电阻和电容对于提高速度极为有效。

[0037] 图 2 到图 4 是示出在本实施例中使用的缓冲器电路 105 的例子的等效电路图。由于有必要以列节距在数字存储器 103 中布局输出电路,因此增大在输出电路中使用的晶体管尺寸通常非常困难。另一方面,由于缓冲器电路 105 只需以块的节距布局,所以能够相对容易地增大晶体管尺寸。

[0038] 换句话说,由于数字输出线被划分为多个块数字输出线 104 以读出数字信号,因此可以减小由数字存储器 103 的具有较小驱动力的输出电路驱动的块数字输出线 104 上的负载。可以通过利用具有较大驱动力的缓冲器电路 105 把块数字输出线 104 驱动到公共数字输出线 108 来执行高速读出。

[0039] 图 2 中的电路是缓冲器电路 105 的例子,并且是 CMOS 反相器电路。附图标记 201 代表缓冲器电路 105 的输入端子,202 代表缓冲器电路 105 的输出端子。在图 2 中,示出了

一级 CMOS 反相器的电路结构作为例子。但是,可以串联连接多个 CMOS 反相器以逐步地增大驱动力。通过串联连接偶数级 CMOS 反相器,可以构建非反相缓冲器电路。通过串联连接奇数级 CMOS 反相器,可以构建反相的缓冲器电路。可以使用所述结构中的任何一个。

[0040] 图 3 中的电路是作为缓冲器电路 105 的另一个结构例子的同步延迟电路(触发器电路)。通过把块数字输出线 104 连接到输入端子 301 并使块数字输出线 104 的输出与输入到时钟端子 302 的时钟同步,能够再生波形。即使块数字输出线 104 的信号被延迟,由于波形被再生作为将数据输出延迟一个时钟的交换,所以就读出频率来说,能够以高速读出信号,尽管在输出中出现了时钟延迟。附图标记 303 代表复位输入端子,并且 304 代表输出端子。

[0041] 图 4 中的电路是作为缓冲器电路 105 的另一个结构例子的比较电路(读出放大器(sense amplifier)电路)。图 5 是比较电路的驱动定时的定时图。当在图 1 中应用图 4 中的缓冲器电路 105 时,来自数字存储器 103 的输出是非反相和反相差分输出。因此,块数字输出线 104 也是差分双线。

[0042] 附图标记 400 代表数字输出线复位电压。附图标记 401 和 402 代表缓冲器电路差分输入端子。附图标记 406 和 407 代表缓冲器电路差分输出端子。附图标记 403 代表锁存脉冲输入端子。附图标记 404 代表数字输出线复位脉冲输入端子。附图标记 405 代表锁存脉冲输入端子(反相)。给予锁存脉冲输入端子 403 的脉冲的反相信号被给予锁存脉冲输入端子(反相)405。附图标记 408 到 411 和 415 到 417 代表 PMOS 晶体管。附图标记 412 到 414 代表 NMOS 晶体管。

[0043] 块数字输出线 104 的两条线被连接到图 4 中的非反相信号 401 和反相信号 402。输入差分信号被输入缓冲器电路 105。在图 4 中,附图标记 403 代表锁存信号,并且 404 代表复位信号。由于附图标记 405 代表锁存信号 403 的反相信号,所以省略对信号 405 的定时的详细描述。

[0044] 附图标记 406 和 407 代表读出放大器的差分输出。输出 406 是非反相信号,并且输出 407 是反相信号。图 5 中的附图标记 500 代表用于使能数字存储器 103 的输出的使能脉冲。信号 500 和由水平扫描电路 107 选择的列的与(AND)是数字存储器 103 的输出定时。

[0045] 根据图 5 的定时图描述具体的操作。在时间 t_0 到 t_2 ,使能脉冲 500 变化到高电平,并且数字存储器 103 的输出被使能。

[0046] 在这个时段中,节点 401 和 402 根据暂时存储在数字存储器 103 中的数字数据变化。当暂时存储在数字存储器 103 中的数字数据被表示为 1(高电平)时,非反相信号 401 转变到高电平,而反相信号 402 转变到低电平。但是,如上所述,由于数字存储器 103 的输出电路的驱动力较小,信号 401 和 402 被延迟,并且每单位时间的变化量减小。

[0047] 锁存信号 403 处于低电平状态,直到时间 t_1 为止。PMOS 晶体管 408 和 409 处于 ON 状态,并且 NMOS 晶体管 414 和 PMOS 晶体管 415 处于 OFF 状态。因此,从时间 t_0 到 t_1 ,节点 406 和节点 407 处于和节点 401 和 402 相同的电平。

[0048] 随后,在时间 t_1 ,锁存信号 403 变化到高电平,并且 NMOS 晶体管 414 和 PMOS 晶体管 415 变化到 ON 状态。此刻,包括四个 MOS 晶体管 410、411、412 和 413 的锁存电路被使能,并且节点 406 和 407 中较高的一个变化到高电平,而较低的一个变化到低电平。时间 t_3 到 t_5 的时段是复位时段。不执行从数字存储器 103 读出。在这个时段中,复位脉冲 404 变化

到高电平,并且把节点 401、402、406 和 407 初始化到复位电平。

[0049] 在时间 t6 和后续时间的操作是在时间 t0 到 t5 的操作的重复。但是,数字存储器 103 输出数据 0(低电平)。因此,节点 401 和节点 402 之间的电平关系反转,并且作为输出结果的节点 406 和 407 的结果也反转。

[0050] 通过如上所述使用图 4 中所示的读出放大器,即使在信号电平转变的阶段,也能够把块数字输出线 401 和 402 的信号电平与锁存电路进行比较。因此,由于不必在地和电源之间转变块数字输出线 401 和 402,能够以高速度和低功耗读出信号。利用这种电路结构,逻辑在锁存信号 403 的高电平的时刻被判定。因此,和图 3 中的触发器电路一样,也存在使信号与时钟同步的效果。

[0051] 通过使用图 2 到图 4 中的缓冲器电路 105 从数字存储器 103 和块数字输出线 104 读出的数据通过块选择单元 106 输入到公共数字输出线 108。块选择单元 106 是当来自块数字输出线 104 的输出信号被输出到公共数字输出线 108 时切换块间连接状态的电路。

[0052] 块选择单元 106 的电路结构一般包括用于切换选择的开关和触发器电路,例如在图 3 中所示的触发器电路。除了切换功能外,块选择单元 106 还具有把信号输出延迟一个时钟,并同步波形中的延迟的功能。

[0053] 图 6 是示出块选择单元 106 和水平扫描电路 107 之间的读出的关系的定时图。下面详细描述在图 6 中所示的定时。

[0054] 水平扫描电路 107 的第一位在时间 t0 到 t1 变化到高电平,并且第二位在时间 t1 到 t2 变化到高电平。因此,从对应列中的数字存储器 103 读出被使能。这在时间 t2 到 t3 和后续时间也成立。块选择单元 106 的第一块在时间 t0 到 t4 被使能,并且第二块在时间 t4 到 t7 被使能。换句话说,在时间 t0 到 t4,块选择单元 106 工作,以使来自从图 1 左侧起第一个缓冲器电路 105 的输出被输出到公共数字输出线 108。在时间 t4 到 t7,块选择单元 106 工作,以使来自从图 1 左侧起第二个缓冲器电路 105 的输出被输出到公共数字输出线 108。在时间 t7 和后续时间,块选择单元 106 工作,以使来自相邻块的信号被顺次输出。

[0055] 针对在时间 t0 到 t1 使能的第一位的数字存储器 103 的读出结果通过块选择单元 106 输出。因此,读出结果被输出到公共数字输出线 108,相对于从作为定时产生电路的时钟发生器 110 提供的时钟具有一个时钟的延迟。类似地,第二到第四位的数字存储器 103 的读出结果被输出到公共数字输出线 108,具有一个时钟的延迟。

[0056] 另一方面,第五到第八位的输出通过两个块选择单元 106 的开关输出到公共数字输出线 108。结果,在时间 t3 到 t4 选择的第五位的输出在时间 t5 到 t6 输出到公共数字输出线 108,相对于从时钟发生器 110 提供的时钟具有两个时钟的延迟。因此,在这个实施例中,考虑到各个块中的延迟的差别,水平扫描电路 107 的第四位的数字信号和第五位的数字信号被同时改变到高电平。

[0057] 如上所述,在本实施例中,用于使能水平扫描电路 107 的位的定时的周期性在块的边界被改变。用于使能水平扫描电路 107 的位的定时在所述定时被改变,针对每一个块考虑了时钟延迟的数量上的差别。因此,能够把信号按列的顺序不间断地读出到公共数字输出线 108。

[0058] 在本实施例中,AD 转换的结果被暂时存储在数字存储器 103 中,并且该结果的数字数据被读出。另一方面,在不执行成像装置中的 AD 转换的模拟输出的格式中,当如本实

施例中那样提供了块输出线,并且缓冲器电路被布置在各个块输出线中时,图像因块间的波动而恶化。这是因为,在各个块中,块输出线、缓冲器电路和选择电路的特性的非常小的变化在被作为图像输出时导致了块间的台阶(偏移)。这个问题在本实施例的用于处理数字数据的读出格式中几乎可以忽略。因此,在用于读出经 AD 转换后暂时存储在数字存储器 103 中的数字数据的本实施例中,能够以高速读出信号,同时抑制图像质量的恶化。

[0059] 在成像装置中产生图像时,按像素排列的顺序并且无间断地输出信号非常重要。这是因为在使用 OB 像素执行校正和执行除了校正以外的信号处理时,按像素被排列的顺序读出信号很重要。例如,当信号按与像素排列的顺序不同的顺序输出时,或者信号被非周期性地输出时,这不是优选的,因为信号处理被复杂化。在本实施例中,能够执行块划分,并且按像素被排列的顺序并且无间断地读出各个列中的数据同时高速读出数字信号。因此,本实施例在固态成像装置技术领域特别有效。

[0060] 在本实施例中,公共数字输出线 108 被布置在第一位侧。但是,公共数字输出线 108 的布置位置不限于此。尽管有必要改变块选择电路 106 和水平扫描电路 107 的定时,但是,无论公共数字输出线 108 的布置位置如何,通过调整驱动定时,都能够获得相同的效果。

[0061] 在本实施例中,针对每一个像素列,布置了一组 AD 转换器 102 和数字存储器 103。但是,例如即使针对多个像素列布置了一个 AD 转换器,或者针对一个像素列布置了两个或更多个 AD 转换器,只要满足 AD 转换速度和读出速度之间的关系,就足以获得本实施例中的效果。

[0062] 在本实施例中,数字存储器 103 只需具有暂时存储被 AD 转换的数字数据的功能。例如,在图 1 中,提供了时钟发生器 110。但是,可以提供计数器电路替代时钟发生器 110,并且各个列中的数字存储器 103 可以以数字存储器 103 的定时锁存(存储)计数器电路的计数器输出值。或者,可以提供输出主时钟的时钟发生器代替时钟发生器 110,并且数字存储器 103 可以采用列计数器格式来存储每一列的计数值。

[0063] 第二实施例

[0064] 图 7 是示出根据本发明第二实施例的固态成像装置的结构例子的框图。在图 7 中,由于和图 1 中那些相同的电路单元由相同的附图标记代表,因此省略对这些电路单元的说明。图 8 是示出第二实施例中的读出定时的定时图。

[0065] 下面参考图 7 的框图和图 8 的定时图详细地描述本实施例。在本实施例中,存在两个公共数字输出线 108 的通道。因此,能够同时从两列-偶数列和奇数列-输出数字信号。

[0066] 当第一位被使能时,水平扫描电路 107 同时在第一列和第二列中执行从数字存储器 103 读出。在本实施例中,也存在块数字输出线 104 的两个通道和块选择单元 106 的两个通道。能够执行针对两列的并行读出。因此,水平扫描电路 107 在针对 8 位的选择操作中结束针对 16 列的读出。这实现了高速读出。

[0067] 在时间 t_0 到 t_1 ,水平扫描电路 107 的第一位变化到高电平。根据此变化,从第一列和第二列中的数字存储器 103 读出被使能。类似地,当在时间 t_1 到 t_2 第二位变化到高电平时,从第三列和第四列中的数字存储器 103 读出被使能。在时间 t_2 和 t_2 以及后续时间这也成立。

[0068] 块选择单元 106 的第一块在时间 t_0 到 t_2 被使能,并且第二块在时间 t_2 到 t_4 被使能。在时间 t_0 到 t_1 被使能的第一列和第二列中的数字存储器 103 的读出结果通过块选择单元 106 输出。因此,读出结果在时间 t_1 到 t_2 输出到公共数字输出线 108,相对于从时钟发生器 110 提供的时钟具有一个时钟的延迟。对于第二位,以相同的方式,第三列和第四列中的数字存储器 103 的读出结果被输出到公共数字输出线 108,具有一个时钟的延迟。在图 8 中由附图标记 108 代表的输出指示图 7 中的两个通道其中之一。关于其他通道,读出结果以相同的定时输出。

[0069] 第三位和第四位的输出通过两个块选择电路 106 的开关输出到公共数字输出线 108。结果,在时间 t_1 到 t_2 选择的三位的输出在时间 t_3 到 t_4 被输出到公共数字输出线 108,相对于从时钟发生器 110 提供的时钟具有两个时钟的延迟。

[0070] 因此,在本实施例中,在作为块之间的边界的时间 t_1 到 t_2 ,第二位和第三位被水平扫描电路 107 同时使能(变化到高电平),考虑了块之间的时钟延迟。对第五位和后续位重复相同的操作。利用这种读出方法,能够按像素被排列的顺序从公共数字输出线 108 输出信号。

[0071] 如上所述,当在多个通道中同时读出信号时,也能够按像素被排列的顺序并且不间断地把数字信号读出到公共数字输出线 108。

[0072] 在这个实施例中,提供了两个公共数字输出线 108 的通道。但是,当期望速度进一步提高时,可以提供三个或更多个公共数字输出线的通道。

[0073] 在本实施例中,所有的读出电路(电路 102、103、104、105、106、107 和 108)被布置在像素之下以读出信号。但是,读出电路的布置不限于此。例如,AD 转换器 102 和数字存储器 103 可以被布置在像素之上和之下,布置方式是使得针对第一位的那些被布置在像素区域之上,而针对第二位的那些被布置在像素区域之下。根据所述布置,两组块数字输出线 104、缓冲器电路 105、块选择单元 106、公共数字输出线 108 和水平扫描电路 107 可以被布置在像素区域之上和之下,以便在两个通道中执行读出。

[0074] 第三实施例

[0075] 图 9 是示出了根据本发明第三实施例的固态成像装置的结构例子的框图。在图 9 中,由于和图 1 中那些相同的电路单元由相同的附图标记代表,因此省略对这些电路的说明。在本实施例中,块数字输出线 104 通过块选择单元 106 连接到缓冲器电路 105。关于在本实施例中读出的定时,信号可以以与在第一实施例中描述的图 6 中的定时相同的定时读出。因此,省略对定时的详细说明。

[0076] 在本实施例中,通过在缓冲器电路 105 中提供图 4 中所示的读出放大器电路,可以用和针对数字存储器 103 的输出采用差分格式相同的方式对于读出放大器的格式采用差分格式。结果,不仅在块数字输出线 104 中,而且在块间的读出中,容易使用图 4 中所示的读出放大器执行读出。在包括读出放大器的结构的情况下,由于不必在块间把信号的传输改变到完全的高电平和完全的低电平,所以能够如在第一实施例中描述的那样,以高速度和低功耗读出信号。

[0077] 第四实施例

[0078] 图 10 是示出了根据本发明第四实施例的固态成像装置的结构例子的框图。在图 10 中,由于和图 1 中那些相同的电路单元由相同的附图标记代表,因此省略对这些电路的

说明。图 11 是示出在第四实施例中的读出定时的定时图。在第一实施例中,水平扫描电路 107 同时把两位变化到高电平。但是,在本实施例中,水平扫描电路 107 在一个定时把一位变化到高电平。

[0079] 附图标记 111 代表选择性延迟电路,它是包括触发器电路、选择电路和多路复用器的逻辑电路。

[0080] 下面参考图 11 的定时图描述操作。在时间 t_0 到 t_1 ,水平扫描电路 107 的第一位变化到高电平。根据该变化,从第一列中的数字存储器 103 读出被使能。类似地,在时间 t_1 到 t_2 ,第二位变化到高电平,由此,从第二列中的数字存储器 103 读出被使能。这在时间 t_2 到 t_3 和后续时间也成立。

[0081] 块选择单元 106 的第一个块在时间 t_0 到 t_4 被使能,并且第二个块在时间 t_4 到 t_8 被使能。

[0082] 在时间 t_0 到 t_1 被使能的第一列中的数字存储器 103 的读出结果通过缓冲器电路 105 输出。因此,在时间 t_1 到 t_2 ,信号到达选择性延迟电路 111 的输入端子,相对于从时钟发生器 110 提供的时钟具有一个时钟的延迟。类似地,第二到第四位的信号被输入选择性延迟电路 111 的输入端子,相对于从时钟发生器 110 提供的时钟具有一个时钟的延迟。

[0083] 另一方面,第五到第八位的信号通过缓冲器电路 105 两次。因此,出现两个时钟的延迟,直到第五到第八位的读出到达选择性延迟电路 111 的输入端子为止。结果,在时间 t_4 到 t_5 读出的第五位的信号在时间 t_6 到 t_7 的时段中到达选择性延迟电路 111 的输入端子。

[0084] 第九位和后续位的信号被进一步延迟一个时钟。第十三位和后续位的信号比第九位的信号进一步延迟一个时钟。因此,在例如时间 t_5 到 t_6 的时段和时间 t_{10} 到 t_{11} 的时段的时间,在选择性延迟电路 111 的输入端子处出现了数据间隙。

[0085] 因此,通过使用选择性延迟电路 111,数据间隙被校正。选择性延迟电路 111 基于水平扫描电路 107 的块切换信号调整延迟。具体来说,选择性延迟电路 111 把第一到第四位的信号延迟了三个时钟,并且把第五到第八位的信号延迟了二个时钟。通过以这种方式改变针对每一个块的延迟,能够把数据按像素排列的顺序不间断地输出到公共数字输出线 108。

[0086] 第五实施例

[0087] 图 13 是示出根据本发明第五实施例的使用这些实施例的固态成像装置的成像系统 1000 的结构例子的图。固态成像装置 1004 具有包括在实施例中描述的固态成像装置并包括其他成像信号处理电路的结构。其他的成像信号处理电路是用于执行例如偏移、线性和固定模式噪声的校正、用于把数据传递到输出信号处理单元的重新排列和频率转换的电路。成像信号处理电路的部分或者全部可以形成在固态成像装置 1004 的外部。

[0088] 固态成像装置 1004 把透镜 1002 聚焦的光学图像转换为图像数据。附图标记 1001 代表既起到保护透镜 1002 作用又起到主开关作用的屏蔽物。透镜 1002 是把对象的光学图像聚焦在固态成像装置 1004 上的光学系统。通过透镜 1002 的光的量由光圈 1003 改变。信号处理单元 1007 对从固态成像装置 1004 输出的图像数据施加各种校正,并压缩数据。定时发生器 1008 把各种定时信号输出到信号处理单元 1007。

[0089] 电路 1007 和 1008 可以在其上形成了固态成像装置 1004 的芯片上形成。成像系统 1000 包括:控制各种算术运算和整个成像系统 1000 的整体控制和算术运算单元 1009、

用于暂时存储图像数据的存储器单元 1010、和用于执行记录到记录介质中并从记录介质读出的接口单元控制记录介质 1011。成像系统 1000 还包括：记录介质 1012，用于执行图像数据的记录和读出的半导体存储器等可以可分离地连接到记录介质 1012；和外部接口（I/F）单元 1013，用于和外部计算机等通信。

[0090] 下面描述图 13 中所示的成像系统 1000 的操作。当屏蔽物 1001 被打开时，主电源开启，然后开启用于控制系统，例如整体控制和算术运算单元 1009 的电源，并且进一步开启用于例如固态成像装置 1004 的成像系统电路的电源。

[0091] 随后，成像系统 1000 执行用于控制曝光量的操作。整体控制和算术运算单元 1009 打开光圈 1003。此刻从固态成像装置 1004 输出的信号被输入信号处理单元 1007。信号处理单元 1007 使整体控制和算术运算单元 1009 执行算术运算，以便根据所述信号计算曝光。信号处理单元 1007 根据算术运算的结果确定对象的亮度。整体控制和算术运算单元 1009 控制光圈 1003。所述确定可以通过例如比较预先存储在整体控制和算术运算单元 1009 中的数据执行。

[0092] 整体控制和算术运算单元 1009 基于从固态成像装置 1004 输出的信号执行算术运算，以便提取高频成分，并计算到对象的距离。此后，整体控制和算术运算单元 1009 驱动透镜 1002，并确定透镜 1002 在被驱动状态中是否聚焦。当确定透镜 1002 未聚焦时，整体控制和算术运算单元 1009 再次驱动透镜 1002，并执行测距（ranging）。所述确定可以通过例如比较预先存储在整体控制和算术运算单元 1009 中的数据执行。

[0093] 在确定透镜 1002 聚焦以后开始主曝光。当曝光结束时，从固态成像装置 1004 输出的图像信号在被信号处理单元 1007 处理后，由整体控制和算术运算单元 1009 累积在存储器单元 1010 中。此后，根据整体控制和算术运算单元 1009 的控制，在存储器单元 1010 中累积的数据通过记录介质控制 I/F 单元 1011 被记录在例如半导体存储器的可分离的记录介质 1012 中。数据可以通过外部 I/F 单元 1013 直接输入计算机等。

[0094] 根据第一到第五实施例，能够以高速输出数字信号，并且按像素排列的顺序输出所述数字信号。

[0095] 根据第一到第四实施例的每一个固态成像装置均包括像素区域 101，其中，输出模拟信号的像素按矩阵形状布置。提供多个模数转换器 102 与像素区域 101 的列相对应，并把通过多个像素的光电转换获得的模拟信号转换为数字信号。多个数字存储器 103 存储由模数转换器 102 转换的数字信号。随着把多个数字存储器 103 设置为块，提供了多个块数字输出线 104 与块相对应，并输出存储在块中所包括的所述多个数字存储器 103 中的数字信号。公共数字输出线 108 输出来自所述多个块数字输出线 104 的数字信号。在块数字输出线 104 和公共数字输出线 108 之间提供缓冲器电路 105，并缓冲从块数字输出线 104 输出的数字信号。在块数字输出线 104 和公共数字输出线 108 之间提供块选择单元 106，并能够切换电气上连接到公共数字输出线 108 的块数字输出线 104。

[0096] 水平扫描电路 107 控制数字存储器 103 的读出顺序。在控制顺序时，如图 11 中所示，水平扫描电路 107 执行控制，以使存储在数字存储器 103 中的数字信号按数字存储器 103 排列的顺序（第一位到第十位）输出到公共数字输出线 108。

[0097] 图 2 中所示的缓冲器电路 105 包括 CMOS 反相器。图 3 中所示的缓冲器电路 105 包括使输入信号与时钟同步的同步延迟电路。图 4 中所示的缓冲器电路 105 包括比较输入

差分信号并判定逻辑的比较电路。

[0098] 在图 10 中,选择性延迟电路 111 被设置在公共数字输出线 108 和块数字输出线 104 之间,并执行针对每一个块的延迟的控制。

[0099] 在图 7 中,针对每一个块,提供多个块数字输出线 104。存储在包括在一个块中的多个数字存储器 103 中的数字信号被并行输出。

[0100] 水平扫描电路 107 执行控制,以使存储在相邻块中所包括的相邻数字存储器 103 中的数字信号以相同的定时输出到对应的块数字输出线 104。

[0101] 在图 6 中,水平扫描电路 107 控制数字存储器 103 的读出定时,以使数字信号的输出即使在块间断的情况下也不被中断。

[0102] 如图 13 中所示,根据第五实施例的成像系统 1000 包括:根据第一到第四实施例中的任何一个的固态成像装置 1004、在像素区域 101 中形成光学图像的光学系统(透镜)1002,和处理从固态成像装置 1004 输出的信号的信号处理单元 1007。

[0103] 如上所述,根据第一到第五实施例,能够把数字存储器 103 的输出线划分为多个块,并按像素排列的顺序读出输出信号。因此,能够以高速读出暂时存储在数字存储器 103 中的数字信号。

[0104] 所有的实施例仅仅指示实现本发明时具体化的例子。本发明的技术范围本不应该由实施例限制性地解释。换句话说,不偏离本发明的技术构想或者主要特性,可以用各种形式实现本发明。

[0105] 虽然已经参考示范性实施例描述了本发明,但是应该理解,本发明不限于所公开的示范性实施例。下面的权利要求的范围要符合最宽泛的解释,以便包含所有这些修改以及等同结构和功能。

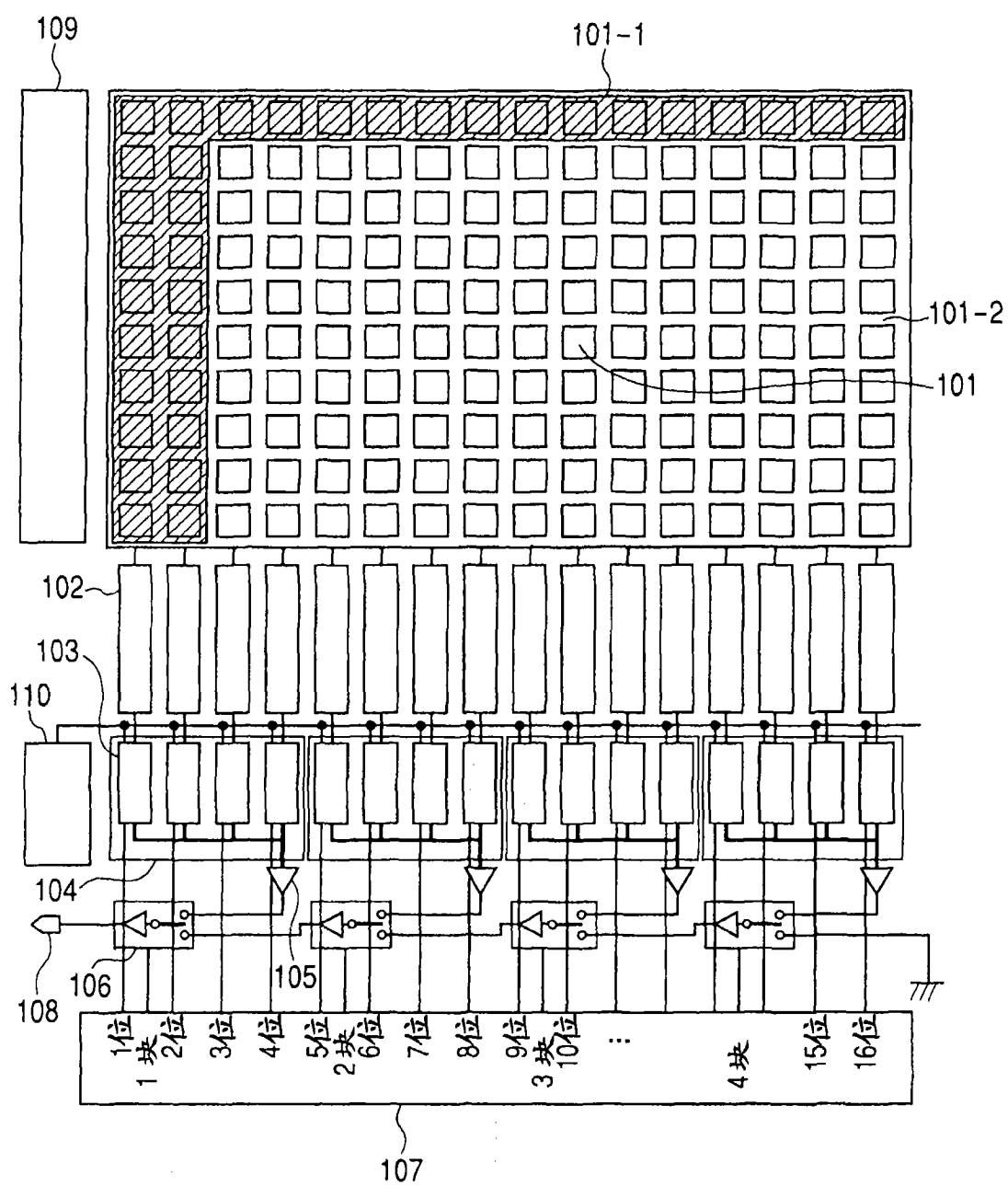


图 1

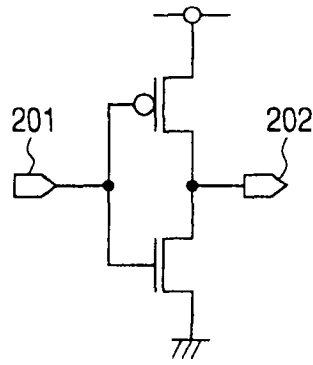


图 2

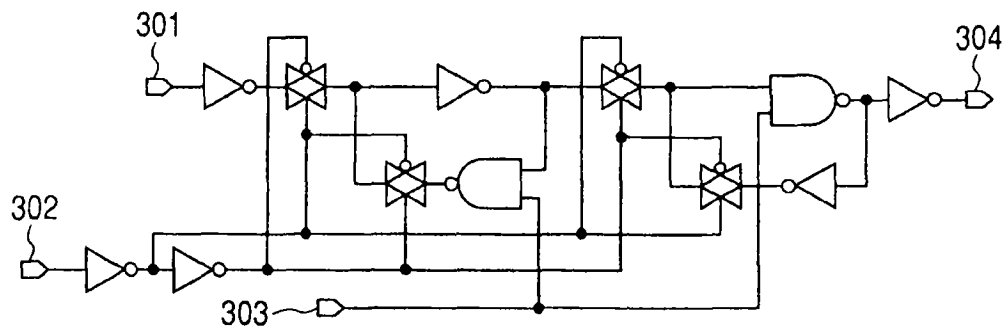


图 3

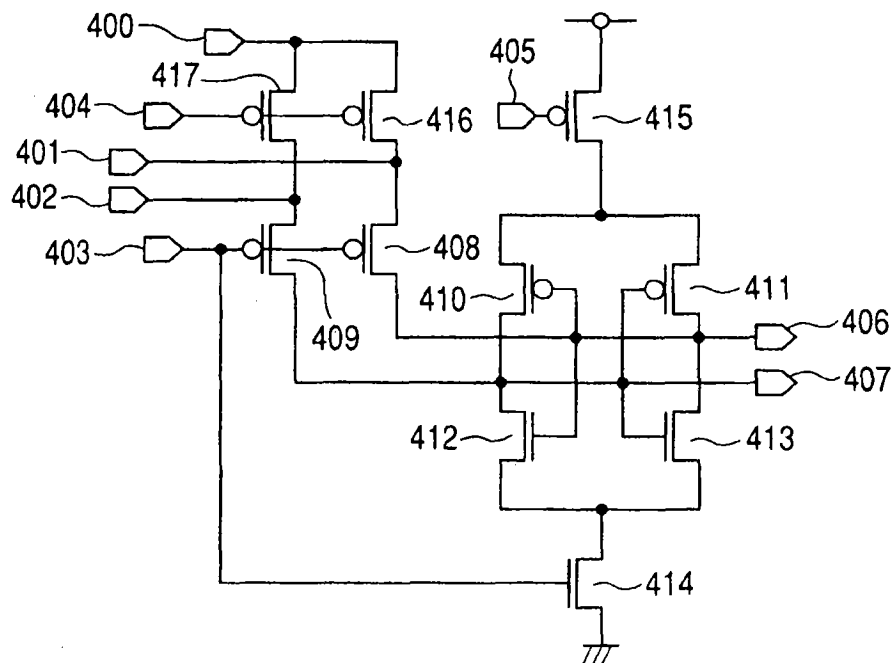


图 4

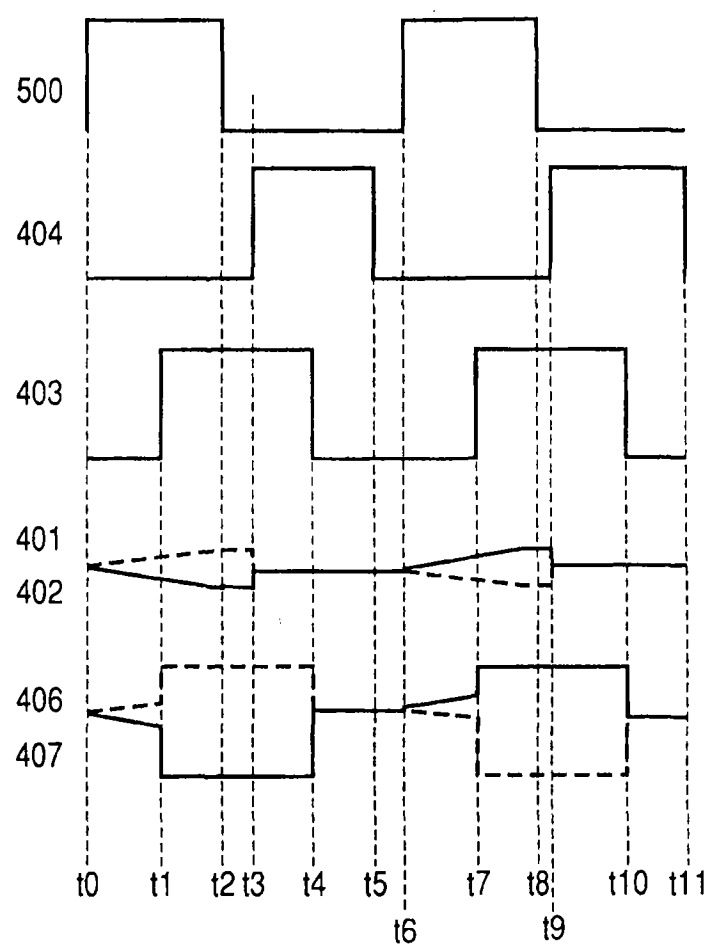


图 5

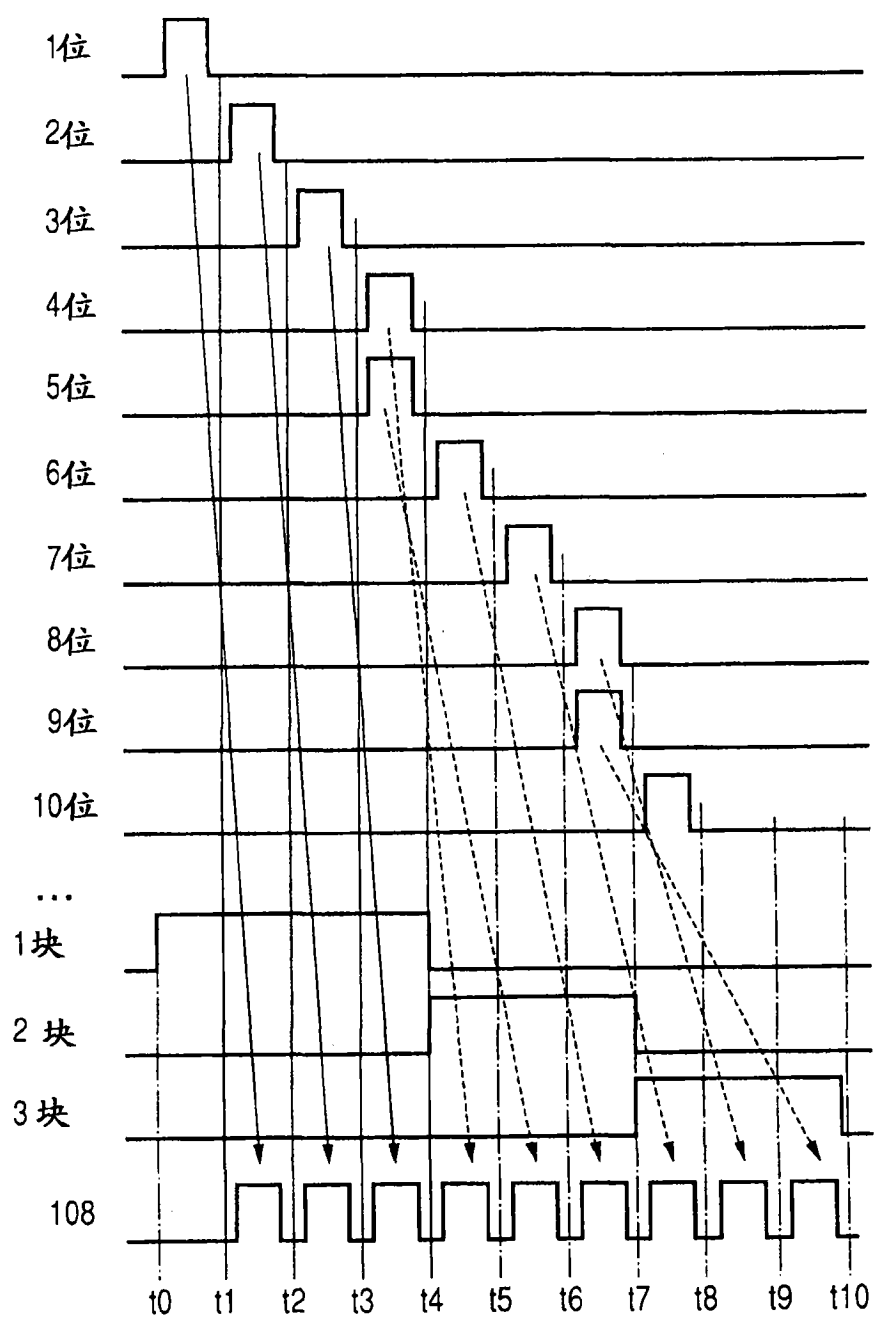


图 6

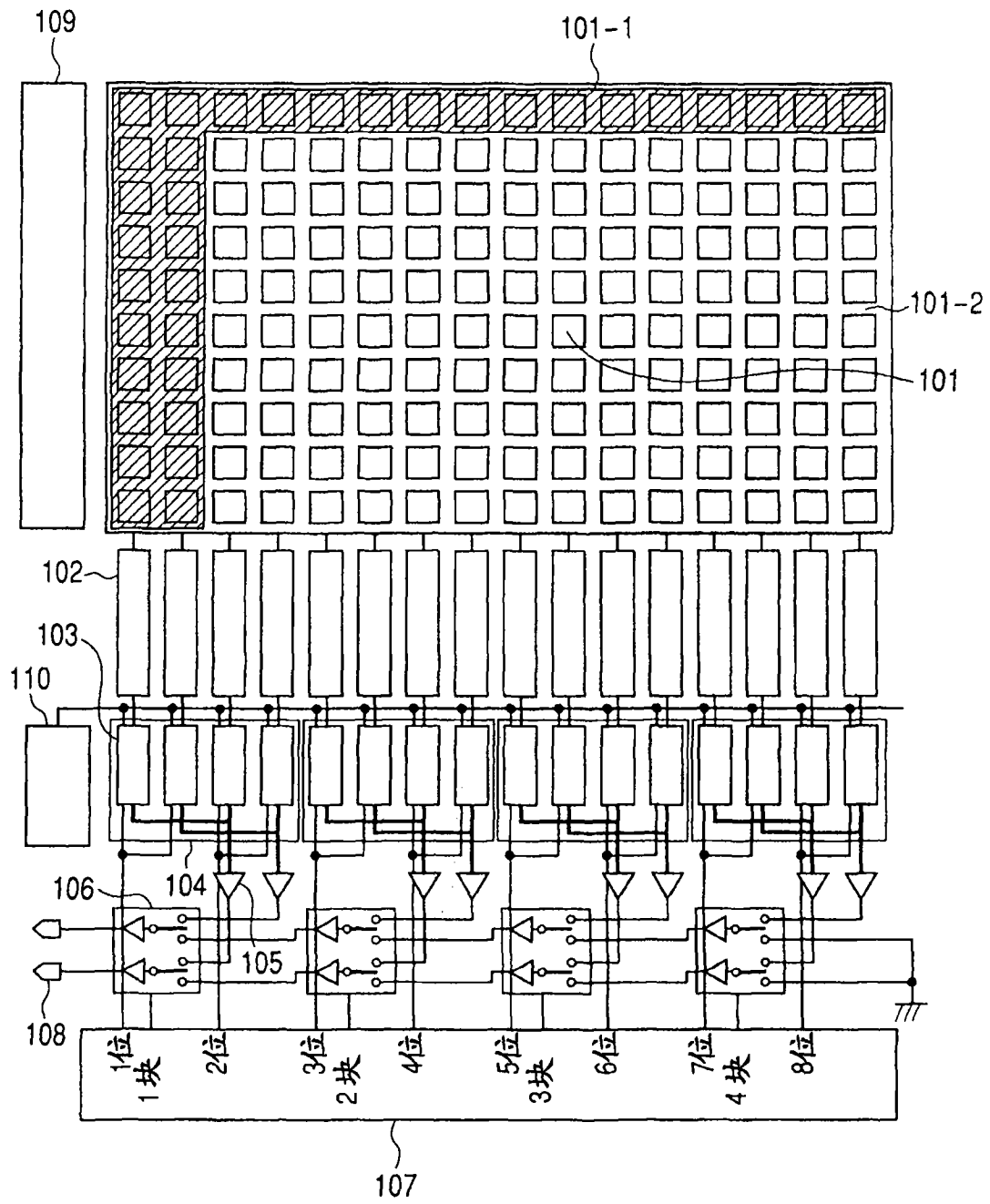


图 7

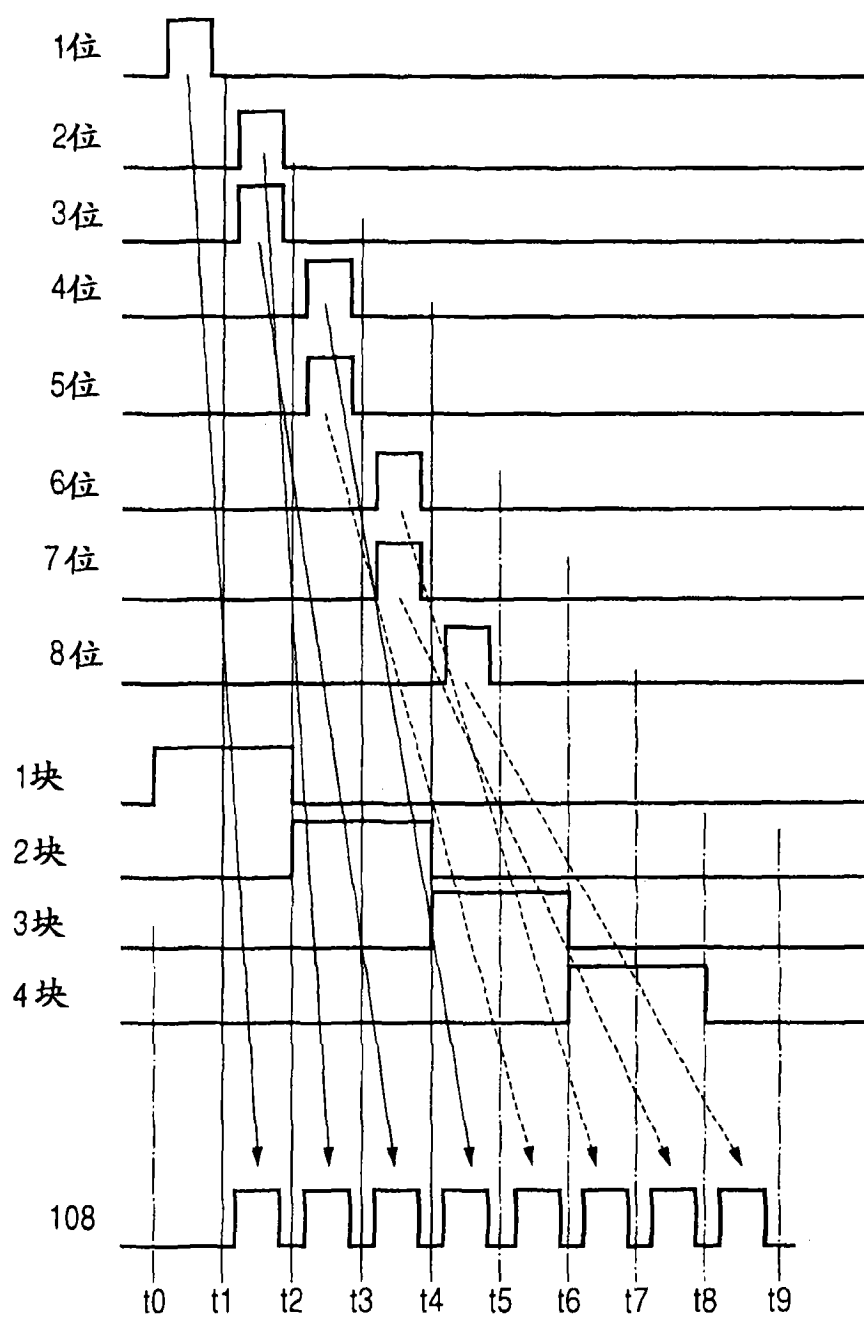


图 8

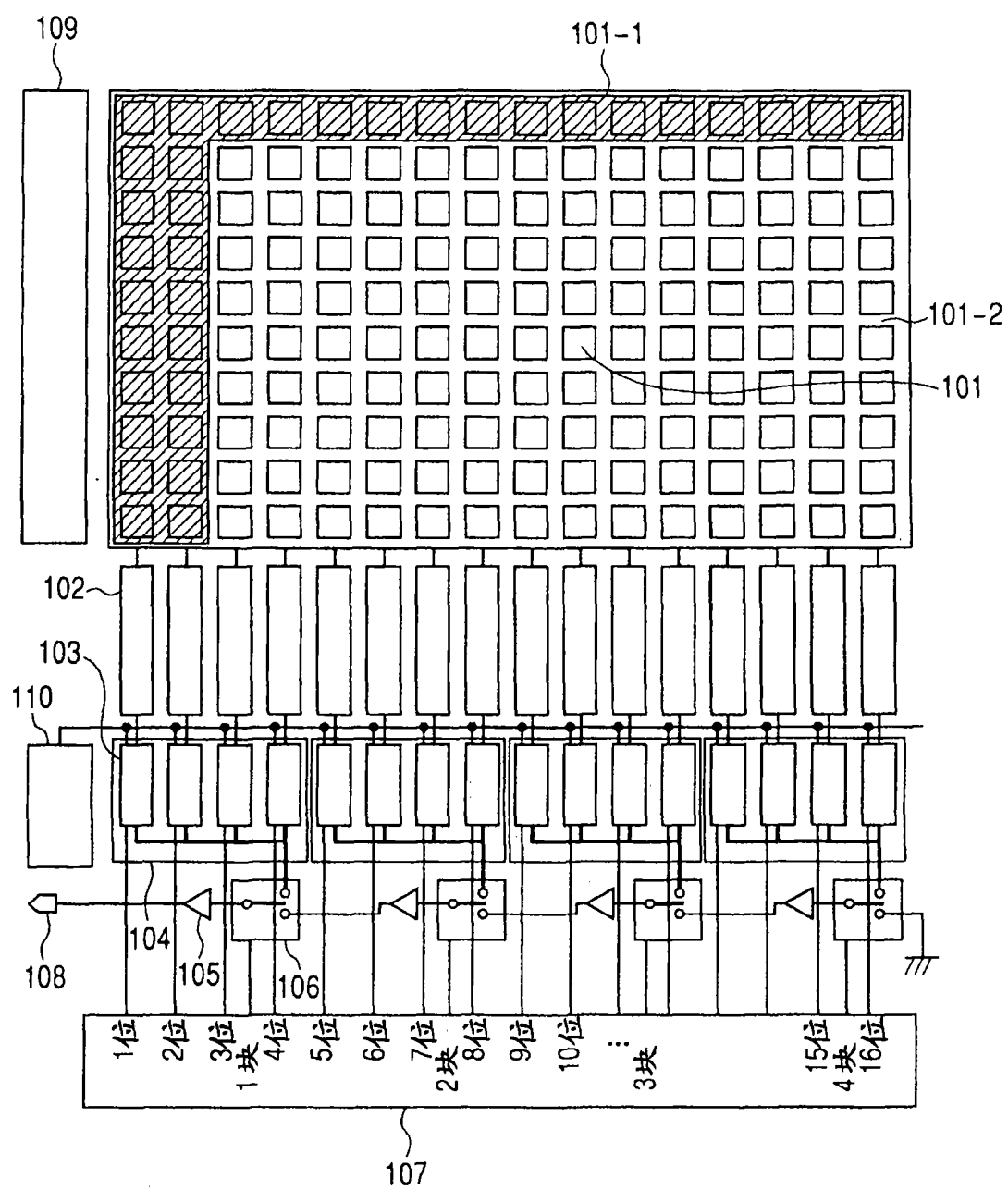


图 9

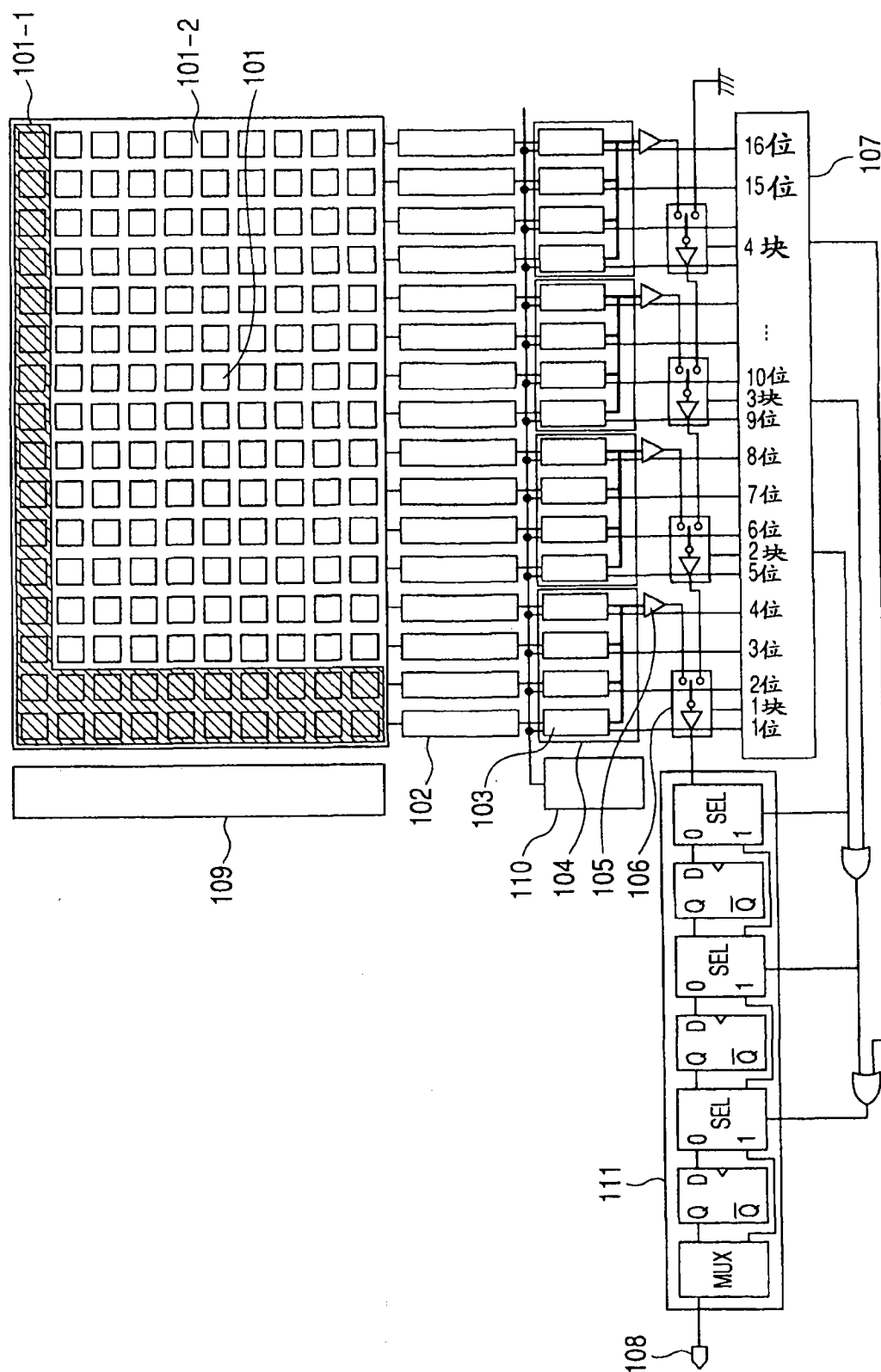


图 10

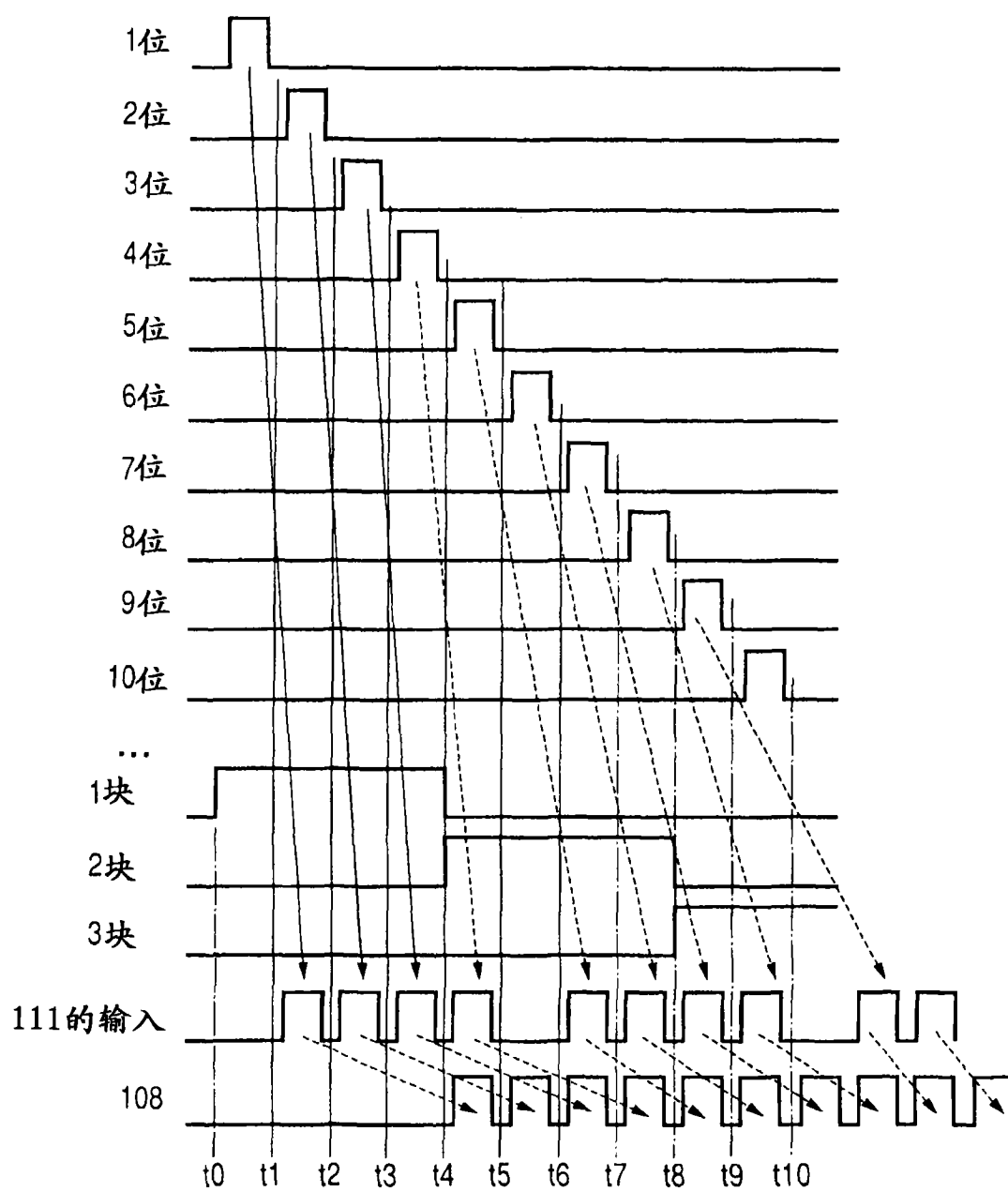


图 11

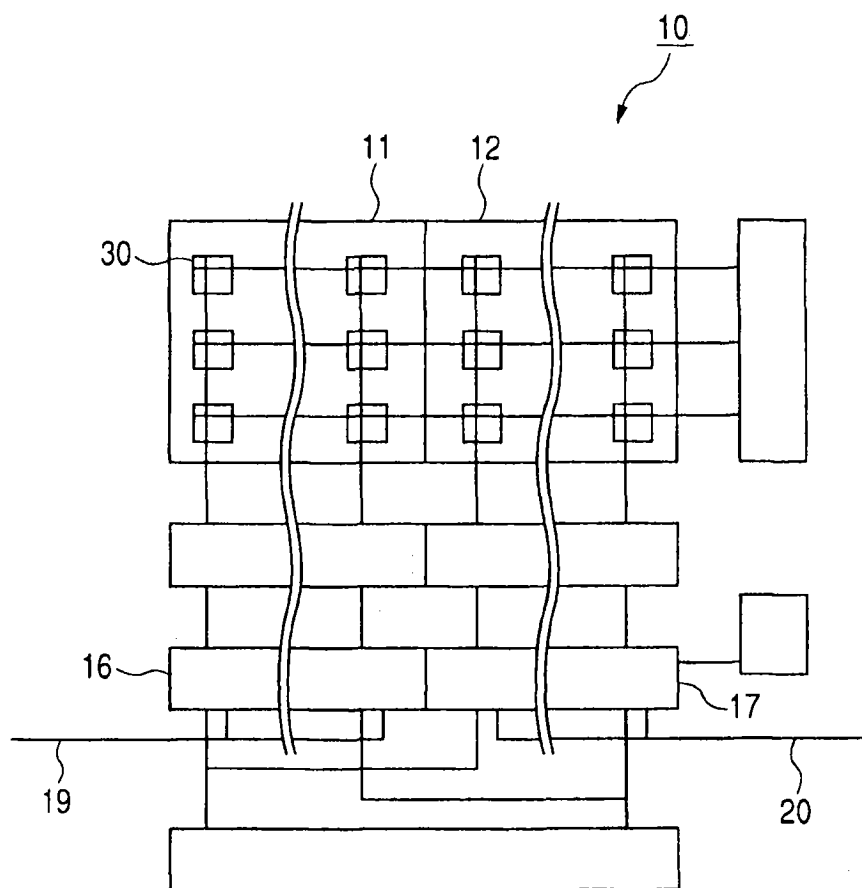


图 12

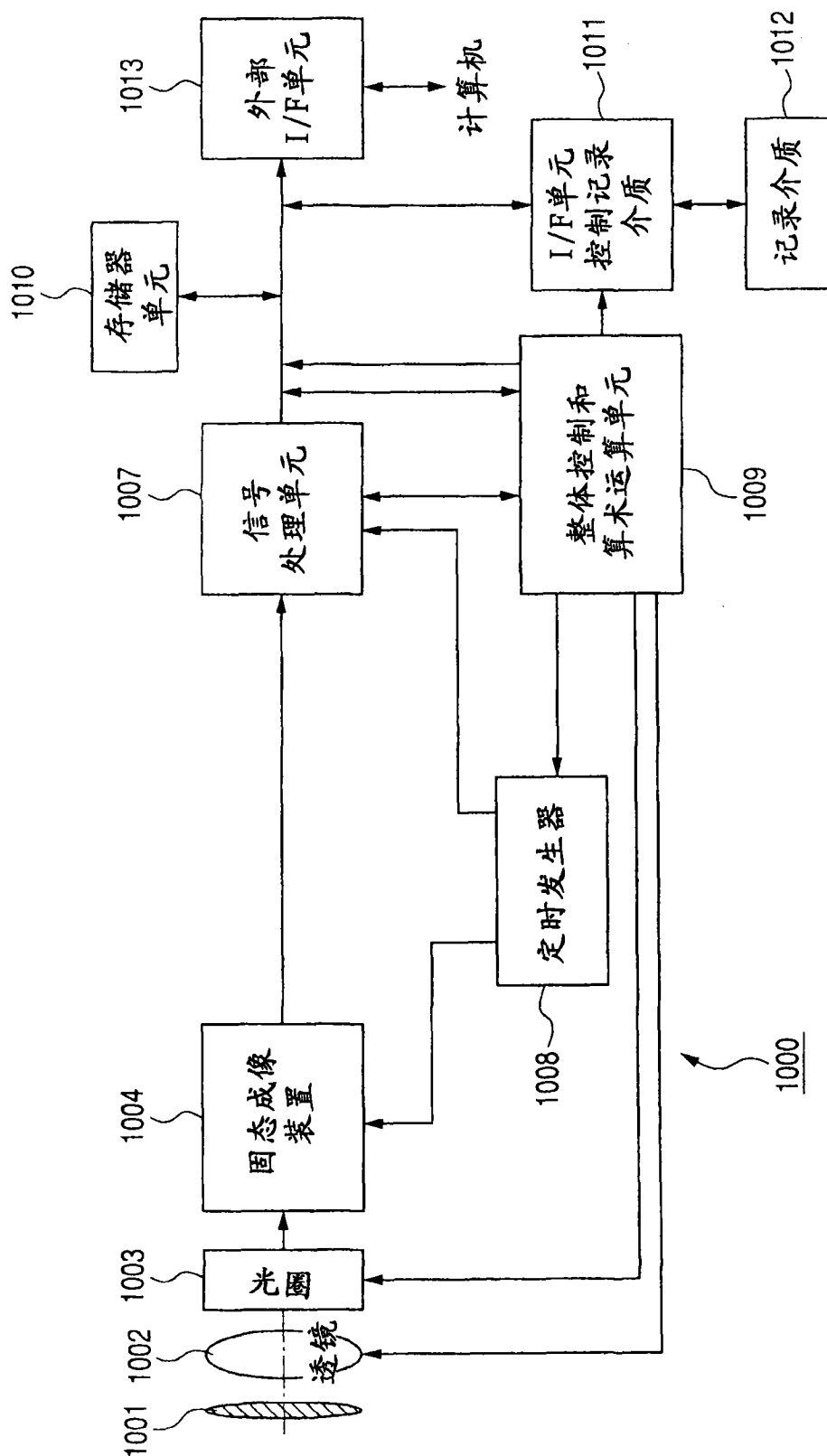


图 13