【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成19年2月8日(2007.2.8)

【公表番号】特表2006-527868(P2006-527868A)
【公表日】平成18年12月7日(2006.12.7)
【年通号数】公開・登録公報2006-048
【出願番号】特願2005-500871(P2005-500871)
【国際特許分類】
Ｇ０６Ｆ　9/305　(2006.01)
Ｇ０６Ｆ　15/80　(2006.01)
Ｇ０６Ｆ　7/53　(2006.01)
【ＦＩ】
Ｇ０６Ｆ　9/30　３４０Ｅ
Ｇ０６Ｆ　15/80
Ｇ０６Ｆ　7/52　３１０Ａ

【誤訳訂正書】
【提出日】平成18年12月15日(2006.12.15)
【誤訳訂正１】
【訂正対象書類名】特許請求の範囲
【訂正対象項目名】全文
【訂正方法】変更
【訂正の内容】
【特許請求の範囲】
【請求項１】
データ処理命令に応答してデータ処理演算を実行するための装置であって、
前記装置は、
１つまたはそれ以上の入力記憶装置内に格納された複数の独立したデータ値からそれぞれ複数の結果データ値を生成するために、前記データ処理命令に応答する処理ロジックと、
上位結果記憶装置内の各結果データ値の上位ビット部分と、下位結果記憶装置内の各結果データ値の下位ビット部分とを格納するために、前記処理命令に応答する結果区分器とを具備し、
前記処理ロジックは、前記入力記憶装置に格納されるデータ値のデータ幅の２倍のデータ幅を有するデータ値を生成し、
前記結果区分器は、前記生成されたデータ値から前記独立したデータ値のデータ幅に対応するデータ値を交互に選択することにより、前記上位結果記憶装置および前記下位結果記憶装置に格納されるデータ値を構成することを特徴とする装置。
【請求項２】
前記処理ロジックは、各組の独立したデータ値、すなわち第１の入力記憶装置から取得される１組の第１の独立データ値及び第２の入力記憶装置から取得される１組の第２の独立データ値を互いに乗算するように機能することを特徴とする請求項１に記載の装置。
【請求項３】
前記処理ロジックは、前記複数の結果データ値を生成するために、前記各組の独立データ値から生成された値を伴った、前記上位結果記憶装置及び前記下位結果記憶装置内にすでに格納された値を累積するように機能することを特徴とする請求項２に記載の装置。
【請求項４】
各結果データ値の前記上位ビット部分及び前記下位ビット部分は、前記結果データ値の重なり合わない連続した部分であることを特徴とする請求項１から請求項３のうちいずれ

か１に記載の装置。
【請求項５】
前記データ処理命令は、前記独立したデータ値が符号付き分数値であることを示し、前記処理ロジックは、第２の独立データ値と第１の独立データ値を乗算することにより得られた各値を２倍にするように機能することを特徴とする請求項２から請求項４のうちいずれか１に記載の装置。
【請求項６】
各入力記憶装置は、M個の独立したNビットデータ値を格納することを特徴とする請求項１から請求項５のうちいずれか１に記載の装置。
【請求項７】
前記データ処理命令は、前記独立したデータ値のデータ幅を指定することを特徴とする請求項６に記載の装置。
【請求項８】
前記処理ロジックは、各組の前記独立したデータ値を互いに乗算するように機能する整数乗算器であることを特徴とする請求項２から請求項７のうちいずれか１に記載の装置。
【請求項９】
前記処理ロジックは、前記独立したデータ値で飽和データ処理演算を実行するように機能することを特徴とする請求項１から請求項８のうちいずれか１に記載の装置。
【請求項１０】
前記結果区分器は、前記データ処理命令に応じて制御される複数のマルチプレクサを含むことを特徴とする請求項１から請求項９のうちいずれか１に記載の装置。
【請求項１１】
前記装置は、プロセッサコアであることを特徴とする請求項１から請求項１０のうちいずれか１に記載の装置。
【請求項１２】
１つまたはそれ以上の前記入力記憶装置は、
レジスタバンクレジスタと、
専用レジスタと、
バッファメモリと、
先入れ先出しバッファと、
メモリと
のうちの１つまたはそれ以上であることを特徴とする請求項１から請求項１１のうちいずれか１に記載の装置。
【請求項１３】
前記上位結果記憶装置は、
レジスタバンクレジスタと、
専用レジスタと、
バッファメモリと、
先入れ先出しバッファと、
メモリと
のうちの１つであることを特徴とする請求項１から請求項１２のうちいずれか１に記載の装置。
【請求項１４】
前記下位結果記憶装置は、
レジスタバンクレジスタと、
専用レジスタと、
バッファメモリと、
先入れ先出しバッファと、
メモリと
のうちの１つであることを特徴とする請求項１から請求項１３のうちいずれか１に記載の

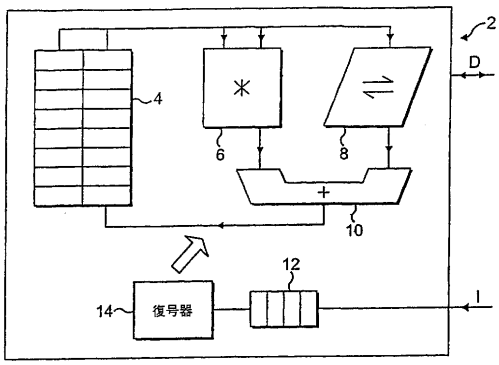
装置。
【請求項１５】
前記処理ロジックは、各結果データ値に対して１つまたはそれ以上の上位ガードビットを生成するように機能し、かつ、前記結果区分器は、ガードビット記憶装置内の前記ガードビットを格納するように機能することを特徴とする請求項１から請求項１４のうちいずれか１に記載の装置。
【請求項１６】
前記ガードビット記憶装置は、
レジスタバンクレジスタと、
専用レジスタと、
バッファメモリと、
先入れ先出しバッファと、
メモリと
のうちの１つであることを特徴とする請求項１５に記載の装置。
【請求項１７】
データ処理命令に応答してデータ処理演算を実行する方法であって、
前記方法は、
前記データ処理命令に応答して、１つまたはそれ以上の入力記憶装置内に格納された複数の独立したデータ値からそれぞれ複数の結果データ値を生成する段階と、
前記データ処理命令に応答して、上位結果記憶装置内の各結果データ値の上位ビット部分と、下位結果記憶装置内の各結果データ値の下位ビット部分とを格納することによって、前記結果データ値を区分する段階と
を具備し、
前記生成する段階は、前記入力記憶装置に格納されるデータ値のデータ幅の２倍のデータ幅を有するデータ値を生成し、
前記区分する段階は、前記生成されたデータ値から前記独立したデータ値のデータ幅に対応するデータ値を交互に選択することにより、前記上位結果記憶装置および前記下位結果記憶装置に格納されるデータ値を構成することを特徴とする方法。
【請求項１８】
前記各組の独立したデータ値、すなわち、第１の入力記憶装置から取得される１組の第１の独立したデータ値及び第２の入力記憶装置から取得される１組の第２の独立したデータ値は、互いに乗算されることを特徴とする請求項１７に記載の方法。
【請求項１９】
前記上位結果記憶装置及び前記下位結果記憶装置内にすでに格納された値は、前記複数の結果データ値を生成するために、前記各組の独立したデータ値から生成された値に累積されることを特徴とする請求項１８に記載の方法。
【請求項２０】
各結果データ値の前記上位ビット部分及び前記下位ビット部分は、前記結果データ値の重なり合わない連続した部分であることを特徴とする請求項１７から請求項１９のうちいずれか１に記載の方法。
【請求項２１】
前記データ処理命令は、前記独立したデータ値が符号付き分数値であり、かつ、第１の独立したデータ値と第２の独立したデータ値とを乗算することにより得られた各値は２倍であることを示していることを特徴とする請求項１８から請求項２０のうちいずれか１に記載の方法。
【請求項２２】
各入力記憶装置は、M個の独立したNビットデータ値を格納することを特徴とする請求項１７から請求項２１のうちいずれか１に記載の方法。
【請求項２３】
前記データ処理命令は、前記独立したデータ値のデータ幅を指定することを特徴とする

請求項２２に記載の方法。
【請求項２４】
整数乗算器は、前記各組の独立したデータ値を互いに乗算するように機能することを特徴とする請求項１８から請求項２３のうちいずれか１に記載の方法。
【請求項２５】
飽和データ処理演算は、前記独立したデータ値で実行されることを特徴とする請求項１７から請求項２４のうちいずれか１に記載の方法。
【請求項２６】
区分する段階は、前記データ処理命令に応じて制御される複数のマルチプレクサによって少なくとも部分的に実行されることを特徴とする請求項１７から請求項２５のうちいずれか１に記載の方法。
【請求項２７】
前記方法は、プロセッサコア内で実行されることを特徴とする請求項１７から請求項２６のうちいずれか１に記載の方法。
【請求項２８】
１つまたはそれ以上の前記入力記憶装置は、
レジスタバンクレジスタと、
専用レジスタと、
バッファメモリと、
先入れ先出しバッファと、
メモリと
のうちの１つまたはそれ以上であることを特徴とする請求項１７から請求項２７のうちいずれか１に記載の方法。
【請求項２９】
前記上位結果記憶装置は、
レジスタバンクレジスタと、
専用レジスタと、
バッファメモリと、
先入れ先出しバッファと、
メモリと
のうちの１つであることを特徴とする請求項１７から請求項２８のうちいずれか１に記載の方法。
【請求項３０】
前記下位結果記憶装置は、
レジスタバンクレジスタと、
専用レジスタと、
バッファメモリと、
先入れ先出しバッファと、
メモリと
のうちの１つであることを特徴とする請求項１７から請求項２９のうちいずれか１に記載の方法。
【請求項３１】
前記処理ロジックは、各結果データ値に対して１つまたはそれ以上の上位ガードビットを生成するように機能し、かつ、前記結果区分器は、ガードビット記憶装置内の前記ガードビットを格納するように機能することを特徴とする請求項１７から請求項３０のうちいずれか１に記載の方法。
【請求項３２】
前記ガードビット記憶装置は、
レジスタバンクレジスタと、
専用レジスタと、

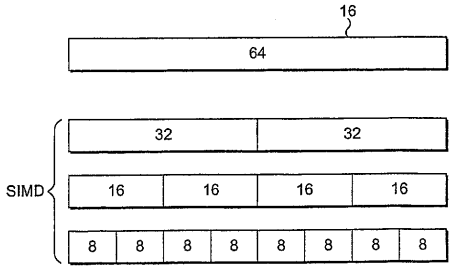
バッファメモリと、
先入れ先出しバッファと、
メモリと
のうちの１つであることを特徴とする請求項３１に記載の方法。
【誤訳訂正２】
【訂正対象書類名】明細書
【訂正対象項目名】００１４
【訂正方法】変更
【訂正の内容】
【００１４】
前記結果区分器は、異なる記憶装置間で前記結果データ値を分割するように機能するとともに、好適な実施形態では、複数のマルチプレクサがこれを実行するために用いられる。本技術は、DSPのような多くの異なるタイプのデータ処理システムに適用され得るが、特に、プロセッサコアで用いられるのに適している。
【誤訳訂正３】
【訂正対象書類名】明細書
【訂正対象項目名】００２３
【訂正方法】変更
【訂正の内容】
【００２３】
図４は、図１のデータ経路の一部をさらに詳細に概略的に図示している。SIMD整数乗算器20には、前記レジスタバンク4の各レジスタから取得された２つの64ビット入力値が提供される。これらの入力値は、単一64ビット×64ビット非SIMD命令またはすでに論じた３つのSIMDタイプ演算のうちの１つを表している。前記SIMD乗算器20は、独立した入力値及び結果として生じる出力値を正確に分けるために、キャリーチェーン内での適切な中断(break)などを有する。前記SIMD乗算器20からの出力は、キャリーセーブ(carry-save)フォーマット内にある。前記システムが符号付き分数モードにおいて動作する場合、マルチプレクサ22,24に供給された信号を示す分数モードは、最上位位置での外部正負符号ビットを埋め合わせる方法で前記値を２倍にするのに等しい１ビット位置だけ前記キャリーセーブ出力をシフトするように機能する。加算器26は、前記セーブ及びキャリーレジスタ28,30から再循環され部分的に累積された値か、または前記マルチプレクサ32,34によって選択されたときの前記レジスタバンク4のレジスタD,Cから128ビット値のいずれかを使って前記SIMD乗算器20からの前記キャリーセーブ出力を加算するように機能する。前記マルチプレクサ32,34は、累積制御信号によって制御され、その様々な値は図４の下側にある表に示される。前記システムは、例えばベクトルタイプ演算の間、前記累積値に対するソースとして前記レジスタバンクをバイパスすることにより、ソースレジスタファイルから累積するために、または累積なしで乗算するために、または前もって部分的に計算された結果を累積するために設けられる。
【誤訳訂正４】
【訂正対象書類名】明細書
【訂正対象項目名】００２４
【訂正方法】変更
【訂正の内容】
【００２４】
所定の処理演算に対する乗算及び加算演算が完了した場合、そのとき、前記レジスタ28,30からの最終の128ビットセーブ及びキャリー値は、加算器36に渡される。前記結果を表す通常の128ビットを形成するために、それらは互いに加算器36で加算される。前記乗算及び加算はパイプラインされた演算であってもよい。前記加算器36の出力がレジスタA,Bからの前記64ビット入力値と比較して前記ビット幅の２倍を有することは明らかである。従って、前記SIMD結果値は、独立したSIMD入力値の幅の２倍を有する。前記加算器36の出

力は、本実施形態の例では、図５に示された様々なマルチプレクサの形式を有する結果区分器に供給される。
【誤訳訂正５】
【訂正対象書類名】明細書
【訂正対象項目名】００２５
【訂正方法】変更
【訂正の内容】
【００２５】
図５では、前記上位結果レジスタ38は、それらの上位部分である各結果値の選択された部分を受信する。前記下位結果レジスタ40は、前記結果値の対応する下位部分を受信する。制御信号B,H,W及びLは、使用中の前記SIMDデータ幅(バイト、ハーフワード、ワードまたはロング(long))を表している。これらの値の１つは、常にどの時点においても”1”がアサートされ、それとともに他が”0”となる。当該マルチプレクサの様々な入力間から選択するために、これらの幅を指定する信号は、隣接した各マルチプレクサに与えられる論理式に従って図５に示されるようなマルチプレクサを制御する。それらの制御信号によって制御される図５の前記マルチプレクサの全動作は、図３の異なる例で示されたように、前記上位結果レジスタ38及び前記下位結果レジスタ40のコンテンツを形成するために、前記加算器36によって前記128ビット出力の中から選択/再区分をすることである。
【誤訳訂正６】
【訂正対象書類名】明細書
【訂正対象項目名】００３３
【訂正方法】変更
【訂正の内容】
【００３３】
２　　プロセッサコア
４　　レジスタバンク
６　　乗算器
８　　シフター
１０、３６　　加算器
１２　　命令パイプライン
１４　　命令復号器
１７、３８　　上位結果レジスタ
１８、４０　　下位結果レジスタ
２０　　SIMD乗算器
２２、２４、３２、３４　　マルチプレクサ
【誤訳訂正７】
【訂正対象書類名】図面
【訂正対象項目名】全図
【訂正方法】変更
【訂正の内容】

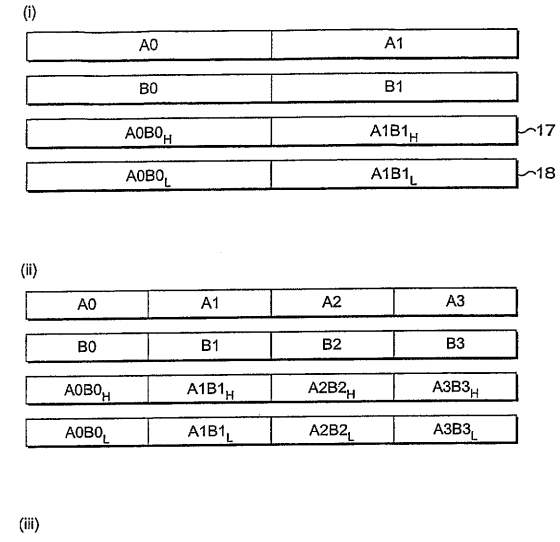
【図１】



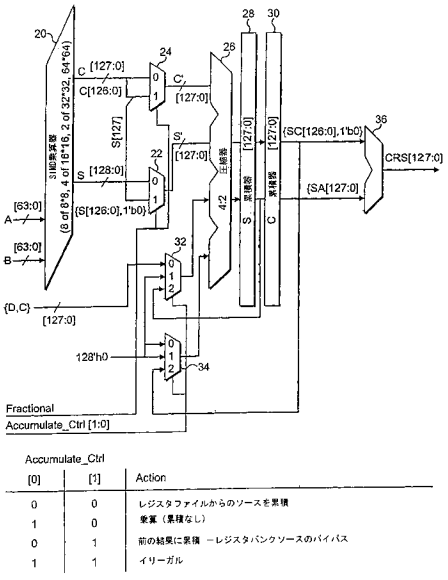
【図２】



【図３】



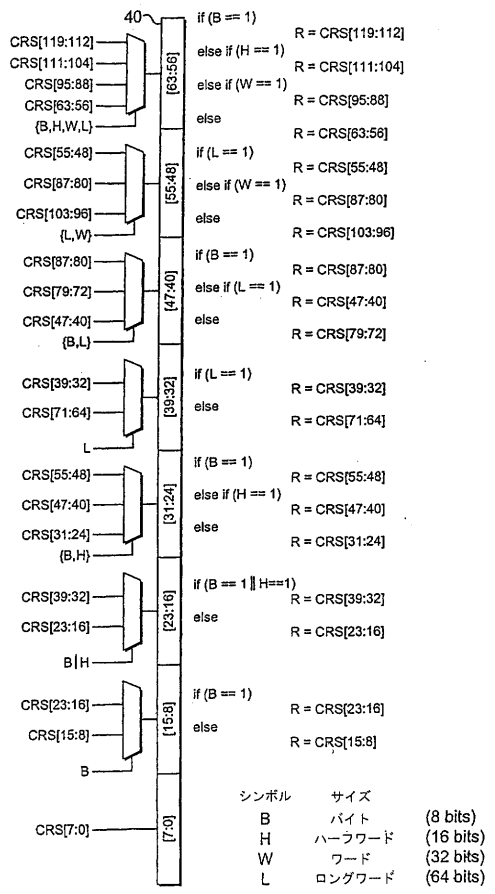
【図４】



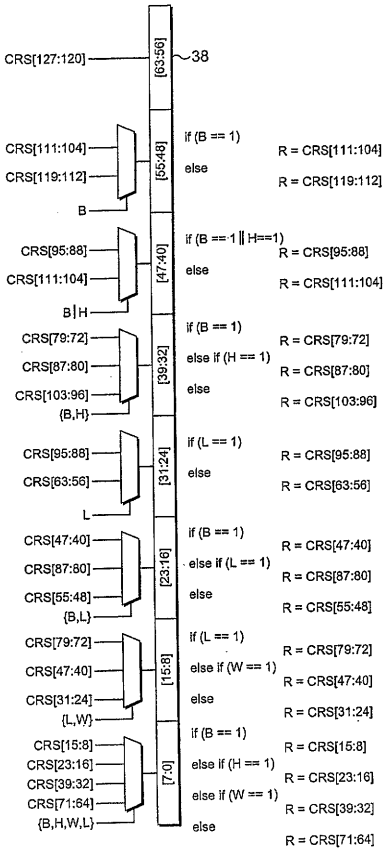
Accumulate_Ctrl

[0]	[1]	Action
0	0	レジスタファイルからのソースを累積
1	0	整算（累積なし）
0	1	前の結果に累積 －レジスタバンクソースのバイパス
1	1	イリーガル

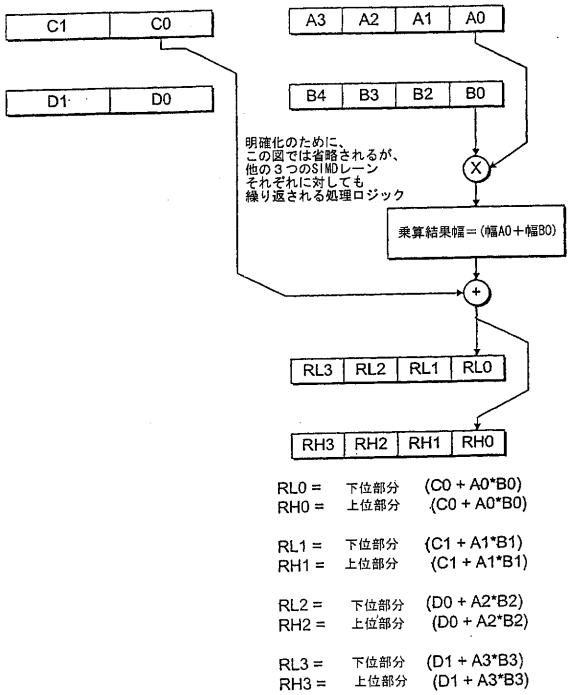
【図５Ａ】



【図５Ｂ】


CRS[127:120]
[63:56]
38
CRS[111:104]
CRS[119:112]
B
[55:48]
if (B == 1)
R = CRS[111:104]
else
R = CRS[119:112]
CRS[95:88]
CRS[111:104]
B|H
[47:40]
if (B == 1 || H==1)
R = CRS[95:88]
else
R = CRS[111:104]
CRS[79:72]
CRS[87:80]
CRS[103:96]
{B,H}
[39:32]
if (B == 1)
R = CRS[79:72]
else if (H == 1)
R = CRS[87:80]
else
R = CRS[103:96]
CRS[95:88]
CRS[63:56]
L
[31:24]
if (L == 1)
R = CRS[95:88]
else
R = CRS[63:56]
CRS[47:40]
CRS[87:80]
CRS[55:48]
{B,L}
[23:16]
if (B == 1)
R = CRS[47:40]
else if (L == 1)
R = CRS[87:80]
else
R = CRS[55:48]
CRS[79:72]
CRS[47:40]
CRS[31:24]
{L,W}
[15:8]
if (L == 1)
R = CRS[79:72]
else if (W == 1)
R = CRS[47:40]
else
R = CRS[31:24]
CRS[15:8]
CRS[23:16]
CRS[39:32]
CRS[71:64]
{B,H,W,L}
[7:0]
if (B == 1)
R = CRS[15:8]
else if (H == 1)
R = CRS[23:16]
else if (W == 1)
R = CRS[39:32]
else
R = CRS[71:64]

【図６】


C1
C0
D1
D0
A3
A2
A1
A0
B4
B3
B2
B0
明確化のために、
この図では省略されるが、
他の３つのSIMDレーン
それぞれに対しても
繰り返される処理ロジック
X
乗算結果幅＝(幅A0＋幅B0)
+
RL3
RL2
RL1
RL0
RH3
RH2
RH1
RH0
RL0 = 下位部分 (C0 + A0*B0)
RH0 = 上位部分 (C0 + A0*B0)
RL1 = 下位部分 (C1 + A1*B1)
RH1 = 上位部分 (C1 + A1*B1)
RL2 = 下位部分 (D0 + A2*B2)
RH2 = 上位部分 (D0 + A2*B2)
RL3 = 下位部分 (D1 + A3*B3)
RH3 = 上位部分 (D1 + A3*B3)