



(12) 发明专利申请

(10) 申请公布号 CN 101937403 A

(43) 申请公布日 2011. 01. 05

(21) 申请号 201010227133. 4

(22) 申请日 2010. 06. 29

(30) 优先权数据

12/495, 509 2009. 06. 30 US

(71) 申请人 英特尔公司

地址 美国加利福尼亚州

(72) 发明人 赵莉 方震 R·艾耶 D·纽维

(74) 专利代理机构 上海专利商标事务所有限公司
31100

代理人 姬利永

(51) Int. Cl.

G06F 12/10 (2006. 01)

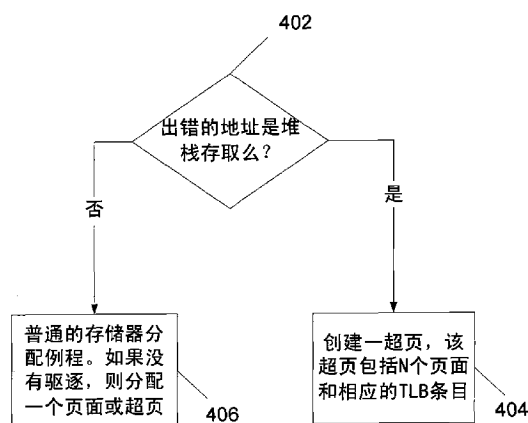
权利要求书 2 页 说明书 3 页 附图 5 页

(54) 发明名称

为堆栈存储器分配自动地使用超页

(57) 摘要

在一个实施方式中, 本发明包括页面错误处理装置, 用于响应于页面错误来创建页表条目和 TLB 条目。所述页面错误处理装置确定页面错误是否是因堆栈存取而导致的, 若页面错误确实是因堆栈存取而导致的则创建超页表格条目, 并且为该超页创建 TLB 条目。也描述并主张了其它实施方式。



1. 一种包括内容的存储介质,所述内容在被存取机器执行时使所述存取机器:
通过确定页面错误是否是因堆栈存取而导致的,来响应于所述页面错误;
若所述页面错误确实是因堆栈存取而导致的,则创建一超页;以及
为所述超页创建转换后备缓冲器(TLB)条目。
2. 如权利要求1所述的存储介质,还包括:
在被存取机器执行时使所述存取机器在所述页面错误不是因堆栈存取而导致的情况下创建普通尺寸页面的内容。
3. 如权利要求2所述的存储介质,其特征在于,
所述超页包括多个邻接的普通尺寸页面。
4. 如权利要求2所述的存储介质,其特征在于,
所述普通尺寸页面包括4千字节。
5. 如权利要求2所述的存储介质,其特征在于,
所述超页包括2兆字节。
6. 如权利要求2所述的存储介质,其特征在于,
所述超页包括选自预定一组尺寸的尺寸。
7. 如权利要求1所述的存储介质,还包括:
在被存取机器执行时使所述存取机器在所述页面错误不是因堆栈存取而导致的情况下创建一超页的内容。
8. 如权利要求1所述的存储介质,其特征在于,
用于通过确定页面错误是否是因堆栈存取而导致的来响应于所述页面错误的内容包括:
用于将存取地址与和堆栈顶部相关联的地址进行比较的内容。
9. 一种系统,包括:
处理器,所述处理器包括用于执行指令的第一核、耦合到所述第一核的转换后备缓冲器(TLB),所述TLB存储多个条目,每个条目都具有用于存储虚拟地址(VA)到物理地址(PA)转换的转换部分;
耦合到所述处理器的动态随机存取存储器(DRAM),所述DRAM存储一页表,所述页表包括用于所述DRAM中多个存储器页面的页表条目,所述页表位于内核级空间中;以及
页面错误处理装置,用于响应于页面错误来创建页表条目和TLB条目,所述页面错误处理装置确定页面错误是否是因堆栈存取而导致的,若页面错误确实是因堆栈存取而导致的则创建超页表格条目,并且为所述超页创建TLB条目。
10. 如权利要求9所述的系统,还包括:
若页面错误不是因堆栈存取而导致的,则所述页面错误处理装置创建普通尺寸页表条目。
11. 如权利要求10所述的系统,其特征在于,
所述超页包括多个邻接的普通尺寸页面。
12. 如权利要求10所述的系统,其特征在于,
所述普通尺寸页面包括4千字节。
13. 如权利要求10所述的系统,其特征在于,
所述超页包括选自预定一组尺寸的尺寸。

14. 如权利要求 9 所述的系统,还包括:
所述页面错误处理装置将存取地址与和堆栈顶部相关联的地址进行比较。
15. 一种方法,包括:
确定页面错误是否是因堆栈存取而导致的;
若所述页面错误确实是因堆栈存取而导致的,则创建一超页;以及
为所述超页创建转换后备缓冲器(TLB)条目。
16. 如权利要求 15 所述的方法,还包括:
若页面错误不是因堆栈存取而导致的,则创建普通尺寸页面。
17. 如权利要求 16 所述的方法,其特征在于,
所述超页包括多个邻接的普通尺寸页面。
18. 如权利要求 16 所述的方法,其特征在于,
所述普通尺寸页面包括 4 千字节。
19. 如权利要求 16 所述的方法,其特征在于,
所述超页包括 2 兆字节。
20. 如权利要求 15 所述的方法,其特征在于,
确定页面错误是否是因堆栈存取而导致的包括:将存取地址与和堆栈顶部相关联的地址进行比较。

为堆栈存储器分配自动地使用超页

背景技术

[0001] 在现代的处理器中,转换后备缓冲器 (TLB, translation lookaside buffer) 存储着从虚拟地址 (VA) 到物理地址 (PA) 的地址转换。这些地址转换是由操作系统 (OS) 产生的并且被存储在存储器中的页表数据结构之内,被用于填充 TLB。TLB 出错往往引起显著的时间损失。这一问题在 Hsien-Hsin S. Lee 和 Chinnakrishnan S. Ballapuram 的文章“Energy Efficient D-TLB and Data Cache using Semantic-Aware Multilateral Partitioning”中已探讨过 (ISLPED' 03, 八月 25-27 日, 2003 年, 第 306-311 页)。然而,划分数据 TLB 这一提议将需要对硬件进行大范围的重新设计。

附图说明

- [0002] 图 1 是根据本发明的一个实施方式的应用程序数据的框图。
[0003] 图 2 是根据本发明的实施方式的地址转换存储能力的示例位置的框图。
[0004] 图 3 是根据本发明的实施方式在各种部件之间的交互作用的框图。
[0005] 图 4 是根据本发明的实施方式为堆栈存储器分配自动地使用超页的流程图。
[0006] 图 5 是根据本发明的实施方式的系统的框图。

具体实施方式

[0007] 在各种实施方式中,页表和 TLB 条目可以为堆栈存储器分配自动地使用超页。本领域普通技术人员将会认识到,这可以帮助防止堆栈生长引发代价很高的 TLB 差错和页面错误。许多处理器设计目前都包括创建超页的能力,同时一些设计限制了它们对某些 TLB 条目的应用。本发明旨在与任何提供超页(或那些引用比普通尺寸页面要大的存储器部分的页面)的 TLB 设计一起实施。

[0008] 现在参照图 1,该图示出了根据本发明的一个实施方式的应用程序数据的框图。如图 1 所示,应用程序数据 100 可以包括:堆栈 102,堆栈 102 具有底部条目 108、跟随条目 110 和顶部条目 111;堆阵 104,堆阵 104 具有堆阵条目 112;以及全局数据 106,全局数据 106 具有全局数据条目 114。当跟随条目 110 被推到堆栈上时,堆栈 102 可以生长,从而增大支持堆栈 102 所需的存储器容量。底部条目 108 将具有已知的地址,其上添加了跟随条目。指针,例如寄存器,可以为顶部条目 111 保持当前的顶部地址。

[0009] 现在参照图 2,该图示出了根据本发明的实施方式的地址转换存储能力的示例位置的框图。如图 2 所示,主存储器 140 可以在页帧存储区域 144 中包括多个页帧。更具体地讲,页帧 P_0-P_N 可以是存在的。页表 130 可以存储各种页表条目 PTE_{A-D} ,每个页表条目可以对应于页帧区域 144 中所存储的页帧中的一个 P_x 。TLB 138 可以存储各种 TLB 条目 TLB_{A-D} ,对于页帧区域 144 中所存储的页帧中的一个 P_x 而言,每个 TLB 条目可以对应于页表条目 PTE_{A-D} 中的一个。页帧 P_0-P_N 可以具有一致地间隔开的边界,或者可以按各种尺寸出现。在一个实施方式中,页表 130 可以包含引用超页的条目,例如多个邻接的页帧(比如 P_0-P_4)。在一个实施方式中,普通尺寸的页帧 P_0-P_N 是 4 千字节那么大,而超页则是 2 兆字节那么大(或

512 个邻接的普通尺寸页帧)。在一个实施方式中,超页的尺寸可以选自预定的一组尺寸,例如,超页能够调节至 8K、64K、512K 或 4M 中的任一个。TLB 138 可以具有某些被指定为引用超页的条目,或者可以限制能引用超页的条目的个数。

[0010] 现在参照图 3,该图示出了根据本发明的实施方式在各种部件之间的交互作用的框图。如图 3 所示,为了映射存储器地址,各种部件可以交互作用。具体而言,核可以请求主存储器 250 的特定页面中存在的信息。相应地,核 210 将地址提供给 TLB 230(它包括转换信息)。如果相对应的 PA 到 VA 转换并不存在于 TLB 230 中,则可以指示 TLB 出错,并且若没有页表条目,则会发生页面错误。这将由 TLB 出错与页面错误处理逻辑(TMPFHL)240 来处理,TMPFHL 240 转而可以将所请求的地址提供给存储器控制器 245,存储器控制器 245 转而耦合到主存储器 250,由此能够将页表条目加载到 TLB 230 中。TMPFHL 240 可以实现一种为堆栈存储器分配自动地使用超页的方法,如下文参照图 4 所述。TMPFHL 240 可以被实现在 OS 核心软件或固件或硬件中,或被实现在硬件或软件的组合中。

[0011] 现在参照图 4,该图示出了根据本发明的实施方式为堆栈存储器分配自动地使用超页的流程图。如图 4 所示,该方法始于:通过确定(402)出错的地址是否是堆栈存取来响应于页面错误。在一个实施方式中,TMPFHL 240 通过将出错的地址与堆栈顶部条目 111 的地址进行比较以判定该地址是否是堆栈存取,来确定出错的地址是否是堆栈存取。在另一个实施方式中,如果被用于传递出错的地址的体系结构寄存器是帧指针(比如 EBP)或堆栈指针(比如 ESP),则 TMPFHL 240 确定出错的地址是堆栈存取。在另一个实施方式中,TMPFHL 240 通过查看用户模式应用程序的地址的最高位比特,来确定出错的地址是否是堆栈存取。如果出错的地址的最高有效位是 1,则它是堆栈存取。在另一个实施方式中,加载/存储指令携带特殊的位以明确告诉 TMPFHL 240 出错的地址是否是堆栈存取。如果页面错误确实是因堆栈存取所导致的,则 TMPFHL 240 将在页表 130 中为该存取创建(404)一超页并在 TLB 138 中创建相应的条目。

[0012] 如果已确定页面错误不是因堆栈存取所导致的,则 TMPFHL 240 将遵循(406)不同的存储器分配例程。在一个实施方式中,用于非堆栈存取的存储器分配例程将会在页表 130 中创建一个普通尺寸的页面。在另一个实施方式中,用于非堆栈存取的存储器分配例程将会在页表 130 中创建一超页。

[0013] 许多实施方式可以按许多不同的系统类型来实现。现在参照图 5,该图示出了根据本发明的实施方式的系统的框图。如图 5 所示,多处理器系统 500 是点对点互连系统,包括通过点对点互连 550 而耦合的第一处理器 570 和第二处理器 580。如图 5 所示,处理器 570 和 580 都可以是多核处理器,包括第一和第二处理器核(即处理器核 574a 和 574b 以及处理器核 584a 和 584b)。根据本发明的实施方式,每个处理器可以包括 TLB 硬件、软件和固件。

[0014] 仍然参照图 5,第一处理器 570 还包括存储器控制单元(MCH, memory controller hub)572 以及点对点(P-P)接口 576 和 578。相似的是,第二处理器 580 包括 MCH 582 以及 P-P 接口 586 和 588。如图 5 所示,根据本发明的一个实施方式,MCH 572 和 582 将这些处理器耦合到各个存储器(即存储器 532 和存储器 534),这些存储器可以是本地附连到各个处理器的主存储器(比如动态随机存取存储器(DRAM))的一部分,每个存储器可以包括扩展的页表。第一处理器 570 和第二处理器 580 可以分别通过 P-P 互连 552 和 554 耦合到芯

片组 590。如图 5 所示,芯片组 590 包括 P-P 接口 594 和 598。

[0015] 此外,芯片组 590 包括接口 592,以使芯片组 590 与高性能图形引擎 538 耦合起来。芯片组 590 又可以通过接口 596 耦合到第一总线 516。如图 5 所示,各种 I/O 设备 514 可以与总线桥 518 一起耦合到第一总线 516,总线桥 518 将第一总线 516 耦合到第二总线 520。在一个实施方式中,各种设备可以耦合到第二总线 520,例如,包括键盘 / 鼠标 522、通信设备 526 和数据存储单元 528(比如磁盘驱动器或其它大容量存储设备),数据存储单元 528 可以包括代码 530。此外,音频 I/O 524 可以耦合到第二总线 520。

[0016] 许多实施方式可以以代码形式来实现,并且可以被存储在存储介质上,存储介质上所存储的指令可以被用于对系统进行编程以执行这些指令。存储介质包括但不限于任何类型的盘片,这包括:软盘、光盘、紧致盘只读存储器(CD-ROM)、可重写式紧致盘(CD-RW)和磁光盘;半导体器件,比如只读存储器(ROM)、随机存取存储器(RAM)、动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)、可擦式可编程只读存储器(EPROM)、闪存、电可擦式可编程只读存储器(EEPROM)、磁卡或光卡;或适于存储电子指令的任何其它类型的介质。

[0017] 尽管已结合数目有限的实施方式描述了本发明,但是本领域技术人员应该理解从中得到的大量的修改和变化。所附的权利要求书旨在覆盖所有这些修改和变化,只要它们落在本发明的真实精神和范围之内。

100

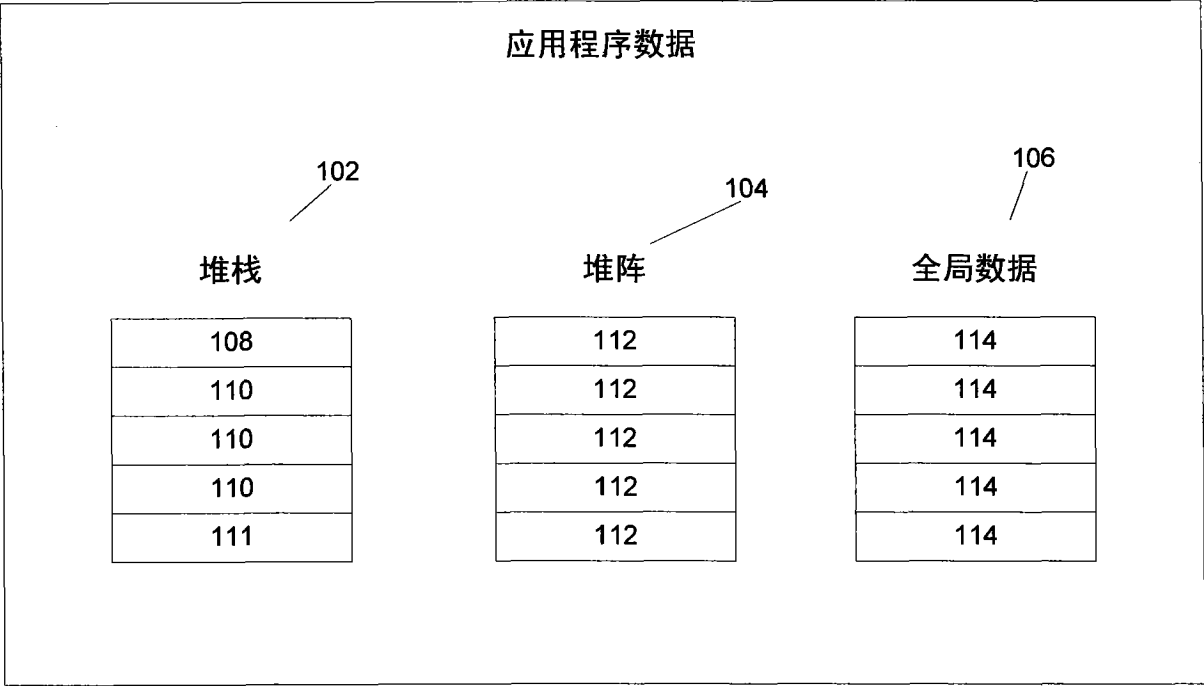


图 1

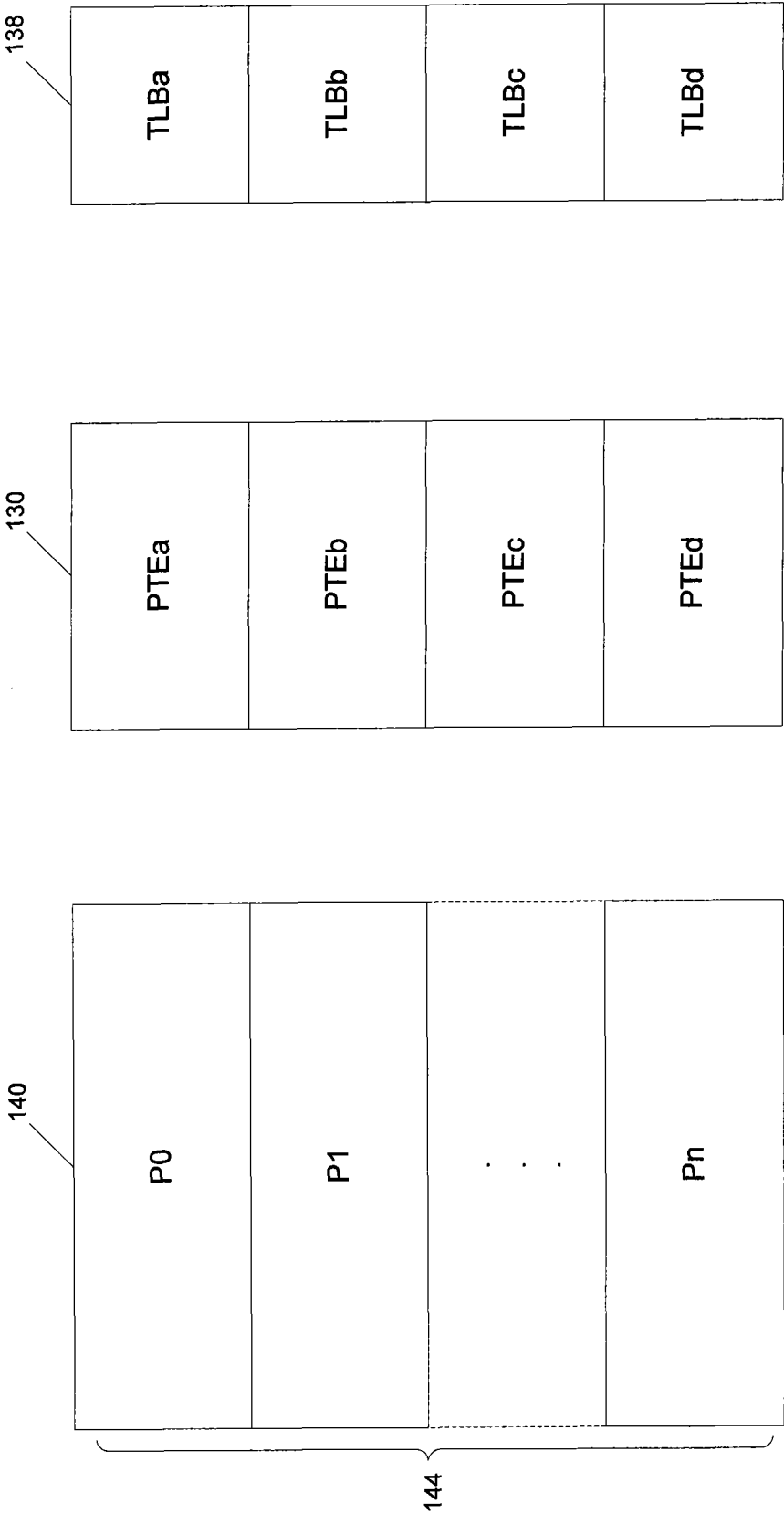


图 2

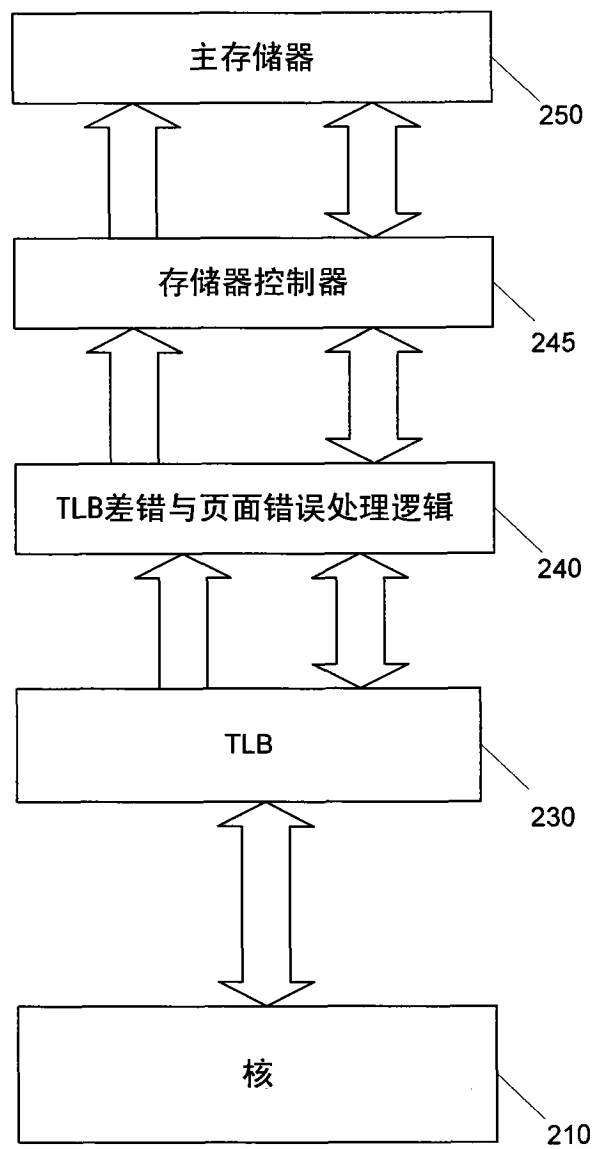


图 3

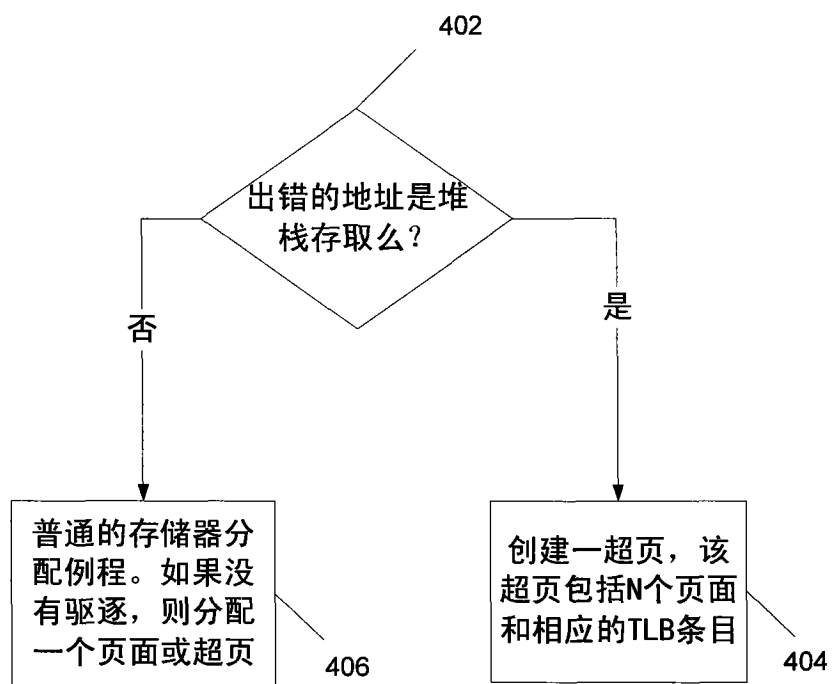


图 4

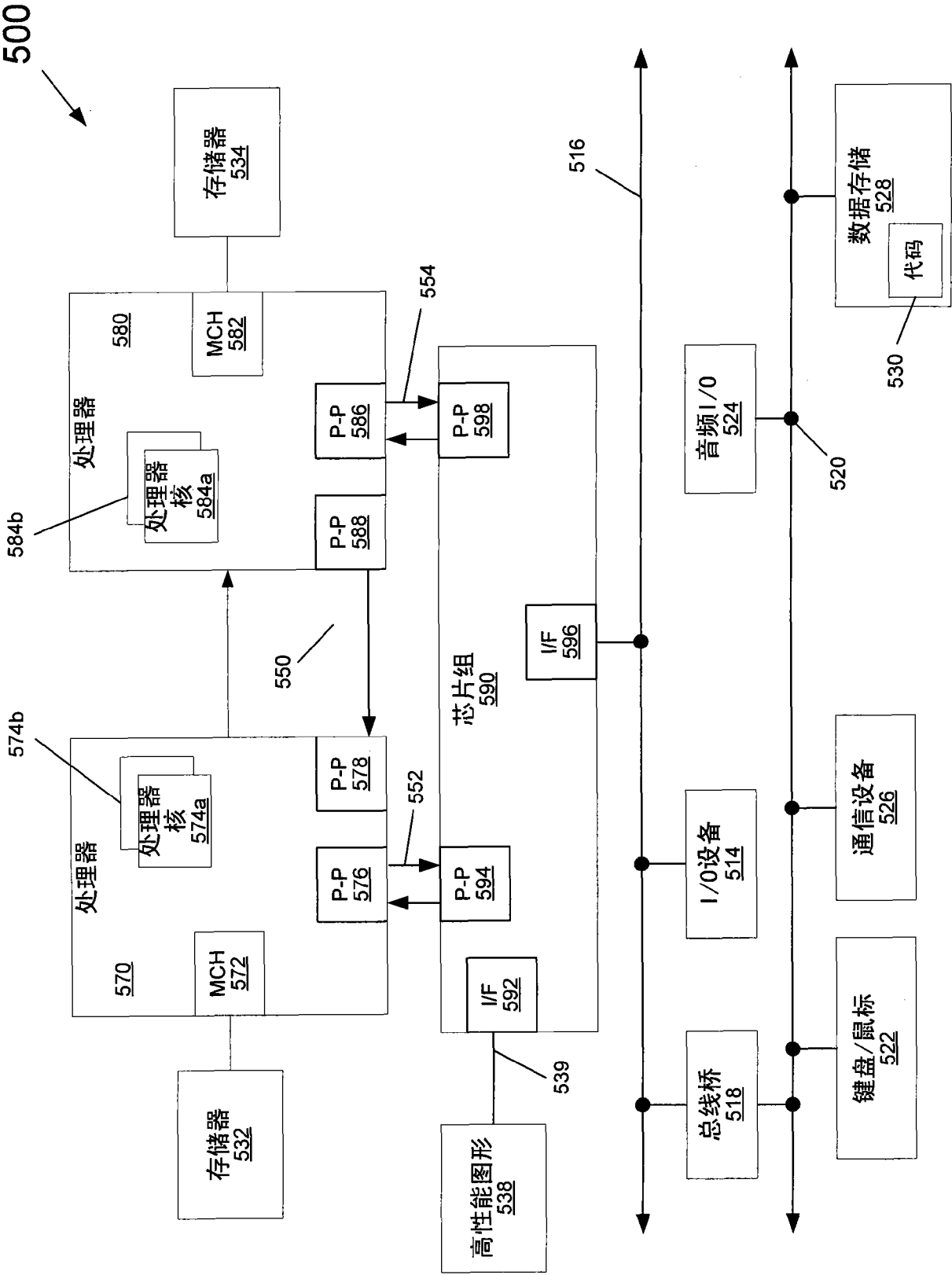


图 5