

發明專利說明書

200529235

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

93132725

※ 申請日期：

93.10.28

※IPC 分類：

G11C16/06

一、發明名稱：(中文/英文)

用於決定參考電壓之方法、電路及系統

A METHOD CIRCUIT AND SYSTEM FOR DETERMINING A REFERENCE VOLTAGE

二、申請人：(共 1 人)**姓名或名稱：(中文/英文)**

賽方半導體公司/ SAIFUN SEMICONDUCTORS LTD.

代表人：(中文/英文)

馬耶 艾杜雅多/ MAAYAN, EDUARDO

住居所或營業所地址：(中文/英文)

以色列納坦雅·沙佩工業區哈米拉曲街 45 號艾羅德大樓

Elrod Building, 45 Hamelacha Street, Sapir Industrial Area, Netanya 42505 Israel

國 籍：(中文/英文)

以色列/ Israel

三、發明人：(共 1 人)**姓 名：(中文/英文)**

柯漢 蓋伊/ COHEN, GUY

國 籍：(中文/英文)

以色列/ Israel

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003,10,29；10/695,448
- 2.

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明通常有關非依電性記憶體(“NVM”)晶胞之領域，更特別地，本發明有關一種用以選擇一個或更多的晶胞之參考電壓為了讀取在一記憶體晶胞陣列中的一個或更多的記憶體晶胞的方法與系統。

【先前技術】

發明背景

10 NVM晶胞通常是利用一個或更多的參考結構或晶胞來操作(例如，規劃、讀取及清除)，該個或更多的參考結構或晶胞中的每一個可對照一記憶體晶胞為了決定該記憶體晶胞被操作的一條件或狀態而操作來比較。依照所熟知的，一NVM晶胞的狀態可由其臨界電壓，係晶胞開始傳導
15 電流所在之電壓，來定義與決定。一NVM晶胞的臨界電壓位準通常是與儲存於晶胞的一電荷儲存區域中的電荷量相關聯，不同的電壓範圍係與一NVM晶胞的不同狀態相關。第1A圖顯示一圖描述一二位元NVM晶胞在清除與規劃的兩個狀態間之邊界、及在該兩個狀態之間的緩衝區域。

20 通常，為了決定一NVM晶胞是否是在一特定狀態，例如清除、規劃、或規劃在一多位準晶胞(“MLC”)當中複數可能規劃狀態之一，該晶胞的臨界位準係與一參考結構或是設定有臨界位準之晶胞的臨界位準比較，或用已知的其它方式，在一有關該特定狀態被測試的電壓位準。將一

NVM晶胞的臨界位準與一參考晶胞的臨界位準比較通常是利用一感測放大技或類似電路來完成。為了決定該NVM的晶胞狀態，用以比較一NVM的臨界電壓對照一個或更多的參考晶胞或結構的臨界電壓的不同技術係為熟知並可應用至本發明。目前已知或來自未來用以比較參考晶胞或結構的臨界電壓位準對照NVM晶胞的任何方法或電路NVM晶胞係可應用到本發明。

當規劃一NVM晶胞到一所要的狀態時，在每一規劃脈衝之後，一NVM晶胞的臨界值係可對照一具有設定在一定義如“計畫證實”位準之電壓位準的參考臨界值的參考晶胞來比較。具有一設定在一被定義為該給予狀態的一“計畫證實”位準之電壓位準的臨界電壓之參考晶胞係可與被規劃(即，被充電)之晶胞的臨界電壓來比較，為了決定一被規劃的電荷儲存區域或晶胞區域是否已充分被充電，以便使該晶胞在一可被視為“規劃”在該所要狀態的條件。

當讀取一NVM晶胞時，為了決定它是否是在一特別狀態，該晶胞的臨界電壓係可對照一具有一被定義為該特定狀態的一“讀取”位準之參考臨界電壓的參考晶胞來比較。一“讀取”位準通常被設定低於一“計畫證實”位準且高於該清除證實位準，為了補償可能於操作期間所發生的電壓漂移。若該晶胞的 V_t 係高於該讀取參考的時，該晶胞的一邏輯狀態被定義為“0”並且若是較低時，則為“1”。

在一MLC中，兩個或更多的規劃位準可以共同存在同

一晶胞上，如第1B圖所繪。在一MLC晶胞是被讀取以決定該晶胞所在的該等複數邏輯狀態之一的情況下，至少兩個讀取參考晶胞必須被使用。於讀取操作期間，必須被決定的是該MLC晶胞的臨界是在由讀取參考晶胞所定義的兩個或更多的臨界電壓所限制的三個或更多的區域中之一。如第1B圖所描繪的，定義一MLC中的一給予狀態的該等電壓臨界邊界通常是相當小於一二位元NVM晶胞的。對目前所作出的參考，第1B圖說明一MLC的四個不銮臨界電壓區域，其中每一區域係相關於該MLC的該等歸換狀態中之一或該MLC的清除狀態。因為一MLC中電位臨界電壓(例如3伏特至9伏特)的一相當固定範圍需要被分成數個子範圍或區域，所以一MLC中每一子範圍或區域的大小通常是小於一二位元NVM晶胞的一區域，其二位元晶胞僅需要兩個電壓臨界區域，如第1A圖所見。

一NVM晶胞的電壓臨界很少保持固態影像感測裝置定，臨界電壓漂移是一種現象其可能導致一記憶體晶胞的臨界電壓的大變化。由於電荷從該晶胞的電荷儲存區域的電荷洩漏、溫度變化、以及由於鄰近NVM晶胞操作的干擾，這些變化可能發生。對目前所作出的參考，第2圖顯示一描繪有關一示範MLC的兩個計畫狀態由於漂移的臨界電壓(V_t)變化圖，作為一10週期與1000週期的時間函數。如圖中所見，電壓漂移可能發生在許多晶胞、並可能發生在這些晶胞的一相關圖案中。同樣已知的是該漂移的大小與方向取決於該NVM經過計畫與清除週期的次數以及一MLC的

規劃位準。同樣已知的是晶胞中的偏移(V_t)可以是在向上或向下的方向。

記憶體晶胞之臨界電壓變化可能導致狀態的不正確讀取並可能進一步導致該記憶體陣列中資料的訛誤。電壓漂
5 移是MLC晶胞中的特別問題其中有關每一規劃狀態的 V_t 區域或子區域是相對小於一典型二位元晶胞的。

為了降低資料遺失或由於在一NVM陣列之晶胞的臨界電壓漂移的資料訛誤，應為該NVM陣列中晶胞的臨界電壓漂移來補償。對於一給予NVM陣列，可能要求提供一個
10 或一組參考晶胞其參考臨界電壓是從所定義的證實臨界電壓偏移有關藉由要被讀取之NVM晶胞所經歷的實際電壓漂移的某個值。對於一種決定一組參考電壓位準的有效且可靠之方法有一熟知的需要，其可包容在一NVM陣列中晶胞的臨界電壓的變化、並以該等決定的參考電壓來建立參考
15 晶胞。

【發明內容】

發明概要

本發明是一種用以決定一參考電壓的方法、電路級系統，本發明的一些實施例有關一種用以建立被用於操作(例如，讀取)在一NVM區塊或陣列中之晶胞的一組操作參考晶胞之系統、方法及電路。依照本發明之部分，利用兩組或更多組測試參考晶胞中的每一個，其中每組測試晶胞可產生或否則提供至少該組測試參考晶胞彼此稍微偏移的參考電壓，該VNM區塊或陣列中至少一子組之晶胞可被讀取。

對於用來讀取該VNM區塊中該至少一子組的每一組測試參考晶胞，一讀取錯誤率可被計算或否則被決定。有關一相對低讀取錯誤率的一組測試參考晶胞可被選擇作為要被用於操作(例如，讀取)在該NVM區塊或陣列中、在該子組晶胞之外的其它晶胞，在一另外實施例中，該選擇組之測試參考晶胞可被用來建立具有實質上等於該選擇測試組的參考電壓之一操作組的參考晶胞。

圖式簡單說明

被視為本發明的主題特別被指出並清楚地請求在說明書的最終部分。然而，本發明關於機構與操作方法二者，連同其目的、特徵與優點最好可藉由參考隨著該等附圖來讀取的以下非限制詳細說明而了解，其中：

第1A圖是有關一二位元NVM晶胞之不同狀態的不銅臨界電壓的一圖解說明，其中計畫證實與讀取證實臨界位準二者是顯而易見的；

第1B圖是不同臨界電壓，其每一個有關一多位準晶胞(MLC)的一不同計畫狀態之邊界，的一圖解說明；

第2圖是一圖說明，由於依照一時間函數之 V_t 漂移10個週期與1000個週期，在有關一示範多位準晶胞(MLC)的每一計畫狀態之臨界電壓中的所測量的變化；

第3圖是一根據本發明的一些實施例的一種選擇要被用於操作一NVM區塊或陣列的一組參考晶胞之方法的流程圖說明；

第4圖是一根據本發明的一些實施例支持第3圖之方法

的一種實施之NVM陣列的一種可能結構之方塊圖說明；及

第5圖有關一NVM陣列用以建立並利用具有實質上等
於一選擇測試組之參考電壓的一組操作參考晶胞的一種可
能結構之方塊圖說明。

- 5 將察知的是，對於這些非限制說明的簡明與清晰，圖
式中所示之元件係不必要依刻度來繪製。例如，為了清晰
一些元件的尺寸相對於其它元件可能是誇張的。另外，考
慮適當之處，參考數字在該等圖式中可被重複以指示對應
或類似的元件。

10 【實施方式】

較佳實施例之詳細說明

- 在以下詳細說明中，為了提供本發明徹底了解，許多
特定細節被提出。然而，對熟知此技藝者所了解的是，本
發明不須這些特定細節而可被實施。在其它例子中，熟知
15 的方法與程序未被詳細說明以便不混淆本發明。

- 本發明是一種用以決定一參考電壓的方法、電路級系
統。本發明的一些實施例有關一種用以建立被用於操作(例
如，讀取)在一NVM區塊或陣列中之晶胞的一組操作參考晶
胞之系統、方法及電路。依照本發明之部分，利用兩組或
20 更多組測試參考晶胞中的每一個，其中每組測試晶胞可產
生或否則提供至少該組測試參考晶胞彼此稍微偏移的參考
電壓，該VNM區塊或陣列中至少一子組之晶胞可被讀取。
對於用來讀取該VNM區塊中該至少一子組的每一組測試參
考晶胞，一讀取錯誤率可被計算或否則被決定。有關一相

對低讀取錯誤率的一組測試參考晶胞可被選擇作為要被用於操作(例如，讀取)在該NVM區塊或陣列中、在該子組晶胞之外的其它晶胞，在一另外實施例中，該選擇組之測試參考晶胞可被用來建立具有實質上等於該選擇測試組的參考電壓之一操作組的參考晶胞。

根據本發明的一些實施例，第3圖，其是選擇一組要被用於操作一NVM區塊或陣列的參考晶胞之方法的該等步驟的流程圖說明，目前成為參考。依照本發明一些實施例的部分，對於具有一相關錯誤檢測特徵並與N組測試參考晶胞相關的一軌與NVM區塊或陣列，一組計數器'n'起初可被設到1(方塊310)。接著，第n組測試參考晶胞，起初第1設定，可被用來讀取該NVM區塊中的至少一子組(方塊320)。

在方塊320的資料讀取可被用來決定一有關第n組測試參考晶胞錯誤率(方塊330)。根據本發明的一些實施例，該NVM區塊中該至少一子組可以是該NVM區塊中的一重新定義部分或區段其中來源資料被儲存在與規劃期間所取得之額外錯誤檢測資料/碼一起的NVM晶胞。該讀取錯誤率係可利用種種錯誤率取樣及/或錯誤檢測技術，例如，同等位元、依封包內容之計算值(checksum)、CRC及不同的其它技術，來決定。目前已知或將在未來取得的任何錯誤檢測編碼及或/估算技術係可應用至本發明。

一旦一錯誤率利用第n組測試參考晶胞被計算或不然被計算給該NVM區塊中至少一子組，有關第n組測試參考晶胞之錯誤率可被記錄(方塊340)。該計數器'n'於是被遞增1

(方塊350)，並且該計數器可被檢查來查看新的'n'是否等於N+1，一大於測試參考晶胞組之總數量之值(方塊360)。假使新的'n'小於(不等於)N+1方塊320-360可被重複，並因此有關該等測試參考晶胞中每一個使用以讀取該NVM區塊中

5 至少一子組的測物率可被決定與記錄。

一旦該計數器'n'等於N+1、並且有關該等測試組中每一個的錯誤率已被決定，有關一相對低(例如，最低)讀取錯誤率的該組參考測試晶胞可被選擇(方塊370)。該選擇組的參考晶胞可被用來操作在NVM區塊或陣列上之晶胞(方塊

10 380)、或可被用來建立一操作組參考晶胞其參考臨界電壓實質上對應該選擇組的該等參考臨界電壓(方塊390)，以致所建立的操作組可被用來操作該NVM陣列中的晶胞。

以上說明就一種建立要被用於操作一NVM區塊晶胞或陣列的一組操作參考晶胞之方法的一個實施例舉例說明。應注意的是，本發明的其它實施例可脫離以上說明。

15 該選擇測是可用來作為一操作參考組、可被用來選擇或規劃一操作組、或可被用來調整在一組可調整參考結構的參考位準。此外，本發明之方法可在包含可以是目前已知或是卻在未來被取得的硬體及/或軟體模組種種實行來完

20 成。以下參考第4圖，於此根據本發明一些實施例來說明一種建立一組被用於操作一NVM區塊或陣列的晶胞之操作參考晶胞的方法的可能實行之範例。

第4圖，其是一NVM陣列400的的方塊圖說明，目前成為參考。依照本發明一些實施例的部分，用以操作該NVM

區塊或陣列400的電路系統401可包含一控制器410、一可控制電壓供應器412、一感測放大器414及兩個或更多組測試參考晶胞432、434及436。每組測試參考晶胞432、434及436可包含兩個或更多測試參考晶胞，每組測試參考晶胞432、434及436可具有彼此組的測試參考晶胞至少稍微偏移的參考電壓。例如，每組測試參考晶胞(例如，432)係可遞增偏移，以致每組係可相關於一串臨界電壓其係稍微高於一相關於先前組測試參考晶胞的一對應串臨界電壓(第一組除外)。依照另一範例，若該第一組測試參考晶胞包含具有參考電壓之晶胞；晶胞1 = 4.2V，晶胞2 = 5.2V，晶胞3 = 6.2V，該第二組可包含具有參考電壓偏移之晶胞，以致；晶胞1 = 4.3V，晶胞2 = 5.3V，晶胞3 = 6.3V等。

在所示之實施例中，該控制器410可實施該計數器'n'(未示)，然而，任何其它結構，包含但不限於一特殊的計數器模組，亦可被使用。該控制器410可被規劃來控制該可控制電壓源412與該感測放大器414的操作。根據本發明的一些實施例，諸如第3圖所說明的實施例，該控制器410起初可將該參考測試組計數器'n'設定到1，接著，該控制器410可操作該可控制電壓源412、並利用第n組測試參考晶胞(最初的第一組432)以便讀取該NVM區塊或陣列中的至少一子組晶胞。依照本發明一些實施例的部分，該控制器410可命令該電壓源412將遞增增加的電壓脈衝施加至該子組區域102中的每一記憶體晶胞並至該第n組測試參考晶胞(例如，432)中的一個或更多測試參考晶胞。該子組區域402

- 中的每一記憶體晶胞之臨界電壓，例如利用感測放大器414，係可對照第n組測試參考晶胞中的一個或更多測試參考晶胞(例如，432)之臨界電壓來比較。藉由對照自第n組測試參考晶胞的參考晶胞的臨界電壓來比較該等晶胞的臨界電壓，該子組晶胞402中的每一晶胞之狀態可被讀取或被決定。為了決定該記憶體晶胞的狀態，用以對照一個或更多參考晶胞及/或結構的來比較一記憶體晶胞的臨界電壓的不同其它技術係為熟知並且可根據本發明的另外實施例來實施。
- 10 該控制器410可接收讀取自該子組區域402中的NVM晶胞之資料，該控制器410可處理該資料、並可決定一有關被用來讀取該子組區域402中之記憶體晶胞的第n組測試參考晶胞的讀取錯誤率。該讀取錯誤率係可利用種種錯誤率取樣及/或錯誤檢測技術，例如，同等位元、依封包內容之
- 15 計算值(checksum)、CRC及不同的其它技術，來決定。該子組區域402及/或該NVM區塊400的任何其它元件及/或包含一可能需要的任何附加元件的補充電路系統401可被規劃來支持該錯誤率取樣及/或錯誤檢測技術之選擇。在所示的實施例中，該子組區域402可包含一個或更多同等位元(有
- 20 記號的 P_n)在支持同等檢查錯誤檢測。該控制器410可被規劃來處理讀取自該子組區域402之資料並根據同等檢查錯誤檢測來決定一讀取錯誤率。在本發明的一例外實施例，可包含一分開的錯誤編碼與檢測電路(未示)。

一經計算，該控制器410可內部地記錄每組測試參考晶

胞或結構的讀取錯誤率或於一指定錯誤率表416，其錯誤率表可為該NVM區塊或陣列的一部份。該讀取錯誤率係可以一方式來記錄以維持每個記錄的讀取錯誤率與用來產生它的該組測試參考晶胞之關係。

- 5 在對於第n組測試參考晶胞已建立一讀取錯誤率之後，該技術器可被命令將'n'增加1。該控制器410可考慮來檢查'n'的新值是否已超過測試參考晶胞組的數量。若如此，則決定並記錄一有關每組測試考晶胞的讀取錯誤率之處理可被該控制器410停止。換言之，決定並記錄一讀取錯誤率之處理對於該等N組測試參考晶胞(例如，432、434及
- 10 436)中的每一個可被重複。

- 該控制器410然後可從該等記錄的讀取錯誤率中選擇一相對低的(例如，最低的)讀取錯誤率。有關該所選相對低的讀取錯誤率該組測試參考晶胞可被選為被用於操作該
- 15 NVM區塊或陣列400之晶胞的該組操作參考晶胞。根據本發明的一個隨意實施例，該控制器410亦可決定有關該所選相對低的讀取錯誤率之選擇的測試組有關的一組參考電壓，該組參考電壓可被儲存，以致該儲存組參考電壓與該選擇組測試參考晶胞(例如，432)的關係被維持。

- 20 根據本發明的一些實施例，若該控制器410決定出該等產生的讀取錯誤率中多於一個，每一個係有關一不同組的測試參考晶胞，是最低的，例如，當兩個或更多相等讀取錯誤率同樣是最低的時，額外的處理可能需要來決定哪一組是較可能來提供一較低的讀取錯誤率。例如，產生並記

錄兩個或更多組測試參考晶胞中每一個的讀取錯誤率之處理可根據不同標準或在該NVM區塊中的一額外子組被重複。或者是，該等最低讀取錯誤率中的一個可被任意選擇。

依照本發明另外實施例之部分，可充分來從該等組測試參考晶胞(例如，432、434及436)中選出被期望來提供一相對低讀取錯誤率之組。既然如此，例如，在利用每組測試參考晶胞來讀取該NVM區塊中至少一子組，如以上所討論的、並產生一有關該所用之組的讀取錯誤率之後，該讀取錯誤率可被檢查。若該讀取錯誤率是在一預定臨界以下，則有關該讀取錯誤率可被選擇與記錄的該組測試參考晶胞、及產生並記錄一讀取錯誤率之處理可在檢查所有測試組之前被停止。根據本發明又另外實施例，若該等產生的讀取錯誤率中沒一個落在該預定臨界以下，則該最低錯誤率係可根據上述討論來討論。

在本發明的一另外實施例，該選擇組的測試參考晶胞可被用來建立具有實質上等於該選擇測試組之參考電壓的一操作組參考晶胞。

現在參考第5圖，其是一用已建立並利用具有實質上等於一選擇測試組的參考電壓的一組操作參考晶胞之NVM的一種可能結構之說明。第5圖所示之補充電路系統401實質上可相似於第4圖所示者並可利用額外的一組全球參考晶胞520與一偏移電路510以相似方式來操作。

起初，該補充電路系統401與該NVM區塊400可被操作來決定一有關兩個或更多組測試參考晶胞432、434及436中

每一個的讀取錯誤率、並且來選出該兩個或更多組測試參考晶胞432、434及436中有關一相對低的(例如，最低的)讀取錯誤率的一個。接著，該選擇組測試參考晶胞可被用來決定來自該組全球參考晶胞520中一個或更多全球參考晶胞之偏移值。該等偏移值可被直接或經由該控制器410輸入至一偏移電路510。該偏移電路510，單獨或與一可控制電壓源412結合，可採取將來自該組全球參考晶胞520中全球參考晶胞的一個或更多參考電壓偏移。在一個實施例中，該偏移電路510可被規劃來偏移該等全球參考晶胞的該等參考電壓，以至該全球參考組520中參考晶胞的該等參考電壓實質上可等於該選擇測試組中對應的參考晶胞。

在本發明的另一實施例中，有關該選擇測試組的一組參考電壓係可藉由該控制器410來獲得。依以上所討論，該組參考電壓可被記錄，例如，於該錯誤率表416。既然這樣，該組參考電壓資料係可藉由簡單地自該表416取回相關值來獲得。該控制器410可命令該偏移電路510根據該組參考電壓來將該組全球參考晶胞520中一個或更多參考晶胞的臨界電壓偏移。在本發明的又一實施例中，該控制器410可命令該偏移電路510將該組全球參考晶胞520中一個或更多全球參考晶胞的臨界電壓偏移，以致該組全球參考晶胞520的該等臨界電壓實質上係可等於該選擇測試組的該等臨界電壓。

根據本發明的另外實施例，該偏移電路510與該組全球參考晶胞520可以一儲庫的參考晶胞(未示)代替。該儲庫參

考晶胞可包含兩個或更多參考晶胞，該儲庫中的每一參考晶胞係從該儲庫中其它參考晶胞遞增偏移。例如，該儲庫中每一參考晶胞可具有一臨界電壓其是稍微高於該先前參考晶胞的臨界電壓(第一參考晶胞除外)。

- 5 根據本發明的一些實施例，一經選擇，該選擇組測試參考晶胞可被用來決定該參考晶胞儲庫中哪一個是要被用來建立一操作組參考晶胞。來自該參考晶胞儲庫之選擇組參考晶胞可被選擇以致選自該儲庫之組可具有實質上等於該選擇測試組的參考電壓。因此，選自該儲庫之參考晶胞
- 10 組可提供具有實質上等於該選擇測試組之參考電壓的一組操作參考晶胞，該組操作參考晶胞可被用來操作該NVM陣列。

當本發明確實的特徵已被描述且說明於此之時，許多修改、替代、變化及等效現將被一般熟此技藝者所想到。

- 15 因此，所理解的是該等依附的申請專利範圍是想涵蓋所有諸如落在本發明之實在精神中的修改與變化。

【圖式簡單說明】

- 第1A圖是有關一二位元NVM晶胞之不同狀態的不銅臨界電壓的一圖解說明，其中計畫證實與讀取證實臨界位
- 20 準二者是顯而易見的；

第1B圖是不同臨界電壓，其每一個有關一多位準晶胞(MLC)的一不同計畫狀態之邊界，的一圖解說明；

第2圖是一圖說明，由於依照一時間函數之 V_t 漂移10個週期與1000個週期，在有關一示範多位準晶胞(MLC)的每

一計畫狀態之臨界電壓中的所測量的變化；

第3圖是一根據本發明的一些實施例的一種選擇要被用於操作一NVM區塊或陣列的一組參考晶胞之方法的流程圖說明；

5 第4圖是一根據本發明的一些實施例支持第3圖之方法的一種實施之NVM陣列的一種可能結構之方塊圖說明；及

第5圖有關一NVM陣列用以建立並利用具有實質上等於一選擇測試組之參考電壓的一組操作參考晶胞的一種可能結構之方塊圖說明。

10 **【主要元件符號說明】**

310-390...步驟	416...讀取錯誤表
400...NVM陣列	432...測試參考晶胞
401...電路系統	434...測試參考晶胞
402...子組晶胞	436...測試參考晶胞
410...控制器	510...偏移電路
412...可控制電源(/電壓)供應器	520...全球參考晶胞
414...感測放大器	

五、中文發明摘要：

本發明是一種用以決定一參考電壓的方法、電路與系統，本發明的一些實施例有關一種用以建立被用於操作(例如，讀取)一NVM區塊或陣列中之晶胞的一組操作參考晶胞之系統、方法與電路。依照本發明的部分，該NVM區塊或陣列中至少一子組的晶胞，利用兩組或更多組測試參考晶胞中的每一個，可被讀取，其中每組測試參考晶胞可產生或不然提供測試參考晶胞組彼此至少稍微偏移的參考電壓。對於用來讀取該NVM區塊中至少一子組的每組測試參考晶胞，一讀取錯誤率可被計算或不然被計算。一組有關一相對低讀取錯誤率的測試參考晶胞可被選擇為該組被用於操作(例如，讀取)於該NVM區塊或陣列之該子組晶胞以外的其它晶胞的操作參考晶胞。在一另外實施例中，該選擇組的測試參考晶胞可被用來建立具有實質上等於該選擇測試組的參考電壓的一操作組參考晶胞。

六、英文發明摘要：

The present invention is a method, circuit and system for determining a reference voltage. Some embodiments of the present invention relates to a system, method and circuit for establishing a set of operating reference cells to be used in operating (e.g. reading) cells in an NVM block or array. As part of the present invention, at least a subset of cells of the NVM block or array may be read using each of two or more sets of test reference cells, where each set of test reference cells may generate or otherwise provide reference voltages at least slightly offset from each other set of test reference cells. For each set of test reference cells used to read the at least a subset of the NVM block, a read error rate may be calculated or otherwise determined. A set of test reference cells associated with a relatively low read error rate may be selected as the set of operating reference cells to be used in operating (e.g. reading) other cells, outside the subset of cells, in the NVM block or array. In a further embodiment, the selected set of test reference cells may be used to establish an operating set of reference cells having reference voltages substantially equal to those of the selected test set.

十、申請專利範圍：

1.一種自一組可能參考位準選擇一參考位準之方法，包含
步驟有：

5 利用該等可能參考位準中的每一個來讀取來自一記憶體區域的一組晶胞；

決定一對於有關該組晶胞之讀取的該等可能參考位準每一個的讀取錯誤率；及

從該組可能參考位準，其讀取錯誤率是相對低的，選擇一參考位準。

10 2.如申請專利範圍第 1 項所述之方法，其中該選擇包含自該組可能參考位準中挑選一導致該最低讀取錯誤率的參考位準。

3.如申請專利範圍第 1 項所述之方法，其中該選擇包含自該組可能參考位準中挑選一導致一在一預定臨界值以下
15 之讀取錯誤率的參考位準。

4.如申請專利範圍第 1 項所述之方法，其中來自該組可能參考位準的每一參考位準稍微不同於該組其它參考電壓中的每一個。

5.如申請專利範圍第 4 項所述之方法，其中該組可能參考
20 位準包含遞增變化的參考位準。

6.如申請專利範圍第 4 項所述之方法，其中該組可能參考位準包含以固定增加量的遞增參考位準。

7.如申請專利範圍第 4 項所述之方法，其中該組可能參考位準包含以變化增加量的遞增參考位準。

- 8.如申請專利範圍第 1 項所述之方法，更包含重複對於該等記憶體狀態的每一證實位準的使用、決定及選擇其中的每一個。
- 9.如申請專利範圍第 6 項所述之方法，更包含使用對於該
5 記憶體區域的每一狀態的一不同組可能參考位準。
- 10.如申請專利範圍第 6 項所述之方法，更包含同時使用對於該記憶體區域的每一狀態的一不同組可能參考位準。
- 11.如申請專利範圍第 1 項所述之方法，更包含重複對於一個或更多記憶體晶胞的每個電荷儲存區域之使用、決定
10 及選擇其中的每一個。
- 12.如申請專利範圍第 8 項所述之方法，其中該重複包含重複對於一個或更多 NROM 記憶體晶胞的每個電荷儲存區域之使用、決定及選擇其中的每一個。
- 13.一種根據一選擇的參考電壓來建立一參考晶胞之方法，包含步驟有：
15 決定一有關來自一組可能參考電壓中每一個可能參考電壓的讀取錯誤率；
從該組可能參考電壓中選擇一導致一相對低讀取錯誤率的參考電壓；及
20 根據該選擇的參考電壓來建立一參考晶胞。
- 14.如申請專利範圍第 13 項所述之方法，其中該建立包含：
計算在該選擇的參考電壓與來自一儲庫參考晶胞之多數個參考晶胞中的每一個之間的相關值；及
自該儲庫參考晶胞選中選擇一具有一相對高相關值

的參考晶胞。

- 15.如申請專利範圍第 14 項所述之方法，其中該選擇包含從該儲庫參考晶胞中挑選一具有最高相關值的參考晶胞。
- 5 16.如申請專利範圍第 14 項所述之方法，其中該相關值是代表該參考電壓與該等參考晶胞中每一個的臨界電壓之間的關係。
- 17.如申請專利範圍第 16 項所述之方法，其中該等參考晶胞的每一個被關化具有一稍微不同的臨界電壓。
- 10 18.如申請專利範圍第 17 項所述之方法，其中該等參考晶胞中每一個的臨界電壓係遞增改變。
- 19.如申請專利範圍第 14 項所述之方法，其中該決並、該選擇與該建立對於一多位準晶胞的每一狀態可被重複。
- 20.如申請專利範圍第 13 項所述之方法，其中該決並、該選擇與該建立對於一多位準晶胞的每一狀態可被同時執行。
- 15 21.如申請專利範圍第 19 項所述之方法，其中該決並、該選擇與該建立對於一多位準晶胞的每一重複，一不同組的參考電壓被使用。
- 20 22.如申請專利範圍第 13 項所述之方法，其中該建立包含適應一偏移電路以致該參考晶胞在與一偏移值結合的一有效閘極電壓實質上可等於該選擇的參考電壓。
- 23.如申請專利範圍第 21 項所述之方法，其中該適應包含：
接收一將與該選擇參考電壓相關的輸入信號；

處理該輸入信號以決定一有關該選擇參考電壓偏移值；及

根據該偏移值將要被施加至該參考晶胞的閘極電壓偏移。

5 24.如申請專利範圍第 23 項所述之方法，其中該處理包含計算該偏移值以指示該偏移電路將一輸入閘極電壓偏移該偏移值，以至要被施加至乾參考晶胞之有效閘極電壓實質上是等於該參考晶胞的參考電壓。

10 25.如申請專利範圍第 24 項所述之方法，其中該偏移包含將一實質上等於該選擇參考電壓的一輸入閘極偏移，以致該有效閘極電壓實質上是等於該參考晶胞的臨界電壓。

15 26.如申請專利範圍第 13 項所述之方法，其中該建立包含規劃該參考晶胞以致該參考晶胞的臨界電壓實質上是等於該選擇參考電壓。

27.如申請專利範圍第 26 項所述之方法，其中該規劃包含將該選擇參考電壓規劃到該參考晶胞。

28.如申請專利範圍第 27 項所述之方法，其中該規劃包含將一組預選規劃值中之一規劃到該參考晶胞。

20 29.一種根據一選擇參考電壓來操作一記憶體陣列的方法，包含步驟有：

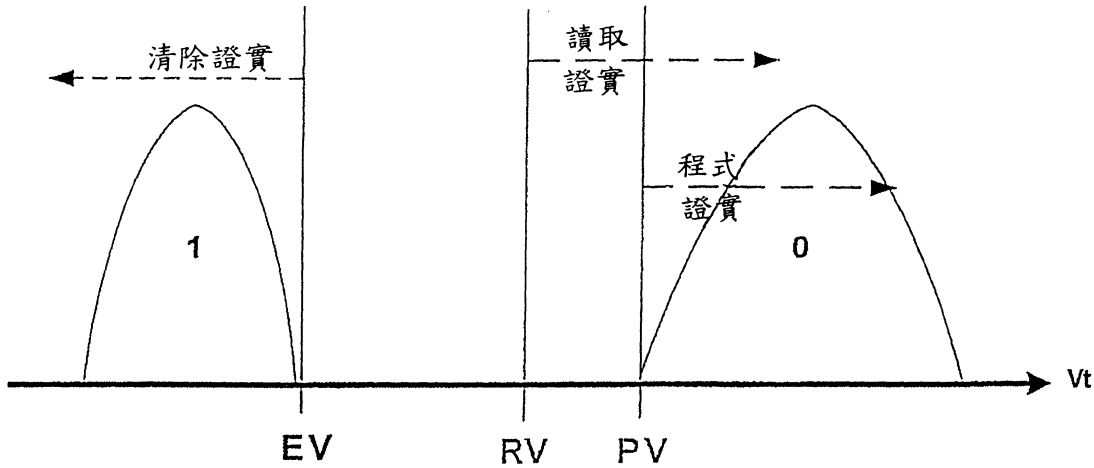
決定一有關來自一組可能參考電壓中一個或更多可能參考電壓的讀取錯誤率；

從該組可能參考電壓中選擇一導致一相對低讀取錯

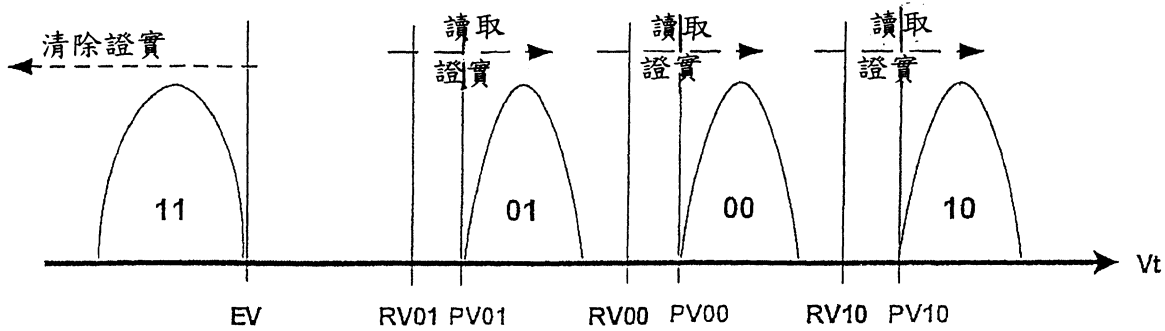
誤率的參考電壓；

根據該選擇的參考電壓來建立一參考晶胞；及利用該建立的參考晶胞來操作該記憶體陣列。

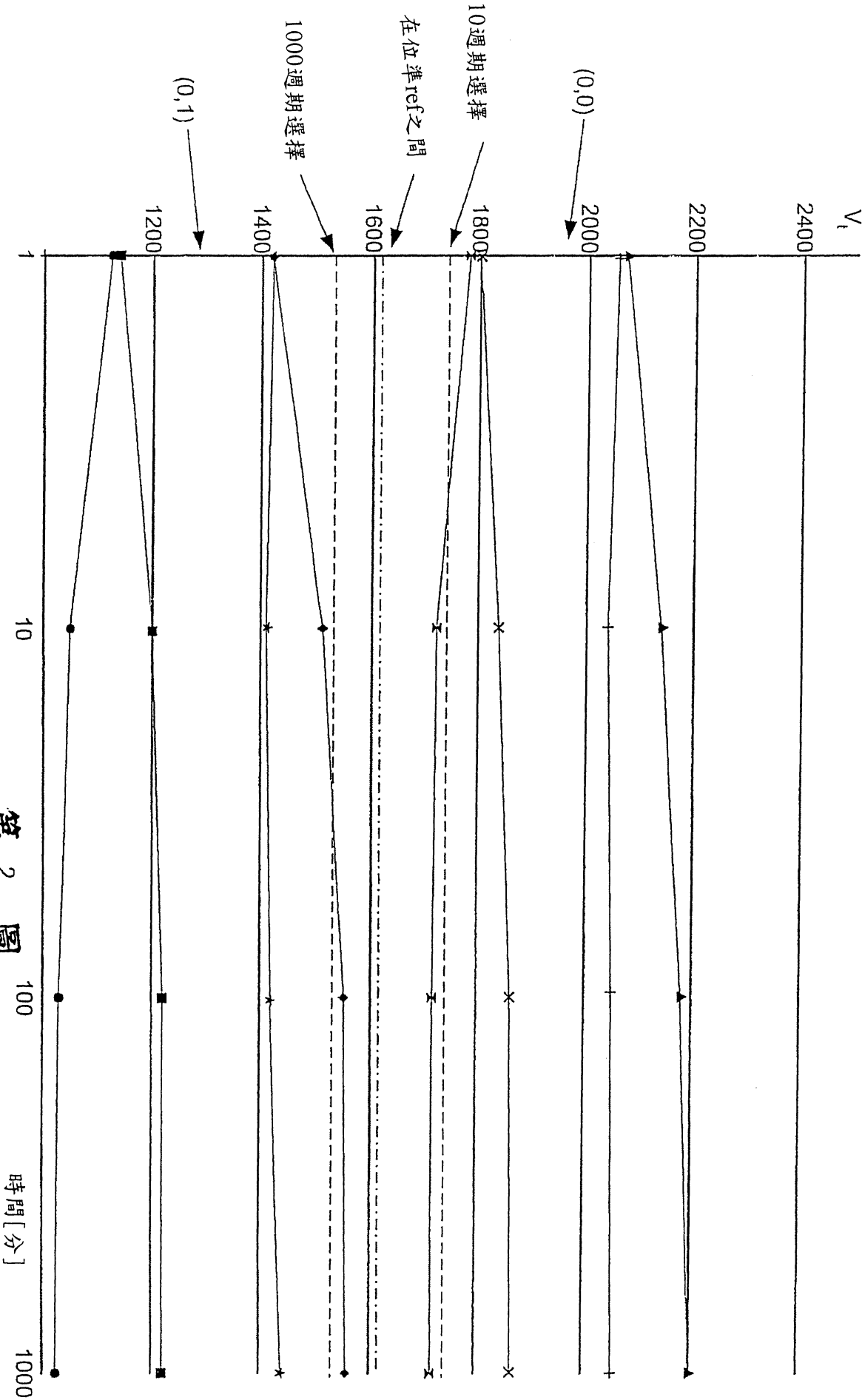
- 30.如申請專利範圍第 29 項所述之方法，其中該操作包含
5 利用該建立的記憶體晶胞來讀取來自該記憶體陣列中的至少一個記憶體晶胞。
- 31.如申請專利範圍第 29 項所述之方法，其中自該組可能參考電壓中選擇一參考電壓是在決定一對於該等可能組參考電壓所有的讀取錯誤率之前被完成。
- 10 32.如申請專利範圍第 31 項所述之方法，其中與一在一預定臨界值之下的錯誤率相關之第一參考電壓被選擇。
- 33.如申請專利範圍第 29 項所述之方法，其中該操作之晶胞係自由氮化物唯讀記憶體(“NROM”)、NROM 多位準晶胞(“MLC”)、浮動閘極 MLC、及雙電荷儲存與雙儲存區 NROMNROM MLC 所構成之群組所選出。
15
- 34.如申請專利範圍第 29 項所述之方法，更包含將該等錯誤檢測率儲存於接近鄰近的記憶體晶胞。
- 35.如申請專利範圍第 29 項所述之方法，更包含將該等選擇的參考電壓儲存於接近鄰近的記憶體晶胞。



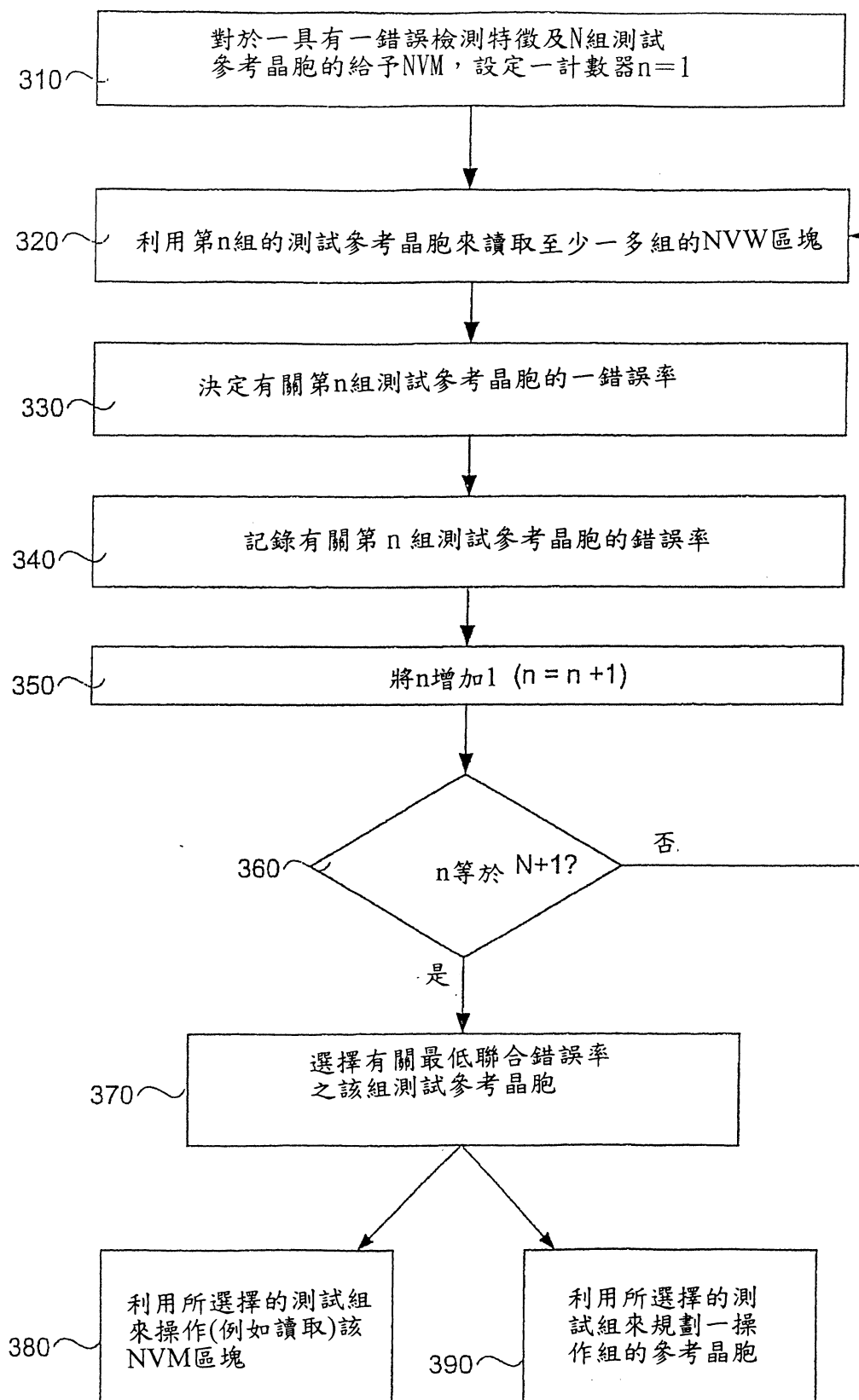
第 1A 圖



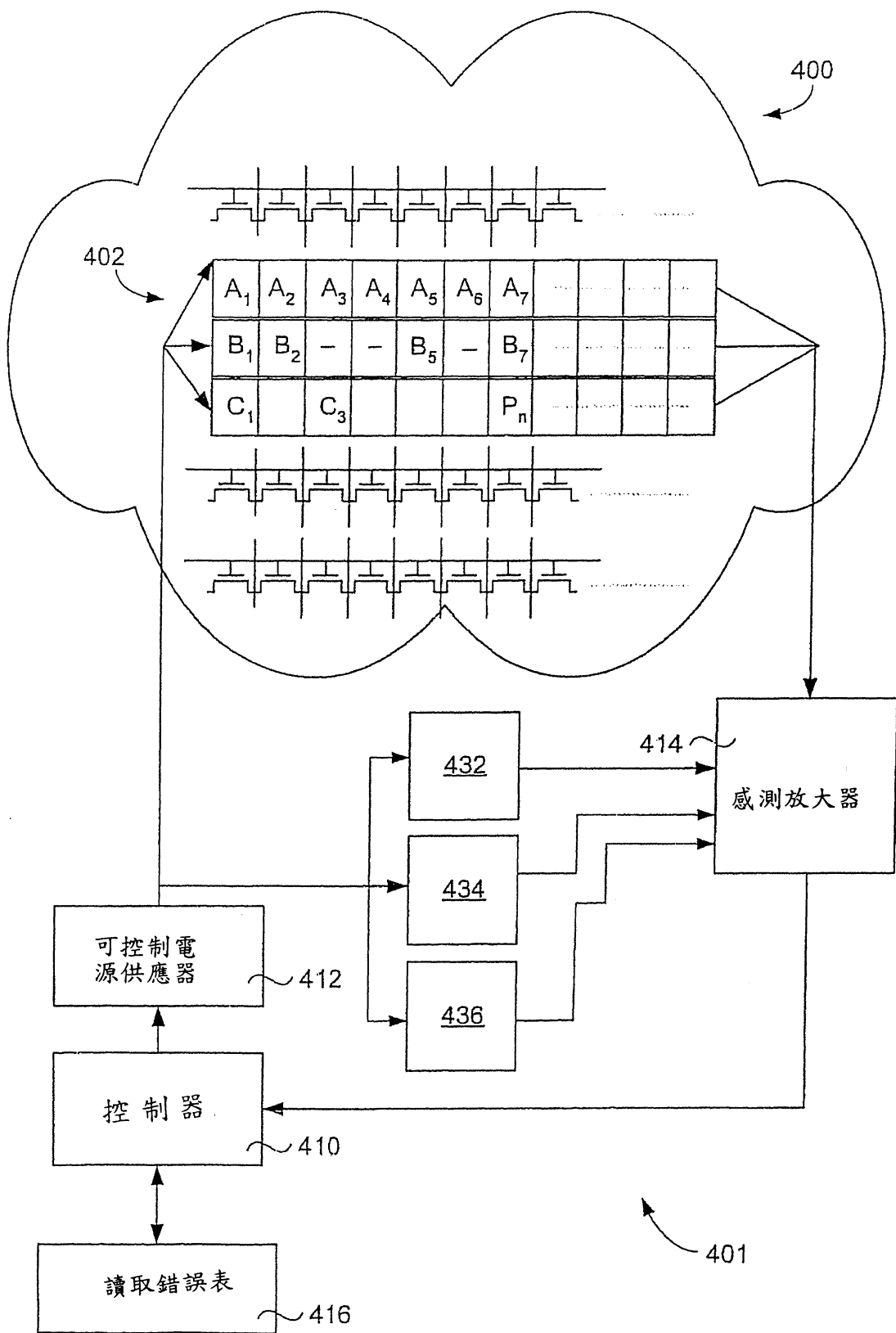
第 1B 圖



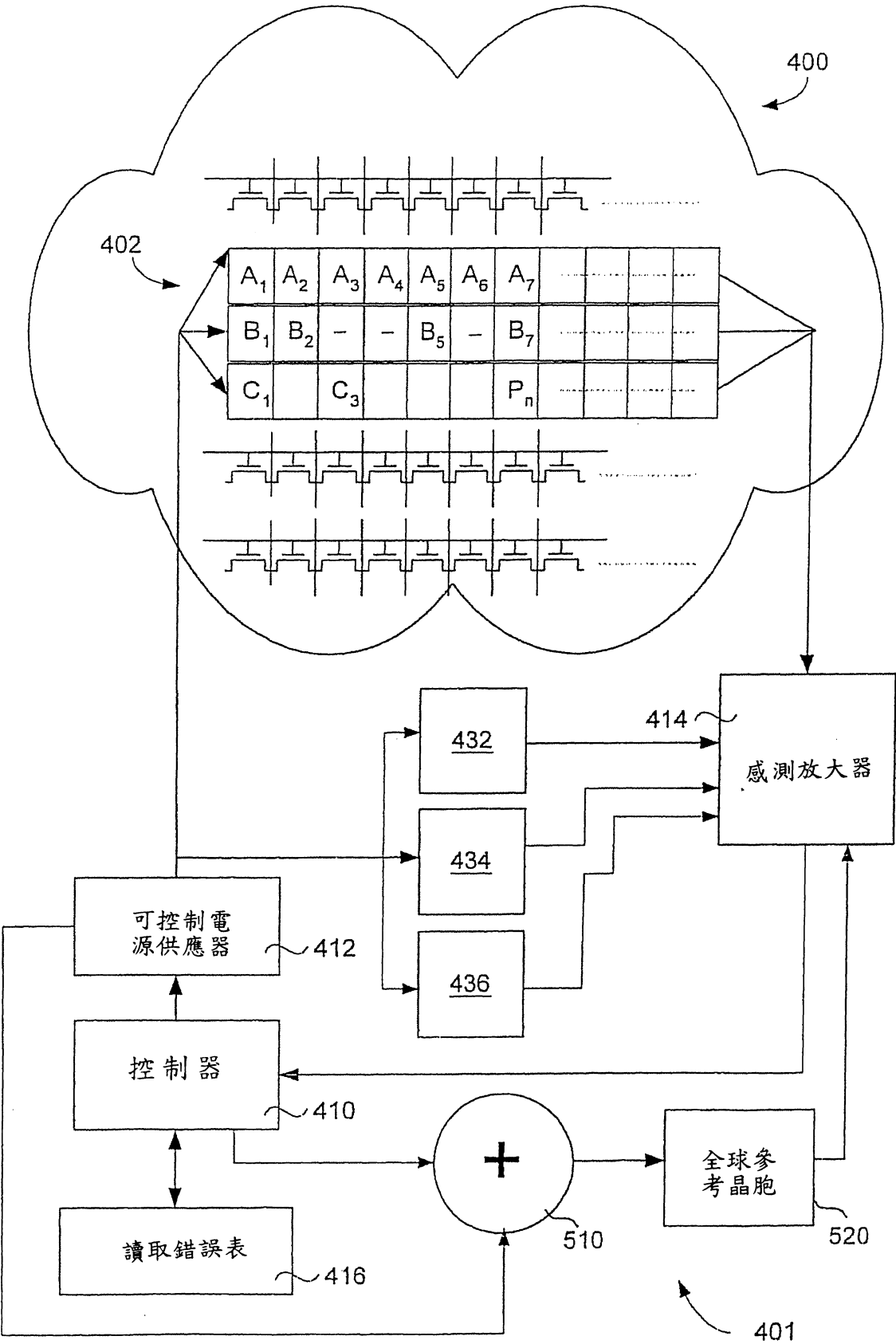
第 2 圖



第 3 圖



第 4 圖



第 5 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

310-390...步驟

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

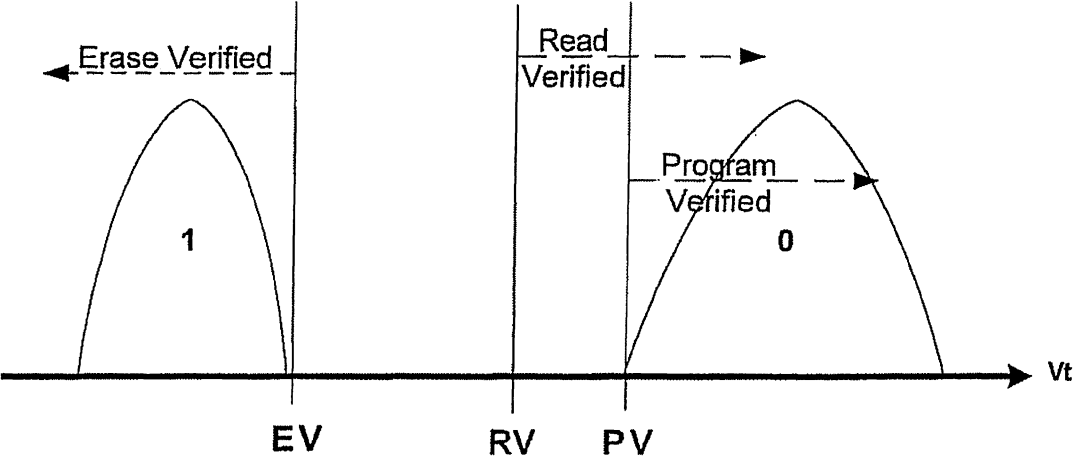


FIG 1A

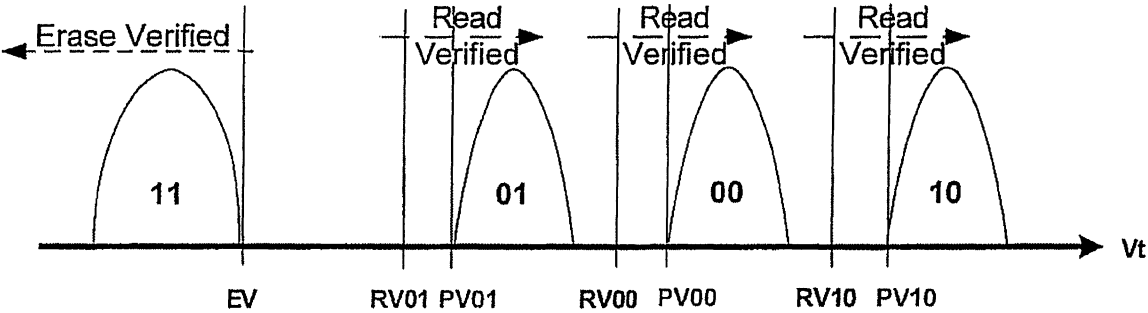


FIG 1B