



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0127184
(43) 공개일자 2022년09월19일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/3275 (2016.01)
H03M 1/66 (2006.01)
(52) CPC특허분류
G09G 3/3688 (2013.01)
G09G 3/3275 (2013.01)
(21) 출원번호 10-2022-0109252(분할)
(22) 출원일자 2022년08월30일
심사청구일자 2022년08월30일
(62) 원출원 특허 10-2015-0108610
원출원일자 2015년07월31일
심사청구일자 2020년06월16일

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
황문상
경기도 용인시 기흥구 삼성로 1
최원준
경기도 용인시 기흥구 삼성로 1
(뒷면에 계속)
(74) 대리인
문용호

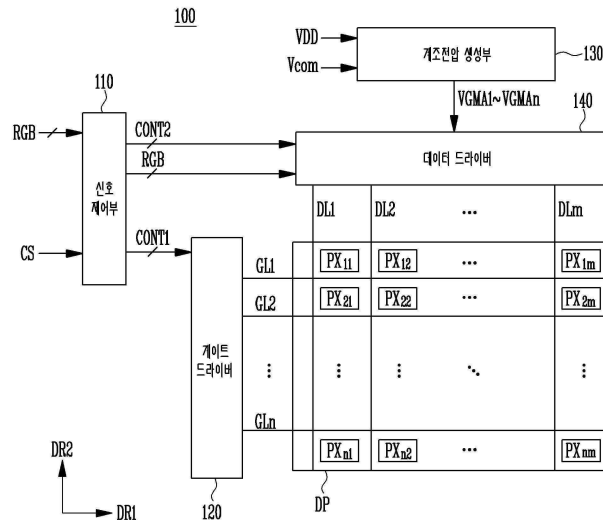
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 데이터 드라이버 및 이를 포함하는 표시 장치

(57) 요약

데이터 드라이버는 디지털-아날로그 컨버터 및 출력 버퍼부를 포함한다. 상기 디지털-아날로그 컨버터는 기준 게조 전압 및 영상 데이터를 수신하여, 영상 데이터에 대응하는 게조 전압들을 생성한다. 상기 출력 버퍼부는 상기 디지털-아날로그 컨버터의 출력단에 연결되어 상기 게조 전압들을 수신한다. 또한, 상기 출력 버퍼부는 디지털-아날로그 컨버터의 출력단에 연결되어 상기 게조 전압들 중 하나를 선택적으로 수신하는 복수의 버퍼 회로를 포함한다.

대표도 - 도1



(52) CPC특허분류

H03M 1/66 (2019.01)
G09G 2320/0673 (2013.01)
G09G 2330/021 (2013.01)

(72) 발명자

박준상

서울특별시 동작구 사당로2길 2-32, 102동 1203호
 (상도동, 상도현대아파트)

안태지

서울특별시 마포구 백범로10길 26, 105호(신수동)

이승훈

서울특별시 용산구 이촌로 324-10, 2동 210호(이촌동, 반도아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호	1345238705
과제번호	2013R1A1A2004829
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	한국연구재단 일반연구자지원사업
연구과제명	최소한의 커패시터를 사용하는 CR 하이브리드 DAC 기반의 12비트 10MS/s 0.11um
CMOS SAR ADC 연구	
기 여 율	1/2
과제수행기관명	서강대학교 산학협력단
연구기간	2013.06.01 ~ 2016.05.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711014140
과제번호	H0301-14-1007
부처명	미래창조과학부
과제관리(전문)기관명	정보통신산업진흥원 (NIPA)
연구사업명	정보통신기술인력양성
연구과제명	정보통신용 아날로그 IP 기술 개발
기 여 율	1/2
과제수행기관명	서강대학교 산학협력단
연구기간	2010.06.01 ~ 2015.12.31

명세서

청구범위

청구항 1

디지털-아날로그 컨버터; 및

상기 디지털-아날로그 컨버터의 출력단에 연결되는 복수의 버퍼 회로를 구비하며;

상기 복수의 버퍼 회로 각각은:

유닛 게인 버퍼;

상기 디지털-아날로그 컨버터의 출력단과 연결되는 스위치부; 및

상기 스위치부의 출력단과 상기 유닛 게인 버퍼의 입력단 사이에 연결되는 전압 안정화부를 구비하는, 데이터 드라이버.

청구항 2

제1 항에 있어서,

상기 디지털-아날로그 컨버터는 기준 계조 전압 및 영상 데이터를 수신하여, 상기 영상 데이터에 대응하는 계조 전압들을 생성하고,

상기 복수의 버퍼 회로는 상기 계조 전압들 중 하나를 선택적으로 수신하고,

상기 유닛 게인 버퍼는 상기 계조 전압을 데이터 라인으로 전달하는, 데이터 드라이버.

청구항 3

제1 항에 있어서,

상기 복수의 버퍼 회로는 상기 디지털-아날로그 컨버터로부터 출력된 신호와 동일한 신호를 동시에 수신하는, 데이터 드라이버.

청구항 4

복수의 데이터 라인 및 복수의 게이트 라인에 의해 정의되는 복수의 화소들을 포함하는 표시 패널;

상기 복수의 게이트 라인과 연결되는 게이트 드라이버;

상기 복수의 데이터 라인과 연결되는 데이터 드라이버; 및

상기 게이트 드라이버 및 상기 데이터 드라이버의 동작을 제어하는 신호 제어부를 포함하고,

상기 데이터 드라이버는:

디지털-아날로그 컨버터; 및

상기 디지털-아날로그 컨버터의 출력단에 연결되는 복수의 버퍼 회로를 포함하되;

상기 복수의 버퍼 회로 각각은:

유닛 게인 버퍼,

상기 디지털-아날로그 컨버터의 출력단과 연결되는 스위치부, 및

상기 스위치부의 출력단과 상기 유닛 게인 버퍼의 입력단 사이에 연결되는 전압 안정화부를 구비하는, 표시 장치.

청구항 5

제4 항에 있어서,

상기 디지털-아날로그 컨버터는 복수의 기준 계조 전압 및 영상 데이터를 수신하여, 상기 영상 데이터에 대응하는 계조 전압들을 생성하고,

상기 복수의 버퍼 회로는 상기 계조 전압들 중 하나를 선택적으로 수신하고,

상기 유닛 게인 버퍼는 상기 계조 전압을 데이터 라인으로 전달하는, 표시 장치.

청구항 6

디지털-아날로그 컨버터; 및

상기 디지털-아날로그 컨버터의 출력단에 연결되는 복수 개의 버퍼들을 포함하고, 상기 복수 개의 버퍼들 각각은:

유닛 게인 버퍼; 및

전압 안정화부를 포함하고, 상기 전압 안정화부는:

상기 유닛 게인 버퍼의 비반전 입력단 및 상기 디지털-아날로그 컨버터의 출력단 사이에 연결되는 소스 폴로워; 및

상기 소스 폴로워의 입력단과 상기 디지털-아날로그 컨버터의 출력단 사이에 연결되는 일단, 및 그라운드와 연결되는 타단을 포함하는 커패시터를 포함하고,

상기 소스 폴로워는 적어도 하나의 트랜지스터를 포함하는, 데이터 드라이버.

청구항 7

제6 항에 있어서,

상기 커패시터의 커패시턴스는 800fF 내지 1000 fF인, 데이터 드라이버.

청구항 8

제6 항에 있어서,

상기 디지털-아날로그 컨버터의 출력단과 상기 커패시터의 상기 일단의 사이에 연결되고, 상기 디지털-아날로그 컨버터로부터 출력되는 전압들 중 대응하는 계조 전압을 선택적으로 전달하는 스위치부를 더 포함하는, 데이터 드라이버.

청구항 9

제6 항에 있어서,

상기 유닛 게인 버퍼의 출력단에서 측정된 출력 전압은 상기 전압 안정화부로 입력되는 입력 전압 대비 0.05(mV) 이상 5.21(mV) 미만으로 오프셋되는, 데이터 드라이버.

청구항 10

복수의 데이터 라인 및 복수의 게이트 라인에 의해 정의되는 복수의 화소들을 포함하는 표시 패널;

상기 복수의 게이트 라인과 연결되는 게이트 드라이버;

상기 복수의 데이터 라인과 연결되는 데이터 드라이버; 및

상기 게이트 드라이버 및 상기 데이터 드라이버의 동작을 제어하는 신호 제어부를 포함하고,

상기 데이터 드라이버는:

디지털-아날로그 컨버터; 및

상기 디지털-아날로그 컨버터의 출력단에 연결되는 복수 개의 버퍼들을 포함하고, 상기 복수 개의 버퍼들 각각은:

유닛 게인 버퍼; 및

전압 안정화부를 포함하고, 상기 전압 안정화부는:

상기 유닛 게인 버퍼의 비반전 입력단 및 상기 디지털-아날로그 컨버터의 출력단 사이에 연결되는 소스 폴로워; 및

상기 소스 폴로워의 입력단과 상기 디지털-아날로그 컨버터의 출력단 사이에 연결되는 일단, 및 그라운드와 연결되는 타단을 포함하는 커패시터를 포함하고,

상기 소스 폴로워는 적어도 하나의 트랜지스터를 포함하는, 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 데이터 드라이버 및 이를 포함하는 표시 장치에 관한 것이다.

배경 기술

[0002] 일반적으로 LCD, OLED 등을 이용하는 표시 장치는 두께가 얇고 무게가 가벼우며 전력 소모가 낮은 장점이 있어, 모니터, 노트북, 휴대폰 등에 주로 사용된다. 이러한 표시 장치는 액정의 광투과율을 이용하여 영상을 표시하거나, 유기발광소자의 발광을 통해 영상을 표시하는 표시 패널 및 상기 표시 패널을 구동하는 구동 회로를 포함한다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예는 입력 전압을 안정화하여 출력 오프셋을 저감할 수 있는 데이터 드라이버 및 이를 포함하는 표시 장치를 제공한다.

과제의 해결 수단

[0004] 본 발명의 일 실시예에 따른 데이터 드라이버는 기준 계조 전압 및 영상 데이터를 수신하여, 상기 영상 데이터에 대응하는 계조 전압들을 생성하는 디지털-아날로그 컨버터; 및 상기 디지털-아날로그 컨버터의 출력단에 연결되어 상기 계조 전압들 중 하나를 선택적으로 수신하는 복수의 버퍼 회로를 구비하며; 상기 복수의 버퍼 회로 각각은 상기 계조 전압을 데이터 라인으로 전달하는 유닛 게인 버퍼와; 상기 디지털-아날로그 컨버터의 출력단과 상기 유닛 게인 버퍼의 입력단 사이에 연결되는 소스 폴로워(source follower)를 포함하는 전압 안정화부를 구비한다.

[0005] 일 실시예에서, 상기 디지털-아날로그 컨버터는 상기 계조 전압들을 시간에 따라 순차적으로 출력할 수 있다. 상기 복수의 버퍼 회로 각각은 시간에 따라 선택적으로 활성화되어, 상기 계조 전압들을 선택적으로 수신할 수 있다.

[0006] 일 실시예에서, 상기 복수의 버퍼 회로 각각은 스위치부를 포함할 수 있다. 상기 스위치부는 상기 디지털-아날로그 컨버터의 출력단에 연결되어, 상기 디지털-아날로그 컨버터로부터 출력되는 상기 계조 전압들 중 하나를 선택적으로 전달할 수 있다.

[0007] 일 실시예에서, 상기 스위치부의 출력단과 상기 소스 폴로워의 입력단은 전기적으로 직접 연결될 수 있다. 또한, 상기 전압 안정화부는 상기 스위치부의 출력단 및 접지 사이에 연결되는 커패시터를 포함할 수 있다.

[0008] 일 실시예에서, 상기 유닛 게인 버퍼는 폴디드 캐스코드 증폭기(folded cascode amplifier)로 구성될 수 있다.

[0009] 일 실시예에서, 상기 유닛 게인 버퍼는 클래스 AB 증폭기(class AB amplifier)일 수 있다.

[0010] 일 실시예에서, 상기 스위치부는 CMOS 트랜지스터를 포함할 수 있다.

[0011] 일 실시예에서, 상기 복수의 버퍼 회로에 포함된 스위치부들은 시간에 따라 순차적으로 턴온되어, 상기 디지털-아날로그 컨버터로부터 순차적으로 출력되는 상기 계조 전압들 중 하나를 순차적으로 수신할 수 있다.

[0012] 본 발명의 다른 실시예에 따른 표시 장치는 복수의 데이터 라인 및 복수의 게이트 라인에 의해 정의되는 복수의 화소들을 포함하는 표시 패널; 상기 복수의 게이트 라인과 연결되는 게이트 드라이버; 상기 복수의 데이터 라인과 연결되는 데이터 드라이버; 및 상기 게이트 드라이버 및 상기 데이터 드라이버의 동작을 제어하는 신호 제어부를 포함하는 표시 장치로서, 상기 데이터 드라이버는, 복수의 기준 게조 전압 및 영상 데이터를 수신하여, 상기 영상 데이터에 대응하는 게조 전압들을 생성하는 디지털-아날로그 컨버터; 및 상기 디지털-아날로그 컨버터의 출력단에 연결되어 상기 게조 전압들 중 하나를 선택적으로 수신하는 복수의 버퍼 회로를 포함하되; 상기 복수의 버퍼 회로 각각은 상기 게조 전압을 데이터 라인으로 전달하는 유닛 게인 버퍼와; 상기 디지털-아날로그 컨버터의 출력단과 상기 유닛 게인 버퍼의 입력단 사이에 연결되는 소스 폴로워(source follower)를 포함하는 전압 안정화부를 구비한다.

[0013] 일 실시예에서, 상기 복수의 버퍼 회로 각각은 스위치부를 더 포함할 수 있다. 상기 스위치부는 상기 디지털-아날로그 컨버터의 출력단에 연결되어, 상기 디지털-아날로그 컨버터로부터 출력되는 상기 게조 전압들 중 하나를 선택적으로 전달하도록 구성될 수 있다.

[0014] 일 실시예에서, 상기 스위치부의 출력단과 상기 소스 폴로워의 입력단은 전기적으로 직접 연결될 수 있다. 상기 전압 안정화부는 상기 스위치부의 출력단 및 접지 사이에 연결되는 커패시터를 더 포함할 수 있다.

[0015] 일 실시예에서, 상기 표시 장치는 상기 복수의 기준 게조 전압을 생성하여 상기 데이터 드라이버로 전달하는 게조전압 생성부를 더 포함할 수 있다.

발명의 효과

[0016] 본 발명의 실시예에 따른 데이터 드라이버 및 이를 포함하는 표시 장치에 의하면, 데이터 드라이버 내 출력 버퍼로 입력되는 입력 전압을 안정화하여 출력 오프셋을 저감할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 표시장치의 블록도이다.
 도 2는 도 1에 도시된 게조 전압 생성부의 회로도이다.
 도 3은 도 1에 도시된 데이터 드라이버의 블록도이다.
 도 4는 도 3에 도시된 DAC 및 출력 버퍼를 자세히 나타내는 블록도이다.
 도 5는 본 발명에 따른 출력 버퍼에 포함되는 복수의 버퍼 회로 중 하나의 버퍼 회로를 나타내는 블록도이다.
 도 6은 본 발명의 일 실시예에 따른 전압 안정화부(620)의 구성을 설명하기 위한 회로도이다.
 도 7은 본 발명의 다른 실시예에 따른 전압 안정화부(720)의 구성을 설명하기 위한 회로도이다.
 도 8은 본 발명의 또다른 실시예에 따른 전압 안정화부(820)의 구성을 설명하기 위한 회로도이다.
 도 9는 본 발명의 실시예에 따라 전압 안정화부에 소스 폴로워가 포함되는 경우의 효과를 설명하기 위한 그래프이다.
 도 10은 본 발명의 일 실시예에 따라, 소스 폴로워를 유닛 게인 버퍼의 입력단에 연결한 구성을 나타내는 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예들을 상세히 설명한다. 이 때, 첨부된 도면에서 동일한 구성 요소는 가능한 동일한 부호로 나타내고 있음에 유의해야 한다. 하기의 설명에서는 본 발명에 따른 동작을 이해하는데 필요한 부분만이 설명되며 그 이외 부분의 설명은 본 발명의 요지를 모호하지 않도록 하기 위해 생략될 것이라는 것을 유의하여야 한다. 또한 본 발명은 여기에서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 여기에서 설명되는 실시 예는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.

[0020] 도 1은 본 발명의 일 실시예에 따른 표시장치의 블록도이다.

- [0021] 도 1에 도시된 것과 같이, 표시장치(100)는 표시패널(DP), 신호제어부(110), 게이트 드라이버(120), 계조 전압 생성부(130), 및 데이터 드라이버(140)를 포함한다.
- [0022] 상기 표시패널(DP)은 특별히 한정되는 것은 아니며, 예를 들어, 액정 표시패널(liquid crystal display panel), 전기영동 표시패널(electrophoretic display panel), 및 일렉트로웨팅 표시패널(electrowetting display panel) 등과 같은 투과형 표시패널 또는 반투과형 표시패널일 수 있다.
- [0023] 도시되지 않았으나, 상기 액정 표시패널을 포함하는 액정 표시장치는 상기 액정 표시패널에 광을 제공하는 백라이트 유닛(미도시) 및 한 쌍의 편광판들(미도시)을 더 포함한다. 또한, 상기 액정 표시패널은 VA(Vertical Alignment)모드, PVA(Patterned Vertical Alignment) 모드, IPS(in-plane switching) 모드 또는 FFS(fringe field switching) 모드, 및 PLS(Plane to Line Switching) 모드 등 중 어느 하나의 패널일 수 있고, 특정한 모드의 패널로 제한되지 않는다.
- [0024] 상기 표시패널(DP)은 복수 개의 게이트 라인들(GL1~GLn) 및 복수 개의 데이터 라인들(DL1~DLm), 및 복수 개의 화소들(PX₁₁~PX_{nm})을 포함한다. 상기 복수 개의 게이트 라인들(GL1~GLn)은 제1 방향(DR1)으로 연장되며 제2 방향(DR2)으로 배열된다. 상기 복수 개의 데이터 라인들(DL1~DLm)은 상기 복수 개의 게이트 라인들(GL1~GLn)과 절연되게 교차한다. 상기 복수 개의 게이트 라인들(GL1~GLn)은 상기 게이트 드라이버(120)에 연결되고, 상기 복수 개의 데이터 라인들(DL1~DLm)은 상기 데이터 드라이버(140)에 연결된다.
- [0025] 상기 복수 개의 화소들(PX₁₁~PX_{nm})은 매트릭스 형태로 배열될 수 있다. 상기 복수 개의 화소들(PX₁₁~PX_{nm}) 각각은 상기 복수 개의 게이트 라인들(GL1~GLn) 및 상기 복수 개의 데이터 라인들(DL1~DLm) 중 대응하는 게이트 라인 및 대응하는 데이터 라인에 연결된다. 그밖에 상기 복수 개의 화소들(PX₁₁~PX_{nm})은 펜타일(PENTILETM) 형태로 배열될 수도 있다.
- [0026] 도시되지는 않았으나, 상기 화소(PX_{ij})는 박막 트랜지스터, 액정 커패시터 및 스토리지 커패시터 등을 포함하여 구현될 수 있다. 상기 박막 트랜지스터는 i번째 게이트 라인(GLi)과 j번째 데이터 라인(DLj)에 전기적으로 연결될 수 있다. 상기 박막 트랜지스터는 상기 i번째 게이트 라인(GLi)으로부터 수신한 게이트 신호에 응답하여 상기 j번째 데이터 라인(DLj)으로부터 수신한 데이터 전압에 대응하는 화소 전압을 출력할 수 있다. 또한, 상기 액정 커패시터는 상기 대응하는 화소 전압과 공통 전압의 차이에 대응하는 전하량을 충전할 수 있다. 상기 액정 커패시터에 충전된 전하량에 따라 액정 방향자(미도시)의 배열이 변화되어, 상기 액정 방향자의 배열에 따라 상기 액정층으로 입사된 광이 투과되거나 차단될 수 있다. 이러한 방식으로, 상기 화소(PX_{ij})는 상기 화소 전압의 레벨에 대응하는 계조를 표시할 수 있다.
- [0027] 신호제어부(110), 게이트 드라이버(120), 계조 전압 생성부(130) 및 데이터 드라이버(140)는 영상이 생성되도록 상기 표시패널(DP)을 제어한다.
- [0028] 신호제어부(110)는 입력 영상신호들(RGB)을 수신하여 데이터 드라이버(140)로 전달할 수 있다. 실시예에 따라, 신호제어부(110)는 수신된 입력 영상신호들(RGB)을 변환하여 데이터 드라이버(140)로 전달할 수도 있다. 또한, 신호제어부(110)는 각종 제어신호들(CS), 예를 들면 수직동기신호(Vsync), 수평동기신호(Hsync), 메인 클럭신호, 및 데이터 인에이블신호 등을 입력받고, 제 1 및 제 2 제어신호들(CONT1, CONT2)를 출력할 수 있다. 제 1 제어신호(CONT1)는 게이트 드라이버(120)로 전달되고 제 2 제어신호(CONT2)는 데이터 드라이버(140)로 전달될 수 있다. 상기 제 1 및 제 2 제어신호들(CONT1, CONT2)에 의해 게이트 드라이버(120) 및 데이터 드라이버(140)의 동작이 제어될 수 있다.
- [0029] 게이트 드라이버(120)는 제 1 제어신호(CONT1)에 응답하여 상기 복수 개의 게이트 라인들(GL1~GLn)에 게이트 신호들을 출력할 수 있다. 상기 게이트 신호들은 활성화 구간이 서로 다른 펄스신호들일 수 있다. 상기 복수 개의 화소들(PX₁₁~PX_{nm})은 화소행 단위로 턴-온될 수 있다. 데이터 드라이버(140)는 계조 전압 생성부(130)로부터 각 계조에 해당하는 기준 계조 전압(VGMA1~VGMA_n)을 입력받아, 해당 데이터에 상응하는 데이터 전압들을, 화소행 단위로, 해당 게이트 라인에 연결된 화소들에게 제공할 수 있다.
- [0030] 제 1 제어신호(CONT1)는 상기 게이트 드라이버(120)의 동작을 개시하는 수직개시신호, 게이트 전압의 출력시기를 결정하는 게이트 클럭신호 및 상기 게이트 전압의 온 펄스폭을 결정하는 출력 인에이블 신호 등을 포함할 수 있다.

- [0031] 계조 전압 생성부(130)는 제 1 구동 전압(VDD) 및 공통 전압(Vcom)을 이용하여 복수 개의 화소들(PX₁₁~PX_{nm})의 광 투과율과 관련된 기준 계조 전압들(VGMA1~VGMA_n)을 생성할 수 있다. 제 1 구동 전압(VDD)의 레벨은 표시 패널마다 변경될 수 있다.
- [0032] 데이터 드라이버(140)는 제 2 제어신호(CONT2) 및 상기 영상 데이터들(RGB)을 수신한다. 데이터 드라이버(140)는 계조전압 생성부(130)로부터 전달받은 기준 계조전압들(VGMA1~VGMA_n)에 기초하여 영상 데이터들(RGB)을 데이터 전압들로 변환하여 복수 개의 데이터 라인들(DL1~DL_m)에 제공할 수 있다.
- [0033] 제 2 제어신호(CONT2)는 데이터 드라이버(140)의 동작을 개시하는 수평개시신호(STH), 상기 데이터 전압들(VRGB)의 극성을 제어하는 극성제어신호(POL), 및 상기 데이터 드라이버(400)로부터 상기 데이터 전압들(VRGB)이 출력되는 시기를 결정하는 출력개시신호(TP) 등을 포함할 수 있다.
- [0035] 도 2는 도 1에 도시된 계조 전압 생성부의 회로도이다. 도 2에 도시된 것과 같이, 계조 전압 생성부(200)는 상기 제 1 구동 전압(VDD)과 상기 공통 전압(Vcom) 사이에 직렬로 연결되어 있는 복수 개의 저항들(RS1~RS_n, RS₀)을 포함하여, n개의 기준 계조 전압(VGMA1, VGMA2, ..., VGMA_n)을 생성할 수 있다. 상기 기준 계조 전압(VGMA1, VGMA2, ..., VGMA_n)은 전압 분배 원리에 따라 상기 제 1 구동 전압(VDD)과 공통 전압(Vcom) 사이에서 서로 다른 레벨을 갖도록 생성될 수 있다.
- [0037] 도 3은 도 1에 도시된 데이터 드라이버의 블록도이다.
- [0038] 도 3에 도시된 것과 같이, 상기 데이터 드라이버(300)는 쉬프트 레지스터(310), 래치(320), 디지털-아날로그 컨버터(330: Digital Analog Converter; 이하, DAC), 및 출력 버퍼(340)를 포함할 수 있다.
- [0039] 쉬프트 레지스터(310)는 종속적으로 연결된 복수 개의 스테이지들(미도시)을 포함할 수 있다. 상기 복수 개의 스테이지들은 데이터 클럭신호(CLK)를 수신할 수 있다. 상기 복수 개의 스테이지들 중 첫 번째 스테이지에 수평개시신호(STH)가 인가될 수 있다. 상기 수평개시신호(STH)에 의해서 첫 번째 스테이지의 동작이 개시되면, 상기 복수 개의 스테이지들은 상기 데이터 클럭신호(CLK)에 응답하여 순차적으로 제어신호를 출력할 수 있다.
- [0040] 래치(320)는 복수 개의 래치회로들을 포함할 수 있다. 상기 복수 개의 래치회로들은 상기 복수 개의 스테이지들로부터 순차적으로 제어신호들을 수신할 수 있다. 래치(320)는 상기 영상 데이터들(RGB)을 화소행 단위로 저장할 수 있다. 상기 복수 개의 래치회로들은 상기 제어신호들 각각에 응답하여 상기 영상 데이터들(RGB) 중 대응하는 영상 데이터를 각각 저장할 수 있다. 래치(320)는 상기 저장된 상기 화소행 분량의 영상 데이터들(RGB)을 DAC(330)에 제공할 수 있다.
- [0041] DAC(330)는 계조전압 생성부(130)로부터 생성된 기준 계조 전압들(VGMA1 ~VGMA_n)을 수신한다. 도 3에는 도시되지 않았으나 상기 DAC(330)는 상기 복수 개의 래치회로에 대응하는 복수 개의 디지털-아날로그 컨버터회로를 포함할 수 있다. DAC(330)는 래치(320)로부터 공급된 상기 화소행 분량의 영상 데이터들을 계조 전압들로 변환할 수 있다.
- [0042] 출력 버퍼(340)는 DAC(330)로부터 상기 계조 전압들을 수신한다. 출력 버퍼(340)는 상기 계조 전압들을 버퍼링하여 상기 데이터 라인들(DL1~DL_m)에 제공할 수 있다. 상기 버퍼링된 상기 계조 전압들은 래치(320)로부터 전달된 각각의 계조 데이터에 대응하는 기준 계조 전압들(VGMA1 ~VGMA_n)일 수 있다. 다른 실시예에서, 버퍼링된 계조 전압들은 래치(320)로부터 전달된 각각의 계조 데이터에 대응하는 기준 계조 전압들(VGMA1 ~VGMA_n)을 증폭한 전압들일 수 있다. 출력 버퍼(340)는 출력개시신호(TP)에 응답하여 화소행 분량의 데이터 전압들을 상기 복수 개의 상기 데이터 라인들(DL1~DL_m)에 출력할 수 있다. 출력 버퍼(340)는 예컨대, 상기 데이터 라인들(DL1~DL_m)의 개수와 동일한 복수 개의 버퍼회로들을 포함할 수 있다.
- [0044] 도 4는 도 3에 도시된 DAC 및 출력 버퍼를 자세히 나타내는 블록도이다.
- [0045] 도 4를 참조하면, 도 3에 도시된 구성 요소 중 쉬프트 레지스터(310) 및 래치(320)는 생략되었다. 도 4에 도시된 실시예에 따르면, 출력 버퍼(420)는 n개의 버퍼 회로들(421, 422, ..., 429)을 포함할 수 있다. 또한, n개의 버퍼 회로들(421, 422, ..., 429)은 각각 대응하는 스위치들(421a, 422a, ..., 429a) 및 대응하는 유닛 게인 버

퍼들(421b, 422b, ..., 429b)을 포함할 수 있다. 실시예에 따라, 상기 스위치들(421a, 422a, ..., 429a)은 CMOS 트랜지스터로 구현될 수 있다. 또한, 실시예에 따라, n개의 버퍼 회로들(421, 422, ..., 429)은 유닛 게인 버퍼 대신에 특정 이득값을 갖는 버퍼들을 포함할 수도 있다. 또한, 상기 유닛 게인 버퍼들(421b, 422b, ..., 429b)은 클래스 AB 증폭기(class AB amplifier)로 구현될 수도 있다.

[0046] 통상적인 데이터 드라이버는, 하나의 DAC(410) 출력을 출력 버퍼(420) 내에 포함된 n개의 버퍼 회로들(421, 422, ..., 429)이 공유하는 구조로 구현된다. 즉, DAC(410)는 출력 버퍼(420) 내에 포함된 n개의 버퍼 회로들(421, 422, ..., 429)에 대응하는 계조 전압을 시간에 따라 순차적으로 출력할 수 있다.

[0047] DAC(410)가 제 1 버퍼 회로(421)에 대응하는 계조 전압을 출력하는 동안, 제 1 선택 신호들(SEL1, SELB1)에 기초하여 제 1 버퍼 회로(421) 내에 포함된 제 1 스위치(421a)가 활성화된다. 이 경우, 제 2 내지 제 n 버퍼 회로(422, ..., 429)에 포함된 스위치들(422a, ..., 429a)은 활성화되지 않으며, 따라서 DAC(410)로부터 출력되는 계조 전압은 제 1 버퍼 회로(421) 내에 포함된 제 1 유닛 게인 버퍼(421b)로 전달된다. 이후에, DAC(410)가 제 2 버퍼 회로(422)에 대응하는 계조 전압을 출력하는 동안, 제 2 선택 신호들(SEL2, SELB2)에 기초하여 제 2 버퍼 회로(422) 내에 포함된 제 2 스위치(422a)가 활성화된다. 이 경우, 제 1 버퍼회로, 제 3 내지 제 n 버퍼 회로(421, 423, ..., 429)에 포함된 스위치들(421a, 423a, ..., 429a)은 활성화되지 않으며, 따라서 DAC(410)로부터 출력되는 계조 전압은 제 2 버퍼 회로(422) 내에 포함된 제 2 유닛 게인 버퍼(422b)로 전달된다. 이러한 방식으로, 제 1 버퍼 회로(421) 내지 제 n 버퍼 회로(429)에 대응하는 계조 전압이 순차적으로 DAC(410)에서 출력되어 제 1 내지 제 n 유닛 게인 버퍼(421b, 422b, ..., 429b)로 전달될 수 있다.

[0048] 상술한 바와 같은 통상적인 데이터 드라이버의 출력 버퍼(420) 내 각 버퍼 회로들(421, 422, ..., 429)의 스위치들(421a, 422a, ..., 429a)의 온/오프 동작시 유닛 게인 버퍼들(421b, 422b, ..., 429b)의 입력단으로 채널 전하가 유입되어, 유닛 게인 버퍼들(421b, 422b, ..., 429b)의 선형성이 저하될 수 있다.

[0049] 또한, 유닛 게인 버퍼들(421b, 422b, ..., 429b)의 입력단에 비해 출력단 부하가 크므로, 입력단의 정착 시간(settling time)과 출력단의 정착 시간 사이에 부정합이 발생하게 된다. 이 경우, 유닛 게인 버퍼들(421b, 422b, ..., 429b)의 출력 전압 변화가 유닛 게인 버퍼들(421b, 422b, ..., 429b) 내 기생 커패시턴스를 통해 입력 전압의 변화를 유도하여 출력 오프셋이 발생하게 된다.

[0050] 본 발명의 실시예에 따른 출력 버퍼는, 각 버퍼 회로들 내에 포함된 스위치와 유닛 게인 버퍼 사이에 전압 안정화부를 두어, 상술한 유닛 게인 버퍼의 선형성이 저하되는 것을 방지하고, 출력 오프셋이 발생하는 것을 방지할 수 있다.

[0052] 도 5는 본 발명에 따른 출력 버퍼에 포함되는 복수의 버퍼 회로 중 하나의 버퍼 회로를 나타내는 블록도이다.

[0053] 도 5를 참조하면, 본 발명에 따른 출력 버퍼에 포함되는 버퍼 회로(500)는 스위치(510), 전압 안정화부(520) 및 유닛 게인 버퍼(530)를 포함한다. 상기 스위치(510)는 DAC의 출력단에 연결된다. 또한 스위치(510)는 DAC로부터 순차적으로 출력되는 계조 전압들 중 해당 버퍼 회로(500)에 대응하는 계조 전압이 출력될 때 턴온되어 DAC로부터 출력되는 계조 전압을 유닛 게인 버퍼(530)로 전달한다. 이를 위하여, 해당 버퍼 회로(500)에 대응하는 계조 전압이 출력되는 동안, 스위치(510)로 입력되는 선택 신호들(SEL, SELB)이 활성화된다.

[0054] 전압 안정화부(520)는 스위치(510)의 출력단(AINP)과 연결된다. 일 실시예에서, 전압 안정화부(520)는 트랜지스터로 구성된 스위치(510)의 온오프 동작시 발생하는 채널 전하 유입에 따라 유닛 게인 버퍼(530)의 입력 전압이 영향을 받는 효과를 저감시키는 역할을 한다. 또한, 다른 실시예에서, 전압 안정화부(520)는 스위치(510)의 출력단(AINP)과 유닛 게인 버퍼(530)의 출력단(AOUT) 사이의 기생 커패시턴스에 의해 받는 영향을 최소화하도록 한다. 전압 안정화부(520)의 구체적인 구성에 대하여는 도 6 내지 도 8을 참조하여 후술하기로 한다.

[0056] 도 6은 본 발명의 일 실시예에 따른 전압 안정화부(620)의 구성을 설명하기 위한 회로도이다. 도 6을 참조하면, 본 발명의 일 실시예에 따른 전압 안정화부(620)는 스위치(610)와 유닛 게인 버퍼(630) 사이에 연결되는 커패시터(621)를 포함한다. 보다 구체적으로, 본 발명의 일 실시예에 따른 전압 안정화부(620)에 포함되는 커패시터(621)의 일단은 스위치(610)의 출력단(AINP) 및 유닛 게인 버퍼(630)의 입력단 사이에 연결되고, 타단은 접지(ground)될 수 있다. 상술한 바와 같이 전압 안정화부(620)를 커패시터(621)로 구현하는 경우, 스위치(610)의 온오프 동작에 따라 채널 전하가 유입되더라도 유닛 게인 버퍼(630)로 입력되는 입력 전압의 변화가 최소화 될

수 있다.

[0057] 다음 [표 1]은 섭씨 25℃에서 본 발명에 따라 구성된 커패시터(621)의 커패시턴스 값 변화에 따른 에러율의 시물레이션 결과이다. 커패시턴스 값(Cs)은 100펨토파럿(fF)에서 1000펨토파럿까지 100펨토파럿 단위로 증가하였다. 비트 에러율은 10비트 중에 평균적으로 몇 비트 오류가 발생하는지를 나타낸다. " $V_L \rightarrow V_H$ "행은 로우 전압에서 하이전압으로 천이시의 오류를 나타내고, " $V_H \rightarrow V_L$ "행은 하이 전압에서 로우 전압으로 천이시의 오류를 나타낸다. 또한 V_{CM} 은 전압 천이 없는 공통 전압 유지시의 오류를 나타낸다.

표 1

Cs	100fF	200fF	300fF	400fF	500fF	600fF	700fF	800fF	900fF	1000fF
$V_L \rightarrow V_H$	2.518	1.509	1.081	0.842	0.690	0.580	0.504	0.448	0.398	0.353
$V_H \rightarrow V_L$	3.133	1.756	1.217	0.929	0.751	0.630	0.542	0.478	0.425	0.383
V_{CM}	0.360	0.197	0.137	0.099	0.080	0.068	0.057	0.049	0.046	0.042

[0059] 다음 [표 2]은 섭씨 100℃에서 본 발명에 따라 구성된 커패시터(621)의 커패시턴스 값 변화에 따른 에러율의 시물레이션 결과이다.

표 2

Cs	100fF	200fF	300fF	400fF	500fF	600fF	700fF	800fF	900fF	1000fF
$V_L \rightarrow V_H$	2.662	1.608	1.153	0.899	0.736	0.626	0.542	0.482	0.432	0.391
$V_H \rightarrow V_L$	3.152	1.783	1.240	0.952	0.770	0.649	0.558	0.493	0.440	0.398
V_{CM}	0.315	0.167	0.114	0.106	0.072	0.057	0.049	0.042	0.038	0.030

[0061] 다음 [표 3]은 섭씨 -25℃에서 본 발명에 따라 구성된 커패시터(621)의 커패시턴스 값 변화에 따른 에러율의 시물레이션 결과이다.

표 3

Cs	100fF	200fF	300fF	400fF	500fF	600fF	700fF	800fF	900fF	1000fF
$V_L \rightarrow V_H$	2.063	1.267	0.929	0.728	0.559	0.508	0.444	0.391	0.353	0.319
$V_H \rightarrow V_L$	2.985	1.688	1.172	0.895	0.611	0.607	0.523	0.459	0.410	0.368
V_{CM}	0.432	0.228	0.152	0.118	0.091	0.076	0.064	0.057	0.053	0.046

[0063] 스위치(610)의 출력단 및 유닛 게인 버퍼(630)의 입력단 사이에 커패시터를 연결하지 않는 경우의 오차율은 평균 2 내지 3 비트였다. 따라서 대략적으로 900fF의 커패시터를 연결하는 경우 에러율이 0.5비트 이하로 유지되며, 커패시터를 연결하지 않았을 때와 비교하여 보았을 때 전하 유입에 따른 영향이 대폭 감소함을 알 수 있다. 따라서, 본 발명의 일 실시예와 같이 버퍼 회로(600) 내 스위치(610)와 유닛 게인 버퍼(630) 사이에 커패시터(621)를 연결하는 경우, 스위치(610)의 온오프 동작에 따라 채널 전하가 유입되더라도 유닛 게인 버퍼(630)로 입력되는 입력 전압의 변화가 최소화 될 수 있다.

[0064] 도 7은 본 발명의 다른 실시예에 따른 전압 안정화부(720)의 구성을 설명하기 위한 회로도이다. 도 7을 참조하면, 본 발명의 다른 실시예에 따른 전압 안정화부(720)는 스위치(710)와 유닛 게인 버퍼(730) 사이에 연결되는 소스 폴로워(source follower; 722)로 구성된다. 보다 구체적으로, 본 발명의 다른 실시예에 따른 전압 안정화부(720)에 포함되는 소스 폴로워(722)는 스위치(710)의 출력단(AINP) 및 유닛 게인 버퍼(730)의 입력단 사이에 연결된다. 따라서, 소스 폴로워(722)에 의해, 스위치(710)의 출력단(AINP)과 유닛 게인 버퍼(730)의 출력단(AOUT)이 기생 커패시턴스에 의해 연결되지 않게 된다. 통상적인 버퍼 회로(예: 도 4에 도시된 버퍼 회로; 421, 422, ..., 429)의 경우 스위치의 출력단과 유닛 게인 버퍼의 비반전 입력단이 직접 연결되어, 스위치의 출력단

(Ainp)이 유닛 게인 버퍼 내 기생 커패시턴스에 의해 출력단(Aout)으로부터 영향을 받게 된다. 그러나, 본 발명의 다른 실시예에 따른 버퍼 회로(700)의 경우, 도 7에 도시된 바와 같이 소스 폴로워(722)가 스위치(710)의 출력단(Ainp)과 유닛 게인 버퍼(730)의 입력단 사이에 연결된다. 따라서, 스위치(710)의 출력단(Ainp)은 유닛 게인 버퍼(730) 내 기생 커패시턴스에 의한 영향을 받지 않으며, 따라서 스위치(710)의 출력단(Ainp)은 유닛 게인 버퍼(730)의 출력단(Aout)에 영향을 받지 않는다.

[0065] 이와 같이, 도 7에 도시된 실시예에 따라 소스 폴로워(722)로 전압 안정화부(720)를 구성하는 경우, 유닛 게인 버퍼(730)의 출력단(Aout)의 전압 변화가 스위치(710)의 출력단(Ainp)에 영향을 주지 않으므로, 유닛 게인 버퍼(730)의 입력 전압의 변화가 저감되어 출력 오프셋이 줄어들게 된다.

[0067] 도 8은 본 발명의 또다른 실시예에 따른 전압 안정화부(820)의 구성을 설명하기 위한 회로도이다. 도 8을 참조하면, 본 발명의 또다른 실시예에 따른 전압 안정화부(820)는 스위치(810)의 출력단(Ainp)과 접지 사이에 연결되는 커패시터(821) 및 스위치(810)의 출력단(Ainp)과 유닛 게인 버퍼(830)의 입력단 사이에 연결되는 소스 폴로워(822)를 포함한다.

[0068] 도 6을 참조하여 기술한 바와 유사하게, 전압 안정화부(820)가 커패시터(821)를 포함하는 경우, 스위치(810)의 온오프 동작에 따라 채널 전하가 유입되더라도 유닛 게인 버퍼(830)로 입력되는 입력 전압의 변화가 최소화 될 수 있다. 또한, 전압 안정화부(820)에 포함되는 소스 폴로워(822)에 의해, 스위치(810)의 출력단(Ainp)과 유닛 게인 버퍼(830)의 출력단(Aout)이 기생 커패시턴스에 의해 연결되지 않게 된다. 통상적인 버퍼 회로(예: 도 4에 도시된 버퍼 회로; 421, 422, ..., 429)의 경우 스위치의 출력단과 유닛 게인 버퍼의 비반전 입력단이 직접 연결되어, 스위치의 출력단(Ainp)이 유닛 게인 버퍼 내 기생 커패시턴스에 의해 출력단(Aout)으로부터 영향을 받게 된다. 그러나, 본 발명의 다른 실시예에 따른 버퍼 회로(800)의 경우, 도 8에 도시된 바와 같이 소스 폴로워(822)가 스위치(810)의 출력단(Ainp)과 유닛 게인 버퍼(830)의 입력단 사이에 연결된다. 따라서, 스위치(810)의 출력단(Ainp)은 유닛 게인 버퍼(830) 내 기생 커패시턴스에 의한 영향을 받지 않으며, 따라서 스위치(810)의 출력단(Ainp)은 유닛 게인 버퍼(830)의 출력단(Aout)에 영향을 받지 않는다.

[0070] 도 9는 본 발명의 실시예에 따라 전압 안정화부에 소스 폴로워가 포함되는 경우의 효과를 설명하기 위한 그래프이다. 도 7 또는 도 8과 같이 전압 안정화부(720, 820)가 소스 폴로워(722, 822)를 포함하는 경우, 유닛 게인 버퍼(730, 830)의 출력단(Aout)이 스위치(710, 810)의 출력단(Ainp)에 영향을 덜 미치게 된다.

[0071] 도 9를 참조하면, 스위치(810)로의 입력 전압(Vin), 스위치의 출력단과 유닛 게인 버퍼 사이에 소스 폴로워가 연결된 경우의 출력 전압 오프셋값(VAINP1), 및 소스 폴로워가 연결되지 않은 경우의 출력 전압 오프셋값(VAINP2)이 도시되어 있다. 도 9에서, 입력 전압(Vin)이 1.650(mV)일 때, 본 발명의 일 실시예와 같이 스위치의 출력단과 유닛 게인 버퍼 사이에 소스 폴로워를 연결한 경우 출력전압 오프셋값(VAINP1)이 0.05(mV)인데 비해, 소스 폴로워를 연결하지 않은 경우 출력전압 오프셋값(VAINP2)은 5.21(mV)임을 알 수 있다. 따라서, 본 발명의 실시예에 따라 전압 안정화부가 소스 폴로워를 포함하도록 구성하는 경우, 출력전압 오프셋값을 5.21(mV)에서 0.05(mV)로 대폭 줄일 수 있다.

[0073] 도 10은 본 발명의 일 실시예에 따라, 소스 폴로워를 유닛 게인 버퍼의 입력단에 연결한 구성을 나타내는 회로도이다. 즉, 도 7의 소스 폴로워(720)와 유닛 게인 버퍼(730)는 도 10에 도시된 회로도나 같이 구성될 수 있다. 도 10의 실시예에서, 소스 폴로워에 포함되는 구성은 타원형의 점선으로 표시되었다.

[0074] 도 10을 참조하면, 유닛 게인 버퍼와 소스 폴로워를 포함하는 회로(1000)는 복수의 NMOS 트랜지스터, 복수의 PMOS 트랜지스터 및 복수의 커패시터로 구성된다. 그 중에서도, 유닛 게인 버퍼는 폴디드 캐스코드 증폭기(folded cascade amplifier)로 구현되며, 제 1 내지 제 10 PMOS 트랜지스터(PM1~PM10), 제 1 내지 제 10 NMOS 트랜지스터(NM1~NM10) 및 두 개의 커패시터(Cc)를 포함한다. 또한 유닛 게인 버퍼는 제 1 바이어스전압 내지 제 6 바이어스 전압(VB1P, VB2P, VB3, VB4, VB5P, VB6)과 연결되고, 또한 제 1 전원전압(VDDA) 및 제 2 전원 전압(VSSA)과 연결된다.

[0075] 소스 폴로워는 네 개의 PMOS 트랜지스터(SPM1 ~ SPM4) 및 네 개의 NMOS 트랜지스터(SNM1~SNM4)를 포함한다. 또한 소스 폴로워는 제 1 바이어스 전압(VB1P), 제 4 바이어스 전압(VB4), 제 1 전원 전압(VDDA) 및 제 2 전원 전

압(VSSA)과 연결된다.

[0076] 도 10에 도시된 회로도는 예시적인 것으로서, 소스 폴로워를 유닛 게인 버퍼의 비반전 입력단에 연결하도록 구성된 다양한 회로가 사용될 수 있다.

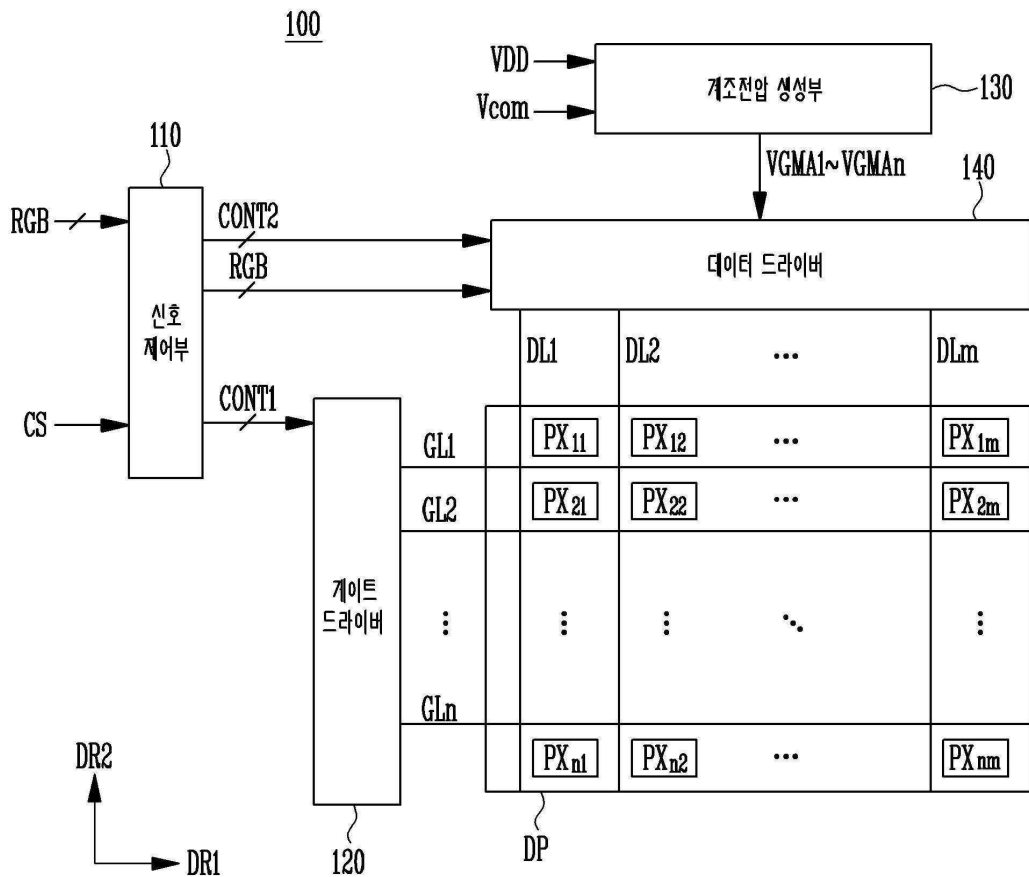
[0078] 본 명세서와 도면에 개시된 본 발명의 실시예들은 본 발명의 기술 내용을 쉽게 설명하고 본 발명의 이해를 돕기 위해 특정 예를 제시한 것일 뿐이며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예들 이외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다.

부호의 설명

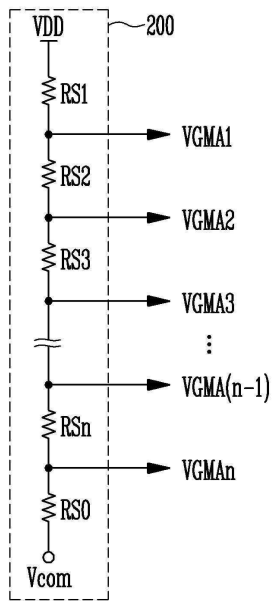
[0080] 100: 표시 장치 110: 신호 제어부
120: 게이트 드라이버 140: 데이터 드라이버

도면

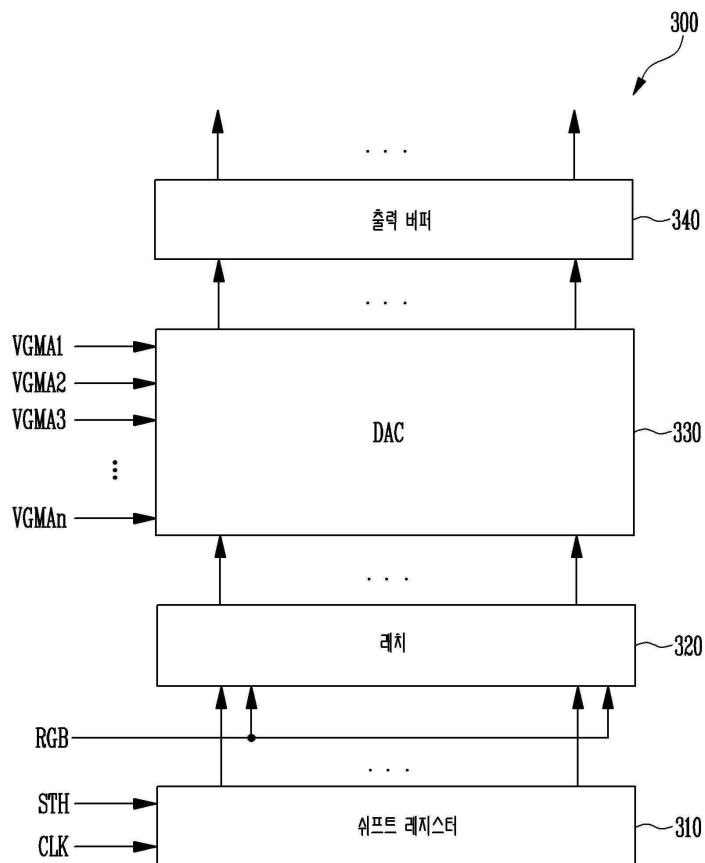
도면1



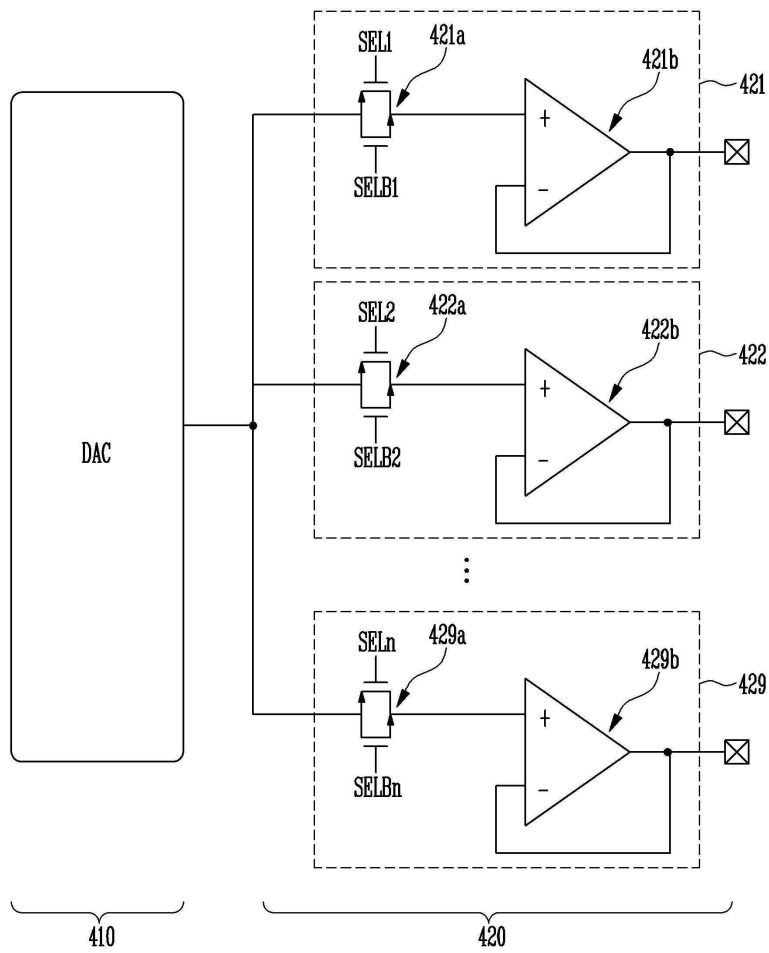
도면2



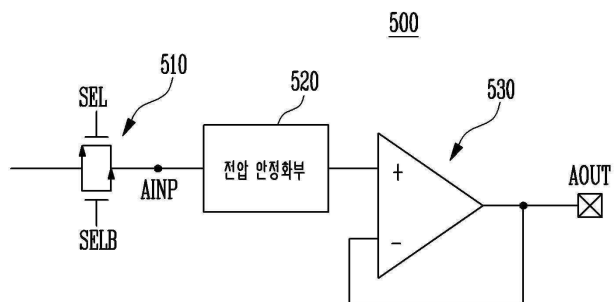
도면3



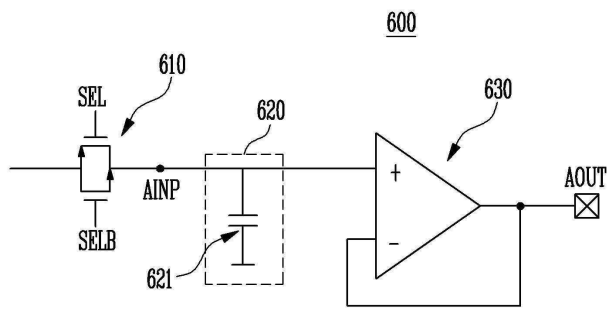
도면4



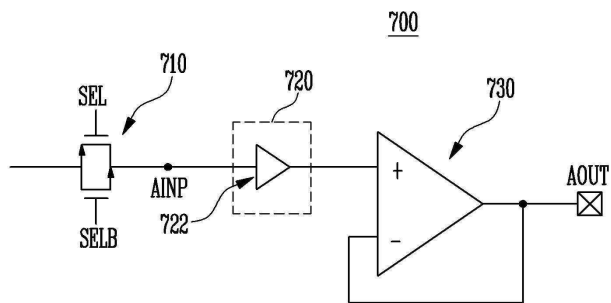
도면5



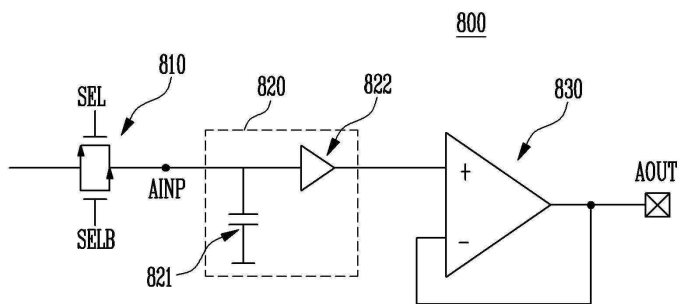
도면6



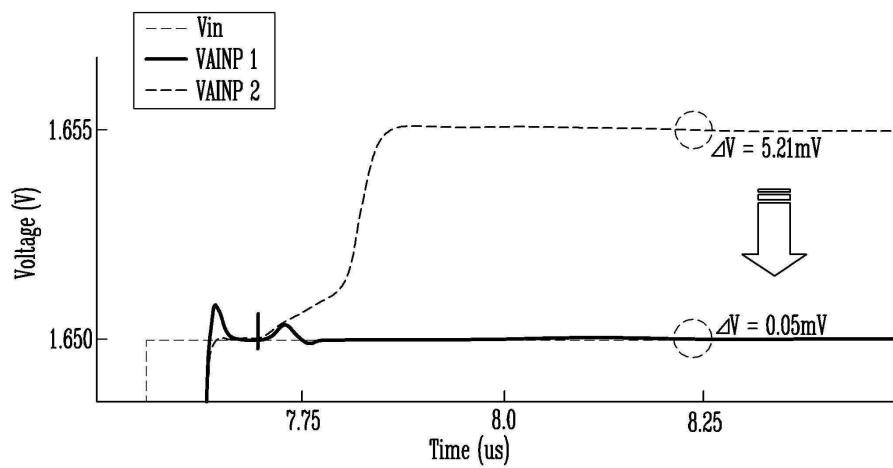
도면7



도면8



도면9



도면 10

