(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 21/8242

(11) 공개번호 특2001-0089510
(43) 공개일자 2001년10월06일

(21) 출원번호 10-2001-7006595
(22) 출원일자 2001년05월25일
번역문 제출일자 2001년05월25일
(86) 국제출원번호 PCT/US1999/27754
(86) 국제출원출원일자 1999년11월23일
(87) 국제공개번호 WO 2000/31794
(87) 국제공개일자 2000년06월02일

(81) 지정국 국내특허 : 일본, 대한민국,
EP 유럽특허: 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드, 사이프러스,

(30) 우선권주장 09/200,499 1998년11월25일 미국(US)

(71) 출원인 어드밴스드 테크놀러지 머티리얼즈, 인코포레이티드
바누치 유진 지.
미국 코네티컷 06810 댄버리 코머스 드라이브 7

(72) 발명자 반버스커크피터씨
미국코네티컷주06470뉴타운포버티홀로우로드18
러셀마이클더블유
미국코네티컷주06851노르워크아이켄스트리트50아파트먼트516
빌로듀스티븐엠
미국코네티컷주06478옥스포드캐리지드라이브20
바움토마스에이취
미국코네티컷주06812뉴페어필드한돌레인2

(74) 대리인 김진회
김승호
김태홍

심사청구 : 없음

(54) 강유전체 램 커패시터의 화학적 기계 연마법

요약

본원은 소자 층을 평탄화하도록 화학적 기계 연마법(CMP)을 사용해서 마이크로 전자 공학 소자 구조, 예를 들어 강유전성 캐패시터 구조를 형성하는 방법에 관한 것이다. 그 층이 장벽층(28), 하부 전극(30), 강유전성 층(32), 상부 전극(34), 및 유전체 절연층(35)을 포함하고 있다. 장벽층(28)은 유전체 절연 재료의 평탄화 깊이에서 저지층으로서 역할을 한다. 절연층(38)이 그 구조를 통해 성막된다. CMP 처리는 (1) 유익한 특성을 갖는 소자를 포함하는 CMP 매체, (2) 제거될 금속 및 유전체 재료, (3) 열 어닐링에 의해 제거되는 마이크로 전자 공학 소자 구조에 대한 물리적인 손상, (4) CMP 매체에 의해 평탄화에서 제거되는 귀금속 전극을 포함하고 있다. CMP에 의해 형성된 마이크로 전자 공학 소자의 구조가 고 자기 투자율 재료에 매립된 전도성 라인을 또한 포함한다.

대표도

도 1

명세서

기술분야

본 발명은 화학적 기계 연마(CMP) 방법 및 강유전체 RAM 커패시터의 제조에 응용될 수 있는 합성물에 관한 것으로서, 커패시터 오목부 유전 물질 위에 놓이는 저지층을 이용하여 마이크로 전자 장치 구조의 필요한 평탄화를 달성한다. 또한, 다층의 기하학적 구조를 이용하는데 있어서 CMP의 고유의 평탄화 특성으로부터 이익을 얻는 커패시터, 저항, 인덕터 구조와 같은 다른 집적 회로 구조의 제조에도 적용 가능하다.

배경기술

현재 세계 도처의 반도체 회사들은 진보된 DRAM 및 강유전체 RAM의 고유전율 및 강유전 박막을 상용화하기 위해 주로 노력을 기울이고 있다. 이러한 물질은 DRAM용 $BaSrTiO_3$ (BST)와 강유전체 RAM용 $PbZrTiO_3$ (PZT) 및 $SrBi_2Ta_2O_9$ (SBT)를 포함한다.

이러한 물질들은 Pt, Ir, IrO_2, Pt-Ru 등과 같은 귀금속 또는 귀금속 합금으로 제조된 전극을 필요로 하며, 귀금속과 강유전체막의 서브미크론 패터닝은 원소 조성용 휘발성 생성물이 없기 때문에 매우 어렵다고 알려져 있다. Pt 및 Ir를 위한 종래 기술의 건식 에칭 공정은 전극의 에지에서 원치 않는 구조(때론 " 이어" 라고 불리움)를 형성을 초래하는 물질 제거를 위한 우세 물리적(화학적이 아닌) 메카니즘으로 인해 기본적인 어려움을 갖고 있다고 알려져 있다.

이러한 유형의 서브 미크론 커패시터를 패턴화하는데 있어서의 어려움 이외에도 고밀도의 메모리의 경우, 메모리 셀영역을 줄이기 위해 트랜지스터들을 접촉시키기 위해 도전성 플러그 바로 위에 커패시터들을 제조하는 것이 또한 중요하다. 이러한 기하학적 구조(플러그 위에 있는 커패시터)는 또한 스택형 커패시터 구조라고 알려져 있다. 예컨대 플러그용 폴리실리콘 또는 텅스텐과 같은 통상적으로 사용되는 물질의 경우, 귀금속 하부 전극을 통해 플러그 물질(p-Si 또는 W)의 확산과 플러그의 산화를 방지하기 위한 장벽층이 필요하다. 이러한 문제점을 극복하기 위해 플러그/장벽/전극 계면이 산화의 노출로부터 보호되도록 기하학적 수단을 사용하는 것이 바람직하다.

현재 DRAM 과 강유전체 RAM 마이크로 전자 장치 구조의 제조를 위해 물리적 기상 증착법과 스택형 커패시터 구조가 주로 사용되고 있다.

스택형 커패시터의 대안은 도핑된 실리콘으로 직접 에칭되는 트렌치의 벽에 있는 개선된 표면적 커패시터를 이용하는 트렌치 커패시터이다. 이러한 트렌치 커패시터에 있어서, 하부 전극 접촉부는 장벽의 요건이 스택형 구조와 유사하지만 전도성 플러그(p-Si 또는 W)가 아니라 전도성 기판 자체이다. 트렌치 커패시터 구조에 있어서, 메모리 셀의 트랜지스터는 트렌치 커패시터의 상부에 인접한 웨이퍼의 표면 위에 형성되고 있다.

화학적 기계 연마를 이용하여 평탄화된 강유전체 커패시터는 또한 로직 IC(내장 메모리)와 강유전체 메모리 또는 DRAM의 모노리식 집적에 대해서 다양하다. 로직 IC에 필요한 금속의 4-6 레벨은 추가적으로 기판의 평탄도를 필요로 한다. 표면 평탄도는 얼라이너의 규정된 초점 깊이내에서 유지하도록 고해상도의 마이크로리소그래피에서 요구된다.

각종 반도체 집적 회로는 저항, 커패시터, 인덕터를 이용하는 패시브(어떤 경우에는 엑티브) 필터링 기술을 이용한다. 과거에는 상이한 IC 들이 회로 기판에서 제조되고 외부적으로 연결되거나 또는 다른 패키징에 의해서 제조되고 외부적으로 연결되었으나 현재는 단일 IC에서 복수의 회로 기능이 결합되는 추세로 가속되고 있다.

이러한 기능의 모노리식 집적의 경제적 및 성능 이점이 주어지면, IC의 다른 부분의 제조간 칩 바로 위에 콤팩트 RLC 소자를 제조하는 것이 아주 바람직하다. 가능한 한 처리 공정수를 최소화하여 제조되는 IC 장치의 최대 가능한 수율을 달성하는 것이 필수적이다.

발명의 배경 설명에 이어지는 본 발명의 설명은 화학 기계 연마에서 사용된 종래의 CMP 프로세스 동작, 연마 패드 및 슬러리 조성에서 사용된 머신에 대한 것이다.

종래의 CMP 기계에서는 통상 3개 유형의 기계적 회전 동작이 사용된다. 하나의 유형은 회전 웨이퍼 캐리어를 가진다. 또 다른 유형은 연마 패드를 회전한다. 또 다른 유형은 웨이퍼와 연마 패드를 동시에 스핀한다. 연마 패드는 용액에 현탁된 각종 입자들로 이루어진 슬러리와 함께 미리 적셔지고 계속해서 다시 습식화된다. 연마 입자의 범위는 10 내지 1000 나노 미터의 크기이다. 일반적으로 현탁액은 산화물 및 금속을 연마하기 위해 묽은 염기 또는 산을 함유하고 있다. 평탄화 완료 시 웨이퍼는 잔류 슬러리, 갈아진 산화물/금속 입자, 다른 오염 물질이 제거되는 후처리 CMP 클린 프로세스를 거친다. 대부분의 IC 제조자는 후처리 CMP 오염 물질 제거를 달성하기 위해 탈이온화수 린스와 질소 공기 드라이의 조성을 이용한다.

가장 공통적으로 사용 2가지는 산화물과 금속(텅스텐) 플러그 평탄화이다. CMP 프로세스의 2가지 필수적인 구성 요소는 슬러리와 연마 패드이다.

연마 패드는 일반적으로 폴리우레탄기 물질이며 2가지 주요 기능을 수행한다. 패드의 중합체 거품셀 벽은 웨이퍼 표면에 있는 반응 생성물을 제거하는데 도움을 주며 패드내의 구멍은 슬러리를 패드/웨이퍼 계면에 공급하는 데 도움을 준다.

패드와 사전 평탄화 표면 사이에 밀접한 접촉부의 경험적 결과에 보다 진보적인 연구 노력을 기울여 왔다. 시간, 압력, 속도의 함수로서 물질 제거율(RR)에서의 몇개의 특성이 주목되었다. 많은 CMP 유저는 고생산성 프로세스가 시도될 때 RR이 크게 감소함을 인지하였다. 연구는 패드의 변형이 IC 구조의 부서지기 쉬운 단단한 표면으로 됨을 보여주고 있다. 물질 형태로 인한 표면 거칠기 또는 패드의 꺼칠기, 포켓의 밀도, 연마 특성은 패드층 제거로 인해 감소함을 발견하였다. 클레이징이라 불리는 이러한 문제를 경감하기 위해 경험적으로 정해진 시간양 또는 웨이퍼를 이동한 후 패드가 조절되었다. 조절기는 기재(금속), 다이아몬드 그릿(절단용), 그릿 본딩 물질(Ni 도금)로 이루어진다. 도금에 의해 다이아몬드 그릿이 기재(基材)에 결합되었다. 다음에 조절기는 과잉의 원치 않는 입자들이 제거되고 패드의 표면 특성이 복원될 때까지 패드의 상부층을 효과적으로 제거하였다. 비록 이러한 방법은 동일 패드를 과도한 시간 동안 사용 가능하게 할지라도, 다른 복잡한 문제를 초래하였다.

특히, 다이아몬드와 기재(基材)의 물리적 결합은 컨디셔닝 공정 중에 비교적 용이하게 파열되었다. 따라서, 새로운 결합 방법 및 향상된 포스트 컨디셔닝 클리닝법을 추구하게 되었다. 다이아몬드가 기재와 화학적 결합을 한 경우에, 부가적인 강도로 인해 그리트(grit) 분리는 덜 우수해졌다. 그 새로운 결합 방법에 의해, 물리적으로 그리트 결합 패드로 연마될 수 있었던 개수에 비해 동일한 컨디셔닝 패드로 수십 장의 웨이퍼가 연마될 수 있다.

패드 컨디셔닝법은, 금속이 패드 재료에 비해 경도가 높은 경향이 있으므로, 금속의 평탄화 시보다 산화물의 평탄화 시에 더 큰 역할을 한다.

현탁액을 패드/웨이퍼 계면으로 운송하는 것을 돕기 위해, 새로운 패드 구조가 연구되어 왔다. 카라키-도이 및 다른 개발자들은 패드 전반에 걸쳐서 홈들이 동심의 타원으로 연속해 있는 패드를 연마하는 것을 연구해 오고 있다. 이 구조는 현탁액을 더 균일하게 계면에 공급하고 CMP 공정으로부터 얻어지는 잔해 제거량을 증가시킨다고 알고 있었다. 종래의 대부분의 패드는 폴리우레탄 내의 '포켓'들로 이루어져 있고, 이 포켓은 공정 중에 방출된 남은 잔해로 인해 코깅하기 쉽다. 그 결과, 카르키-도이 및 다른 개발자들은 패드의 면에 홈을 설치하여, 공통 형상의 패드보다 그들 패드의 컨디셔닝 대 컨디셔닝 수명이 연장됨을 알았다.

패드를 균일하게 평탄화할 수 있는 순응성의 다른 주요 요소는 CMP를 수행하는 구조의 IC 장치 밀도와 상대적인 층 높이(크리티컬 디멘젼, CD)이다. CMP는 작은 개개의 피쳐(feature)를 보다 밀집된 피쳐보다 빠르게 연마하는 경향이 있다. 폭이 15 미크론인 부분의 산화물 제거 속도는 폭이 60 미크론인 부분의 산화물 제거 속도보다 60 내지 80 % 빠르다. 밀도가 높거나 크기가 큰 부분은 인가되는 로드 압력을 작은 부분보다 큰 영역에 분배하는 경향이 있다. 제거 속도와 압력은 직접 접촉 모드와 직접적인 관련이 있기 때문에, 실효적인 국부 압력이 감소하므로, 제거 속도는 감소한다. 동일한 원리는 인접층이 보다 큰 높이 콘트라스트를 갖는 경우에 적용한다. '높은' 부분은 다른 디멘젼 및 다른 장치와의 근접도에 따라 보다 신속히 평탄화될 것이다.

앞서 말한 요인들은 IC 설계를 더 복잡하게 한다. IC 제조 공정에 CMP 프로세싱을 이용한다면, 장치의 디멘젼과 밀도는 중요하고 세밀한 정밀 조사를 필요로 한다.

CMP에 사용되는 현탁액 혼합물은 용매 또는 용액에 떠 있는 연마재 입자를 포함하고 있다. 현탁액의 효과성의 주요 요인들은 입자의 크기와 형상, 용액의 pH, 현탁액의 중량 솔리드, 제공되는 현탁액의 질 및 수행되는 반응 시간을 포함하고 있다.

현탁액의 목적은 단순하지만, 수행되는 모든 물리적 반응과 화학적 반응을 이해하고 모델링하는 것은 극히 어렵다. 기본적으로, 연마되고 있는 물질의 표면은 보다 부드러운 혼합물로 화학적으로 변경되고, 이어서 패드와 현탁액 연마재에 의해 역학적으로 제거된다. 따라서, 현탁액은 CMP 공정에서 화학적인 힘과 역학적인 힘을 모두 제공한다. 산화물 현탁액은 비교적 새롭고 큰 실험이지만, 가장 큰 공통점은 알루미나 연마재와 낮은 pH를 갖는 제2철의 질산염이다. 폴리실리콘 현탁액과 폴리이미드 현탁액이 몇 가지 있기는 하지만, 아직은 프로토타입 단계와 개발 단계에 있다.

이제까지, 현탁액 혼합물의 개발에 쏟은 대부분의 연구의 촛점은 금속 현탁액을 지향하기 보다는 산화물 현탁액에 맞추어져 왔다. 텅스텐 플러그의 수많은 바람직한 특성으로 인해, 선택적인 금속 현탁액의 개발에 보다 많은 관심이 지향되고 있다. IBM은 텅스텐:산화물의 선택비가 120:1인 금속 현탁액을 개발하고 있다. 이러한 종류의 평탄화는 다층 금속 및 층간 접속의 제조에 필수가 된다. 이상적으로는, 이제까지 조사한 현탁액들로 고속의 제거 속도, 고선택도, 국지적 균일성 및 양호한 평탄성을 제조할 것이다. 현재로는 '완벽한' 현탁액이 없기 때문에, 받아 들일 수 있는 상업적인 현탁액 형성물을 개발함에 있어서 불가피한 절충이 있어 왔다.

CMP의 화학적 성질로 인해, 다양한 연구를 통해 웨이퍼/패드의 계면에 생성된 현탁액의 량이 다르게 되는 것에 관한 영향을 평가해 왔다. 산화물 현탁액의 경우, 용액 안의 물은 다음과 같은 반응식으로 실리콘 산화물과 반응하는 것으로 알려져 있다.

$$(-Si-O-Si)+H_2O \rightarrow 2(-Si-OH)$$

물은 실리콘 산화물 내에서 확산도가 낮기 때문에, 반응은 연마재 입자가 산화물 계면을 가로질러 이동할 때 인가되는 로드 하에서 주로 산화물 계면에서 일어난다. 물이 산화물 안으로 확산하면, 그 결과, (망을 형성하는) Si-O 결합과 Si-OH의 형태가 깨지게 된다. 소정의 Si 원자에 대한 모든 Si-O 결합이 수산화되면, 물에 용해될 수 있는 $Si(OH)_4$가 형성된다. 온도를 직상승시키면, 물의 확산도가 증가(특히, 산화물 안의 물의 확산 상수)하므로, 제거 속도는 상승한다. 산화물 평탄화에 대한 대부분의 실효 pH 레벨은 9.7과 11.4 사이에 있다.

금속 현탁액의 경우, 혼합물은 훨씬 더 중요하다. 전형적인 현탁액은 pH 레벨을 조절하기 위한 산화제 또는 자연 용해되는 산소 첨가제, 및 알루미나 연마재 또는 콜로이달 실리카 연마재를 포함하고 있다. 상측의 산화 금속층은 보다 잘 깨지므로 실장된 연마재 입자에 의해 용이하게 제거된다. 산화 포텐셜이 너무 응집적이고 그 결과의 금속 혼합물이 너무 잘 용해될 수 있다면, 습식 에칭의 결과로서 금속 침식이 발생한다. 습식 에칭을 저속화하고 금속 침식을 제한하기 위해, 합금, 전식(電食) 작용 및 정밀 산화 상태(산화제)를 사용한다.

현탁액의 선택에 관한 두 가지 다른 주요 관점에서는 CMP후 청정과 웨이퍼로의 이동 이온의 생성을 다룬다. 화학적 반응에 따라서, 산화물 현탁액은 다양한 오염 물질을 수면에 생성한다. 입자 크기와 관련하여, KOH 기반의 현탁액은 NH_4OH 현탁액보다 질량이 큰 200 나노미터의 입자를 생성한다. KOH 현탁액을 사용하는 경우, 그 차이는 수면상의 굵힘 자국이 생길 확률이 더 높아지는 것(예컨대, 몇 가지 연구에 따르면 최대 7배)으로 해석된다. 또한, NH_4OH 현탁액은 KOH 기반의 현탁액보다 농도가 낮은 이동 이온을 생성하고, 그리고 KOH 현탁액으로부터의 잔류물보다 제거가 용이한 잔류물 막을 남긴다. 그러나, 환경적으로, KOH 기반의 현탁액은 NH_4OH 현탁액보다 나은 몇 가지 이점이 있다. KOH 현탁액을 사용하면 암모니아 냄새가 없고, KOH 현탁액은 청정실과 CMP 기구를 설치하는 경향이 적으며, KOH 현탁액은 pH가 더욱 고정적이고 NH_4OH 현탁액보다 온도 의존도가 낮다.

CMP는 범용의 평탄화 기술을 혁신해왔지만, 몇 가지 중요한 문제가 있다. 주요 난제 중 하나는 수면으로부터 제거된 물질의 량을 적소에서 측정하는 것이다. 부정확한 모델로 인해, CMP 기구의 많은 결과를 반복 재생하기 어렵고, 기구 자체는 정밀한 공정 제어를 위한 능력을 나타내지 못한다. 또한, 이로 인해, 공정의 복잡함을 줄이도록 타당하고 적절한 공정 변경을 행하기 위해 피드백을 분석하고 또는 적소 측정법을 이용하는 것이 어렵게 된다. 몇 가지 CMP 현탁액 분석기는 현탁액의 마모 특성을 보다 정확하게 하기 위해 입자의 크기를 측정하고 검출하도록 설계되어 왔다. 제거 속도도 감시하기 위해, 스타일러스 프로파일러와 같은 불과 몇 가지의 종점 검출 장치가 개발되어 왔다. 이러한 노력들은 전체적인 CMP 공정을 모다 정밀하게 제어하는 데 도움이 될 것이지만, 분석 기술과 장비는 상업성이 우수한 정밀 상태까지 개발되지는 않았다.

따라서, 상업용 CMP는 실제적인 개발 노력에 촛점이 맞춰져 있지만,

1. 마열 경도 이하의 경도를 갖고, 기판의 부착력이 최초의 사전 반응층의 부착력보다 작은 웨어퍼 부착 재료를 생성하기 위한 재료(예컨대, 절연 무기 금속 산화막 및/또는 희 금속)의 노출층의 반응 동작과,

2. 연마 슬러리(마멸 매체)를 이용하는 전술한 방응 생성 재료의 기판으로부터 제거 동작과 같은 간단한 단위 동작을 포함한다.

무기 금속 산화막을 절연하는 예시적인 CMP 슬러리 합성물(원칙적인 반응 형태에 의해)은 아래와 같은 합성물을 포함한다.

A. 산 또는 물 용액

HCL, H_2SO_4 0.01 M 이상

KOH, NaOH, NH_4OH 0.01 M 이상

이 기술은 플루오르화 실리콘 산화막 입자의 수성액 또는 알콜 용액을 통하여, 특히 H_2SiF_6를 이용하여 알카리 함유 용액으로 개선한 것이다.

상기 마멸 합성물은 Al_2O_3 및/또는 SiO_2 수성액을 포함한다.

B. 산화제(IV 이상의 감소 전위 E_0를 가진)

H_2O_2 35vol.% 이상

질산염, 크롬산영, 과망간산염, O_3 및 F_2

상기 마멸 합성물은 Al_2O_3 및/또는 SiO_2 수성액을 포함한다.

C. 할로겐화 또는 의사 할로겐화 재료(내부 대기 속에)

POCI3, SOCI2100% 또는 건조제와 결합

(용제, 톨루엔, 에테르, 케톤, DMSO 등)

$P(SCN)_3$,$(SCN)_2$,$S(SCN)_2$,20-100 vol.%

$Hg(NCS)_2$, $Hg(NCO)_2$,AgNCO,

CH_3NCO,C_6H_5NCO,BrCN

상기 마멸 합성물은 Al_2O_3 및/또는 SiO_2 수성액을 포함한다.

상기 슬러리는 비 수성 활로겐화 또는 의사 할로겐화 반응제를 포함하고, 바람직하게는 헤테로 고리 모양인 금속 유기 작용 화합물을 상기 할로겐화 또는 의사 할로겐화 재료와 작용하여 형성하는 액체 유기 라가제 선구체(예컨대, 고리 모양, 비고리 모양, 다고리 모양 또는 방향족 합성물)를 포함한다.

Al, Cu 또는 Ag 등 연질 금속의 CMP로 디싱 또는 연마 균열의 출현은 상기 슬러리의 응집 또는 침전이 최소화되는 감소 온도에서 연마제 슬러리의 저장/운반에 의해 부분적으로 조정된다. 또한, 상기 연마 매체의 여기(응집을 막기 위하여) 및 연마 휠의 온도 및 속도 제어는 CMP 순계 발생을 개선하기 위하여 도시된다.

상기 CMP 패드는 초기의 사용동안 지수함수적인 속도로 마모되어 시간에 따라 선형적으로 마모된다. 또한, 상기 CMP 패드는 이 패드가 마모되는 것과 같이 불균일하게 재료를 제거하지 않는다. 이러한 요인은 상기 CMP 동작으로 허용가능한 제거율 및 균일성을 유지하기 어렵다.

그 기술은 CMP 처리시 및 FeRAMs 등 철전기 장치의 제조시에 개선점을 지속적으로 찾는다.

통상적인 FeRAM에서 상부 전극/철전기 재료/하부 전극(TE/FE/BE)의 개별적인 공간 치수는 100㎚ 정도이다. 이러한 층 구조의 CMP 동안 손상/비균질성을 최소화하기 위하여, 그 최대의 마멸 입자 크기는 상기 장치의 최소 특징 크기보다 훨씬 작아야 한다.

희 금속 전극을 갖는 철전기 기반 커패시터의 상업적인 사용에 직면하는 장해물은 관심있는 많은 희 금속의 낮은 화학적 반응 및 이러한 다양한 금속, 특히 Ir 및 Rh의 높은 경도 정도를 포함하낟. 희 금속 및 산화막의 기계적인 제거 정도는 높은 제거율을 달성하는데 필요하고, 상기 CMP 공정은 상기 커패시터층에 물리적 또는 화학적 손상을 입힐 수 있다. 물리적인 손상은 다결정 산화막 격자의 미세구조 및 긴 범위의 파괴를 포함하는데, 이것은 철전기 및 고 ε 산화막의 유

일한 특성에 응답한다. 상기 철전기 층에서 화학적인 손상은 명세서, 상호 확산, 비산화 또는 상기 연마 매체로부터 금속 오염의 도입을 포함한다.

FeRAM의 평판화 및 고 허용되 커패시터 구조에 CMP의 사용시 어려운 점은 실리콘 이산화물(SiO_2) 등 산화물 재료의 제거를 정확하게 제어하는 것이다. 정확하고 재생 가능한 방법으로 산화막 제거를 제어할 수 있는 능력은 기술의 상당한 진보로 될 수 있고, 상업용 제조 동작에 이용될 더욱 강건한 CMP 공정을 인에이블 할 것이다.

CMP를 이용하는 SiO2의 평탄화와 대조하여, FeRAM 또는 높은 ε 커패시터 구조의 평탄화는 철전기 또는 높은 ε층의 에지의 CMP 선명도를 수반하는데, 상대적으로 높은 E 필드는 이러한 커패시터 적용으로 실현된다. 철전기 또는 금속층에 손상은 상기 커패시터의 기능에 커다란 영향을 미칠 수 있다.

따라서, 그 기술이 상당히 진보함으로써, 본 발명의 목적은 미세 전자 구조를 경험하는 CMP의 요소에 물리적인 또는 화학적인 손상의 저 레벨을 수반하는 동안 재료를 높은 비율로 제거하기 위하여 적용되는 화학 기계적인 연마용 방법 및 합성물을 제공한다.

본 발명의 다른 목적은 Pt, Ir, Rh 등의 금속이 상기 구조의 전극 요소에 이용되는 높은 절연성 또는 철전기 박막을 포함하는 적층 또는 트렌치 커패시터 등의 커패시터 제조에 일반적으로 제공되는 방법 및 CMP 합성물의 제공을 포함한다.

본 발명의 또 다른 목적은 개시한 청구 범위로부터 더욱 명백해 질 것이다.

발명의 상세한 설명

본 발명은 미세전자 장치 구조를 평판화용 화학 기구적인 연마를 이용한다.

바람직한 특성으로 본 발명의 화학 기계 연마 합성물 및 방법은 강유전성 또는 고유전율 캐패시터를 설명하는데 사용된다. 이 캐패시터는 트렌치 캐패시터 구조 및 스택 캐패시터 구조를 구비한 임의의 적합한 형태로 구성될 수 있다.

본 발명은 리소그라피의 해상도 및 박막 성막 방법의 유사성에 의해서만 제한되는 기하학적 형상으로 마이크로 전자 장치 캐패시터 구조의 제조를 용이하게 할 수 있다. 그러므로, 0.18㎛ 구조 또는 심지어 0.12㎛ 구조의 연마는 귀금속 또는 박막 캐패시터(고유전 상수 재료층 또는 강유전층)를 건식 식각하지 않고 가능하다. 이 형태의 트렌치 캐패시터는 상부 전극 및 하부 전극용의 별도 패터닝 단계를 필요로 하지 않고, 측벽 영역에 주요한 기여를 하는 장점을 가지고 있어 본 발명의 방법은 상당한 경제적인 장점을 가지고 있다. 또한, 본 발명의 해결 방법은 노출에서 산화까지 플러그-배리어-하부 전극을 보호하는 고유한 장점을 가질 수 있다.

한가지 특성으로, 본 발명은 마이크로 전자 장치 구조를 형성하는 방법에 관한 것이다. 이 방법은 캐패시터 프리커서 구조를 형성하기 위해 캐패시터 오목부 절연 재료를 형성하는 단계와 하부 전극층, 강유전층 및 상부 전극층을 성막하는 단계를 포함한다. 이 캐패시터 프리커서 구조는 이후 강유전성 캐패시터 구조, 예컨대 스택 캐패시터 또는 트렌치 캐패시터를 생성하도록 화학 기계 연마에 의해 평탄화된다. 본 발명의 한 실시예는 캐패시터 오목부 절연 재료를 평탄화 갚이에서 저지층을 포함하도록 형성하는 단계를 포함하고, 이 저지층은 실질적으로 CMP 조건 하에서 유전성 절연 재료 및 장치 구조 재료보다 낮은 CMP 제거율을 가지고 있다. 이 방법에서, CMP 조건 하의 CMP에 의한 유전성 절연 재료 및 장치 구조 재료의 제거는 저지층에 의해 평탄화 깊이가 종료된다.

전술한 소형의 피쳐 크기외에도, 본 발명은 캐패시터 영역을 증가시키지 않는 대형 캐패시터 구조의 제작에 이용될 수 있음을 알 수 있고, 그 이유는 습식 식각 기술 또는 건식 식각 기술에 비교하여 재료 제거가 단순하기 때문이다.

본 발명의 방법은 평탄화를 위해 마이크로 전자 장치 구조의 화학 기계 연마를 포함할 수 있고, (I) CMP 매체는 유익한 도펀트, 변형제나 다른 강유전성 또는 CMP 조작에서 제거될 고유전율(ε) 박막의 다른 첨가제 중 적어도 하나의 구성 요소와[예는 페로브스카이트 나노결정질 입자, 예컨대 바륨 스트론튬 티타네이트; 탄탈륨 옥사이드, 니오븀 옥사이드 또는 O 베이컨시용 다른 도너 도펀트 보충물 또는 박막 캐패시터 재료에서의 억셉터 불순물 결함을 포함한 경우, 예컨대 탄탈륨 나이트라이드, 탄탈륨 카바이드, 니오븀 나이트라이드 및 니오븀 카바이드를 포함한 경우 박막 캐패시터 재료의 절연 성질 및/또는 강유전성에 유익한 음이온을 구비한 리플랙토리 나이트라이드 및 카바이드; 평탄화될 박막 표면에 존재하는 화학 산출물의 강도를 초과한 강도를 가진 구성 요소; 및 평탄화될 박막의 표면에서 재료와 반응하는 반응 구성 요소, 에컨대, 산, 염기 및 평탄화될 표면에서 재료를 산화시키는데 효율적인 구성 요소를 포함한다],

(II) 금속 재료(전극 재료) 또는 절연 재료(강유전성 또는 고유전 상수)는 기판에서 로컬 오목부를 생성하기 위해 CMP 평탄화 중 또는 후에 제거되고, 선택적으로 절연층의 성막에 의해 수반됨으로써, 장치 구조의 감수율을 축소하여 사용 중 쇼트 회로 또는 고누설 전류를 줄이고,

이러한 금속 제거는 CMP 평탄화 후 및 교호층 절연 재료[예컨대,PZT 장치 구조용 Pb 디퓨젼 배리어층, SBT 장치 구조용 Bi 디퓨젼 배리어층 및 BST 장치 구조용 SiO2 디퓨젼 배리어층]의 성막전에 장치 구조의 불활성 이온 충돌 단계와,

상기 장치 구조의 등방 건식 식각하는 단계 중 적어도 하나의 단계를 가지고,

(III) 장치 구조 결정질 격자 구조에 물리적 손상은 CMP 평탄화 후에 장치 구조의 열적 어닐링[예컨대, 종래의 오븐 처리 또는 급속 열처리(RTA)]에 의해 제거되고, 바람직하게는 박막 캐패시터 재료 및/또는 다른 장치 구조 옥사이드층에서 산소 스토치오메트릭스의 상관성을 용이하게 하도록 산소 분위기 하에서 열처리를 수행하고,

(IV)귀금속 전극 재료는 실리카, 아루미나, 티나니아, 실리콘 카바이드, 세리아, 페로브스카이트 나노 결정질 입자, 전술한 형태의 도펀트 재료 및 이들의 혼합물로 구성되는 그룹으로부터 선택된 구성요소를 포함하는 CMP 합성물에 의해 제거되고,

고체 및/또는 이온 산물을 형성하도록 귀금속 전극 재료와 반응하는 구성 요소는 귀금속 전극 재료 자체(예컨대, 귀금속 나이트라이드, 설파이드, 할리드, 옥사이드, 하이드레이트 옥사이드 등)보다 저 경도를 가지고, 이 반응 구성 요소는 예컨대, H2O2, K3Fe(CN)6, k3Fe(C2O4), Fe(C2H3O2)3, Fe(NO3)3, Fe2(SO4)3, (NJ4)3Fe(CN)6, (NH4)3Fe(C2O4)3, KCl, KBr, KI, FeCl3, FeBr3, FeI3, FeCl2, FeBr2 및 FeI2]라는 종을 포함한다.

본 발명의 방법의 다른 특성에서, 금속 전극 재료는 제거되고, 금속 연마 및 옥사이드 간의 고선택비는 (압력×평탄화 속도) 〈 300 psi rpm의 관계에 따라 CMP 조작을 수행함으로써 달성되며, 압력은 제곱 인치당 파운드로 측정되고 CMP 연마 패드의 평탄화 속도는 분당 회전수로 측정된다.

본 발명의 다른 특성은 도전성 투과 라인을 포함하는 집적 회로 구조를 제조하는 방법에 관한 것으로,

구조의 구성 요소로서 절연 재료를 성막하는 단계와, 도전성 투과 라인용 결를 제공하는 단계와,

경로에서 투과-강화 재료룰 성막하는 단걔와,

투과-강화 재료에 도전성 투과 라인용 도전체 재료를 성막하는 단계와,

이 구조에 상기 도전 재료의 도전성 투과 라인의 바람직한 기하 형상을 정의하여 평탄화용 화학 기계 연마를 제공하는 단계와,

투과-강화 재료에서 상기 전도성 투과 라인을 보호하도록 상기 도전성 재료의 도전성 투과 라인에 대한 투과-강화 재료를 성막하는 단계와,

21-25

본 발명의 또 다른 국면은 고 투자율 재료(예컨대, MgMn 페라이트 및/또는 MgMnAl 페라이트) 및 고 유전율 재료(예컨대, 바륨 스트론튬 타이타네이트, 리드 지르코늄 타이타네이트, 타이타늄 산화물 및 탄탈륨 산화물 등)으로 구성되는 그룹으로부터 선택되는 전송 강화 재료내에 인캡슐레이트된 전도성 전송선을 구비하는 집적 회로 구조에 관한 것이다.

본 발명의 다른 국면, 특징 및 실시예는 다음의 상세한 설명 및 첨부된 특허청구범위로부터 보다 완전히 명백해질 것이다.

도면의 간단한 설명

도 1a 내지 도 1h는 바람직하게는 1 마이크론 이하의 형상 크기인 강유전체층, 전극층 및 경계층의 CVD와 함께, 본 발명에 따른 CMP를 사용하여 적층 캐패시터 구성에 서브마이크론의 강유전체 캐패시터를 패터닝하기 위한 개략적인 프로세스 흐름을 도시하는 도면.

도 2a 및 도 2b는 도 1e에 도시된 캐패시터 구조의 상부 모서리 영역의 상세를 개략적으로 도시하는 도면.

도 3a 내지 도 3d는 본 발명에 따른 CMP를 사용하여 서브마이크론의 전송선을 패터닝하기 위한 개략적인 프로세스 흐름을 도시하는 도면.

실시예

발명의 명칭이 " Chemical Mechanical Polishing of FeRAM Capacitors" 이고, 피터 씨. 밴 부스커크(Peter C. Van Buskirk) 및 피터 에스. 컬린(Peter S. Kirlin)에 의해 1997년 11월 20일자로 출원된 미국 특허 출원 번호 제08/975,366호에 개시된 전체적인 내용이 참조를 위해 본 명세서에 결합된다.

마이크로 전자 장치 구조를 형성할 수 있는 본 발명의 방법은 기판상에 캐패시터 오목부형 유전체 재료 및 장치 구조 재료를 형성하는 단계를 구비하고, 이 장치 구조 재료는 장치 구조 재료의 평탄화 깊이(planarization depth)를 처리하는 동안 화학 기계 연마법[CMP: chemical mechanical polishing]에 의해 제거된다. 본 발명에 따르면, 캐패시터 오목부형 유전체 재료가 유전체 절연 재료내의 소망하는 평탄화 깊이에서 정지층을 포함하도록 형성된다. 정지층이 CMP 조건하에서 유전체 절연 재료보다 실질적으로 낮은 CMP 제거율를 갖기 때문에, CMP 조건하에서 CMP에 의한 유전체 구조 재료 및 유전제 절연층 재료의 제거가 정지층에 의해 평탄화 깊이에서 종료된다.

이러한 방법에 있어서, 캐패시터 오목부형 유전체는 Al_2O_3, Ta_2O_5, ZrO_2, TiO_2, SiO_2, Si_3N_4, $TiAlO_4$, 붕소가 도핑된 SiO_2 또는 인이 도핑된 SiO_2 및 이들 재료의 혼합물 등과 같은 재료종을 구비할 수 있다.

장치 구조 재료는 다성분 산화물 용량성 재료, 강유전체 재료, 귀금속, 귀금속 합금, 폴리실리콘, 텅스텐, 티탄늄 나이트라이드, 티타늄 실리콘 나이트라이드, 티타늄 알루미늄 나이트라이드, 실리콘 카바이드 및/또는 다성분 산화물 자기 저항 재료와 같은 하나 이상의 재료를 구비할 수 있다.

특정한 예를 들면, 장치 구조는 리드 지르코늄 티탄네이트, 스트론튬 비스버스 탄탈레이트 및 비스머스 티타네이트 등과 같은 강유전체 재료를 포함할 수 있다.

장치 구조는 이와 달리 바륨 티타네이트 및 바륨 스트론튬 티타네이트 등과 같은 다성분 산화물 용량성 재료 또는 란탄늄 칼슘 망가네이트와 같은 다성분 산화물 자기 저항 재료를 구비할 수 있다.

정지층은 Al_2O_3, Si_3N_4, TiN, TiSiN, TiAlN, IrO_2 및 SiC 또는 이들의 결합물과 같은 재료로 형성될 수 있다. 바람직한 실시예에 있어서, 유전체 절연 재료는 SiO_2를 포함하고, 정지층은 Si_3N_4로 형성된다. 추가적인 바람직한 실시예에 있어서, 전극 재료는 Ir을 포함하고, 강유전체 재료는 리드 지르코네이트 티타네이트이며, 전도성 경계층은 TiAlN이다. 이 실시예에 있어서, 전도성 경계층은 CMP 프로세스에 대해 정지층으로서 적절하다.

본 발명의 방법에 있어서, 상기 CMP 조건하에서 CMP에 의한 정지층 제거율 대 CMP에 의한 유전체 절연 재료 제거율의 비율은 0.20 이하가 적절하고, 0.01 이하가 보다 바람직하다.

본 발명의 실시예에서 제조되는 마이크로 전자 장치 구조는 소정의 적당한 타입일 수 있고, 예를 들어 기판 및 캐패시터 오목부형 유전체 재료를 구비하는 염기 구조상에 기저 전극층, 강유전체층 및 상부 전극층을 순차적으로 도포하여 캐패시터 전구체 구조를 형성하고, 이 캐패시터 전구체 구조를 CMP로 평탄화하여 강유전체 캐패시터 구조를 산출함으로써 형성되는 강유전체 캐패시터 구조를 포함할 수 있다.

본 발명의 강유전체 캐패시터 장치 제조 방법은 전극층의 건식 에칭 또는 강유전체층의 건식 에칭을 사용하는 일없이 수행하는 것이 바람직하고, 0.1㎛ 이하, 예를 들어 0.10 및 0.20㎛ 사이의 형상 크기를 갖는 강유전체 캐패시터의 제조에 사용될 수 있다.

본 발명의 일 실시예에 있어서, 장치 구조 재료는 상부 전극, 강유전체층을 구비하고, 이 캐패시터 구조를 위한 전도성 경계층으로서 하부 전극 아래에 피복되는 정지층을 갖는 캐패시터 구조를 형성할 수 있다.

본 발명의 실시예에 이용할 수 있는 CMP 조건은 과다하게 실험하는 일없이 종래 기술내에서 용이하게 결정할 수 있는 소정의 적절한 슬러리 복합물, 압력 및 온도 조건을 구비할 수 있다. CMP 조건은, 예를 들어 산화물 연마 재료, 예컨대 알루미나 및/또는 산화세륨(ceria) 및 강유전체 캐패시터 구조의 경우에서 상부 전극층, 강유전체층 및 하부 전극층을 제거하기 위한 화학적 첨가제를 구비하는 슬러리를 갖는 기계 연마를 포함할 수 있다.

강유전체 캐패시터 마이크로 전자 장치 구조를 제조하기 위한 본 발명의 방법에 따르면, CMP를 사용하여 캐패시터의 강유전체 및/또는 귀금속층을 평탄화한 결과로 나타나는 손상에 기인하는 캐패시터 성능 열화를 방지하거나 보호하는 몇가지 해결 방법이 있다. 상이한 해결 방법은 (a) 손상을 보호하는 방법과; (b) 손상을 국부적으로 제한하여 캐패시터 기능에 대한 손상의 영향을 최소화하는 방법과; (c) 손상을 회복시키는 방법으로서 분류될 수 있다. 이들 해결 방법은 다시 이하에 각각 기술된다.

마이크로 전자 장치 구조에 대한 손상을 보호하는 해결 방법 (a)에 있어서, CMP 동작은 도판트(dopant) 및/또는 제거될 피막내의 변형체(modifier)로서 사용되는 소자를 포함하는 매체를 연마함으로써 실행될 수 있기 때문에,

CMP 복합물의 이들 구성 요소는 CMP 처리의 종료 단계에 잔존하여 피막에 결합되고, CMP 복합물내에 이러한 구성 요소가 부족한 CMP 복합물의 사용에 관련하여, 기판상의 잔류 피막에 유익하게 영향을 미친다.

예컨대, 폴리싱 매체는 제거된 박막의 조성물과 유사한 페로브크스카이트 나노 결정 입자를 포함하도록 공식화될 수 있으며, 또는 프로보크스카이트 재료의 양이온이 유전체 박막 재료와 통합하는 경우 유전층에 긍정적인 영향을 미치는 성분, 예컨대 도펀트 또는 변형재를 포함할 수도 있다. 상기 합성물은, 예컨대 $BaSrTiO_3$ 및 관련된 재료를 포함할 수 있으며, 페로브크스카이트가 이들 합성물에 낮은 농도로 통합되는 경우에, 이들 합성물이 포함하는 종은 다른 많은 페로브크스카이트의 특성에 바람직한 영향을 미치는 것으로 알려져 있다. 본 발명의 방법의 추가적인 이점은 페로브크스카이트의 경화도가 합성물과 유사하다는 것이며(즉, 상기 박막 내의 페로브크스카이트는 CMP 처리 및 CMP 합성물 내의 페로브크스카이트의 영향을 받음), 페로브크스카이트가 이의 표면에서 화학적으로 변형디는 경우면, 페로브크스카이트막을 제거되게 될 것이다. 따라서, 화학적인 표면 변형은 CMP 공정에서 매우 높은 정밀도의 레벨로 재료를 제거할 수 있도록 사용될 수 있기 때문에, 이 프로세스의 결과로 적합하게 고정밀도로 제어가능하게 된다.

폴리싱 매체는 CMP 공정에 이용될 수 있으며, 이 공정은, 예컨대 Ta_2O_5 또는 Nb_2O_5 와 같은 산화물을 포함한다. 상기 금속 성분들을 통합함으로써, 산소(O)가 결핍하기 쉬운 다수의 페로브스카이트 산화물, 특히 PZT 패밀리 중의 페로브스카이트 산화물의 특성을 향상시킬 수 있으며, 이어서 전기적인 특성을 특성을 열화시키게 된다. 도너 도펀트(donor dopant)는 산소 결핍 및 억셉터 불순물로 인한 결함을 보상하는 데에 이용됨으로써, 도펀트 종(dopant species)이 CMP 처리의 영향을 받는 박막과 통합되도록 한다.

이와 같이, 내화 질화물 또는 탄화물이 전술한 바와 같이 양이온을 포함하는 CMP 매체에 사용될 수 있다. 본 실시예에서는 Ta 질화물, Ta 탄화물, Nb 질화물, Nb 탄화물을 포함한다.

상기 CMP 매체는 CMP 공정을 거치면서 상기 재료의 박막 표면에서의 화학적인 부산물의 경화도를 초과하는 경화도를 갖도록 공식화될 수 있지만, Peter C. Van Buskirt 및 Michael W. Russell의 명의로서 1998년 8월 28일자로 출원되어 공동 계류 중인 미국 특허 출원 번호 제09/141,971호로 출원되었으며, 발명의 명칭이 " Ternary Nitride-Carbide Barrier Layers," 인 발명의 개시가 참조하기 위하여 전체가 본 발명의 명세서에 통합되었으며, 상기 출원에 기술된 바와 같이, 2단 또는 3단의 질화물-탄화물 장벽과 같은 폴리싱 중단층에서 중단될 수 있다.

종래의 슬러리를 포함하는 전술한 CMP 매체의 혼합물은 흔히 박막 표면에서의 반응 시험에 사용되는, 예컨대 산기, 염기, 산화기들을 과 같은 액체 매체를 포함할 수 있으며, 본 발명에 따라 CMP 합성물에 유용하게 이용될 수 있다.

연속되는 장치 기능 및 동작에 미치는 영향을 최소화시키기 위해서 소형 전자 장치 구조에 손상을 국한시키는 전술한 방법(b)에서, CMP 단계 동안 또는 이후에 금속 또는 유전(강유전체, 또는 높은 ε)층이 선택적인 제거되어 국부적인 오목부를 형성할 수 있다. 이 방법은 손상 영역을 제거할 수 있거나, 또는 손상된 영역과 상관없는 존재를 형성시킬 수 있다. 이 경우에, 상기 작용 영역에서의 전기적인 쇼트 또는 누설 전류의 가능성이 상당히 감소된다. 상기 방법은 몇몇 방법으로 수행할 수 있다.

하나의 기법으로서, CMP가 종료된 이후에 중간층 유전체(예컨대, PZT 및 SBT에 사용되는 Pb 또는 Bi 및 BST에 사용되는 SiO_2 확산 장벽)를 증착하기 전에 불활성 이온 충격을 수행하여도 좋다. 충격은 선택적으로 Ir 또는 Pt에 비하여 Zr 및 Ti와 같은 가벼운 성분을 제거할 수 있으며, 예컨대 잔류 Pb는 600℃를 초과하는 높은 온도에서 PbO의 형태로 제거될 수 있다. 상기 충격 기법에 사용되는 불활성 이온은 제거될 재료와 반응하지 않는 적절한 형태의 이온일 수 있으며, 예컨대 이 실시예에서는 아르콘 헬륨 제논 등과 같은 성분이 포함된다.

전술한 기법에서와 같이, 등방성 드라이 에칭이 수행될 수 있으며, 이는 Peter C. Van Buskirt, Frank DiMeo, Jr., Peter S. Kirlin 및 Thomas H. Baum의 명의로 1998년 6월 8일자로 출원되어 공동 계류 중인 미국 특허 출원 번호 제09/093,291호로 출원되었으며, 발명의 명칭이 " ISOTROPIC DRY CLEANING PROCESS FOR NOBLE METAL INTEGRATED CIRCUIT STRUCTURE" 인 발명의 개시가 참조하기 위하여 전체가 본 발명의 명세서에 통합된 출원에 보다 상세하게 기술되어 있다.

CMP 공정에 의해 발생된 처리 박막에서의 손상을 없애는 다른 방법(c)에서 결정 격자에서의 물리적인 손상은 CMP 이후의 열적 어닐링에 의해 제거될 수 있다. 상기 열적 어닐링은 소정의 적절한 형태의 어닐링일 수 있으며, 예컨대 종래의 오븐 역적 어닐링(oven thermal annealing) 처리 도는 빠른 열적 어닐링(RTA) 처리를 포함할 수 있다. 이 CMP 이후의 어닐링은 산소가 존재하는 가운데 수행하여 산소 화학량이 수정되도록 하는 것이 바람직하다.

본 발명은 화학적이며 기계적인 폴리싱을 통하여 항부식성 금속을 상당히 빠른 속도로 제거하기 위하여 상기 CMP 슬러리 매체의 공식을 예상한다. 이리듐 및 다른 항부식성 금속을 폴리싱하는 적절한 CMP 슬러리 매체가 Michael W. R

ussell, Peter C. Van Buskirt, Jonathan J. Wolf 및 George T. Emond의 명의로 1998년 __월 __일자로 출원되어 공동 계류 중인 미국 특허 출원 번호 제09/_____호(참조 번호 ATM-338)로 출원되었으며, 발명의 명칭이 " PROCESS FOR THE CMP REMOVAL OF IRIDUM THIN FILMS," 발명의 개시가 참조하기 위하여 전체가 본 발명의 명세서에 통합되었으며, 상기 출원에 보다 상세하게 기술되어 있다.

항부식성 금속용의 폴리싱 매체는, 실리카, 알루미나, 티타니아, 탄화 실리콘, 다이아몬드 또는 산화 세슘(ceria), 즉 본 명세서에서 앞서 전술한 유형의 페로브크스카이트 나노 결정 입자, 도펀트 금속 입자, 또는 전술한 입자들 2개 이상의 화합물과 같은 종래의 연마 입자를 포함한다.

금속 CMP 중에 슬러리 화학 물질은 금속 표면과 반응하여 고체 및/또는 이온 제품을 형성한다. 금속막 제거 속도의 증가는 예컨대 이 표면층이 원래의 금속 표면보다도 삭마에 의해 더 쉽게 제거되는 것에 의해서 달성된다. 표면층은 질화물, 황화물, 할로겐 화합물 또는 이들의 혼합물로 구성될 수 있지만, 대개는 하부의 귀금속막 보다도 더 연질인 산화물 또는 수화 산화물로 구성된다. 천연의 산화물 및 수산화물 막은 용액의 PH, 슬러리 환경에서의 금속의 전기화학 전위 및 정해진 CMP 처리 조건의 설정에 열역학적으로 우호적인 각종 반응의 운동에 따라 각종 CMP 슬러리에 노출시킴으로써 형성될 수 있다. 완충제의 사용에 의한 용액 PH 및 전기화학 전위의 제어는 화학적 에칭 과 기계적 삭마에 의한 물질 제거 사이의 균형을 용이하게 맞추기위하여 바람직할 수 있다. 연질 표면층의 형성을 촉진하는 연마 매체에 대한 화학적 첨가제로는 H_2O_2, $K_3Fe(CN)_6$, $K_3Fe(C_2O_4)_3$, $Fe(C_2H_3O_2)_3$, $Fe(NO_3)_3$, $Fe_2(SO_4)_3$, $Fe(OH)_3$, $(NH_4)_3Fe(CN)_6$, $(NH_4)_3Fe(C_2O_4)_3$, KCl, KBr, KI, $FeCl_3$, $FeBr_3$, FeI_3, $FeCl_2$, $FeBr_2$, FeI_2, 및 상기 물질의 2종류 이상의 혼합물이 있고, 특수 조성물 및 연화제의 선택은 이 기술에 숙련된 자에 의해 과도한 실험없이 쉽게 결정할 수 있다.

CMP에 대한 프레스톤 방정식에 기초하여, 금속과 산화물 연마 사이의 고 선택성은 파라메터(압력 x 판금 속도)가 300 psi rpm 이하의 값을 갖는 조건에서 CMP 동작을 수행함으로써 달성될 수 있으며, 여기에서 CMP 연마 패드의 압력은 psi로 측정되고 연마 패드의 판금 속도는 rpm 단위로 측정된다.

비록 이하에서 본 발명을 커패시터 구조, CMP 방법을 이용한 제조방법 및 CMP 조성물에 대하여 주로 설명하지만, 본 발명은 이것들에 제한되지 않고 예를들면 커패시터, 저항기 및 인덕터 구조와 같은 집적회로 등의 광범위한 마이크로 전자 장치 구조 및 다층 기하를 이용하는 기타의 마이크로 전자 장치를 포괄하는 것으로 인식되어야 한다.

첨부 도면을 참조하면, 본 발명을 스택 커패시터에 적용한 일 실시예의 처리 흐름도가 도 1a 내지 도 1h에 개략적으로 도시되어 있다. 도 1a 내지 도 1h에 도시된 각 단계는 처리 단계 A 내지 H로 아래에 대응하게 표시된 순서에 따라 설명한다.

도 1a(단계 A)에 도시된 바와 같이, 기판(10)(전형적으로 실리콘으로 형성되지만, GaAs 등의 다른 기판 구성 물질도 가능함)에는 종래의 제조 기술에 따라 웨이퍼 표면(12)의 아래에 이미 제조되어 있는 트랜지스터와 기타 회로(도시 생략)가 설치되어 있다. 실리콘 회로는 TiO_2, SiO_2, Si_3N_4, 붕소 또는 인이 도핑된 SiO_2 등의 절연층(격리 유전체)으로 피복되어 있다. Si 회로로 향하는 비아(16)는 사진 석판술 또는 건식 에칭에 의해 개공되고, p-Si 또는 W와 같은 적당한 물질로 된 플러그(18)는 CVD를 이용하여 비아 내에 형성되며, 표면(20)은 건식 에칭 또는 CMP를 이용하여 평탄화된다.

단계 B(도 1b)에서 TiO_2, SiO_2, Si_3N_4, 붕소 또는 인이 도핑된 SiO_2 등의 물질로 된 커패시터 오목부 유전체(22)는 CVD, 스퍼터링 또는 습식 증착법을 이용하여 플러그(18)의 표면 및 격리 유전체(14)의 위에 형성된다. 일 실시예에 있어서, 격리 유전체 및 커패시터 오목부 유전체는 동일 물질로 제조될 수 있다.

단계 C(도 1c)에 있어서, 커패시터 오목부(24)는 사진 석판술 또는 건식 에칭에 의해 절연층(22)의 표면 내에 형성된다. 도전성 플러그(26)의 최상부 표면은 단계 D에서 도전성 장벽 증착을 행하기 전에 깨끗한 표면을 보장하도록 스퍼터 에칭되거나 열처리된다.

커패시터 층을 구성하는 도전층과 절연층은 단계 D(도 1d)에서 증착된다. 이 층들은 증착되는 순서에 따라서 도전성 장벽층(28), 하부 전극(30)(BE), 강자성층(32)(FE), 상부 전극(34)(TE), 및 유전체 절연층(35)을 포함한다. 도전성 장벽층은 TiN, TiSiN, TiAlN, IrO2, SiC 또는 내산화성이고 Si의 확산을 방지하는데 적당한 임의의 다른 물질로 구성할 수 있다. 도전성 장벽층은 또한 플러그에 대한 장벽의 접촉을 개선하기 위해 최초로 증착된 Ti층으로 구성될 수 있다. BE 층과 TE 층은 일반적으로 Pt 또는 Ir과 같은 귀금속 또는 유사 물질의 합금으로 구성된다. 몇가지 예에서는 TE는 고도의 산화 증착 환경을 견딜 필요가 없으므로 귀금속으로 할 필요가 없다. TE 층의 물질은 전형적으로 PZT 또는 SBT 이지만, 티탄산 비스무쓰 또는 어떤 다른 강유전성 박막 조성물일 수도 있다. 또는, 고용량을 위한 BST 또는 자기저항성을 위한 LaCaMnO3 등의 유사한 다성분 산화물로 구성할 수도 있다.

이 층들의 일부 측벽 커버리지가 필요하고 다른 층들은 다른 이유 때문에 측벽 커버리지가 요구된다는 것은 명백하다. 장벽은 단계 E에서 연마를 위해 현저한 기계적 강도가 요구되기 때문에 BE와 커패시터 오목부 유전체 사이에서 양호한 접착을 형성하기 위해 측벽을 피복하여야 한다. BE는 구조체의 측벽부가 선택된 응용으로 사용되어져야 한다면 전기적 연속성을 위해 적당한 두께를 달성하도록 측벽을 피폭하여야 한다. 다른 제한 요소로는 $PbZrTiO_3$ 또는 $SrBi_2Ta_2O_9$ 가 유전체일 때 도전성 장벽 및 BE의 양자가 함께 Pb 또는 Bi 확산 장벽으로써 작용하고 기능 또한 상기 층들의 적당한 측벽 커버리지를 요구한다는 점이다. 유전체는 커패시터에서 균일한 전기적 특성을 얻고 TE와 BE 사이의 단락 회로를 방지하기 위해 적당한 측벽 커버리지를 가져야 한다. 0.5㎛ 이상의 기하학적 구성에 대하여, 도전성 층은 스퍼터링을 이용하여 증착될 수 있고, 그에 따라 적당한 측벽 커버리지를 얻을 수 있다. 더 작은 기하학적 구성 또는 커패시터 오목부에서의 높은 종횡비에 있어서는 도전성 층의 CVD가 필요할 수 있다. FE 층의 CVD는 비록 FE가 만족스런 결과를 갖도록 스퍼터될 수 있는 경우가 있다 하더라도 TE와 BE 사이의 단락 회로를 방지하기 위해 일반적으로 필요하다.

다음에, 단계 E(도 1e)에서, 필름 적층체는 커패시터 오목부에서 3차원 커패시터를 형성하는 CMP를 이용하여 평탄화된다. CMP 처리는 커패시터 오목부 유전체와 관련하여 유전체 절연층, TE, FE, BE 및 장벽의 선택적 제거를 촉진하기 위해 화학적 첨가제가 존재하는, 산화 알루미늄, 산화 세륨 등과 같은 제거되는 물질보다 더 단단한 산화 연마제를 일반적으로 포함하는 슬러리에 의해 기계적으로 연마하는 것을 포함한다.

이 단계에서는 도전성 전극 금속과 강유전성의 장벽막 사이의 선택성이 적고(예를 들면 1:1), 도전성 전극 금속과 커패시터 오목부 유전체(22) 사이의 선택성이 높은(예를 들면 > 5:1) 것이 바람직하다. 상기 선택성은 스톱층의 두께를 과도하게 크게할 필요 없이 CMP 처리를 효과적으로 중단시킨다.

본 발명의 양호한 실시예에서는 전극 금속과 장벽층 사이의 선택성이 높은 CMP 처리를 사용하여 장벽층(28)을 CMP 처리의 고유 스톱층으로써 사용할 수 있게 한다.

이와 다르게, 장벽층이 아닌 도전성 또는 절연성의 스톱층(23)이 커패시터 오목부의 제조 전에 커패시터 오목부 유전체의 표면상에 형성되어 유사한 방법으로 CMP 처리를 종료시키도록 사용될 수 있다.

도전성 스톱층 또는 도전성 장벽층이 CMP 처리를 종료시키기 위해 사용되는 경우 커패시터 오목부의 외부에 있는 상기 층의 부분은 제거 또는 산화되고, 이것에 의해, 다음 단계에서 발생하는 절연성의 비활성층의 후속 증착 전에 절연되게 한다. 이 때, 장벽층의 제거는 이미 공지되어 있고 TiN, TiAlN 또는 IrO_2 와 같은 장벽층 물질로써 유용하게 사용될 수 있는 건식 에칭에 의해 실행될 수 있다.

또다른 방법은 커패시터 오목부 유전체의 전체를 적당한 CMP 스톱층 물질로 제조하는 것이고, 이 방법에서는 CMP 처리의 선택성이 스톱층 제거 속도에 비하여 작은 경우에도 스톱층의 두께가 존재하게 될 것이다.

예를 들면 Ir이 PZT와는 다른 CMP 처리를 요구하는 것과 같이, 커패시터에서 사이한 물질들을 제거하기 위해 2회 이상의 별도의 CMP 처리(또는 슬러리)를 순차적으로 적용할 필요가 있을 수 있다. 산화 알루미늄을 기반으로 하는 슬러리를 사용하는 경우, Ir 제거 속도는 20 50nm/min인 것으로 증명되었다. 대부분의 CMP 처리는 웨이퍼의 표면상에 존재하는 미소한 흠집 및/또는 부식물을 제거하는 2단계 연마를 사용한다. CMP에 의한 부분 제거 동안에 기계적 및 화학적 요동(agitation)을 받기 쉬웠던 강유전체 막에 대한 물리적 또는 화학적 손상을 제거하기 위해 필요한 경우에는

산화 또는 불활성 환경에서의 포스트 CMP 어닐링을 실행할 수 있다.

수동의 종점 검출(고 선택도 인터페이스의 이용)은 쉽게 통합되고 비싼 도량형의 장비의 사용에 바람직하다.

단계(F)(도 1F)는 이전의 단계에서 형성되는 상기 커패시터 상의 절연 패시베이션 층(36) 및 내부-레벨 유전체(ILD)(38)를 순차적으로 부차하는 것에 관련된다. 상기 장벽은 CVD, 스퍼터링 및 습식 부착 방법을 이용하면서 부착되고 그것의 목적은 페로일렉트릭 필름 또는 전극의 최상의 에지와 일반적으로 Si 또는 SiO_2를 함유하고 있는 상기 위에 놓인 ILD층 사이의 바람직하지 않은 화학적인 반응 및 내부 확산을 막기위한 것이다. 특히, PZT 및 SBT는 각각 매우 화학적으로 반응적이고 유동적인 종인 Pb 및 Bi를 함유하고 있고 상기 ILD층을 가진 상기 종 등의 내부 확산을 막는 것이 중요하다. 패시베이션 층은 TiO_2, ZrO_2, Ta_2O_5, Si_3N_4 또는 상기 물질의 혼합물을 포함하는 다른 유사한 유전체 물질일 수 있다. 상기 상기 ILD는 TiO_2, SiO_2, Si_3N_4, 붕소 또는 인이 첨가된 SiO_2 등이고 CVD, 스퍼터링 및 습식 부착 방법을 이용하면서 부착된다.

단계(G)(도 1G)에서 바이어(via)(40)는 사진 석판술 및 드라이에칭을 이용하면서 장벽 층 및 ILD에서 개방된다.

마지막으로, 단계(H)(도 1H)에서, TiN, TiAlN, WN 또는 다른 적절한 재료 등과 같은 확산 장벽(42)은 CVD 또는 스퍼터링을 이용하면서 부착되고 금속화(44)는 상기 바이어(via)를 등각으로 채우기 위해 상기 장벽에 부착된다. 상기 금속화는 CVD 공급된 W 이거나 높은 온도에서 스퍼터링 되거나 또는 역류되는 Al이거나, 또는 CU이거나, 또는 AL-Cu 합금이거나, 또는 다른 전도성의 물질일 수 있다. 상기 금속화는 그후 사진 석판술 및 드라이에칭을 이용하면서 만들어진다.

도 1A-1H에서, CMP 및 상기 페로일렉트릭, 전극 및 장벽층의 화학적인 증기 부착(CVD)을 이용하면서 스택 커패시터 구성내의 초미세한 페로일렉트릭 커패시터를 만들기 위한 과정 흐름은 0.35㎛ 이하의 최소 배선폭에 바람직하게 이용된다.

본 발명의 CMP 방법론이 유용하게 이용될 수 있는 과정 흐름의 다른 예로서, 트렌치 커패시터의 제작은 이하 설명된다.

예를 들면, GaAs 등과 같은 다른 재료가 잠재적으로 유용하게 이용될 지라도, 웨이퍼 표면내에 제조된 트랜지스터 및 다른 회로를 가진 실리콘으로 형성될 수 있는 회로 기판이 이용된다. 대안으로, 상기 회로 기판은 커패시터의 형성시에 회로 기판내에 제조된 트랜지스터를 갖지 않은 P형일 수 있다.

커패시터 홈은 사진 석판술 및 드라이에칭을 이용하는 상기 Si이 표면내에서 형성된다.

다음으로, 커패시터층을 포함할 것인 전도 및 절연층은 부착된다. 상기 층은 전도 장벽층, 밑바닥 전극(BE), 페로일렉트릭층(FE) 및 최상위의 전극(TE)층을 포함(층들이 부착되는 시퀀스내에서)한다. 상기 장벽층은 TiN, TiSiN, TiAlN, IrO_2, SiC 또는 산화에 견디고 Si의 확산을 막는데에 적절한 몇몇 다른 물질로 형성될 수 있다. 상기 BE 및 TE 층은 일반적으로 Pt 또는 Ir, 또는 유사한 물질의 합금 등과 같은 귀금속으로 형성된다. 상기 TE층은 상기 층이 매우 높은 산화 부착의 환경에 견딜 필요가 없기 때문에 귀금속으로 형성될 필요가 없다 .상기 TE층은 일반적으로 PZT 또는 SBT로 형성되지만, 대안으로 비스무트(bismuth) 티탄산염 또는 몇몇 다른 페로일렉트릭의 얇은 필름 물질로 형성될 수 있다. 측벽의 커버리지 이슈는 상기 설명된 스택 커패시터의 과정 흐름에서의 것과 유사하고 상기 Si 회로 기판내의 트렌치의 높은 종횡비(깊이/폭)는 모든 커패시터 형성 층을 제작하는데 매우 바람직하게 된다.

필름 스택은 CMP를 이용하면서 상기 커패시터 홈내의 3차원의 커패시터를 형성하기 위해 평탄화된다. 상기 CMP 과정은 본 발명에 따라 전도되고 일반적으로 상기 TE, FE, BE 및 실리콘과 관계있는 장벽층의 선택적인 제거를 촉진하기 위해 제공된 화학적인 부가물을 가지고서, 알루미나와 산화 세륨 등과 같은 제거되는 물질보다 더욱 강한 연마용의 산화물을 함유하고 있는 슬러리를 이용할 수 있다. 하나 이상의 CMP 과정을 순차적으로 제공하고 본 명세서에서 설명되

었듯이, 산화 환경내의 커패시터 구조를 달구어 식히는 것이 필요할 수 있다.

다음으로, 절연 패시베이션층 및 내부 레벨 유전체(ILD)층은 순차적으로 이전의 단계내에 형성된 상기 커패시턴스 상에 부착된다.

그후 바이어(via)는 사진 석판술 및 드라이에칭을 이용하면서 절연체 패시베이션층과 ILD층을 포함하면서 상기 장벽내에서 개방된다. TiN, TiAlN, WN 또는 다른 적절한 물질은 CVD 및 스퍼터링을 이용하면서 부착된다.

이전에 부착된 상기 장벽층은 드라이에칭 또는 CMP를 이용하면서 만들어진다.

바이어(via)는 이전에 형성된 불순물이 첨가된 영역으로 개방되고 p-Si 또는 다른 적절한 전도체는 부착되어 상기 메모리 셀을 위한 회로의 일부를 형성하기 위해 만들어진다. 유전체 격리 물질은 그후 만들어진 p-Si 워드 라인 및 판 상에 형성되고 바이어는 트랜스퍼 트랜지스터(불순물 첨가된 Si 영역)로 개방되고 상기 비트 라인은 Si 인터페이스에서 적절한 장벽층을 가진 Al의 부착 및 가공에 의해 형성된다.

CMP를 이용하는 트렌치 커패시터 구성내의 초미세한 페로일렉트릭 커패시터를 형성하기 위한 상술된 방법에서, 최소 배선폭이 0.35㎛ 이하이거나 또는 높은 종횡비가 바람직할 때, 상기 페로일렉트릭, 전극 및 장벽층을 CVD를 이용하여 형성하는 것이 바람직하다.

도 2A는 CMP가 실행된 후에 도 1E의 장치 구조의 확대도를 도시한다. 상기 CMP 동작은 다른 평탄화된 표면에 관한 홈의 갭(36)을 형성하는 전극 층의 에지의 홈을 발생시킨다.

상기 오목부 구조를 보상하고 마이크로 전자 장치의 다음 사용에서 전극 레이어의 상기 구조를 참조하여 에지 효과 및 유해 현상을 최소화하기 위해 도 2B에 도시된 바와 같이, 절연 레이어(39)는 상기 장치 구조 상부에 지정된다. TiO_2또는 Ta_2O_5와 같은 절연 레이어는 PZT 또는 SBT의 유전체에서 각각 사용되어 Pb 또는 Bi 확산에 저항을 공급한다. 이어 표준 층간 유해 처리 및 금속화 처리를 한다. 파손된 유전체의 오목부는 CMP 동작으로 선택적인 결과 조건이고 유전체 물질 상부에 절연 레이어를 형성함으로써 상응되어 처리될 수 있다.

본 발명의 추가적인 실시예에 따라 화학적 기계 연마는 패턴 전도 라인에 사용된다. 라인의 자기 인덕턴스는 투자율이 높은 물질에 내장함으로서 증가될 수 있다. 투자율은 양적으로 혼합되고 실제 파트(μ ')는 분산적이며(전파 에너지의 위상 변화로 초래됨) 가상 파트(μ '')는 소산적이다(전파 에너지의 손실로 초래됨).

페라이트는 특정 주파수 범위 이상에서 높은 μ '와 낮은 μ ''가 나타나는 제4기 원소(또는 고산화 상태)의 금속 산소 화합물로 구성되어 따라서 이것은 전도 라인 응용을 위해 물질의 적합한 분류로 만들어진다. 높은 자계율 및 저손실 특성이 전기적 소음 및 전력 소모를 최소화하기 위해 제공되는 반면 전도 라인에서의 신호 레벨을 적합한 레벨로 유지시킨다.

마이크로파 범위에서 낮은 μ '' 페라이트를 예를 들면 MgMn 페라이트($Mg_xMn_{1-x}Fe_2O_4$) 및 MgMnAl 페라이트($Mg_xMn_{1-x}Fe_yAl_{2-y}O_4$)이다. 상기 물질의 박막의 자계 및 전기 저항 특성은 입자 크기(Fe 함유량 등)로 변형되어 더 강화될 수 있다.

유사하게, 증가된 단위 길이당 커패시터를 갖는 라인을 이루기 위해 기생 커패시터는 높은 투자율(ㅣ)의 물질을 전송 라인에 내장함으로써 증가된다. 높은 ㅣ 를 얻기 위해서 필름은 $BaSrTiO_3$, $PbZrTiO_3$계통인 TiO_2, Ta_2O_5등으로부터의 기생 물질을 포함한다.

대체로 전송 라인의 네트워크는 집적 회로 장치가 구성되는 동안 소정의 시간에 형성되더라도, 증가된 인덕턴스(또는 커패시터)를 갖는 전송 라인의 구성은 집적 회로의 부분을 이미 포함하는 기판으로 시작될 것이다. 도 3A은 트랜지스터 및 웨이퍼 표면 하부에 이미 구성된 다른 매설 회로(생략)에 접속되는 18을 경유하여 전도성을 띄는 기판(10)을 도시한다. 일반적으로 SiO_2, Si_3N_4 또는 다른 적합한 절연체 물질을 포함하는 오목부 유전체(22)는 당업자에게 잘 알려진 적합한 방법으로 지정된다. 드라이 에칭은 약 1 마이크론 이하의 형태 크기가 바람직하다. 상기 오목부의 레이아웃은 전도체에 의도된 경로에 상응하고 전도체 또는 기판의 다른 표면 구조에 접속되도록 수직홀은 인접된 리소그래피-에지 단계에서 구성될 수 있다.

도 3B에 도시된 바와 같이, 오목부는 높은 투자율 레이어(46)에 의해 연달아 채워지고 상기 레이어의 종래의 증착 방법(예를 들면 스퍼터링, 증착, CVD, 레이저 제거 등)을 사용하여 전도체(48)에 의해 연결된다. 특정 레벨까지 높은 ㅣ 레이어의 응용에서 오목부가 갖는 화학 상호 작용 또는 확산 상호 작용을 방지하기 위해 레이어(46)는 또한 장벽 레이어(생략)를 포함한다.

도 3C는 CMP에 의해 평면화되어 전도체(48)의 결정 기학을 형성하는 상기 필름을 갖는 기판을 도시한다. 전도체(48)를 밀폐하기 위해 도 3D에 도시된 바와 같이 높은 ㅣ 물질의 레이어(50)는 CMP 평면 상부에 지정된다.

인덕턴스 특성을 양호하게 하기 위해 금속 레이어는 상기 기술된 동일 구성 방법에 의해 인덕턴스가 개선된 높은 ㅣ 레이어에 상관없이 형성될 것이다.

개선된 커패시터 구조는 높은 ㅣ 박막 대신에 높은 ≤ 물질을 사용함으로써 상기 구성 방식으로 또한 중첩될 수 있다.

본 발명은 집적 회로에서 전도체 및 절연체의 공동 형성을 기술하는데 사용되는 CMP의 소정의 응용으로 이용될 것이다.

저항기는 적합한 물질(즉, 저항의 완전히 낮은 열 효율을 갖는 Ta 또는 TaN)을 사용하는 다마스크 처리에 의해 상응하게 형성될 것이다. 일반적으로 상기 기술을 사용하여 집적 회로에 인덕터, 커패시터 및 저항기를 함께 형성하는 것은 장점이 될 수 있다.

본 발명의 실시예는 상기 기술된 개념에 따라 다양하게 변형될 수 있다. 상기에서 본 발명에 따라 CMP에 의해 수행되는 평탄화 및 물질 제거등 마이크로 전자 장치 구조의 다양한 변형이 형성된다.

따라서, 본 발명은 특정 목적, 특징 및 실시예를 참조하여 기술되었으나 다른 실시예로 변형이 가능하다. 따라서, 본 발명은 청구항을 참조하여 확장 해석될 수 있다.

(57) 청구의 범위

청구항 1.

소자 선구물질 구조체를 형성하는 단계와, CMP 매체를 갖는 화학 기계 연마(CMP)에 의해 상기 소자 선구물질 구조체를 평탄화하는 단계를 포함한 초소형 전자 소자 구조체를 제조하기 위한 방법으로서, 상기 초소형 전자 소자 구조체의 제조 방법은 이하의 단계 (Ⅰ) 내지 (Ⅳ), 즉

(Ⅰ) 상기 CMP 매체는 내부에 통합시에 상기 초소형 전자 소자 구조체에 유익한 특성을 제공하는 적어도 하나의 구성 소자를 포함하는 것;

(Ⅱ) 상기 초소형 전자 소자 구조체는 금속 및 유전체를 포함하며, 상기 금속 및 유전체 중의 적어도 하나는 초소형 전자 소자 구조체 내에 국소 오목부를 작성하기 위해 상기 CMP를 평탄화하거나 또는 CMP를 평탄화한 후에 제거되고, 사용시에 단락 또는 고누설 전류 동작에 의해 상기 초소형 전자 소자 구조체의 자화율을 감소시키도록 선택적으로 상부에 절연층의 증착이 수행되는 것;

(Ⅲ) 상기 초소형 전자 소자 구조체에 대한 물리적 손상은 상기 CMP를 평탄화한 후에 상기 초소형 전자 소자 구조체의 열 어니일링에 의해 제거되는 것;

(Ⅳ) 귀금속 전극 재료는 상기 CMP 매체에 의해 제거되는 것

중의 적어도 하나를 포함하는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 2.

제1항에 있어서, 단계 (Ⅰ)를 포함하고, 상기 유익한 구성 소자는 적어도 하나의 페로브스커트 나노크리스탈 입자와, 내부에 통합시에 상기 초소형 전자 소자 구조체 재료 내의 O 격자 결함 또는 억셉터 불술물 결함을 보상하기 위한 도너 포펀트와, 내부에 통합시에 상기 초소형 전자 소자 구조체 재료의 유전체 및/또는 강유전성 특성에 유익한 양이온을 포함한 내화 질소화물 및 탄화물과, 평탄화되는 초소형 전자 소자 구조체의 표면에 존재하는 화학 부산물의 경도를 초과하는 경도를 갖는 구성 소자와, 평탄화되는 초소형 전자 소자 구조체의 표면에서 그 초소형 전자 소자 구조체 재료와 반응하는 반응성 구성 소자를 포함하는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 3.

제2항에 있어서, 상기 구성 소자는 바륨 스트론튬 티탄산염을 포함하는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 4.

제2항에 있어서, 상기 구성 소자는 탄탈륨 산화물 및 니오븀 산화물 중 적어도 하나를 포함하는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 5.

제2항에 있어서, 상기 구성 소자는 탄탈륨 질소화물, 탄탈륨 탄화물, 니오븀 질소화물 및 니오븀 탄화물 중 적어도 하나를 포함하는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 6.

제2항에 있어서, 상기 구성 소자는 평탄화되는 필름의 표면에서 물질을 산화시키는데 유효한 산, 염기, 및 구성 소자 중 적어도 하나를 포함하는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 7.

제1항에 있어서, 단계 (Ⅱ)를 포함하고, 상기 단계 (Ⅱ)는,

CMP의 평탄화 이후 및 층간 유전체의 증착 이전에 상기 초소형 전자 소자 구조체의 불활성 이온 충격 동작과;

상기 초소형 전자 소자 구조체의 등방성 건식 에칭 동작 중의 적어도 하나의 동작을 포함하는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 8.

제7항에 있어서, 상기 단계 (Ⅱ)는,

CMP의 평탄화 이후 및 층간 유전체의 증착 이전에 상기 초소형 전자 소자 구조체의 불활성 이온 충격 동작을 포함하는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 9.

제8항에 있어서, 상기 초소형 전자 소자 구조체는 납 지르코늄 티탄산염(PZT) 박막층 및 Pb 확산 장벽을 포함하는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 10.

제8항에 있어서, 상기 초소형 전자 소자 구조체는 스트론튬 비스무트 탄탈산염(SBT) 박막층 및 Bi 확산 장벽을 포함하는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 11.

제8항에 있어서, 상기 초소형 전자 소자 구조체는 바륨 스트론튬 티탄산염(BST) 박막층 및 SiO_2 확산 장벽층을 포함하는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 12.

제1항에 있어서, 단계 (Ⅲ)을 포함하고,

CMP의 평탄화 이후 상기 초소형 전자 소자 구조체의 열 어니일링 처리는 오븐 열 어니일링 처리에 의해 전도되는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 13.

제1항에 있어서, 단계 (Ⅲ)을 포함하고,

CMP의 평탄화 이후 상기 초소형 전자 소자 구조체의 열 어니일링 처리는 신속한 열 어니일링 처리(RTA)에 의해 전도되는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 14.

제1항에 있어서, 단계 (Ⅲ)을 포함하고,

CMP의 평탄화 이후 상기 초소형 전자 소자 구조체의 열 어니일링 처리는 상기 초소형 전자 소자 구조체 내의 산소 화학량론을 보정하기 위해 산소에 직면하여 전도되는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 15.

제1항에 있어서, 단계 (Ⅳ)을 포함하고,

상기 CMP 매체는, 실리카, 알루미나, 티타니아, 실리콘 탄화물, 다이아몬드, 산화세륨, 페로브스커트 나노크리스탈 입자, 도펀트 재료, 및 귀금속 전극 재료보다 낮은 경도를 갖는 고체 및/또는 이온적을 형성하기 위해 상기 귀금속 전극 재료와 반응하는 구성 소자로 구성된 그룹 중에서 선택된 적어도 하나의 구성 소자를 포함하는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 16.

제15항에 있어서, 상기 CMP 매체의 상기 적어도 하나의 구성 소자는 질소화물, 황화물, 할로겐화물, 산화물 및 수화산화물로 구성된 그룹 중에서 선택되는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 17.

제15항에 있어서, 상기 CMP 매체의 상기 적어도 하나의 구성 소자는

H_2O_2, $K_3Fe(CN)_6$, $K_3Fe(C_2O_4)_3$, $Fe(C_2H_3O_2)_3$, $Fe(NO_3)_3$, $Fe_2(SO_4)_3$, $Fe(OH)_3$, $(NH_4)_3Fe(CN)_6$, $(NH_4)_3Fe(C_2N_4)_3$, KCl, KBr, KI, $FeCl_3$, $FeBr_3$, FeI_3, $FeCl_2$, $FeBr_2$, 및 FeI_2로 구성된 그룹 중에서 선택되는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 18.

제1항에 있어서, 상기 초소형 전자 소자 구조체는 금속 전극 및 유전체를 포함하고, 상기 금속 전극 재료는 상기 CMP 평탄화시에 제거되며, 상기 CMP 평탄화는 이하의 식,

(압력 ×플래튼 속도) < 300 psi rpm

[여기에서, 압력은 CMP 연마 패드에 의해 CMP 평탄화 내에 초소형 전자 소자 구조체 위에 미치는 압력(제곱 인치당 파운드로 측정됨)이고, 플래튼 속도는 상기 CMP 연마 패드의 플래튼 속도(분당 회전수로 측정됨)임]

에 따라서 전도되는 것인 초소형 전자 소자 구조체의 제조 방법.

청구항 19.

커패시터 선구물질 구조체를 형성하기 위해 염기 구조체 위에 도전성 장벽층, 하부 전극층, 강유전층 및 상부 전극층을 연속해서 증착시키고, 상기 강유전성 커패시터의 초소형 전자 소자 구조체를 형성하기 위해 CMP 매체를 갖는 화학 기계 연마(CMP)에 의해 상기 커패시터 선구물질 구조체를 평탄화함으로써, 강유전성 커패시터의 초소형 전자 소자 구조체를 제조하기 위한 방법으로서, 상기 강유전성 커패시터의 초소형 전자 소자 구조체의 제조 방법은 이하의 단계 (Ⅰ) 내지 (Ⅳ), 즉

(Ⅰ) 상기 CMP 매체는 내부에 통합시에 상기 초소형 전자 소자 구조체에 유익한 특성을 제공하는 적어도 하나의 구성 소자를 포함하는 것;

(II) 상기 초소형 전자 소자 구조체는 금속 및 유전체를 포함하며, 상기 금속 및 유전체 중의 적어도 하나는 초소형 전자 소자 구조체 내에 국소 오목부를 작성하기 위해 상기 CMP를 평탄화하거나 또는 CMP를 평탄화한 후에 제거되고, 사용시에 단락 또는 고누설 전류 동작에 의해 상기 초소형 전자 소자 구조체의 자화율을 감소시키도록 선택적으로 상부에 절연층의 증착이 수행되는 것;

(III) 상기 초소형 전자 소자 구조체에 대한 물리적 손상은 상기 CMP를 평탄화한 후에 상기 초소형 전자 소자 구조체의 열 어니일링에 의해 제거되는 것;

(IV) 귀금속 전극 재료는 상기 CMP 매체에 의해 제거되는 것

중의 적어도 하나를 포함하는 것인 강유전성 커패시터의 초소형 전자 소자 구조체의 제조 방법.

청구항 20.

제19항에 있어서, 상기 전극층의 건식 에칭 처리 또는 상기 강유전층의 건식 에칭 처리 없이 실행되고, 상기 강유전성 커패시터는 0.10 ㎛와 0.20 ㎛의 사이의 최소 배선폭을 갖는 것인 강유전성 커패시터의 초소형 전자 소자 구조체의 제조 방법.

청구항 21.

제19항에 있어서, 상기 강유전성 커패시터는 0.35 ㎛ 이하의 최소 배선폭을 갖는 것인 강유전성 커패시터의 초소형 전자 소자 구조체의 제조 방법.

청구항 22.

제19항에 있어서, 상기 하부 전극층은 귀금속으로 형성된 것인 강유전성 커패시터의 초소형 전자 소자 구조체의 제조 방법.

청구항 23.

제19항에 있어서, 상기 상부 전극층은 귀금속으로 형성된 것인 강유전성 커패시터의 초소형 전자 소자 구조체의 제조 방법.

청구항 24.

제19항에 있어서, 상기 강유전성 금속층은 PZT, SBT, 비스무트 티탄산염, BST, 및 $LaCaMnO_3$로 구성된 그룹 중에서 선택된 재료로 형성되는 것인 강유전성 커패시터의 초소형 전자 소자 구조체의 제조 방법.

청구항 25.

제19항에 있어서, 상기 상부 전극층, 강유전층 및 하부 전극층의 각각의 증착 단계는 스퍼터링법 및 화학 기상 증착법으로 구성된 그룹 중에서 선택된 방법에 의해 독립적으로 실행되는 것인 강유전성 커패시터의 초소형 전자 소자 구조체의 제조 방법.

청구항 26.

제19항에 있어서, 상기 상부 전극층, 강유전층 및 하부 전극층의 각각의 증착 단계는 화학 기상 증착법에 의해 실행되는 것인 강유전성 커패시터의 초소형 전자 소자 구조체의 제조 방법.

청구항 27.

제19항에 있어서, 상기 화학 기계적 연마는 상기 도전성 장벽층, 하부 전극층, 강유전층 및 상부 전극층을 제거하기 위해 산화 연마 재료 및 화학 첨가제를 포함한 슬러리를 갖는 기계 연마를 포함하는 것인 강유전성 커패시터의 초소형 전자 소자 구조체의 제조 방법.

청구항 28.

제27항에 있어서, 상기 슬러리는 알루미나 및 산화세륨으로 이루어진 그룹 중에서 선택되는 산화 연마재를 포함하는 것인 강유전성 커패시터의 초소형 전자 소자 구조체의 제조 방법.

청구항 29.

제19항에 있어서, 상기 화학 기계 연마는 각각 서로 상이한 슬러리 재료로 실행되는 다수의 화학 기계 연마 단계를 포함하는 것인 강유전성 커패시터의 초소형 전자 소자 구조체의 제조 방법.

청구항 30.

제19항에 있어서, 상기 초소형 전자 소자 구조체는 W, Al, Cu 및 Al-Cu 합금으로 이루어진 그룹 중에서 선택되는 재료로 형성된 금속화 작용을 포함하는 것인 강유전성 커패시터의 초소형 전자 소자 구조체의 제조 방법.

청구항 31.

제30항에 있어서, 상기 금속화 작용은 포토리소그래피 및 건식 에칭 처리에 의해 패터닝되는 것인 강유전성 커패시터의 초소형 전자 소자 구조체의 제조 방법.

청구항 32.

소자 영역을 포함한 기판 상에 트렌치 커패시터를 제조하는 방법에 있어서,

상기 기판에 커패시터 오목부를 형성하는 단계와;

연속적으로 증착된 층의 박막을 형성하기 위해서 상기 커패시터 오목부의 상부에 연속해서 도전성 장벽층, 하부 전극층, 강유전층 및 상부 전극층을 증착하는 단계와;

상기 커패시터 오목부에 트렌치 커패시터를 형성하기 위해 CMP 매체를 갖는 화학 기계 연마(CMP)에 의해 상기 박막을 평탄화하는 단계와;

상기 커패시터 오목부 내의 상기 트렌치 커패시터의 상부에 장벽 구조체를 형성하기 위해 레벨간 유전체층을 증착하는 단계와;

상기 장벽 구조체 내에 비어층을 형성하는 단계와;

상기 장벽 구조체의 상부에 비어 확산 장벽층을 증착하는 단계와;

상기 확산 장벽층을 선택된 패턴으로 패터닝하는 단계와;

상기 기판의 소자 영역에 제1 비어층을 형성하는 단계와;

상기 트렌치 커패시터용 워드선 및 비트선 구조체의 플레이트 및 제1 라인 소자를 포함한 기판의 상부에 회로 구조체를 형성하는 단계와;

상기 플레이트 및 제1 라인 소자의 상부에 절연성 유전체를 증착하는 단계와;

상기 기판의 소자 영역에 제2 비어층을 형성하는 단계와;

상기 장벽 구조체에 상기 제2 비어층을 적절히 충전시키기 위해 금속화층을 증착하는 단계와;

상기 트렌치 커패시터용 워드선 및 비트선 구조체의 상보형 라인 소자를 형성하기 위해 상기 금속화층을 패터닝하는 단계를 포함하고,

상기 트렌치 커패시터를 제조하는 방법은, 이하의 단계 (Ⅰ) 내지 (Ⅳ), 즉

(Ⅰ) 상기 CMP 매체는 내부에 통합시에 상기 초소형 전자 소자 구조체에 유익한 특성을 제공하는 적어도 하나의 구성 소자를 포함하는 것;

(Ⅱ) 상기 초소형 전자 소자 구조체는 금속 및 유전체를 포함하며, 상기 금속 및 유전체 중의 적어도 하나는 초소형 전자 소자 구조체 내에 국소 오목부를 작성하기 위해 상기 CMP를 평탄화하거나 또는 CMP를 평탄화한 후에 제거되고, 사용시에 단락 또는 고누설 전류 동작에 의해 상기 초소형 전자 소자 구조체의 자화율을 감소시키도록 하는 것;

(Ⅲ) 상기 초소형 전자 소자 구조체에 대한 물리적 손상은 상기 CMP를 평탄화한 후에 상기 초소형 전자 소자 구조체의 열 어니일링에 의해 제거되는 것;

(Ⅳ) 귀금속 전극 재료는 상기 CMP 매체에 의해 제거되는 것

중의 적어도 하나를 포함하는 것인 트렌치 커패시터의 제조 방법.

청구항 33.

제32항에 있어서, 상기 단계 (Ⅰ) 내지 (Ⅳ) 중의 적어도 2 개를 포함하는 것인 트렌치 커패시터의 제조 방법.

청구항 34.

제32항에 있어서, 상기 기판은 실리콘 및 갈륨 비소화물로 이루어진 그룹 중에서 선택된 재료로 형성되는 것인 트렌치 커패시터의 제조 방법.

청구항 35.

제32항에 있어서, 상기 기판은 실리콘으로 형성되는 것인 트렌치 커패시터의 제조 방법.

청구항 36.

제32항에 있어서, 상기 절연성 유전체 절연 재료는 SiO_2, Si_3N_4, Ta_2O_5, $TiAlO_4$, B-, 및 P형 도핑된 SiO_2로 이루어진 그룹 중에서 선택되는 것인 트렌치 커패시터의 제조 방법.

청구항 37.

제32항에 있어서, 상기 비어층은 상기 재료의 비어 영역으로부터 절연성 유전체 절연 재료의 제거를 포토리소그래피 처리 및 건식 에칭 처리에 의해 상기 절연성 유전체 절연 재료 내에 제조되는 것인 트렌치 커패시터의 제조 방법.

청구항 38.

제32항에 있어서, 상기 캐패시터 오목부가 포토리소그래피 및 건식-에칭에 의해 형성되는 방법.

청구항 39.

제32항에 있어서, 상기 전도성 장벽층이 TiN, TiSiN, TiAlN, IrO_2 및 SiC로 구성되는 그룹으로부터 선택되는 방법.

청구항 40.

제32항에 있어서, 상기 하부 전극이 귀금속으로 형성되는 방법.

청구항 41.

제32항에 있어서, 상기 상부 전극이 귀금속으로 형성되는 방법.

청구항 42.

제32항에 있어서, 상기 강유전성 재료층이 PZT,SBT, 비스무쓰 티타네이트, BST 및 $LaCaMnO_3$ 로 구성되는 그룹으로부터 선택된 재료로 형성되는 방법.

청구항 43.

제32항에 있어서, 상기 상부 전극, 강유전성층 및 하부 전극 성막 단계 각각은 스퍼터링 및 화학 증착으로 구성되는 그룹으로부터 선택된 방법에 의해 독립적으로 실행되는 방법.

청구항 44.

제32항에 있어서, 상기 상부 전극, 강유전성층 및 하부 전극 성막 단계는 화학 증착으로 실행되는 방법.

청구항 45.

제32항에 있어서, 상기 막의 화학적 기계 연마법은 상기 전도성 장벽층, 하부 전극층, 강유전성 층 및 상부 전극층을 제거하기 위해 산화물 연마재 재료 및 화학 첨가제를 포함하는 슬러리로써 기계적 연마를 포함하는 방법.

청구항 46.

제45항에 있어서, 상기 슬러리는 알루미나 및 산화 세륨으로 구성되는 그룹으로부터 선택되는 산화물 첨가제 재료를 포함하는 방법.

청구항 47.

제32항에 있어서, 상기 막의 화학적 기계 연마법이 다른 슬러리 재료로 각기 실행되는 다수의 화학적 기계 연마법을 포함하는 방법.

청구항 48.

제32항에 있어서, 상기 절연 페시베이션 층 및 레벨간 유전체층이 CVD, 스퍼터링 및 습식 성막 방법으로 구성되는 그룹으로부터 선택된 방법에 의해 성막되는 방법.

청구항 49.

제32항에 있어서, 상기 절연 페시베이션 층이 TiO_2, ZrO_2, Ta_2O_5, SiN_4 및 그 합성물로 구성되는 그룹으로부터 선택된 재료로 형성되는 방법.

청구항 50.

제32항에 있어서, 상기 레벨간 유전체층이 SiO_2, Si_3N_4, TiO_2, 및 B 및 P 도핑된 SiO_2로 구성되는 그룹으로부터 선택된 재료로 형성되는 방법.

청구항 51.

제32항에 있어서, 상기 비어(via)가 포토리소그래피 및 건식-에칭에 의해 장벽 구조에서 형성되는 방법.

청구항 52.

제32항에 있어서, 상기 확산 장벽층이 TiN 및 WN으로 구성되는 그룹으로부터 선택된 재료로 형성되는 방법.

청구항 53.

제32항에 있어서, 상기 금속화는 W, Al, Cu 및 Al-Cu 합금으로 구성되는 그룹으로부터 선택된 재료로 형성되는 방법.

청구항 54.

제32항에 있어서, 상기 금속화가 포토리소그래피 및 건식-에칭에 의해 패턴화되는 방법.

청구항 55.

제32항에 있어서, 상기 기판이 매장된 회로를 포함하는 방법.

청구항 56.

제32항에 있어서, 상기 기판이 p-형 실리콘 재료를 포함하는 방법.

청구항 57.

제32항에 있어서, 상기 회로 구조가 폴리콘 성막에 의해 적어도 부분적으로 형성되는 방법.

청구항 58.

제32항에 있어서, 상기 트렌치 캐패시터가 0.35 μm 이하의 피처 크기를 갖는 방법.

청구항 59.

캐패시터 오목부 재료 및 소자 구조 재료를 기판상에 포함하는 마이크로 전자 공학 소자 구조를 형성하는 방법으로서, 상기 소자 구조 재료는 화학적 기계 연마법(CMP)이 그 내부에서 평탄화 깊이로 처리하는 동안 제거되고, 상기 방법은 캐패시터 오목부 유전체 재료를 형성하는 단계를 포함하여 저지층을 평탄화 깊이로 포함하고, 상기 저지층이 CMP 조건하에서 유전체 절연 재료 및 소자 구조 재료보다 실제로 낮은 CMP 제거율을 갖게 되어, CMP 조건하에서 CMP에 의해 소자 구조 재료를 제거하는 것은 저지층에 의한 평탄화 깊이로 종료되는 것을 특징으로 하는 마이크로 전자 공학 소자 구조를 형성하는 방법.

청구항 60.

제59항에 있어서, 상기 캐패시터 오목부 유전체 재료는 Al_2O_3, Ta_2O_5, ZrO_2, TiO_2, SiO_2, Si_3N_4, 붕소로 도핑된 SiO_2, 인으로 도핑된 SiO_2으로 구성되는 그룹으로부터 선택된 재료 종류를 포함하는 방법.

청구항 61.

제59항에 있어서, 상기 소자 구조 재료가 다수성분의 산화물 용량성 재로, 강유전성 재료, 귀금속, 귀금속 합금, 폴리실리콘, 텅스텐, 질화 티타늄, 질화 티타늄 실리콘, 질화 티타늄 알루미늄, 실리콘 카바이드, 및 다수성분의 산화 자기저항 재료로 구성되는 그룹으로부터 선택된 적어도 하나의 재료를 포함하는 방법.

청구항 62.

제59항에 있어서, 상기 소자 구조가 강유전성 재료를 포함하는 방법.

청구항 63.

제62항에 있어서, 상기 강유전성 재료가 납 지르코늄 티타네이트, 스트론튬 비스무쓰 탄타레이트 및 비스무쓰 티타네이드로 구성되는 그룹으로부터 선택되는 방법.

청구항 64.

제59항에 있어서, 상기 소자 구조가 다수 성분의 산화 용량성 재료를 포함하는 방법.

청구항 65.

제64항에 있어서, 상기 다수 성분의 산화 용량성 재료가 바륨 스트론튬 티타네이트를 포함하는 방법.

청구항 66.

제59항에 있어서, 상기 소자 구조가 다수 성분의 산화 자기저항 재료를 포함하는 방법.

청구항 67.

제66항에 있어서, 상기 다수 성분의 산화 자기저항 재료가 란타늄 칼슘 맹거네이트를 포함하는 방법.

청구항 68.

제59항에 있어서, 상기 저지층이 Si_3N_4, TiN, TiSiN, IrO_2 및 SiC로 구성되는 그룹으로부터 선택된 재료로 형성되는 방법.

청구항 69.

제59항에 있어서, 상기 유전체 절연 재료가 SiO_2를 포함하고 상기 저지층이 Si_3N_4로 형성되는 방법.

청구항 70.

제59항에 있어서, 상기 CMP 조건에서 유전체 절연 CMP 제거율에 대한 저지층 CMP 제거율의 비가 0.10 보다 적어지게 되는 방법.

청구항 71.

제59항에 있어서, 상기 CMP 조건에서 유전체 절연 CMP 제거율에 대한 저지층 CMP 제거율의 비가 0.01 보다 적어지게 되는 방법.

청구항 72.

제59항에 있어서, 상기 마이크로 전자 공학 소자는 캐패시터 프리커서(precursor) 구조를 형성하도록 기판 및 유전체 절연 재료를 포함하는 염기 구조상에 하부 전극층, 강유전성층 상부 전극층을 연속 성막함에 의해, 및 상기 강유전성 캐패시터 구조를 만들기위해 CMP에 의해 캐패시터 프리커서 구조를 평탄화함에 의해 형성된 강유전성 캐패시터 구조를 구비하는 방법.

청구항 73.

제72항에 있어서, 상기 캐패시터 구조는 스택 캐패시터를 포함하는 방법.

청구항 74.

제72항에 있어서, 상기 캐패시터가 트렌치 캐패시터를 포함하는 방법.

청구항 75.

제72항에 있어서, 상기 전극층의 건식 에칭 또는 강유전성층

CMP 조건에서 유전체 절연 CMP 제거율에 대한 저지층 CMP 제거율의 비가 0.01 보다 적어지게 되는 방법.

청구항 76.

제72항에 있어서, 상기 강유전성 캐패시터가 0.35 μm 이하의 피처 크기를 갖는 방법.

청구항 77.

제59항에 있어서, 상기 소자 구조 재료가 캐패시터 구조용 전도성 장벽층으로서 하부 전극밑에 있는 저지층을 갖는, 상부 전극, 강유전성층 및 하부 전극을 포함하는 캐패시터 구조를 형성하는 방법.

청구항 78.

제77항에 있어서, 상기 CMP 조건이 하부 전극층, 강유전성 층 및 상부 전극층을 제거하기 위해 산화 연마재 및 화학 첨가제를 포함하는 슬러리로써 기계적인 연마를 포함하는 방법.

청구항 79.

제78항에 있어서, 상기 슬러리가 알루미나 및 산화 세륨으로 구성되는 그룹으로부터 선택된 산화 연마재를 포함하는 방법.

청구항 80.

전도성 전송 라인을 포함하는 집적 회로 구조를 제조하는 방법으로서,

구조의 소자로서 유전체 재료를 성막하고, 그 내부의 경로에 전도성 전송 라인을 제공하는 단계와,

상기 경로에 전송을 향상시키는 재료를 성막하는 단계와,

상기 전송을 향상시키는 재료상에서 도체 재료에 전도성 전송 라인을 성막하는 단계와,

상기 도체 재료의 전도성 전송 라인의 바람직한 형태를 형성하도록 상기 구조가 평탄화되기위해 화학적 기계 연마되게 하는 단계와,

전도성 전송 라인을 전송을 향상시키는 재료에 캡슐화하도록 전송을 향상시키는 재료를 상기 도체 재료의 전도성 전송 라인을 통해 성막하는 단계를 구비함으로써,

상기 전송을 향상시키는 재료가 전송을 향상시키는 재료를 갖지 않은 대응하는 집적 회로 구조에 대해 전도성 전송 라인의 인덕턴스 및/또는 캐패시턴스를 향상시키는 방법.

청구항 81.

제80항에 있어서, 상기 전송을 향상시키는 재료가 고 자기 투자율 재료를 포함하는 방법.

청구항 82.

제81항에 있어서, 상기 고 자기 투자율 재료가 MgMn 페라이트 및 MgMnAl 페라이트로 구성되는 그룹으로부터 선택된 재료를 포함하는 방법.

청구항 83.

제80항에 있어서, 상기 전송을 향상시키는 재료가 고 유전율 재료를 포함하는 방법.

청구항 84.

제83항에 있어서, 상기 고 유전율 재료가 바륨 스트론튬 티타네이트, 납 지르코늄 티타네이트, 산화 티타늄 및 산화 탄탈늄을 포함하는 방법.

청구항 85.

고 자기 투자율 재료 및 고 유전율 재료로 구성되는 그룹으로부터 선택된 전송 향상 재료에 캡슐화되는 전도성 전송 라인을 포함하는 집적 회로 구조체.

청구항 86.

제85항에 있어서, 상기 전송을 향상시키는 재료가 MgMn 페라이트 및 MgMnAl 페라이트로 구성되는 그룹으로부터 선택된 고 자기 투자율 재료를 포함하는 집적 회로 구조체.

청구항 87.

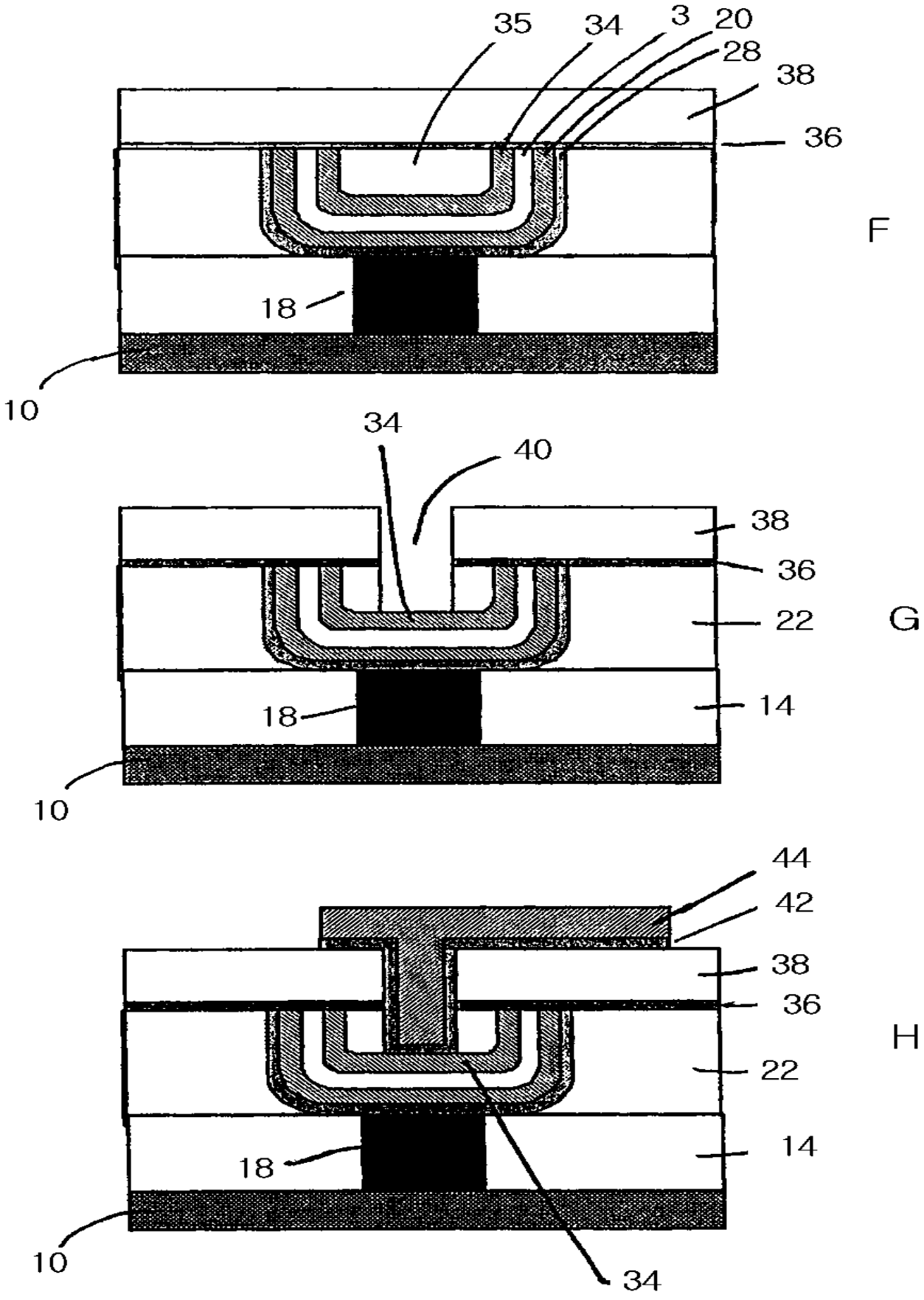
제85항에 있어서, 바륨 스트론튬 티타네이트, 납 지르코늄 티타네이트, 산화 티타늄 및 산화 탄탈늄으로 구성되는 그룹으로부터 선택된 고 유전율 재료를 포함하는 집적 회로 구조체.

청구항 88.

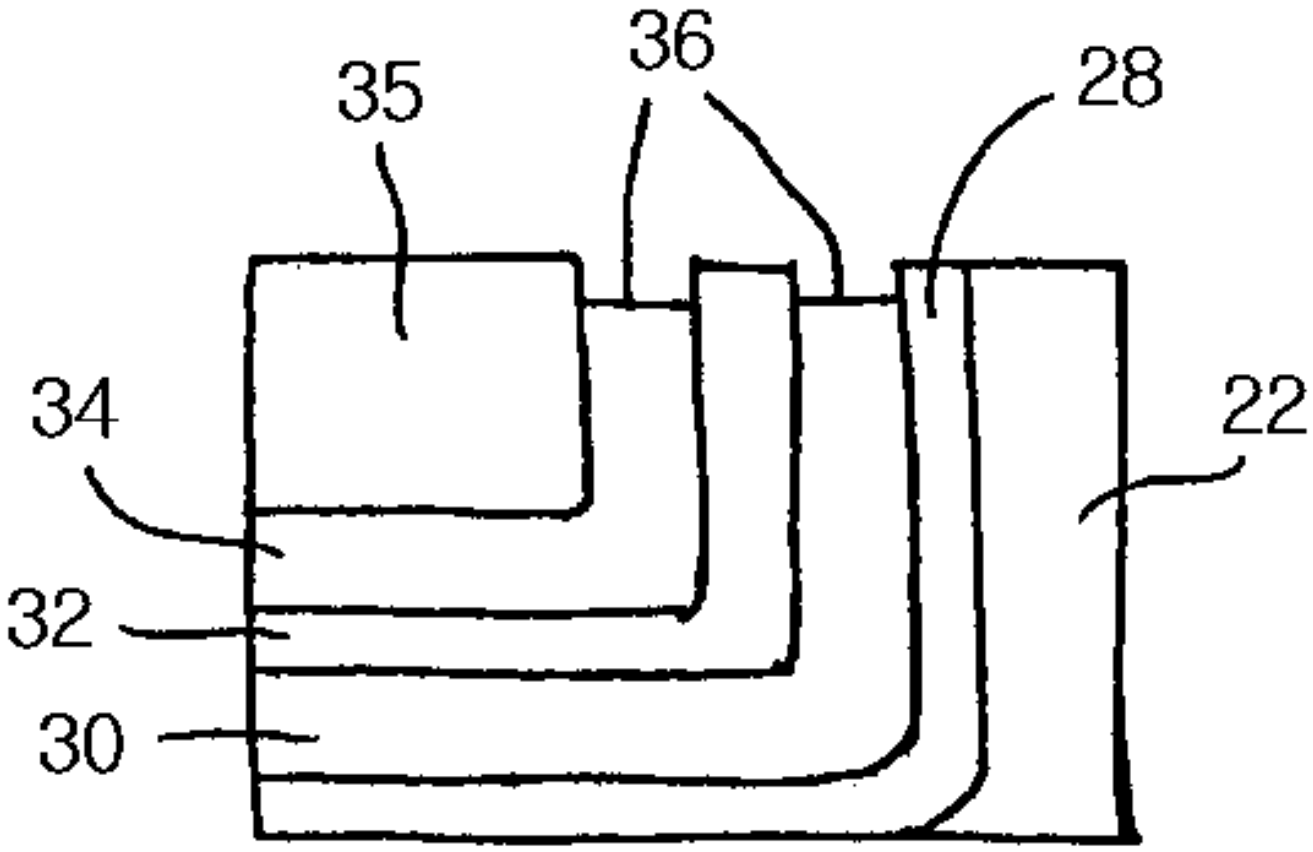
제85항에 있어서, 강유전성 캐패시터를 포함하는 집적 회로 구조체.

도면

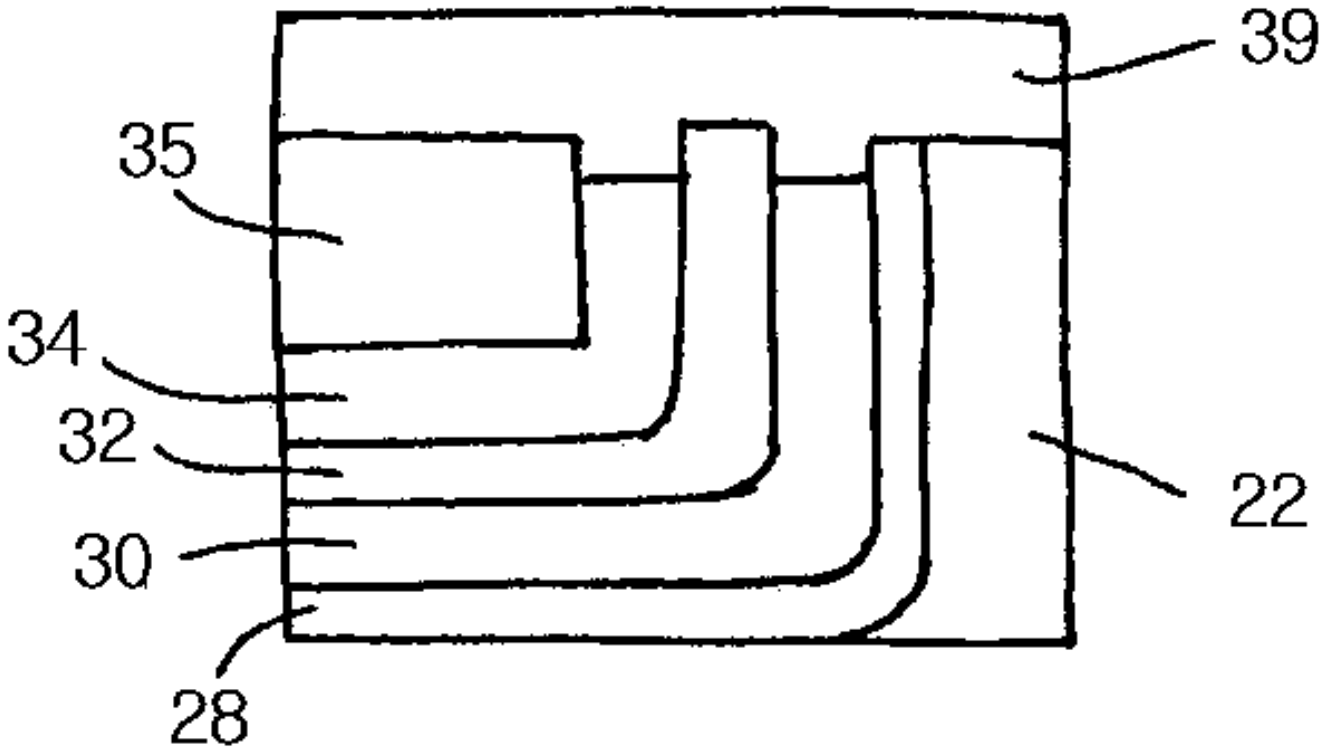
도면 1


35
34
3
20
28
38
36
18
10
F
34
40
38
36
22
18
14
10
G
44
42
38
36
22
18
14
10
34
H

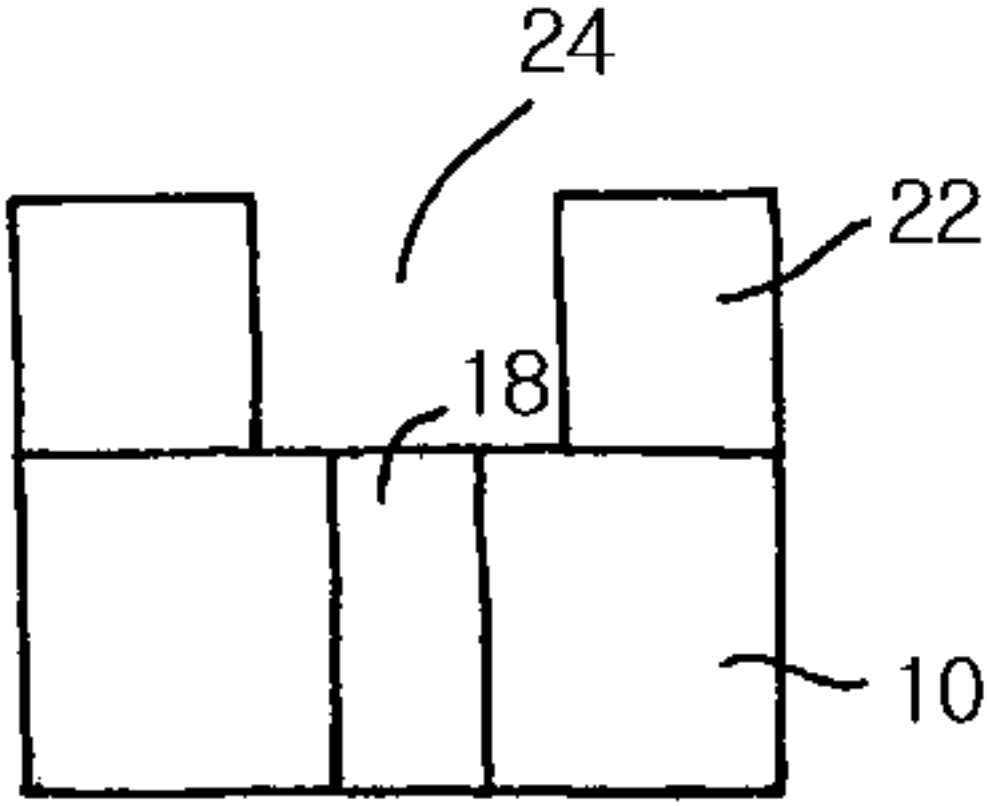
도면 2a



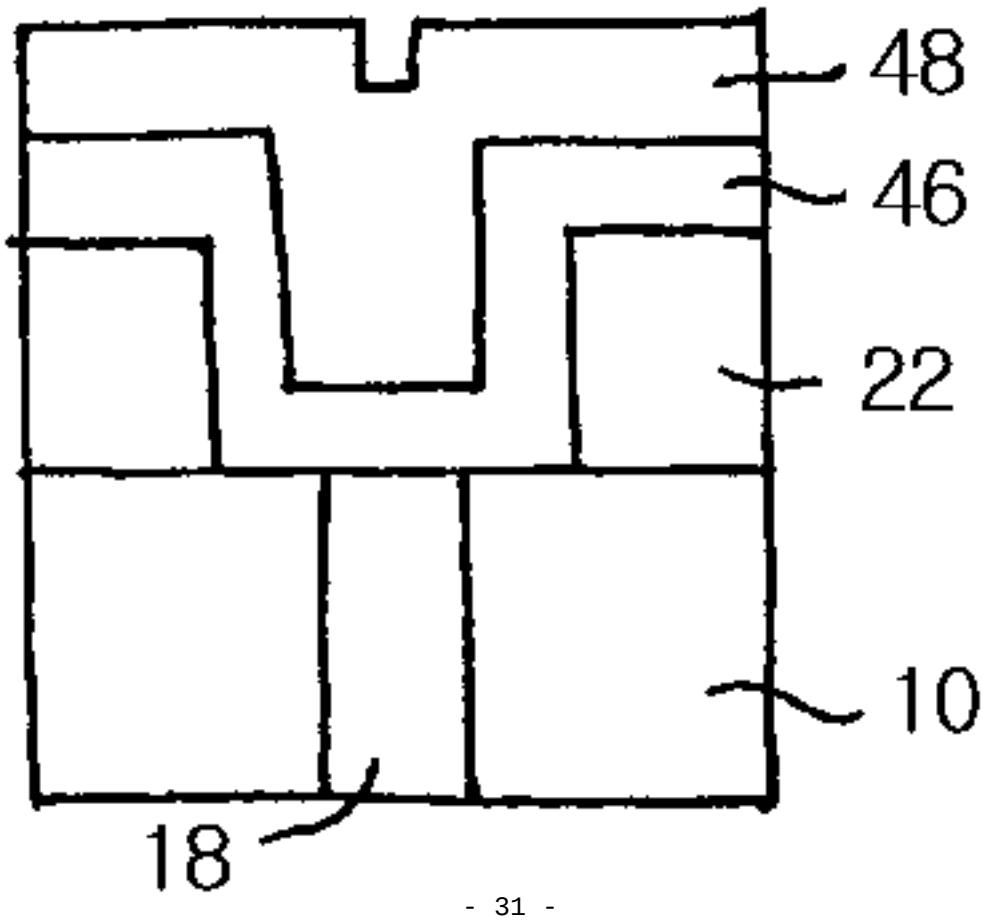
도면 2b



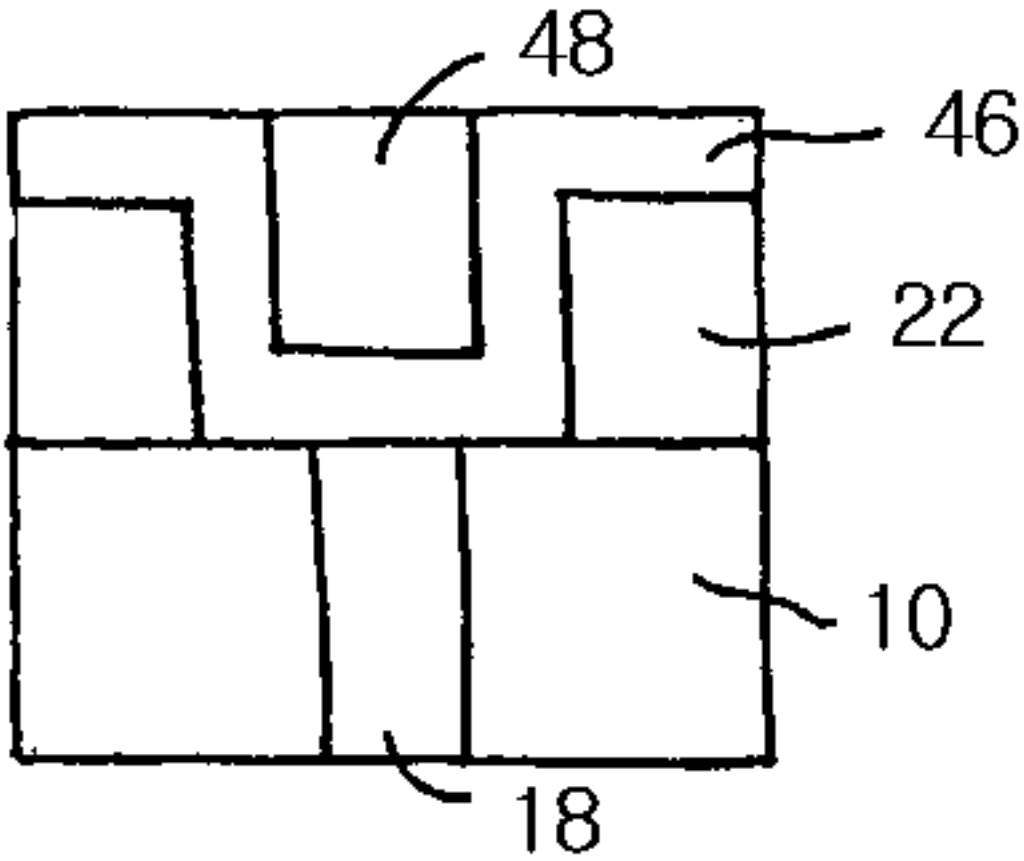
도면 3a



도면 3b



도면 3c



도면 3d