

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2016-517629

(P2016-517629A)

(43) 公表日 平成28年6月16日 (2016.6.16)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 3 G 11/00	5 F 0 4 8
HO 3 G 11/00 (2006.01)	HO 3 K 17/08 C	5 J 0 3 0
HO 3 K 17/08 (2006.01)	HO 1 L 27/06 3 1 1 A	5 J 0 5 5
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 3 1 1 C	

審査請求 有 予備審査請求 未請求 (全 36 頁) 最終頁に続く

(21) 出願番号 特願2016-500714 (P2016-500714)
 (86) (22) 出願日 平成26年3月6日 (2014.3.6)
 (85) 翻訳文提出日 平成27年10月29日 (2015.10.29)
 (86) 国際出願番号 PCT/US2014/021069
 (87) 国際公開番号 W02014/164182
 (87) 国際公開日 平成26年10月9日 (2014.10.9)
 (31) 優先権主張番号 13/794, 268
 (32) 優先日 平成25年3月11日 (2013.3.11)
 (33) 優先権主張国 米国 (US)

(71) 出願人 595020643
 クォアルコム・インコーポレイテッド
 QUALCOMM INCORPORATED
 アメリカ合衆国、カリフォルニア州 92
 121-1714、サン・ディエゴ、モア
 ハウス・ドライブ 5775
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100158805
 弁理士 井関 守三
 (74) 代理人 100194814
 弁理士 奥村 元宏

最終頁に続く

(54) 【発明の名称】 スナップバッククランプ回路を較正し、動作するためのデバイスおよび方法

(57) 【要約】

デバイスは、トリガ電圧レベルを超える電源電圧に
 応答して電源電圧をクランプするように構成されたスナッ
 プバッククランプ回路を含む。少なくとも1つの実施形
 態では、スナップバッククランプ回路は、クランプトラ
 ンジスタと、トリガ電圧レベルを較正するための制御信
 号に応答するプログラム可能な抵抗部分とを含む。代替
 的には、または加えて、スナップバッククランプ回路は
 、クランプトランジスタのゲート端子をバイアスするこ
 とによってトリガ電圧レベルを較正するように構成され
 たプログラム可能なバイアスデバイスを含むことができ
 る。別の特定の实施形態では、スナップバッククランプ
 回路を較正する方法が開示される。別の特定の实施形
 態では、集積回路を動作させる方法が開示される。

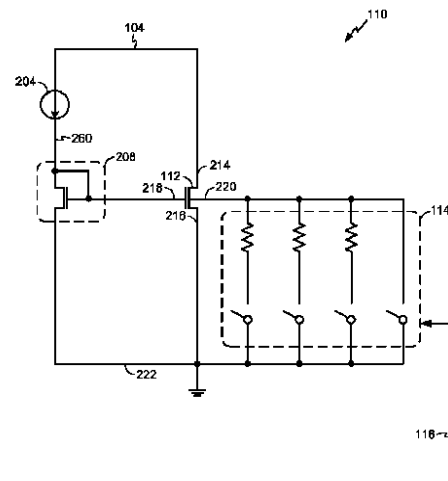


FIG. 2

【特許請求の範囲】**【請求項 1】**

トリガ電圧レベルを超える電源電圧に応答して前記電源電圧をクランプするように構成されたスナップバッククランプ回路を備え、

前記スナップバッククランプ回路が、クランプトランジスタと、前記トリガ電圧レベルを較正するための制御信号に応答するプログラム可能な抵抗部分とを含む、デバイス。

【請求項 2】

前記プログラム可能な抵抗部分が、前記クランプトランジスタのボディ端子に結合されている、請求項 1 に記載のデバイス。

【請求項 3】

前記プログラム可能な抵抗部分が、前記クランプトランジスタの前記ボディ端子に各々結合された複数の抵抗器を含む、請求項 2 に記載のデバイス。

【請求項 4】

前記複数の抵抗器のうちの第 1 の抵抗器が、さらに、第 1 のスイッチに結合されており、前記複数の抵抗器のうちの第 2 の抵抗器が、さらに、第 2 のスイッチに結合されている、請求項 3 に記載のデバイス。

【請求項 5】

前記制御信号が、マルチビットコードであり、前記第 1 のスイッチが、前記マルチビットコードの第 1 のビット値によってゲートされる第 1 のトランジスタを含み、さらに、前記マルチビットコードの第 2 のビット値によってゲートされる第 2 のトランジスタを含み、前記第 2 のスイッチが、前記第 1 のビット値の補数によってゲートされる第 3 のトランジスタ、前記第 2 のビット値の補数によってゲートされる第 4 のトランジスタ、またはそれらの組み合わせを含む、請求項 4 に記載のデバイス。

【請求項 6】

前記プログラム可能な抵抗部分が、第 3 のスイッチに結合された低抵抗経路をさらに含む、請求項 4 に記載のデバイス。

【請求項 7】

前記プログラム可能な抵抗部分が、第 1 の幅対長さ比を有する第 1 のトランジスタを含み、さらに、第 2 の幅対長さ比を有する第 2 のトランジスタを含み、前記第 2 の幅対長さ比が、前記第 1 の幅対長さ比よりも大きい、請求項 1 に記載のデバイス。

【請求項 8】

前記プログラム可能な抵抗部分が、前記第 1 のトランジスタが前記制御信号の第 1 のビット値によって活性化されたときに、第 1 の抵抗を有し、前記プログラム可能な抵抗部分が、前記第 2 のトランジスタが前記第 1 のビット値の補数によって活性化されたときに、第 2 の抵抗を有し、前記第 1 の抵抗が、前記第 2 の抵抗よりも大きい、請求項 7 に記載のデバイス。

【請求項 9】

前記第 2 の幅対長さ比が、前記第 1 の幅対長さ比の約 2 倍である、請求項 7 に記載のデバイス。

【請求項 10】

前記プログラム可能な抵抗部分が、前記クランプトランジスタのボディ端子に結合された少なくとも 1 つのポリシリコン抵抗器を含む、請求項 1 に記載のデバイス。

【請求項 11】

前記トリガ電圧レベルが、前記電源電圧を提供する回路網に関連付けられたトレースインダクタンスに基づいてプログラムされる、請求項 1 に記載のデバイス。

【請求項 12】

前記トリガ電圧レベルが、前記スナップバッククランプ回路に関連付けられた寄生バイポーラ接合トランジスタ (BJT) 効果に関連付けられている、請求項 1 に記載のデバイス。

【請求項 13】

10

20

30

40

50

前記クランプトランジスタのゲート端子をバイアスすることによって前記トリガ電圧レベルをさらに較正するように構成されたプログラム可能なバイアスデバイスをさらに備える、請求項 1 に記載のデバイス。

【請求項 1 4】

前記トリガ電圧レベルが、前記プログラム可能なバイアスデバイスによってバイアスされた前記クランプトランジスタのゲート - ソース間電圧に基づいてさらに決定される、請求項 1 3 に記載のデバイス。

【請求項 1 5】

前記プログラム可能なバイアスデバイスが、ダイオードデバイスに結合されたプログラム可能な電流源を含む、請求項 1 3 に記載のデバイス。

10

【請求項 1 6】

前記プログラム可能なバイアスデバイスが、電流源に結合されたプログラム可能な抵抗を含む、請求項 1 3 に記載のデバイス。

【請求項 1 7】

前記プログラム可能なバイアスデバイスが、プログラム可能な電流源と、ダイオードデバイスとを含み、前記ダイオードデバイスが、抵抗器に結合されている、請求項 1 3 に記載のデバイス。

【請求項 1 8】

前記プログラム可能なバイアスデバイスが、プログラム可能な電流源と、プログラム可能な抵抗とを含む、請求項 1 3 に記載のデバイス。

20

【請求項 1 9】

トリガ電圧レベルを超える電源電圧に応答して前記電源電圧をクランプするように構成されたスナップバッククランプ回路を備え、

前記スナップバッククランプ回路が、クランプトランジスタと、前記クランプトランジスタのゲート端子をバイアスすることによって前記トリガ電圧レベルを較正するように構成されたプログラム可能なバイアスデバイスとを含む、デバイス。

【請求項 2 0】

前記トリガ電圧レベルが、前記プログラム可能なバイアスデバイスによってバイアスされた前記クランプトランジスタのゲート - ソース間電圧に基づいて決定される、請求項 1 9 に記載のデバイス。

30

【請求項 2 1】

前記プログラム可能なバイアスデバイスが、ダイオードデバイスに結合されたプログラム可能な電流源を含む、請求項 1 9 に記載のデバイス。

【請求項 2 2】

前記プログラム可能なバイアスデバイスが、電流源に結合されたプログラム可能な抵抗を含む、請求項 1 9 に記載のデバイス。

【請求項 2 3】

前記プログラム可能なバイアスデバイスが、抵抗器に結合されたプログラム可能な電流源を含む、請求項 1 9 に記載のデバイス。

【請求項 2 4】

40

前記プログラム可能なバイアスデバイスが、プログラム可能な電流源と、プログラム可能な抵抗とを含む、請求項 1 9 に記載のデバイス。

【請求項 2 5】

前記スナップバッククランプ回路が、前記トリガ電圧レベルをさらに較正するように構成されたプログラム可能な抵抗部分をさらに含み、前記プログラム可能な抵抗部分が、前記クランプトランジスタのボディ端子に結合されている、請求項 1 9 に記載のデバイス。

【請求項 2 6】

前記プログラム可能な抵抗部分が、前記クランプトランジスタの前記ボディ端子に各々結合された複数の抵抗器を含む、請求項 2 5 に記載のデバイス。

【請求項 2 7】

50

前記複数の抵抗器のうちの第1の抵抗器が、さらに、第1のスイッチに結合されており、前記複数の抵抗器のうちの第2の抵抗器が、さらに、第2のスイッチに結合されている、請求項26に記載のデバイス。

【請求項28】

前記第1のスイッチが、マルチビットコードの第1のビット値によってゲートされる第1のトランジスタを含み、さらに、前記マルチビットコードの第2のビット値によってゲートされる第2のトランジスタを含み、前記第2のスイッチが、前記第1のビット値の補数によってゲートされる第3のトランジスタ、前記第2のビット値の補数によってゲートされる第4のトランジスタ、またはそれらの組み合わせを含む、請求項27に記載のデバイス。

10

【請求項29】

前記プログラム可能な抵抗部分が、第3のスイッチに結合された低抵抗経路をさらに含む、請求項25に記載のデバイス。

【請求項30】

前記プログラム可能な抵抗部分が、第1の幅対長さ比を有する第1のトランジスタを含み、さらに、第2の幅対長さ比を有する第2のトランジスタを含み、前記第2の幅対長さ比が前記第1の幅対長さ比よりも大きい、請求項25に記載のデバイス。

【請求項31】

前記プログラム可能な抵抗部分が、前記第1のトランジスタが第1のビット値によってゲートされたとき、第1の抵抗に関連付けられ、前記プログラム可能な抵抗部分が、前記第2のトランジスタが前記第1のビット値の補数によってゲートされたとき、第2の抵抗に関連付けられ、前記第1の抵抗が、前記第2の抵抗よりも大きい、請求項30に記載のデバイス。

20

【請求項32】

前記第2の幅対長さ比が、前記第1の幅対長さ比の約2倍である、請求項30に記載のデバイス。

【請求項33】

前記プログラム可能な抵抗部分が、前記クランプトランジスタの前記ボディ端子に結合された少なくとも1つのポリシリコン抵抗器を含む、請求項25に記載のデバイス。

【請求項34】

前記トリガ電圧レベルが、前記電源電圧を提供する回路網に関連付けられたトレースインダクタンスに基づいてプログラムされる、請求項19に記載のデバイス。

30

【請求項35】

前記トリガ電圧レベルが、前記スナップバッククランプ回路に関連付けられた寄生バイポーラ接合トランジスタ(BJT)効果に関連付けられている、請求項19に記載のデバイス。

【請求項36】

スナップバッククランプ回路を較正する方法であって、

制御信号を介してクランプトランジスタに関連付けられたボディ-接地間抵抗を変更することによって、スナップバッククランプ回路に関連付けられたトリガ電圧レベルを較正することと、

40

前記トリガ電圧レベルをさらに較正するように前記クランプトランジスタのゲート端子をバイアスするために、前記スナップバッククランプ回路のプログラム可能なバイアスデバイスをプログラムすることとを備える、方法。

【請求項37】

前記ボディ-接地間抵抗を変更することが、前記制御信号に基づいて複数のトランジスタをゲートすることを含む、請求項36に記載の方法。

【請求項38】

プログラム可能な電流源でダイオードデバイスをバイアスすることによって、前記クランプトランジスタの前記ゲート端子をバイアスすることをさらに備える、請求項36に記載

50

載の方法。

【請求項 39】

前記トリガ電圧レベルが、前記スナップバッククランプ回路を電源電圧に結合した後、較正される、請求項 36 に記載の方法。

【請求項 40】

トリガ電圧レベルに基づいて電源電圧をクランプするための手段と、
前記トリガ電圧レベルを較正するための手段とを備え、前記トリガ電圧レベルを較正するための前記手段が、
前記電源電圧をクランプするための前記手段の入力ノードをバイアスするための手段と、
前記電源電圧をクランプするための前記手段に関連付けられたボディ - 接地間抵抗を変更するための手段とを備える、装置。

10

【請求項 41】

前記電源電圧をクランプするための前記手段が、クランプトランジスタを備え、前記入力ノードが、前記クランプトランジスタのゲート端子を備える、請求項 40 に記載の装置。

【請求項 42】

スナップバッククランプ回路のプログラム可能な抵抗部分を較正するための制御信号を生成することによって、前記スナップバッククランプ回路のトリガ電圧レベルを較正するためにプロセッサによって実行可能な命令を記憶する非一時的なコンピュータ可読媒体。

20

【請求項 43】

前記制御信号が、マルチビットコードであり、前記マルチビットコードのビット値の第 1 の組み合わせが、前記プログラム可能な抵抗部分の複数のトランジスタの第 1 のサブセットを活性化し、前記マルチビットコードのビット値の第 2 の組み合わせが、前記複数のトランジスタの第 2 のサブセットを活性化する、請求項 42 に記載の非一時的なコンピュータ可読媒体。

【請求項 44】

スナップバッククランプ回路のプログラムされたバイアスデバイス、前記スナップバッククランプ回路のプログラムされたボディ - 接地間抵抗、またはそれらの組み合わせに基づいて決定されたトリガ電圧レベルを有する前記スナップバッククランプ回路を備え、
前記スナップバッククランプ回路が、静電放電 (ESD) イベント中に、前記トリガ電圧レベルを超える電源電圧に応答して前記電源電圧をクランプするように構成されており、
前記スナップバッククランプ回路が、集積回路のグリッチ抑制と ESD 保護とを可能にする、集積回路。

30

【請求項 45】

前記トリガ電圧レベルが、前記スナップバッククランプ回路のクランプトランジスタの寄生バイポーラ接合トランジスタ (BJT) 効果に関連付けられている、請求項 44 に記載の集積回路。

【請求項 46】

集積回路の動作中に電源電圧をクランプする方法であって、
静電放電 (ESD) イベント中に、トリガ電圧レベルを超える前記電源電圧に応答して、前記集積回路のスナップバッククランプ回路によって前記電源電圧をクランプすることを備え、
前記トリガ電圧レベルが、前記スナップバッククランプ回路のプログラムされたバイアスデバイス、前記スナップバッククランプ回路のプログラムされたボディ - 接地間抵抗、またはそれらの組み合わせに応答して決定され、
前記スナップバッククランプ回路が、前記集積回路のグリッチ抑制と ESD 保護とを可能にする、方法。

40

【請求項 47】

50

前記トリガ電圧レベルが、前記スナップバッククランプ回路のクランプトランジスタの寄生バイポーラ接合トランジスタ(BJT)効果に関連付けられている、請求項46に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

米国特許法第119条に基づく優先権の主張

[0001] 本出願は、その全体が参照により本明細書に組み込まれる2013年3月11日に出願された米国特許出願第13/794,268号の利益を主張するものである。

【0002】

[0002] 本開示は、全体的には、電子デバイスに関し、より具体的には、スナップバッククランプ回路を含む電子デバイスに関する。

【背景技術】

【0003】

[0003] 技術の進歩は、より小さく、より強力な電子デバイスをもたらした。たとえば、現在、小型で、軽量で、ユーザによって容易に搬送され得る、携帯ワイヤレス電話と、携帯情報端末(PDA)と、ページングデバイスとを含む、様々な携帯電子デバイスが存在する。セルラ電話およびワイヤレスインターネットプロトコル(IP)電話のような特定の電子デバイスは、ワイヤレスネットワークを介して、音声と、データパケットとを通信することができる。さらに、多くのそのような電子デバイスは、その中に組み込まれている他のタイプのデバイスを含む。たとえば、ワイヤレス電話は、また、デジタルスチルカメラと、デジタルビデオカメラと、デジタルレコーダと、オーディオファイルプレーヤとを含むことができる。また、ワイヤレス電話は、インターネットにアクセスするために使用され得るウェブブラウザアプリケーションのようなソフトウェアアプリケーションを含む、実行可能な命令を処理することができる。そのように、ワイヤレス電話および他の電子デバイスは、集積回路を使用して実現され得る重要なコンピューティング能力を含むことができる。

【0004】

[0004] 電子デバイスに関連付けられた電源電圧の変動は、電子デバイスを損傷する、または電子デバイスの動作を変更する可能性がある。たとえば、電源電圧に関連付けられた「グリッチ(glitch)」は、集積回路のような電子デバイスの構成要素を潜在的に破損する可能性がある電源電圧の「スパイク」を引き起こす可能性がある。別の例として、静電放電(ESD)は、物体または人から電子デバイスへの電荷の移動に起因して発生する可能性がある。ESDは、集積回路の動作をひどく変化させる可能性があり、または、(たとえば、集積回路のトランジスタのゲート酸化層を破損することによって)集積回路に損傷を引き起こす可能性があり、それによって、集積回路を利用する電子デバイスに損傷を与える。

【発明の概要】

【0005】

[0005] 特定のデバイスは、トリガ電圧レベルを超える電源電圧に応答して、電源電圧を「クランプ」することによって、特定の動作範囲内に電源電圧を維持するために、クランプ回路を利用することができる。たとえば、「大きなFET」クランプ回路のような電界効果トランジスタ(FET)クランプ回路は、トリガ電圧レベルを超える電源電圧に
 40
 応答して、導電性になることができ、電流を分散させることができる。しかしながら、大きなFETクランプ回路は、遅い応答時間に関連付けられ得、したがって、特定の用途での電源グリッチ保護に適していない可能性がある。クランプ回路の別の例として、「スナップバック」クランプ回路は、スナップバッククランプ回路に関連付けられたトリガ電圧レベルを超える電源電圧に
 40
 応答して、電流を分散させるために、FETに関連付けられた寄生バイポーラ接合トランジスタ(BJT)効果を利用することができる。特定の回路構成要素は、スナップバッククランプ回路に関連付けられた比較的大きな保持電圧(たとえば
 50

、クランプ動作中にスナップバック回路が「スナップバック」する電圧)に耐えるように設計され得ないので、スナップバッククランプ回路は、いくつかの用途での静電放電(E S D)保護に適していない可能性がある。

【0006】

[0006] 本開示の少なくとも1つの実施形態によるスナップバッククランプ回路は、較正され得るトリガ電圧レベルを有するスナップバッククランプ回路を含む。スナップバッククランプ回路の動作は、適切な範囲内(たとえば、E S Dイベント中に特定の回路構成要素に損傷を与えないように十分に低い)に較正(たとえば低く)され得るトリガ電圧レベルに応答してクランプしつつ、スナップバッククランプ回路に関連付けられた高速応答時間を有利に組み込むことができ、したがって、電源グリッチ抑制とE S D保護の両方を可能にする。たとえば、トリガ電圧レベルは、スナップバッククランプ回路に関連付けられた選択されたボディ-接地間抵抗に基づいて、スナップバッククランプ回路に印加されるゲート-ソース間電圧に基づいて、またはそれらの組み合わせで較正され得る。特定の例示的な実施形態では、スナップバッククランプ回路は、集積回路内に含まれ、トリガ電圧レベルは、以下にさらに説明されているように、集積回路(または、その一部)に供給する電源電圧に関連付けられたオフチップトレースインダクタンスによって引き起こされる電源グリッチに基づいて較正される。

10

【0007】

[0007] 例示するために、デバイスは、スピーカを駆動するD級増幅器を有する集積回路を含むことができる。D級増幅器は、高周波方形波信号(たとえば、オーディオ信号を符号化する600キロヘルツ(k H z)方形波信号)を生成するように構成され得る。D級増幅器は、方形波信号を生成するために、すばやくオンとオフに「スイッチング」され得る。より高速のスイッチングは、より良好な性能(たとえば、より良好な信号解像度、より少ない高調波歪み、またはそれらの組み合わせ)に関連付けられ得る。しかしながら、高周波方形波信号を生成するために、トランジスタをすばやくオンとオフにスイッチングすることは、D級増幅器によって引き出される電流の量の変化に応答して、オフチップトレースインダクタンスに電圧を出力させることなどによって、増幅器電源にスパイクまたは「グリッチ」を引き起こす可能性がある。電源電圧グリッチは、デバイスに、弱い損傷(たとえば、増加された高調波歪みのような、低下された性能)または強い損傷(たとえば、電源グリッチに関連して動作するように設計されていない低電力構成要素への損傷のような、ハードウェアの損傷)を引き起こす可能性がある。少なくとも1つの実施形態では、プログラム可能なスナップバッククランプ回路は、以下にさらに説明されているように、増幅器電源でのグリッチを抑制するために、トレースインダクタンスに基づいて(たとえば、スナップバッククランプ回路のトリガ電圧レベルを較正することによって)較正され得る。

20

30

【0008】

[0008] 特定の実施形態では、デバイスは、トリガ電圧レベルを超える電源電圧に応答して電源電圧をクランプするように構成されたスナップバッククランプ回路を含む。スナップバッククランプ回路は、クランプトランジスタと、プログラム可能な抵抗部分とを含む。プログラム可能な抵抗部分は、トリガ電圧レベルを較正するための制御信号に応答する。

40

【0009】

[0009] 別の特定の実施形態では、デバイスは、トリガ電圧レベルを超える電源電圧に応答して電源電圧をクランプするように構成されたスナップバッククランプ回路を含む。スナップバッククランプ回路は、クランプトランジスタと、プログラム可能なバイアスデバイスとを含む。プログラム可能なバイアスデバイスは、クランプトランジスタのゲート端子をバイアスすることによって、トリガ電圧レベルを較正するように構成されている。

【0010】

[0010] 別の特定の実施形態では、スナップバッククランプ回路を較正する方法が開示される。方法は、トリガ電圧レベルをさらに較正するための制御信号を介してクランプト

50

ランジスタに関連付けられたボディ - 接地間抵抗を変更し、プログラム可能なバイアスデバイスに基づいてクランプトランジスタのゲート端子をバイアスすることによって、スナップバッククランプ回路に関連付けられたトリガ電圧レベルを校正することを含む。

【0011】

[0011] 別の特定の実施形態では、装置は、トリガ電圧レベルに基づいて電源電圧をクランプするための手段を含む。装置は、トリガ電圧レベルを校正するための手段をさらに含む。トリガ電圧レベルを校正するための手段は、電源電圧をクランプするための手段の入力ノードをバイアスするための手段と、電源電圧をクランプするための手段に関連付けられたボディ - 接地間抵抗を変更するための手段とを含む。

【0012】

[0012] 別の特定の実施形態では、非一時的なコンピュータ可読媒体は、プロセッサによって実行可能な命令を記憶している。命令は、スナップバッククランプ回路のプログラム可能な抵抗部分を校正するための制御信号を生成することによって、スナップバッククランプ回路のトリガ電圧レベルを校正するために、プロセッサによって実行可能である。

【0013】

[0013] 別の特定の実施形態では、集積回路は、トリガ電圧レベルを有するスナップバッククランプ回路を含む。トリガ電圧レベルは、スナップバッククランプ回路のプログラムされたバイアスデバイス、スナップバッククランプ回路のプログラムされたボディ - 接地間の抵抗、またはそれらの組み合わせに基づいて決定される。スナップバッククランプ回路は、静電放電 (ESD) イベント中に、トリガ電圧レベルを超える電源電圧にตอบสนองして、電源電圧をクランプするように構成される。スナップバッククランプ回路は、集積回路のグリッチ抑制と ESD 保護とを可能にする。

【0014】

[0014] 別の特定の実施形態では、集積回路を動作させる方法が開示される。方法は、静電放電 (ESD) イベント中のトリガ電圧レベルを超える電源電圧にตอบสนองして、集積回路のスナップバッククランプ回路によって電源電圧をクランプすることを含む。トリガ電圧レベルは、スナップバッククランプ回路のプログラムされたバイアスデバイス、スナップバッククランプ回路のプログラムされたボディ - 接地間の抵抗、またはそれらの組み合わせにตอบสนองして決定される。スナップバッククランプ回路は、集積回路のグリッチ抑制と ESD 保護とを可能にする。

【0015】

[0015] 開示された実施形態のうちの少なくとも1つによって提供される1つの特定の利点は、電源電圧グリッチ抑制および静電放電 (ESD) 保護が、特定の用途に基づいて校正され得ることである。たとえば、以下にさらに説明されているように、スナップバッククランプ回路のトリガ電圧レベルは、スナップバッククランプ回路を含む集積回路に結合されたオフチップ部分に関連付けられたトレースインダクタンスに基づいて校正され得る。したがって、トリガ電圧レベルは、各用途のためのトリガ電圧レベルを別々にあらかじめ校正する、または、様々な用途のための単一のトリガ電圧レベルをあらかじめ校正する代わりに、集積回路の製造後に校正され得る。加えて、以下にさらに説明されているように、トリガ電圧レベルは、スナップバッククランプが、電源電圧グリッチを抑制することと、ESD イベントに対して回路網を保護することの両方を可能にするように校正され得る。本開示の他の態様、利点、および特徴は、以下のセクション、すなわち、図面の簡単な説明と、発明を実施するための形態と、特許請求の範囲とを含む本出願全体の再検討の後に明らかになるであろう。

【図面の簡単な説明】

【0016】

【図1】 [0016] スナップバッククランプ回路のトリガ電圧レベルを校正するための制御信号にตอบสนองするスナップバッククランプ回路を有するデバイスを含むシステムの図。

【図2】 [0017] 図1のスナップバッククランプ回路の特定の例示的な実施形態の図。

【図3】 [0018] 図1のスナップバッククランプ回路の別の特定の例示的な実施形態の図

10

20

30

40

50

。

【図 4】 [0019] 図 1 のスナップバッククランプ回路の別の特定の例示的な実施形態の図

。

【図 5】 [0020] 図 1 のスナップバッククランプ回路の別の特定の例示的な実施形態の図

。

【図 6】 [0021] 図 1 のスナップバッククランプ回路の別の特定の例示的な実施形態の図

。

【図 7】 [0022] 図 1 のスナップバッククランプ回路の別の特定の例示的な実施形態の図

。

【図 8】 [0023] 図 1 のスナップバッククランプ回路の一部の特定の例示的な実施形態の図。 10

【図 9】 [0024] スナップバッククランプ回路を較正し、動作させる方法の特定の例示的な実施形態のフローチャート。

【図 10】 [0025] スナップバッククランプ回路を含む通信デバイスのブロック図。

【発明を実施するための形態】

【0017】

[0026] 図 1 は、デバイス 100 と較正回路網 160（たとえば、コンピュータ）とを含むシステムの特定の例示的な実施形態を示す。較正回路網 160 は、プロセッサ 164 に結合されたメモリ 162（たとえば、コンピュータ可読メモリ）を含む。メモリ 162 は、以下にさらに説明されているように、制御信号 116 を生成するためにプロセッサ 164 によって実行可能なトリガ電圧レベル較正命令 166 を記憶することができる。本明細書で使用される場合、メモリ 162 のようなメモリは、ランダムアクセスメモリ（RAM）、フラッシュメモリ、読み出し専用メモリ（ROM）、プログラマブル読み出し専用メモリ（PROM）、消去可能プログラマブル読み出し専用メモリ（EPROM）、電気的消去可能プログラマブル読み出し専用メモリ（EEPROM（登録商標））、レジスタ、ハードディスク、リムーバブルディスク、または任意の他の形態の非一時的な記憶媒体を含むことができる。 20

【0018】

[0027] デバイス 100 は、オンチップ部分 150（たとえば、集積回路）とオフチップ部分 152（たとえば、デバイス 100 に関連付けられた電源回路網）とを含むことができる。オンチップ部分 150 は、スナップバッククランプ回路 110 を含む。図 1 のスナップバッククランプ回路 110 は、クランプトランジスタ 112 とプログラム可能な抵抗部分 114 とを含む。以下にさらに説明されているように、プログラム可能な抵抗部分 114 は、クランプトランジスタ 112 に関連付けられたボディ - 接地間抵抗を変更するために較正され得る構成要素を含むことができる。代替的には、またはプログラム可能な抵抗部分 114 に加えて、スナップバッククランプ回路 110 は、以下にさらに説明されているように、クランプトランジスタ 112 をバイアスするために 1 つまたは複数のプログラム可能なバイアスデバイスを含むことができる。 30

【0019】

[0028] スナップバッククランプ回路 110 は、電源電圧 104（たとえば、約 5 . 5 ボルトの直流（DC）電圧を有する電源電圧）に応答する。スナップバッククランプ回路 110 は、「トリガ電圧レベル」に関連付けられ得る。たとえば、トリガ電圧レベルを超える電源電圧 104 の大きさに応答して、クランプトランジスタ 112 は、スナップバッククランプ回路 110 の動作に関連して以下にさらに説明されているように、電源電圧 104 の大きさが「保持」電圧まで下げられるまで、クランプトランジスタ 112 のボディ端子を介してグラウンドに電流をシャントすることによって、電源電圧 104 を「クランプする」（たとえば、制限する）ことを開始することができる。 40

【0020】

[0029] オンチップ部分 150 は、さらに、電源電圧 104 によって給電される 1 つまたは複数の追加の構成要素を含むことができる。特定の実施形態では、オンチップ部分 1 50 40

10

20

30

40

50

50は、さらに、電源電圧104によって給電される負荷124を含む。オンチップ部分150は、オンチップトレースインダクタンス118、120として図1に示されているように、トレースインダクタンス(たとえば、導電性チャネルの長さのような物理的な回路特性に起因する寄生インダクタンス)に関連付けられ得る。

【0021】

[0030] オフチップ部分152は、デカップリングキャパシタ140(たとえば、電源電圧104の特定の周波数をフィルタリングするためのキャパシタ)のような、電源電圧104を生成するための回路網を含むことができる。デカップリングキャパシタ140は、それぞれ、ESL142とESR144として図1に例示的に示されている、等価直列インダクタンス(ESL)と等価直列抵抗(ESR)とに関連付けられ得る。オフチップ部分152は、オンチップトレースインダクタンス128、132として図1に例示的に示されている追加のトレースインダクタンスに関連付けられ得る。オフチップ部分152は、図1に示されているI/O構成要素125、126、127のような1つまたは複数の入力/出力(I/O)構成要素(たとえば、ピン)を介してオンチップ部分150に結合され得る。スナップバッククランプ回路110は、シリアルバス(図1には示されていない)のようなI/O構成要素を介して制御信号116に応答することができる。

10

【0022】

[0031] スナップバッククランプ回路110の較正中のような動作中に、プロセッサ164は、スナップバッククランプ回路110に関連付けられたトリガ電圧レベルを較正するための制御信号116を生成するために、トリガ電圧レベル較正命令166を実行することができる。たとえば、プロセッサ164は、以下にさらに説明されているように、クランプトランジスタ112に関連付けられたボディ-接地間抵抗を変更することなどによってトリガ電圧レベルを較正するための制御信号116を生成するために、トリガ電圧レベル較正命令166を実行することができる。

20

【0023】

[0032] プログラム可能な抵抗部分114は、制御信号116に応答するので、トリガ電圧レベルは、1つまたは複数のトレースインダクタンス118、120、128、132を補償するために、少なくとも部分的に較正され得る。たとえば、スナップバッククランプ回路110は、オンチップ部分150がオフチップ部分152に結合された後に較正され得るので、スナップバッククランプ回路110は、(たとえば、電源電圧104の変動に較正して電流を出力することによって)電源電圧104に「グリッチ」を引き起こす可能性があり、(たとえば、オンチップ部分150、オフチップ部分152、またはそれらの組み合わせに関連付けられたプロセス変動に起因して)オフチップ部分152にオンチップ部分150を結合したのちのみ知られるオフチップトレースインダクタンス128、132のような、オフチップ寄生トレースインダクタンスを考慮してプログラム可能であり得る。特定の例では、電源電圧104の値は、電源電圧104と、したがってトレースインダクタンス118、120、128、132の大きさとに関連付けられた電源グリッチを検出するために、デバイス100の動作中に観察され得る。トリガ電圧レベルは、電源グリッチを補償するように調整され得る。したがって、トリガ電圧レベルは、有利には、(たとえば、制御信号116が1つまたは複数のトレースインダクタンス118、120、128、132の大きさに基づいてトリガ電圧レベルを較正するように、トリガ電圧レベル較正命令166を調整することによって)オフチップトレースインダクタンス128、132の大きさに基づいて較正され得る。加えて、トリガ電圧レベルが決定された後に、メモリ162は、トリガ電圧レベルに対応するデータを記憶することができる。データは、デバイス100に加えてさらなるデバイス(図1には示されていない)を較正するために、較正回路網160によってアクセスされ得る。

30

40

【0024】

[0033] さらに説明するために、デカップリングキャパシタ140の位置(たとえば、オフチップ部分152の残りの部分に対するデカップリングキャパシタ140の位置)は、オフチップトレースインダクタンス128、132のインダクタンス値に影響を与える

50

可能性があることが留意されるべきである。たとえば、デカップリングキャパシタ 140 をオンチップ部分 150 の比較的近くに配置することは、オフチップトレースインダクタンス 128、132 によって引き起こされる電源グリッチを減少させる可能性がある。しかしながら、デカップリングキャパシタ 140 の位置は、設計仕様（たとえば、デカップリングキャパシタ 140 とオンチップ部分 150 との間に配置されるべき他の構成要素によって決定され得るオフチップ部分 152 のレイアウト）によって制約される可能性がある。したがって、少なくとも 1 つの実施形態では、スナップバッククランプ回路 110 を使用するデバイス 100 の較正は、オンチップ部分 150 を含む集積回路の「テープアウト」製造段階の後、オフチップ部分 152 にオンチップ部分 150 を接続した後、プリント回路基板（PCB）とのデバイス 100 の統合の後、またはそれらの組み合わせの後などにデカップリングキャパシタ 140 の位置に基づいて決定されるトレースインダクタンス（たとえば、オフチップトレースインダクタンス 128、132）に基づく動的な（たとえば、「組立後」または「現場での」）較正を可能にすることができる。

10

20

30

40

50

【0025】

[0034] 本明細書で使用される場合、「較正」および「プログラミング」は、デバイスの製造中に発生する可能性がある（たとえば、制御信号 116 を介する）ワンタイムプログラマブル（OTP）ロジックを使用するような、不揮発性メモリ記憶および/または回路網のワンタイムプログラミングを指すことができる。本明細書で使用される「較正」および「プログラミング」は、また、「動的な」較正を可能にするために、制御信号 116 のような制御信号が（たとえば、集積回路のピンを介して、または別のデバイス構成要素を介して）デバイス動作中にアサートされることを示すことができる。特定の較正の例は、以下にさらに説明されている。

【0026】

[0035] 図 2 は、図 1 のスナップバッククランプ回路 110 の特定の例示的な実施形態を示す。図 2 のスナップバッククランプ回路 110 の特定の構成要素および動作は、図 1 を参照して説明されているようなものであり得る。たとえば、図 2 のスナップバッククランプ回路 110 は、電源電圧 104 に応答し、クランプトランジスタ 112 を含む。クランプトランジスタ 112 は、プログラム可能な抵抗部分 114 に結合されている。プログラム可能な抵抗部分 114 は、制御信号 116 のような制御信号に応答する。

【0027】

[0036] 図 2 の特定の例では、スナップバッククランプ回路 110 は、さらに、電流 260 を生成するように構成された電流源 204 と、電流 260 に応答するダイオードデバイス 208（たとえば、ダイオード構成のトランジスタ）と、接地ノード 222 とを含む。図 2 に示されているように、クランプトランジスタ 112 は、ドレイン端子 214 と、ソース端子 216 と、ゲート端子 218 と、ボディ端子 220 とを含むことができる。ボディ端子 220 は、以下にさらに説明されているように、プログラム可能な抵抗部分 114 を介して接地ノード 222 に選択的に結合され得る。ゲート端子 218 は、ダイオードデバイス 208 に結合されている。ドレイン端子 214 は、電源電圧 104 に応答する。ソース端子 216 は、接地ノード 222 に結合されている。

【0028】

[0037] 図 2 の例では、プログラム可能な抵抗部分 114 は、示されているように、複数の抵抗器と、対応する複数のスイッチ（たとえば、トランジスタ）とを含む。プログラム可能な抵抗部分 114 の複数の抵抗器は、クランプトランジスタ 112 のボディ端子 220 に結合されている。複数の抵抗器のうちの第 1 の抵抗器は、第 1 のスイッチに結合されており、複数の抵抗器のうちの第 2 の抵抗器は、第 2 のスイッチに結合されている。加えて、複数の抵抗器のうちの第 3 の抵抗器は、示されているように、第 3 のスイッチに結合されている。3 つの抵抗器と、3 つの対応するスイッチとが示されているが、3 つよりも多くまたは 3 つ未満の抵抗器およびスイッチが、プログラム可能な抵抗部分 114 に含まれ得ることが理解されるべきである。

【0029】

[0038] プログラム可能な抵抗部分 114 は、さらに、示されているように第 4 のスイッチに結合されている低抵抗経路（たとえば、「地絡（short-to-ground）」経路）を含むことができる。第 4 のスイッチは、ボディ端子 220 から接地ノード 222 までの「短絡」回路経路を作成するために有効にされ得る。第 4 のスイッチは、低抵抗経路を「開く」ために無効にされ得る（すなわち、低抵抗経路は、第 4 のスイッチが無効にされたとき、無効にされ得る）。したがって、低抵抗経路は、プログラム可能な抵抗部分 114 の抵抗を変更するために使用され得る。

【0030】

[0039] 動作中、プログラム可能な抵抗部分 114 は、制御信号 116 に応答する。たとえば、制御信号 116 に応答して、プログラム可能な抵抗部分 114 のスイッチのうち 10 の 1 つまたは複数は、選択され得る。選択された各スイッチは、スイッチに対応する特定の抵抗器に基づいて、プログラム可能な抵抗部分 114 に関連付けられた抵抗の増加、または、プログラム可能な抵抗部分 114 の抵抗の減少を可能にする。たとえば、第 1 のスイッチを有効にすることは、第 1 の抵抗器をボディ端子 220 と接地ノード 222 とに接続するように第 1 の抵抗器を切り替える。同様に、制御信号 116 は、第 2 の抵抗器をボディ端子 220 と接地ノード 222 との間に接続するように第 2 のスイッチを選択することができる。同様に、第 3 のスイッチは、第 3 の抵抗器をボディ端子 220 と接地ノード 222 との間に選択的に接続するように選択され得る。したがって、1 つまたは複数の抵抗器は、ボディ端子 220 と接地ノード 222 との間に選択的に接続され得る。したがって、プログラム可能な部分 114 は、1 つまたは複数の抵抗レベルに校正（すなわち、プログラム）され得る、ボディ端子 220 と接地ノード 222 との間のボディ - 接地間抵抗を有する。複数の抵抗の各々の特定の抵抗値の選択と、並列の抵抗器の数と、有効にされるまたは無効にされるスイッチの特定の配置は、特定のボディ - 接地間抵抗を選択するために組み合わせられ得る。 20

【0031】

[0040] プログラム可能な抵抗部分 114 の選択された抵抗に基づいて、特定のトリガ電圧は、クランプトランジスタ 112 のために校正され得る。すなわち、プログラム可能な抵抗部分 114 のボディ - 接地間抵抗は、（たとえば、クランプトランジスタ 112 の寄生バイポーラ動作中にどれくらい多くの電流がボディ端子 220 から接地ノード 222 に消散され得るのかを決定することによって）クランプトランジスタ 112 のトリガ電圧 30 レベルに影響を与えるので、プログラム可能な抵抗部分 114 のボディ - 接地間抵抗を校正またはプログラムすることは、クランプトランジスタ 112 に関連付けられたトリガ電圧レベルを変更することができる。

【0032】

[0041] 図 2 を参照して説明されているように、クランプトランジスタ 112 のトリガ電圧レベルを校正することは、「低すぎる」または「高すぎる」トリガ電圧レベルを設定することを回避しながら、電源グリッチ抑制と ESD 保護の両方を可能にすることができる。たとえば、クランプ回路は、典型的には、電流を消散することによって動作し、したがって、エネルギーを消費するので、トリガ電圧レベルを特定のレベルに校正することは、過剰にトリガしない、したがって、大量のエネルギーを消費しないのに十分な高さであると同時に、ESD イベントに対して保護するのに十分な低さのトリガ電圧レベルを提供することができる。したがって、スナップバッククランプ回路 110 の信頼性および効率は、調整され得る。さらに、（図 9 を参照してさらに説明されている）クランプトランジスタ 112 に関連付けられた寄生バイポーラ動作は、20 ~ 30 ピコ秒（ps）内のような電源グリッチに応答して比較的迅速に開始し、図 2 のスナップバッククランプ回路 110 は、電源グリッチだけでなく ESD イベントに対して有利に保護することができる。 40

【0033】

[0042] 代替的には、またはプログラム可能な抵抗部分 114 に加えて、トリガ電圧レベルは、クランプトランジスタ 112 に印加されるゲート - ソース間電圧に基づいて決定または調整され得る。クランプトランジスタ 112 のゲート - ソース間電圧は、図 3 を参 50

照するなどして以下にさらに説明されているように、プログラム可能なバイアスデバイスによってバイアスされ得る。

【0034】

[0043] 図3は、図1のスナップバッククランプ回路110の別の特定の例示的な実施形態を示す。図3のスナップバッククランプ回路110の特定の構成要素および動作は、図1と図2とを参照して説明されているようなものであり得る。たとえば、図3のクランプトランジスタ112は、電源電圧104にตอบสนองする。クランプトランジスタ112は、ゲート端子218とボディ端子220とを含む。プログラム可能な抵抗部分114は、制御信号116とダイオードデバイス208とにตอบสนองする。

【0035】

[0044] 加えて、図3の特定の例では、スナップバッククランプ回路110は、プログラム可能なバイアスデバイスを含む。図3の例では、プログラム可能なバイアスデバイスは、電流360（たとえば、プログラム可能な電流源304を制御することによって校正され得る電流）を生成するように構成されたプログラム可能な電流源304（たとえば、可変電流源）を含む。本明細書で説明されているように、プログラム可能なバイアスデバイスは、制御信号116、別の制御信号、またはそれらの組み合わせのような、1つまたは複数の制御信号にตอบสนองすることができる。図3のスナップバッククランプ回路110は、さらに、ダイオードデバイス208に結合された抵抗器316を含むことができる。

【0036】

[0045] 動作中、プログラム可能な電流源304は、電流360を介してダイオードデバイス208をバイアスすることができる。ダイオードデバイス208は、電流360にตอบสนองしてクランプトランジスタ112のゲート端子218をバイアスすることができる。クランプトランジスタ112のゲート端子218でのバイアス状態（たとえば、ゲート-ソース間電圧）は、クランプトランジスタ112に関連付けられたトリガ電圧レベルに影響を与えるので、プログラム可能な電流源304は、トリガ電圧レベルを校正するようにプログラムされ得る。

【0037】

[0046] したがって、電流360の大きさは、トリガ電圧レベルを校正するために、特定のゲート-ソース間電圧にしたがってゲート端子218をバイアスするようにプログラムされ得る。加えて、トリガ電圧レベルは、さらに、プログラム可能な抵抗部分114に関連付けられたボディ-接地間抵抗をプログラムすることによって校正され得る。少なくとも1つの実施形態では、プログラム可能な抵抗部分114に関連付けられたボディ-接地間抵抗を増加させながら、クランプトランジスタ112のゲート-ソース間電圧を上昇させることによって、トリガ電圧レベルは、ESDイベントがスナップバッククランプ回路110によって消散され得るように低下され得る。

【0038】

[0047] プログラム可能なバイアスデバイスおよびプログラム可能な抵抗部分114は、たとえば、特定の用途に応じて、別々に制御可能であり得、プログラム可能なバイアスデバイスとプログラム可能な抵抗部分114とのうちの一方または両方は、スナップバッククランプ回路110を校正するために利用可能であり得ることが理解されるべきである。特定の例示的な実施形態では、プログラム可能なバイアスデバイスとプログラム可能な抵抗部分114とのうちの一方は、トリガ電圧レベルの「粗い」調整として使用され、プログラム可能なバイアスデバイスとプログラム可能な抵抗部分114とのうちの他方は、トリガ電圧レベルの「細かい」調整として使用される。したがって、図3の特定の例は、「粗い」および「細かい」調整によってなどの、スナップバッククランプ回路110のトリガ電圧レベルのさらなる校正を可能にすることができる。

【0039】

[0048] 図4は、図1のスナップバッククランプ回路110の別の特定の例示的な実施形態を示す。図4のスナップバッククランプ回路110の特定の構成要素および動作は、図1～図3を参照して説明されているようなものであり得る。たとえば、図4のスナップ

10

20

30

40

50

バッククランプ回路 110 は、電源電圧 104 に応答し、クランプトランジスタ 112 と、ダイオードデバイス 208 と、電流源 204 と、制御信号 116 に応答するプログラム可能な抵抗部分 114 とを含む。クランプトランジスタ 112 は、ゲート端子 218 を含む。

【0040】

[0049] 加えて、図 4 の特定の例では、スナップバッククランプ回路 110 は、プログラム可能なバイアスデバイスを含む。図 4 の例では、プログラム可能なバイアスデバイスは、プログラム可能な抵抗器 416 (たとえば、可変抵抗器のような、変更され得る抵抗を有する抵抗器) を含む。

【0041】

[0050] 動作中、電流源 204 は、電流 460 を生成することによってダイオードデバイス 208 をバイアスすることができる。ダイオードデバイス 208 は、電流 460 に応答してクランプトランジスタ 112 のゲート端子 218 をバイアスすることができる。たとえば、プログラム可能な抵抗器 416 の選択された抵抗値に基づいて、ダイオードデバイス 208 がゲート端子 218 をバイアスするバイアス電流は、決定または調整され得る。したがって、クランプトランジスタ 112 のゲート端子 218 は、プログラム可能な抵抗器 416 の選択された抵抗値に基づいてバイアスされ得る。

【0042】

[0051] ゲート端子 218 でのバイアス状態は、クランプトランジスタ 112 に関連付けられたトリガ電圧レベルに影響を与えるので、プログラム可能な抵抗器 416 の抵抗値の選択は、有利には、スナップバッククランプ回路 110 のスナップバック動作の較正を可能にすることができる。少なくとも 1 つの実施形態では、トリガ電圧レベルは、図 8 を参照してさらに説明されているように、スナップバッククランプ回路 110 を形成するために使用される基板の抵抗率の変動のような、プロセス変動を考慮して較正され得る。

【0043】

[0052] 図 5 は、図 1 のスナップバッククランプ回路 110 の別の特定の例示的な実施形態を示す。図 5 のスナップバッククランプ回路 110 の特定の構成要素および動作は、図 1 ~ 図 4 を参照して説明されているようなものであり得る。たとえば、図 5 のスナップバッククランプ回路 110 は、電源電圧 104 に応答し、クランプトランジスタ 112 と、プログラム可能な電流源 304 と、ダイオードデバイス 208 と、プログラム可能な抵抗器 416 と、制御信号 116 に応答するプログラム可能な抵抗部分 114 とを含む。クランプトランジスタ 112 は、ゲート端子 218 を含む。

【0044】

[0053] 加えて、図 5 の特定の例では、スナップバッククランプ回路 110 は、プログラム可能なバイアスデバイスを含む。図 5 のプログラム可能なバイアスデバイスは、プログラム可能な電流源 304 とプログラム可能な抵抗器 416 とを含む。

【0045】

[0054] 動作中、プログラム可能な電流源 304 とプログラム可能な抵抗器 416 の各々は、電流 560 を生成することによってクランプトランジスタ 112 のゲート端子を選択的にバイアスするために較正され得る。たとえば、プログラム可能な電流源 304 とプログラム可能な抵抗器 416 とをプログラムすることによって、特定の値の電流 560 が提供され得る。電流 560 は、クランプトランジスタ 112 のゲート端子 218 をバイアスすることができるダイオードデバイス 208 をバイアスすることができる。スナップバッククランプ回路 110 のトリガ電圧レベルは、クランプトランジスタ 112 のゲート - ソース間電圧に関連するので、プログラム可能な電流源 304 とプログラム可能な抵抗 416 とを制御することは、スナップバッククランプ回路 110 のスナップバック動作のさらなる制御を可能にすることができる。

【0046】

[0055] 図 6 は、図 1 のスナップバッククランプ回路 110 の別の特定の例示的な実施形態を示す。図 6 のスナップバッククランプ回路 110 の特定の構成要素および動作は、

10

20

30

40

50

図 1 ~ 図 5 を参照するように説明され得る。たとえば、図 5 のスナップバッククランプ回路 110 は、電源電圧 104 に応答し、クランプトランジスタ 112 と、ダイオードデバイス 208 と、電流源 204 と、接地ノード 222 と、制御信号 116 に応答するプログラム可能な抵抗部分 114 とを含む。クランプトランジスタ 112 は、ゲート端子 218 とボディ端子 220 とを含む。

【0047】

[0056] 図 6 に示されているように、図 6 のプログラム可能な抵抗部分 114 は、複数のトランジスタを含む。図 6 の特定の例では、複数のトランジスタは、4 対のトランジスタを含み、トランジスタの対の各々は、制御信号 116 の特定の対応する値によって活性化される。特定の実施形態では、制御信号 116 は、マルチビットコード（たとえば、デジタルコード）を含む。たとえば、制御信号 116 は、第 1 のビット b0 と第 2 のビット b1 とを有する 2 ビットコードであり得る。

10

【0048】

[0057] トランジスタの第 1 の対は、各々が論理的に高い値を有する第 1 のビット値 b0 と第 2 のビット値 b1 とによって活性化され得る。トランジスタの第 2 の対は、論理的に高い値を有する第 1 のビット値 b0 と、論理的に低い値を有する第 2 のビット値 b1（すなわち、論理的に高い値を有する第 2 のビット値 b1 の補数）とによって活性化され得る。さらに、トランジスタの第 3 の対は、論理的に高い値を有する第 1 のビット値 b0 の補数と、論理的に高い値を有する第 2 のビット値 b1 とによって活性化され得る。図 6 に示されているように、トランジスタの第 4 の対は、第 1 のビット値 b0 の補数、および第 2 のビット値 b1 の補数が、各々、論理的に高い値を有するとき、活性化され得る。したがって、少なくとも 1 つの実施形態では、制御信号 116 のビット値の特定の組み合わせは、プログラム可能な抵抗部分 114 の複数のトランジスタの対応するサブセットを活性化する。図 6 の特定の例は、4 対のトランジスタを示しているが、図 6 は、例示であり、他の構成は、本開示の範囲内であることが理解されるべきである。

20

【0049】

[0058] 加えて、図 6 の特定の例では、トランジスタの対の各々は、それぞれの幅対長さ (W/L) 比に関連付けられている。たとえば、図 6 の特定の実施形態では、トランジスタの第 1 の対は、トランジスタの第 4 の対に関連付けられた幅対長さ比の約 8 倍のそれぞれの幅対長さ比に関連付けられている。別の例として、トランジスタの第 2 の対は、トランジスタの第 3 の対に関連付けられたそれぞれの幅対長さ比の約 2 倍で、トランジスタの第 4 の対のそれぞれの幅対長さ比の約 4 倍であるそれぞれの幅対長さ比に関連付けられている。図 6 の特定の例は、特定の幅対長さ比を示しているが、図 6 は、例示であり、他の構成は、本開示の範囲内であることが理解されるべきである。

30

【0050】

[0059] 動作中、制御信号 116 の特定の値は、ボディ端子 220 と接地ノード 222 との間の特定の抵抗を達成するために、プログラム可能な抵抗部分 114 のトランジスタの特定の対を活性化することができる。たとえば、トランジスタの第 1 の対は、トランジスタの第 2 の対よりも大きい幅対長さ比を有するので、トランジスタの第 1 の対は、トランジスタの第 2 の対に関連付けられた第 2 の抵抗よりも大きい第 1 の抵抗に関連付けられ得る。トランジスタの第 1 の対を選択することは、したがって、トランジスタの第 2 の対の選択と比較してより大きい電流がクランプトランジスタ 112 のボディ端子 220 から接地ノード 222 に流れることを可能にすることができる。したがって、クランプトランジスタ 112 に関連付けられたボディ - 接地間抵抗は、プログラム可能な抵抗部分 114 と制御信号 116 とを介して制御され得る。したがって、スナップバッククランプ回路 110 のスナップバック動作に関連付けられたトリガ電圧レベルは、制御信号 116 を使用して較正され得る。

40

【0051】

[0060] 図 7 は、図 1 のスナップバッククランプ回路 110 の別の特定の例示的な実施形態を示す。図 7 のスナップバッククランプ回路 110 の特定の構成要素および動作は、

50

図 1 ~ 図 6 を参照して説明されているようなものであり得る。たとえば、図 7 のスナップバッククランプ回路 110 は、電源電圧 104 に応答し、クランプトランジスタ 112 と、制御信号 116 に応答するプログラム可能な抵抗部分とを含む。加えて、図 7 の特定の例では、スナップバッククランプ回路 110 は、プログラム可能な電流源 304 を含むプログラム可能なバイアスデバイスを含む。

【0052】

[0061] さらに、図 7 の例では、プログラム可能な抵抗部分 114 は、各々がトランジスタのそれぞれの対に対応する 3 つの抵抗器を含む。プログラム可能な抵抗部分 114 のトランジスタの動作は、図 6 を参照して説明されているようなものであり得る。加えて、特定の用途に応じて、図 7 のプログラム可能な抵抗部分 114 の抵抗器は、示されているように抵抗器を含まない図 6 のプログラム可能な抵抗部分 114 に比べて、より大きいボディ - 接地間抵抗のプログラミングを可能にすることができる。さらに、図 7 のプログラム可能な抵抗部分 114 は、「低抵抗」経路を含む。「低抵抗」経路の動作は、一般的に、図 2 を参照して説明されているようなものであり得る。

10

【0053】

[0062] 動作中、プログラム可能なバイアスデバイス（たとえば、プログラム可能な電流源 304）は、電流 760 を決定または調整するためにプログラムされ得る。電流 760 は、ダイオードデバイス 208 をバイアスすることができ、ダイオードデバイス 208 は、クランプトランジスタ 112 に関連付けられたゲート - ソース間電圧を決定することができ、したがって、スナップバッククランプ回路 110 に関連付けられたスナップバック動作の較正を可能にする。図 7 は、プログラム可能なバイアスデバイスがプログラム可能な電流源 304 を含むことを示しているが、さらなる実施形態によれば、プログラム可能なバイアスデバイスは、「固定」電流源、プログラム可能な抵抗器、「固定」抵抗を有する抵抗器、またはそれらの組み合わせを含むことができる。プログラム可能な抵抗部分 114 は、トリガ電圧レベルを（たとえば、クランプトランジスタ 112 の特定のボディ - 接地間抵抗を可能にするようにトランジスタの 1 つまたは複数の対を選択することによって）さらに調整するようにプログラムされ得る。

20

【0054】

[0063] 図 8 を参照すると、図 1 のスナップバッククランプ回路 110 の一部（たとえば、断面）の特定の例示的な実施形態が示されており、一般的に 800 と指定されている。図 8 に示されているように、クランプトランジスタ 112 の特定の構成要素および動作は、図 1 ~ 図 7 を参照して説明されているようなものであり得る。たとえば、スナップバッククランプ回路 110 の部分 800 は、クランプトランジスタ 112 と接地ノード 222 とを含む。クランプトランジスタ 112 は、ドレイン端子 214 と、ソース端子 216 と、ゲート端子 218 と、ボディ端子 220 とを含む。ドレイン端子 214 は、電源電圧 104 に応答する。ソース端子 216 は、接地ノード 222 に結合されている。

30

【0055】

[0064] 図 8 の例では、スナップバッククランプ回路 110 の部分 800 は、抵抗器 808（たとえば、ポリシリコン抵抗）とスイッチ 816（たとえば、トランジスタ）とを含む。抵抗器 808 は、ボディ端子 220 に結合されており、以下にさらに説明されているように、ビット 812（たとえば、論理的に高い値または論理的に低い値）がアサートされ（たとえば、論理的に高い値である）、スイッチ 816 を活性化したとき、接地ノード 222 に選択的に結合され得る。少なくとも 1 つの実施形態では、抵抗器 808 は、図 2 を参照して説明されている複数の抵抗器のうちの抵抗器のような、プログラム可能な抵抗部分 114 の抵抗器に対応する。ビット 812 は、制御信号 116 に、または、制御信号 116 の特定のビット値（たとえば、第 1 のビット値 b0 もしくは第 2 のビット値 b1）に対応することができる。

40

【0056】

[0065] 動作中、クランプトランジスタ 112 は、クランプトランジスタ 112 に関連付けられたトリガ電圧レベルに到達したゲート端子 218 とソース端子 216 との間のゲ

50

ート・ソース間電圧に応答して、スナップバッククランプモードの動作に入ることができる。すなわち、クランプトランジスタ112は、ゲート・ソース間電圧がトリガ電圧レベルに到達したとき、(寄生バイポーラ接合トランジスタ(BJT)804として図8に例示的に示されている)寄生バイポーラ動作を開始することができる。クランプトランジスタ112の寄生バイポーラ動作は、また、本明細書では「寄生バイポーラ接合トランジスタ(BJT)効果」と呼ばれる。

【0057】

[0066] ビット812がアサートされたとき、ボディ端子220は、(たとえば、スイッチ816を活性化することによって)抵抗器808を介して接地ノード222に結合される。したがって、寄生バイポーラ動作の間、ボディ端子220は、ビット812がアサートされたとき、接地ノード222に電流を放電することができる。ボディ端子220を介して接地ノード222に放電される電流の量は、抵抗器808の抵抗値によって校正され得る(すなわち、クランプトランジスタ112のトリガ電圧レベルは、ビット812のアサーションに基づいて調整され得る)。

10

【0058】

[0067] ボディ端子220を介して放電される電流の量は、スナップバッククランプ回路110の部分800を含む集積回路に関連付けられた1つまたは複数のプロセス変動によって影響を与えられ得る。たとえば、集積回路に関連付けられた(基板抵抗率820として図8に例示的に示されている)基板抵抗率は、集積回路の設計仕様から逸脱する可能性がある。図8に例示的に示されているように、基板抵抗率820は、クランプトランジスタ112のボディ・接地間抵抗に影響を与える可能性があり、したがって、クランプトランジスタ112のトリガ電圧レベルと動作とを、設計仕様から逸脱させる可能性があり、電源グリッチ、ESDイベント、またはそれらの組み合わせに対する集積回路の感受性を潜在的に引き起こす。ビット812に基づいてスイッチ816を選択的に活性化することによって、クランプトランジスタ112のボディ・接地間抵抗(および、トリガ電圧レベル)は、設計仕様から逸脱する基板抵抗率820のようなプロセス変動を補償するように調整され得る。理解されることになるように、本明細書で説明されている他の校正技術は、また、そのようなプロセス変動を補償するためにトリガ電圧レベルを調整するために使用され得る。

20

【0059】

[0068] 図8の特定の例は、単一の抵抗器(すなわち、抵抗器808)に結合されたボディ端子220を示しているが、ボディ端子220は、1つまたは複数の追加の抵抗器、(たとえば、図6および図7を参照して説明されているように)1つまたは複数のトランジスタ、またはそれらの組み合わせに結合され得ることが理解されるべきである。1つもしくは複数の抵抗器および/または1つもしくは複数のトランジスタのいずれかは、ビット812に、図8には示されていない1つもしくは複数の追加のビットに、制御信号116に、別の信号に、または、それらの組み合わせに応答することができる。

30

【0060】

[0069] 抵抗器808の特定の抵抗を選択すること、プログラム可能なバイアスデバイスを使用してゲート端子218をバイアスすること、および/または、ビット812を(たとえば、制御信号116を介して)アサートすることによって、クランプトランジスタ112のクランプ動作は、校正され得る。クランプ動作は、スナップバッククランプ回路110の部分800の製造後(たとえば、スナップバッククランプ回路110の部分800を含む集積回路の製造後)にのみ知られる電源電圧104に関連付けられたトレースインダクタンスだけでなく、静電放電(ESD)イベントを考慮して校正され得る。

40

【0061】

[0070] 図9を参照すると、方法の特定の例示的な実施形態が示されており、一般的に900で指定されている。方法900は、図1~図7を参照して説明されているスナップバッククランプ回路110の特定の実施形態のいずれかで、もしくはそれによって、図8を参照して説明されているスナップバッククランプ回路110の部分800で、またはそ

50

これらの組み合わせで実行され得る。

【 0 0 6 2 】

[0071] 方法 9 0 0 は、9 1 0 で、制御信号を介してクランプトランジスタに関連付けられたボディ - 接地間抵抗を変更することによって、スナップバッククランプ回路 1 1 0 に関連付けられたトリガ電圧レベルを較正することを含む。クランプトランジスタは、クランプトランジスタ 1 1 2 に対応することができる。制御信号は、制御信号 1 1 6、ビット 8 1 2、またはそれらの組み合わせに対応することができる。

【 0 0 6 3 】

[0072] 方法 9 0 0 は、さらに 9 2 0 で、トリガ電圧レベルをさらに較正するように、(たとえば、ダイオードデバイス 2 0 8 のようなダイオードデバイスを介して) クランプトランジスタのゲート端子をバイアスするために、スナップバッククランプ回路 1 1 0 のプログラム可能なバイアスデバイスをプログラムすることを含む。ゲート端子は、ゲート端子 2 1 8 に対応することができる。プログラム可能なバイアスデバイスは、プログラム可能な電流源 3 0 4、プログラム可能な抵抗器 4 1 6、またはそれらの組み合わせを含むことができる。

10

【 0 0 6 4 】

[0073] 方法 9 0 0 は、さらに 9 3 0 で、スナップバッククランプ回路 1 1 0 を含み、静電放電 (E S D) イベント中にトリガ電圧レベルを超える電源電圧に応答する集積回路の動作中、スナップバッククランプ回路 1 1 0 によって電源電圧をクランプすることを含む。トリガ電圧レベルは、プログラム可能なバイアスデバイス、プログラムされたボディ - 接地間抵抗、またはそれらの組み合わせに依存して決定される。スナップバッククランプ回路は、グリッチ抑制 (たとえば、図 1 を参照して説明されているように、電源電圧 1 0 4 に関連付けられたグリッチの抑制) と、集積回路の E S D 保護とを可能にする。

20

【 0 0 6 5 】

[0074] トリガ電圧レベルを超える電源電圧に依存して電源電圧をクランプすることは、グリッチ抑制と集積回路の静電放電 (E S D) 保護とを可能にすることができる。たとえば、図 1 を再び参照すると、トレースインダクタンス 1 2 8 が電圧を出力するときのような、電源電圧 1 0 4 のグリッチに依存して、スナップバッククランプ回路 1 1 0 は、電源電圧 1 0 4 に関連付けられた電源グリッチを抑制するために、スナップバックモードの動作に入ることができる。トリガ電圧レベルは、トレースインダクタンス 1 1 8、1 2 0、1 2 8、1 3 2 のいずれかに少なくとも部分的に基づいて較正され得る。

30

【 0 0 6 6 】

[0075] 図 1 0 を参照すると、通信デバイスの特定の例示的な実施形態のブロック図が示されており、一般的に 1 0 0 0 で指定されている。図 1 0 の例では、通信デバイス 1 0 0 0 は、スナップバッククランプ回路 1 1 0 を含む。図 1 0 のスナップバッククランプ回路 1 1 0 は、一般的に 1 0 6 4 で指定されている、プログラムされたバイアスデバイス、プログラムされた抵抗部分、またはそれらの組み合わせを含む。プログラムされたバイアスデバイスは、プログラミング後の 1 つまたは複数のプログラム可能な電流源 3 0 4、プログラミング後のプログラム可能な抵抗器 4 1 6、またはそれらの組み合わせに対応することができる。プログラムされた抵抗部分は、プログラミング後のプログラム可能な抵抗部分 1 1 4、ビット 8 1 2 がアサートされたときの抵抗器 8 0 8、またはそれらの組み合わせに対応することができる。スナップバッククランプ回路 1 1 0 は、通信デバイス 1 0 0 0 の構成要素のいずれかに結合され得る。たとえば、通信デバイス 1 0 0 0 の 1 つまたは複数の構成要素は、スナップバッククランプ回路 1 1 0 に結合され得、図 1 の負荷 1 2 4 に対応することができる。

40

【 0 0 6 7 】

[0076] 図 1 0 のスナップバッククランプ回路 1 1 0 は、電源電圧 1 0 4 に依存する。電源電圧 1 0 4 は、電源回路網 1 0 4 8 に結合された電源 1 0 4 4 によって生成され得る。電源回路網 1 0 4 8 は、図 1 のデカップリングキャパシタ 1 4 0 を含むことができる。電源 1 0 4 4 および電源回路網 1 0 4 8 は、図 1 のオフチップ部分 1 5 2 に対応すること

50

ができる。

【0068】

[0077] 通信デバイス1000は、デジタル信号プロセッサ(DSP)のようなプロセッサ1010を含むことができる。プロセッサ1010は、メモリ1032(たとえば、非一時的なコンピュータ可読媒体)に結合され得る。メモリ1032は、プロセッサ1010によって実行可能な命令1058を記憶することができる。メモリ1032は、プロセッサ1010にアクセス可能なデータ1056を記憶することができる。

【0069】

[0078] 図10は、また、プロセッサ1010とディスプレイ1016とに結合されたディスプレイコントローラ1026を示す。符号器/復号器(コーデック)および/またはスピーカドライバ(たとえば、図1の負荷124に対応することができるD級スピーカドライバ)のようなオーディオ処理回路網1034は、また、プロセッサ1010に結合され得る。スピーカ1036およびマイクロフォン1038は、オーディオ処理回路網1034に結合され得る。図10は、また、ワイヤレスコントローラ1040がプロセッサ1010に結合され得、さらに、無線周波数(RF)インターフェース1046(たとえば、トランシーバ)を介してアンテナ1042に結合され得ることを示している。

10

【0070】

[0079] 特定の実施形態では、スナップバッククランプ回路110、プロセッサ1010、ディスプレイコントローラ1026、メモリ1032、オーディオ処理回路網1034、およびワイヤレスコントローラ1040は、図9を参照して説明されている集積回路に対応することができるシステムインパッケージまたはシステムオンチップデバイス1022のような、集積回路に含まれ得る。図10の例では、スナップバッククランプ回路110は、グリッチ抑制(たとえば、電源1044に関連付けられたトレースインダクタンスによって引き起こされるグリッチのような、電源1044に関連付けられたグリッチの抑制)と、システムオンチップデバイス1022のESD保護とを可能にする。

20

【0071】

[0080] 入力デバイス1030は、システムオンチップデバイス1022に結合され得る。さらに、特定の実施形態では、図10に例示されているように、ディスプレイ1016、入力デバイス1030、スピーカ1036、マイクロフォン1038、アンテナ1042、電源回路網1048、RFインターフェース1046、および電源1044は、システムオンチップデバイス1022の外部にある。しかしながら、ディスプレイ1016、入力デバイス1030、スピーカ1036、マイクロフォン1038、アンテナ1042、電源回路網1048、RFインターフェース1046、および電源1044の各々は、インターフェースまたはコントローラのような、システムオンチップデバイス1022の構成要素に結合され得る。特定の例として、図10は、スピーカ1036が図1のI/O構成要素126を介してオーディオ処理回路網1034に結合され得ることを示している。さらに、図10のスナップバッククランプ回路110は、別のI/O構成要素(たとえば、ピン)を介してアサートされ得る制御信号116を介して較正され得る。たとえば、制御信号116は、スナップバッククランプ回路110をプログラムするために、(たとえば、通信デバイス1000の製造中に)一度アサートされ得る。特定の実施形態では、本明細書で説明されているスイッチ、トランジスタ、および/またはプログラム可能なデバイスは、1回較正され得るワンタイムプログラマブル(OTP)ロジックを含むことができる。代替的には、制御信号116は、通信デバイス1000の動作中にアサートされ得る。たとえば、デバイスの動作中、プロセッサ1010は、スナップバッククランプ回路110のスイッチ、トランジスタ、および/またはプログラム可能なデバイスをプログラムする(たとえば、活性化する、不活性化する、または較正する)ための制御信号116を生成するために、データ1056、命令1058、またはそれらの組み合わせにアクセスすることができる。

30

40

【0072】

[0081] 説明されている実施形態に関連して、トリガ電圧レベルに基づいて電源電圧(

50

たとえば、電源電圧104)をクランプするための手段(たとえば、クランプトランジスタ112)を含む装置が開示されている。装置は、さらに、トリガ電圧レベルを較正するための手段を含む。トリガ電圧レベルを較正するための手段は、電源電圧をクランプするための手段の入力ノード(たとえば、ゲート端子218)をバイアスするための手段(たとえば、プログラム可能な電流源304、プログラム可能な抵抗器416、またはそれらの組み合わせ)を含む。トリガ電圧レベルを較正するための手段は、さらに、電源電圧をクランプするための手段に関連付けられたボディ-接地間抵抗を修正するための手段(たとえば、プログラム可能な抵抗部分114、ビット812がアサートされたときの抵抗808、またはそれらの組み合わせ)を含む。

【0073】

[0082] 前述の開示されているデバイスおよび機能は、コンピュータ可読媒体に記憶されたコンピュータファイル(たとえば、RTL、GDSII、GERBER、など)に設計および構成され得る。いくつかまたはすべてのそのようなファイルは、そのようなファイルに基づいてデバイスを製造するために、製造者(fabrication handler)に提供され得る。得られる製造物は、半導体ウェハを含み、半導体ウェハは、次いで、半導体ダイに切断され、半導体チップにパッケージ化される。そのような半導体チップは、プリント回路組立品(PCA)を形成するために、プリント回路基板(PCB)を使用するなどして、通信可能に結合され得る。PCAは、ワイヤレス電話のような電子デバイス内に統合され得る。

【0074】

[0083] 当業者は、さらに、本明細書で開示されている実施形態に関連して説明されている様々な例示的な論理ブロック、構成、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、プロセッサによって実行されるコンピュータソフトウェア、または両方の組み合わせとして実現され得ることを理解するであろう。様々な例示的な構成要素、ブロック、構成、モジュール、回路、およびステップは、それらの機能性の点から一般的に上記で説明されている。そのような機能性が、ハードウェアかプロセッサ実行可能命令のどちらで実現されるのかは、特定の用途と、システム全体に課される設計制約とに依存する。当業者は、説明されている機能性を各々の特定の用途のために様々な方法で実現することができるが、そのような実現の決定は、本開示の範囲からの逸脱を引き起こすと解釈されるべきではない。

【0075】

[0084] 本明細書で開示されている実施形態に関連して説明されている方法またはアルゴリズムのステップは、直接ハードウェアで、プロセッサによって実行されるソフトウェアモジュールで、またはそれら2つの組み合わせで具体化され得る。ソフトウェアモジュールは、ランダムアクセスメモリ(RAM)、フラッシュメモリ、読み出し専用メモリ(ROM)、プログラム可能な読み出し専用メモリ(PROM)、消去可能でプログラム可能な読み出し専用メモリ(EEPROM)、レジスタ、ハードディスク、リムーバブルディスク、または、当該技術分野で公知の任意の他の形態の非一時的な記憶媒体内に存在することができる。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取ることができ、記憶媒体に情報を書き込むことができるように、プロセッサに結合されている。代替案では、記憶媒体は、プロセッサと一体であり得る。プロセッサおよび記憶媒体は、特定用途向け集積回路(ASIC)内に存在することができる。ASICは、コンピューティングデバイスまたはユーザ端末内に存在することができる。代替案では、プロセッサおよび記憶媒体は、コンピューティングデバイスまたはユーザ端末内の個別の構成要素として存在することができる。

【0076】

[0085] 開示されている実施形態の上記の説明は、当業者が開示されている実施形態を製作または使用することを可能にするために提供されている。これらの実施形態に対する様々な修正は、当業者には容易に明らかであり、本明細書で定義されている原理は、本開

10

20

30

40

50

示の範囲から逸脱することなく、他の実施形態に適用され得る。したがって、本開示は、本明細書に示されている実施形態に限定されることを意図されておらず、以下の特許請求の範囲によって定義される原理および新規な特徴と一致する可能な最も広い範囲を与えられるべきである。

【 図 1 】

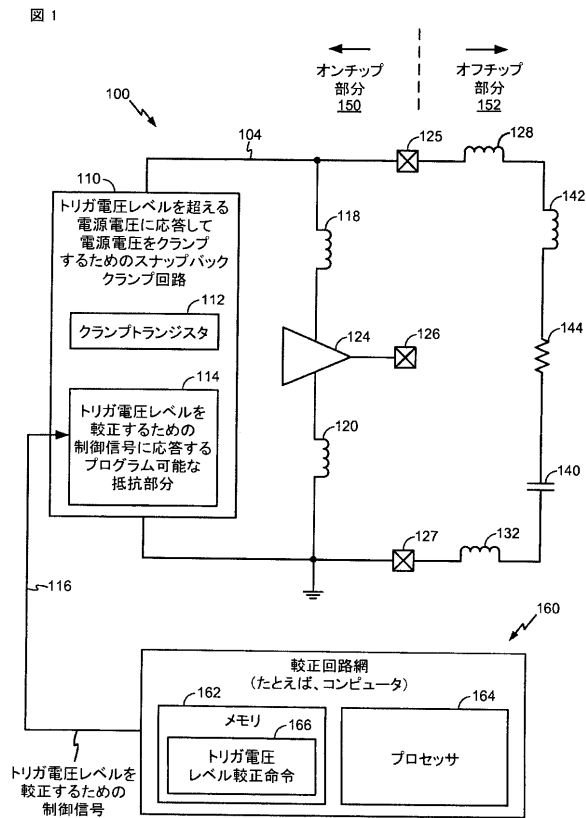


FIG. 1

【 図 2 】

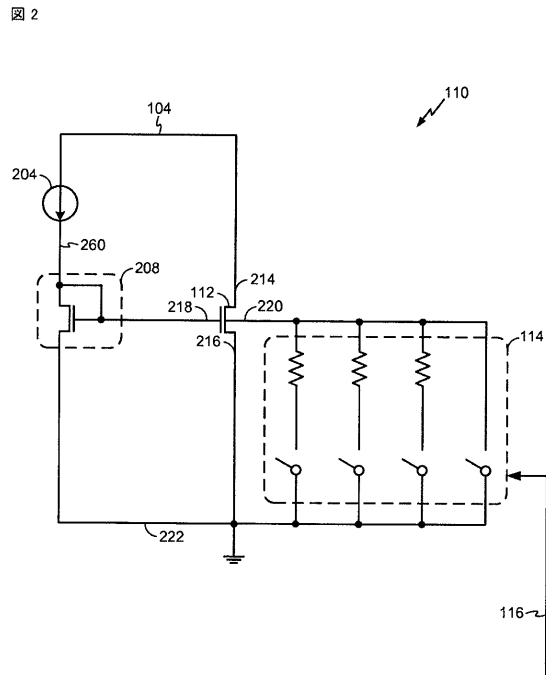


FIG. 2

【手続補正書】

【提出日】平成28年1月5日(2016.1.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

トリガ電圧レベルを超える電源電圧に応答して前記電源電圧をクランプするように構成されたスナップバッククランプ回路を備え、

前記スナップバッククランプ回路が、クランプトランジスタと、前記クランプトランジスタのボディ - 接地間抵抗を調整するように構成され、かつ前記トリガ電圧レベルを較正するための制御信号に応答する、プログラム可能な抵抗部分とを含む、デバイス。

【請求項2】

前記プログラム可能な抵抗部分が、前記クランプトランジスタのボディ端子に結合されている、請求項1に記載のデバイス。

【請求項3】

前記プログラム可能な抵抗部分が、前記クランプトランジスタの前記ボディ端子に各々結合された複数の抵抗器を含む、請求項2に記載のデバイス。

【請求項4】

前記複数の抵抗器のうちの第1の抵抗器が、さらに、第1のスイッチに結合されており、前記複数の抵抗器のうちの第2の抵抗器が、さらに、第2のスイッチに結合されている、請求項3に記載のデバイス。

【請求項5】

前記制御信号が、マルチビットコードであり、前記第1のスイッチが、前記マルチビットコードの第1のビット値によってゲートされる第1のトランジスタを含み、さらに、前記マルチビットコードの第2のビット値によってゲートされる第2のトランジスタを含み、前記第2のスイッチが、前記第1のビット値の補数によってゲートされる第3のトランジスタ、前記第2のビット値の補数によってゲートされる第4のトランジスタ、またはそれらの組み合わせを含む、請求項4に記載のデバイス。

【請求項6】

前記プログラム可能な抵抗部分が、第3のスイッチに結合された低抵抗経路をさらに含む、請求項4に記載のデバイス。

【請求項7】

前記プログラム可能な抵抗部分が、第1の幅対長さ比を有する第1のトランジスタを含み、さらに、第2の幅対長さ比を有する第2のトランジスタを含み、前記第2の幅対長さ比が、前記第1の幅対長さ比よりも大きい、請求項1に記載のデバイス。

【請求項8】

前記プログラム可能な抵抗部分が、前記第1のトランジスタが前記制御信号の第1のビット値によって活性化されたときに、第1の抵抗を有し、前記プログラム可能な抵抗部分が、前記第2のトランジスタが前記第1のビット値の補数によって活性化されたときに、第2の抵抗を有し、前記第1の抵抗が、前記第2の抵抗よりも大きい、請求項7に記載のデバイス。

【請求項9】

前記第2の幅対長さ比が、前記第1の幅対長さ比の約2倍である、請求項7に記載のデバイス。

【請求項10】

前記プログラム可能な抵抗部分が、前記クランプトランジスタのボディ端子に結合された少なくとも1つのポリシリコン抵抗器を含む、請求項1に記載のデバイス。

【請求項 1 1】

前記トリガ電圧レベルが、前記電源電圧を提供する回路網に関連付けられたトレースインダクタンスに基づいてプログラムされる、請求項 1 に記載のデバイス。

【請求項 1 2】

前記トリガ電圧レベルが、前記スナップバッククランプ回路に関連付けられた寄生バイポーラ接合トランジスタ (BJT) 効果に関連付けられている、請求項 1 に記載のデバイス。

【請求項 1 3】

前記クランプトランジスタのゲート端子をバイアスすることによって前記トリガ電圧レベルをさらに校正するように構成されたプログラム可能なバイアスデバイスをさらに備える、請求項 1 に記載のデバイス。

【請求項 1 4】

前記トリガ電圧レベルが、前記プログラム可能なバイアスデバイスによってバイアスされた前記クランプトランジスタのゲート - ソース間電圧に基づいてさらに決定される、請求項 1 3 に記載のデバイス。

【請求項 1 5】

前記プログラム可能なバイアスデバイスが、ダイオードデバイスに結合されたプログラム可能な電流源を含む、請求項 1 3 に記載のデバイス。

【請求項 1 6】

前記プログラム可能なバイアスデバイスが、電流源に結合されたプログラム可能な抵抗を含む、請求項 1 3 に記載のデバイス。

【請求項 1 7】

前記プログラム可能なバイアスデバイスが、プログラム可能な電流源と、ダイオードデバイスとを含み、前記ダイオードデバイスが、抵抗器に結合されている、請求項 1 3 に記載のデバイス。

【請求項 1 8】

前記プログラム可能なバイアスデバイスが、プログラム可能な電流源と、プログラム可能な抵抗とを含む、請求項 1 3 に記載のデバイス。

【請求項 1 9】

トリガ電圧レベルを超える電源電圧に応答して前記電源電圧をクランプするように構成されたスナップバッククランプ回路を備え、

前記スナップバッククランプ回路が、クランプトランジスタと、前記クランプトランジスタのゲート端子をバイアスすることによって前記トリガ電圧レベルを校正するように構成されたプログラム可能なバイアスデバイスとを含み、

前記トリガ電圧レベルが前記プログラム可能なバイアスデバイスによってバイアスされた前記クランプトランジスタのゲート - ソース間電圧に基づいて決定される、

デバイス。

【請求項 2 0】

前記プログラム可能なバイアスデバイスが、ダイオードデバイスに結合されたプログラム可能な電流源を含む、請求項 1 9 に記載のデバイス。

【請求項 2 1】

前記プログラム可能なバイアスデバイスが、電流源に結合されたプログラム可能な抵抗を含む、請求項 1 9 に記載のデバイス。

【請求項 2 2】

前記プログラム可能なバイアスデバイスが、抵抗器に結合されたプログラム可能な電流源を含む、請求項 1 9 に記載のデバイス。

【請求項 2 3】

前記プログラム可能なバイアスデバイスが、プログラム可能な電流源と、プログラム可能な抵抗とを含む、請求項 1 9 に記載のデバイス。

【請求項 2 4】

前記スナップバッククランプ回路が、前記トリガ電圧レベルをさらに較正するように構成されたプログラム可能な抵抗部分をさらに含み、前記プログラム可能な抵抗部分が、前記クランプトランジスタのボディ端子に結合されている、請求項 19 に記載のデバイス。

【請求項 25】

前記プログラム可能な抵抗部分が、第 3 のスイッチに結合された低抵抗経路をさらに含む、請求項 24 に記載のデバイス。

【請求項 26】

前記プログラム可能な抵抗部分が、前記クランプトランジスタの前記ボディ端子に結合された少なくとも 1 つのポリシリコン抵抗器を含む、請求項 24 に記載のデバイス。

【請求項 27】

前記プログラム可能な抵抗部分が、第 1 の幅対長さ比を有する第 1 のトランジスタを含み、さらに、第 2 の幅対長さ比を有する第 2 のトランジスタを含み、前記第 2 の幅対長さ比が前記第 1 の幅対長さ比よりも大きい、請求項 24 に記載のデバイス。

【請求項 28】

前記プログラム可能な抵抗部分が、前記第 1 のトランジスタが第 1 のビット値によってゲートされたとき、第 1 の抵抗に関連付けられ、前記プログラム可能な抵抗部分が、前記第 2 のトランジスタが前記第 1 のビット値の補数によってゲートされたとき、第 2 の抵抗に関連付けられ、前記第 1 の抵抗が、前記第 2 の抵抗よりも大きい、請求項 27 に記載のデバイス。

【請求項 29】

前記第 2 の幅対長さ比が、前記第 1 の幅対長さ比の約 2 倍である、請求項 27 に記載のデバイス。

【請求項 30】

前記プログラム可能な抵抗部分が、前記クランプトランジスタの前記ボディ端子に各々結合された複数の抵抗器を含む、請求項 24 に記載のデバイス。

【請求項 31】

前記複数の抵抗器のうちの第 1 の抵抗器が、さらに、第 1 のスイッチに結合されており、前記複数の抵抗器のうちの第 2 の抵抗器が、さらに、第 2 のスイッチに結合されている、請求項 30 に記載のデバイス。

【請求項 32】

前記第 1 のスイッチが、マルチビットコードの第 1 のビット値によってゲートされる第 1 のトランジスタを含み、さらに、前記マルチビットコードの第 2 のビット値によってゲートされる第 2 のトランジスタを含み、前記第 2 のスイッチが、前記第 1 のビット値の補数によってゲートされる第 3 のトランジスタ、前記第 2 のビット値の補数によってゲートされる第 4 のトランジスタ、またはそれらの組み合わせを含む、請求項 31 に記載のデバイス。

【請求項 33】

前記トリガ電圧レベルが、前記電源電圧を提供する回路網に関連付けられたトレースインダクタンスに基づいてプログラムされる、請求項 19 に記載のデバイス。

【請求項 34】

前記トリガ電圧レベルが、前記スナップバッククランプ回路に関連付けられた寄生バイポーラ接合トランジスタ (BJT) 効果に関連付けられている、請求項 19 に記載のデバイス。

【請求項 35】

前記トリガ電圧レベルを較正するように前記クランプトランジスタのボディ - 接地間抵抗を調整するように構成されるプログラム可能な抵抗部分をさらに備える、請求項 19 に記載のデバイス。

【請求項 36】

スナップバッククランプ回路を較正する方法であって、
制御信号を介してクランプトランジスタに関連付けられたボディ - 接地間抵抗を変更す

ることによって、スナップバッククランプ回路に関連付けられたトリガ電圧レベルを校正することと、

前記トリガ電圧レベルをさらに校正するように前記クランプトランジスタのゲート端子をバイアスするために、前記スナップバッククランプ回路のプログラム可能なバイアスデバイスをプログラムすることと

を備える、方法。

【請求項 37】

前記ボディ - 接地間抵抗を変更することが、前記制御信号に基づいて複数のトランジスタをゲートすることを含む、請求項 36 に記載の方法。

【請求項 38】

プログラム可能な電流源でダイオードデバイスをバイアスすることによって、前記クランプトランジスタの前記ゲート端子をバイアスすることをさらに備える、請求項 36 に記載の方法。

【請求項 39】

前記トリガ電圧レベルが、前記スナップバッククランプ回路を電源電圧に結合した後、校正される、請求項 36 に記載の方法。

【請求項 40】

トリガ電圧レベルに基づいて電源電圧をクランプするための手段と、

前記トリガ電圧レベルを校正するための手段と

を備え、前記トリガ電圧レベルを校正するための前記手段が、

前記電源電圧をクランプするための前記手段の入力ノードをバイアスするための手段と、

前記電源電圧をクランプするための前記手段に関連付けられたボディ - 接地間抵抗を変更するための手段と

を備える、装置。

【請求項 41】

前記電源電圧をクランプするための前記手段が、クランプトランジスタを備え、前記入力ノードが、前記クランプトランジスタのゲート端子を備える、請求項 40 に記載の装置

。

【請求項 42】

スナップバッククランプ回路のプログラム可能な抵抗部分を校正するための制御信号を生成することによって、前記スナップバッククランプ回路のトリガ電圧レベルを校正するためにプロセッサによって実行可能な命令を記憶する非一時的なコンピュータ可読媒体であって、前記スナップバッククランプ回路は、クランプトランジスタを備え、前記プログラム可能な抵抗部分は、前記クランプトランジスタのボディ - 接地間抵抗を調整するように構成される、非一時的なコンピュータ可読媒体。

【請求項 43】

前記制御信号が、マルチビットコードであり、前記マルチビットコードのビット値の第 1 の組み合わせが、前記プログラム可能な抵抗部分の複数のトランジスタの第 1 のサブセットを活性化し、前記マルチビットコードのビット値の第 2 の組み合わせが、前記複数のトランジスタの第 2 のサブセットを活性化する、請求項 42 に記載の非一時的なコンピュータ可読媒体。

【請求項 44】

スナップバッククランプ回路のプログラムされたバイアスデバイス、前記スナップバッククランプ回路のプログラムされたボディ - 接地間抵抗、またはそれらの組み合わせに基づいて決定されたトリガ電圧レベルを有する前記スナップバッククランプ回路を備え、

前記スナップバッククランプ回路が、静電放電 (ESD) イベント中に、前記トリガ電圧レベルを超える電源電圧に応答して前記電源電圧をクランプするように構成されており、

前記スナップバッククランプ回路が、集積回路のグリッチ抑制と ESD 保護とを可能に

する、集積回路。

【請求項 4 5】

前記トリガ電圧レベルが、前記スナップバッククランプ回路のクランプトランジスタの寄生バイポーラ接合トランジスタ (BJT) 効果に関連付けられている、請求項 4 4 に記載の集積回路。

【請求項 4 6】

集積回路の動作中に電源電圧をクランプする方法であって、

静電放電 (ESD) イベント中に、トリガ電圧レベルを超える前記電源電圧に応答して、前記集積回路のスナップバッククランプ回路によって前記電源電圧をクランプすることを備え、

前記トリガ電圧レベルが、前記スナップバッククランプ回路のプログラムされたバイアスデバイス、前記スナップバッククランプ回路のプログラムされたボディ - 接地間抵抗、またはそれらの組み合わせに応答して決定され、

前記スナップバッククランプ回路が、前記集積回路のグリッチ抑制と ESD 保護とを可能にする、方法。

【請求項 4 7】

前記トリガ電圧レベルが、前記スナップバッククランプ回路のクランプトランジスタの寄生バイポーラ接合トランジスタ (BJT) 効果に関連付けられている、請求項 4 6 に記載の方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0076

【補正方法】変更

【補正の内容】

【0076】

[0085] 開示されている実施形態の上記の説明は、当業者が開示されている実施形態を製作または使用することを可能にするために提供されている。これらの実施形態に対する様々な修正は、当業者には容易に明らかであり、本明細書で定義されている原理は、本開示の範囲から逸脱することなく、他の実施形態に適用され得る。したがって、本開示は、本明細書に示されている実施形態に限定されることを意図されておらず、以下の特許請求の範囲によって定義される原理および新規な特徴と一致する可能な最も広い範囲を与えられるべきである。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[C 1]

[書類名] 特許請求の範囲

[C 1]

トリガ電圧レベルを超える電源電圧に応答して前記電源電圧をクランプするように構成されたスナップバッククランプ回路を備え、

前記スナップバッククランプ回路が、クランプトランジスタと、前記トリガ電圧レベルを較正するための制御信号に応答するプログラム可能な抵抗部分とを含む、デバイス。

[C 2]

前記プログラム可能な抵抗部分が、前記クランプトランジスタのボディ端子に結合されている、C 1 に記載のデバイス。

[C 3]

前記プログラム可能な抵抗部分が、前記クランプトランジスタの前記ボディ端子に各々結合された複数の抵抗器を含む、C 2 に記載のデバイス。

[C 4]

前記複数の抵抗器のうちの第 1 の抵抗器が、さらに、第 1 のスイッチに結合されており、前記複数の抵抗器のうちの第 2 の抵抗器が、さらに、第 2 のスイッチに結合されている、C 3 に記載のデバイス。

[C 5]

前記制御信号が、マルチビットコードであり、前記第 1 のスイッチが、前記マルチビットコードの第 1 のビット値によってゲートされる第 1 のトランジスタを含み、さらに、前記マルチビットコードの第 2 のビット値によってゲートされる第 2 のトランジスタを含み、前記第 2 のスイッチが、前記第 1 のビット値の補数によってゲートされる第 3 のトランジスタ、前記第 2 のビット値の補数によってゲートされる第 4 のトランジスタ、またはそれらの組み合わせを含む、C 4 に記載のデバイス。

[C 6]

前記プログラム可能な抵抗部分が、第 3 のスイッチに結合された低抵抗経路をさらに含む、C 4 に記載のデバイス。

[C 7]

前記プログラム可能な抵抗部分が、第 1 の幅対長さ比を有する第 1 のトランジスタを含み、さらに、第 2 の幅対長さ比を有する第 2 のトランジスタを含み、前記第 2 の幅対長さ比が、前記第 1 の幅対長さ比よりも大きい、C 1 に記載のデバイス。

[C 8]

前記プログラム可能な抵抗部分が、前記第 1 のトランジスタが前記制御信号の第 1 のビット値によって活性化されたときに、第 1 の抵抗を有し、前記プログラム可能な抵抗部分が、前記第 2 のトランジスタが前記第 1 のビット値の補数によって活性化されたときに、第 2 の抵抗を有し、前記第 1 の抵抗が、前記第 2 の抵抗よりも大きい、C 7 に記載のデバイス。

[C 9]

前記第 2 の幅対長さ比が、前記第 1 の幅対長さ比の約 2 倍である、C 7 に記載のデバイス。

[C 1 0]

前記プログラム可能な抵抗部分が、前記クランプトランジスタのボディ端子に結合された少なくとも 1 つのポリシリコン抵抗器を含む、C 1 に記載のデバイス。

[C 1 1]

前記トリガ電圧レベルが、前記電源電圧を提供する回路網に関連付けられたトレースインダクタンスに基づいてプログラムされる、C 1 に記載のデバイス。

[C 1 2]

前記トリガ電圧レベルが、前記スナップバッククランプ回路に関連付けられた寄生バイポーラ接合トランジスタ (BJT) 効果に関連付けられている、C 1 に記載のデバイス。

[C 1 3]

前記クランプトランジスタのゲート端子をバイアスすることによって前記トリガ電圧レベルをさらに校正するように構成されたプログラム可能なバイアスデバイスをさらに備える、C 1 に記載のデバイス。

[C 1 4]

前記トリガ電圧レベルが、前記プログラム可能なバイアスデバイスによってバイアスされた前記クランプトランジスタのゲート - ソース間電圧に基づいてさらに決定される、C 1 3 に記載のデバイス。

[C 1 5]

前記プログラム可能なバイアスデバイスが、ダイオードデバイスに結合されたプログラム可能な電流源を含む、C 1 3 に記載のデバイス。

[C 1 6]

前記プログラム可能なバイアスデバイスが、電流源に結合されたプログラム可能な抵抗を含む、C 1 3 に記載のデバイス。

[C 1 7]

前記プログラム可能なバイアスデバイスが、プログラム可能な電流源と、ダイオードデバイスとを含み、前記ダイオードデバイスが、抵抗器に結合されている、C 1 3 に記載のデバイス。

[C 1 8]

前記プログラム可能なバイアスデバイスが、プログラム可能な電流源と、プログラム可能な抵抗とを含む、C 1 3 に記載のデバイス。

[C 1 9]

トリガ電圧レベルを超える電源電圧に応答して前記電源電圧をクランプするように構成されたスナップバッククランプ回路を備え、

前記スナップバッククランプ回路が、クランプトランジスタと、前記クランプトランジスタのゲート端子をバイアスすることによって前記トリガ電圧レベルを校正するように構成されたプログラム可能なバイアスデバイスとを含む、デバイス。

[C 2 0]

前記トリガ電圧レベルが、前記プログラム可能なバイアスデバイスによってバイアスされた前記クランプトランジスタのゲート-ソース間電圧に基づいて決定される、C 1 9 に記載のデバイス。

[C 2 1]

前記プログラム可能なバイアスデバイスが、ダイオードデバイスに結合されたプログラム可能な電流源を含む、C 1 9 に記載のデバイス。

[C 2 2]

前記プログラム可能なバイアスデバイスが、電流源に結合されたプログラム可能な抵抗を含む、C 1 9 に記載のデバイス。

[C 2 3]

前記プログラム可能なバイアスデバイスが、抵抗器に結合されたプログラム可能な電流源を含む、C 1 9 に記載のデバイス。

[C 2 4]

前記プログラム可能なバイアスデバイスが、プログラム可能な電流源と、プログラム可能な抵抗とを含む、C 1 9 に記載のデバイス。

[C 2 5]

前記スナップバッククランプ回路が、前記トリガ電圧レベルをさらに校正するように構成されたプログラム可能な抵抗部分をさらに含み、前記プログラム可能な抵抗部分が、前記クランプトランジスタのボディ端子に結合されている、C 1 9 に記載のデバイス。

[C 2 6]

前記プログラム可能な抵抗部分が、前記クランプトランジスタの前記ボディ端子に各々結合された複数の抵抗器を含む、C 2 5 に記載のデバイス。

[C 2 7]

前記複数の抵抗器のうちの第 1 の抵抗器が、さらに、第 1 のスイッチに結合されており、前記複数の抵抗器のうちの第 2 の抵抗器が、さらに、第 2 のスイッチに結合されている、C 2 6 に記載のデバイス。

[C 2 8]

前記第 1 のスイッチが、マルチビットコードの第 1 のビット値によってゲートされる第 1 のトランジスタを含み、さらに、前記マルチビットコードの第 2 のビット値によってゲートされる第 2 のトランジスタを含み、前記第 2 のスイッチが、前記第 1 のビット値の補数によってゲートされる第 3 のトランジスタ、前記第 2 のビット値の補数によってゲートされる第 4 のトランジスタ、またはそれらの組み合わせを含む、C 2 7 に記載のデバイス。

[C 2 9]

前記プログラム可能な抵抗部分が、第 3 のスイッチに結合された低抵抗経路をさらに含む、C 2 5 に記載のデバイス。

[C 3 0]

前記プログラム可能な抵抗部分が、第 1 の幅対長さ比を有する第 1 のトランジスタを含み、さらに、第 2 の幅対長さ比を有する第 2 のトランジスタを含み、前記第 2 の幅対長さ比が前記第 1 の幅対長さ比よりも大きい、C 2 5 に記載のデバイス。

[C 3 1]

前記プログラム可能な抵抗部分が、前記第 1 のトランジスタが第 1 のビット値によってゲートされたとき、第 1 の抵抗に関連付けられ、前記プログラム可能な抵抗部分が、前記第 2 のトランジスタが前記第 1 のビット値の補数によってゲートされたとき、第 2 の抵抗に関連付けられ、前記第 1 の抵抗が、前記第 2 の抵抗よりも大きい、C 3 0 に記載のデバイス。

[C 3 2]

前記第 2 の幅対長さ比が、前記第 1 の幅対長さ比の約 2 倍である、C 3 0 に記載のデバイス。

[C 3 3]

前記プログラム可能な抵抗部分が、前記クランプトランジスタの前記ボディ端子に結合された少なくとも 1 つのポリシリコン抵抗器を含む、C 2 5 に記載のデバイス。

[C 3 4]

前記トリガ電圧レベルが、前記電源電圧を提供する回路網に関連付けられたトレースインダクタンスに基づいてプログラムされる、C 1 9 に記載のデバイス。

[C 3 5]

前記トリガ電圧レベルが、前記スナップバッククランプ回路に関連付けられた寄生バイポーラ接合トランジスタ (B J T) 効果に関連付けられている、C 1 9 に記載のデバイス

。

[C 3 6]

スナップバッククランプ回路を較正する方法であって、
制御信号を介してクランプトランジスタに関連付けられたボディ - 接地間抵抗を変更することによって、スナップバッククランプ回路に関連付けられたトリガ電圧レベルを較正することと、

前記トリガ電圧レベルをさらに較正するように前記クランプトランジスタのゲート端子をバイアスするために、前記スナップバッククランプ回路のプログラム可能なバイアスデバイスをプログラムすることとを備える、方法。

[C 3 7]

前記ボディ - 接地間抵抗を変更することが、前記制御信号に基づいて複数のトランジスタをゲートすることを含む、C 3 6 に記載の方法。

[C 3 8]

プログラム可能な電流源でダイオードデバイスをバイアスすることによって、前記クランプトランジスタの前記ゲート端子をバイアスすることをさらに備える、C 3 6 に記載の方法。

[C 3 9]

前記トリガ電圧レベルが、前記スナップバッククランプ回路を電源電圧に結合した後、較正される、C 3 6 に記載の方法。

[C 4 0]

トリガ電圧レベルに基づいて電源電圧をクランプするための手段と、
前記トリガ電圧レベルを較正するための手段とを備え、前記トリガ電圧レベルを較正するための前記手段が、

前記電源電圧をクランプするための前記手段の入力ノードをバイアスするための手段と

、

前記電源電圧をクランプするための前記手段に関連付けられたボディ - 接地間抵抗を変更するための手段とを備える、装置。

[C 4 1]

前記電源電圧をクランプするための前記手段が、クランプトランジスタを備え、前記入力ノードが、前記クランプトランジスタのゲート端子を備える、C 4 0 に記載の装置。

[C 4 2]

スナップバッククランプ回路のプログラム可能な抵抗部分を較正するための制御信号を

生成することによって、前記スナップバッククランプ回路のトリガ電圧レベルを較正するためにプロセッサによって実行可能な命令を記憶する非一時的なコンピュータ可読媒体。

[C 4 3]

前記制御信号が、マルチビットコードであり、前記マルチビットコードのビット値の第1の組み合わせが、前記プログラム可能な抵抗部分の複数のトランジスタの第1のサブセットを活性化し、前記マルチビットコードのビット値の第2の組み合わせが、前記複数のトランジスタの第2のサブセットを活性化する、C 4 2 に記載の非一時的なコンピュータ可読媒体。

[C 4 4]

スナップバッククランプ回路のプログラムされたバイアスデバイス、前記スナップバッククランプ回路のプログラムされたボディ - 接地間抵抗、またはそれらの組み合わせに基づいて決定されたトリガ電圧レベルを有する前記スナップバッククランプ回路を備え、

前記スナップバッククランプ回路が、静電放電 (E S D) イベント中に、前記トリガ電圧レベルを超える電源電圧にตอบสนองして前記電源電圧をクランプするように構成されており

、

前記スナップバッククランプ回路が、集積回路のグリッチ抑制と E S D 保護とを可能にする、集積回路。

[C 4 5]

前記トリガ電圧レベルが、前記スナップバッククランプ回路のクランプトランジスタの寄生バイポーラ接合トランジスタ (B J T) 効果に関連付けられている、C 4 4 に記載の集積回路。

[C 4 6]

集積回路の動作中に電源電圧をクランプする方法であって、

静電放電 (E S D) イベント中に、トリガ電圧レベルを超える前記電源電圧にตอบสนองして、前記集積回路のスナップバッククランプ回路によって前記電源電圧をクランプすることを備え、

前記トリガ電圧レベルが、前記スナップバッククランプ回路のプログラムされたバイアスデバイス、前記スナップバッククランプ回路のプログラムされたボディ - 接地間抵抗、またはそれらの組み合わせにตอบสนองして決定され、

前記スナップバッククランプ回路が、前記集積回路のグリッチ抑制と E S D 保護とを可能にする、方法。

[C 4 7]

前記トリガ電圧レベルが、前記スナップバッククランプ回路のクランプトランジスタの寄生バイポーラ接合トランジスタ (B J T) 効果に関連付けられている、C 4 6 に記載の方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No PCT/US2014/021069

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L27/02 H03K17/08 H03K19/003 H02H9/04 H03F1/52 H01L27/06 ADD. According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L H03K H02H H03F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, INSPEC, IBM-TDB, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2005/030688 A1 (SAKIHAMA KAZUHISA [JP] ET AL) 10 February 2005 (2005-02-10) abstract; claims; figures 6,8	1-47
Y	US 2012/236448 A1 (HIRAOKA TAKAYUKI [JP]) 20 September 2012 (2012-09-20) abstract; claims; figure 1	1-47
Y	US 2002/014904 A1 (MORISHITA YASUYUKI [JP]) 7 February 2002 (2002-02-07) abstract; claims; figure 4	1-47
Y	JP H11 41801 A (NEC CORP) 12 February 1999 (1999-02-12) abstract; figure 1	1-47
	----- -/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
26 May 2014		04/06/2014
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Wirner, Christoph

1

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2014/021069

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 8 335 064 B2 (SOLDNER WOLFGANG [DE] ET AL) 18 December 2012 (2012-12-18) abstract; claims; figure 3 -----	1-47
Y	US 6 430 016 B1 (MARR KENNETH W [US]) 6 August 2002 (2002-08-06) abstract; claims; figure 4(A) -----	1-47
Y	US 2005/225912 A1 (PANT SANDEEP [US] ET AL) 13 October 2005 (2005-10-13) abstract; claims; figure 3 -----	1-47
Y	US 5 369 317 A (CASPER STEPHEN L [US] ET AL) 29 November 1994 (1994-11-29) abstract; claims; figure 6 -----	1-47
Y	US 2004/141267 A1 (KHAZHINSKY MICHAEL G [US] ET AL) 22 July 2004 (2004-07-22) abstract; claims; figure 3 paragraph [0021] -----	12, 21-24, 35,39, 45,47
Y	US 2008/088994 A1 (LAI CHUN-HSIANG [TW]) 17 April 2008 (2008-04-17) abstract; claim 23; figures -----	12, 21-24, 35,39, 45,47
A	US 7 312 513 B1 (WILCOX WILLIAM J [US]) 25 December 2007 (2007-12-25) abstract; claims; figures -----	1-47
A	WO 2010/030968 A2 (ALTERA CORP [US]; GALLERANO ANTONIO [US]; WATT JEFFREY T [US]) 18 March 2010 (2010-03-18) abstract; claims; figures -----	1-47
A	JP 2000 209085 A (NIPPON ELECTRIC IC MICROCOMPUT) 28 July 2000 (2000-07-28) abstract; claims; figures -----	1-47
A	US 2012/081823 A1 (CHU SHIN HO [KR]) 5 April 2012 (2012-04-05) abstract; claims; figures -----	1-47

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2014/021069

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2005030688	A1	10-02-2005	CN 1581481 A 16-02-2005 JP 4000096 B2 31-10-2007 JP 2005056892 A 03-03-2005 TW 1282617 B 11-06-2007 US 2005030688 A1 10-02-2005
US 2012236448	A1	20-09-2012	JP 2012195432 A 11-10-2012 US 2012236448 A1 20-09-2012
US 2002014904	A1	07-02-2002	JP 3386042 B2 10-03-2003 JP 2002050698 A 15-02-2002 KR 20020011894 A 09-02-2002 TW 501264 B 01-09-2002 US 2002014904 A1 07-02-2002 US 2002101273 A1 01-08-2002 US 2002105368 A1 08-08-2002
JP H1141801	A	12-02-1999	JP 3092549 B2 25-09-2000 JP H1141801 A 12-02-1999
US 8335064	B2	18-12-2012	DE 102011051432 A1 05-01-2012 US 2012002333 A1 05-01-2012 US 2013077197 A1 28-03-2013
US 6430016	B1	06-08-2002	US 6430016 B1 06-08-2002 US 2002109950 A1 15-08-2002
US 2005225912	A1	13-10-2005	NONE
US 5369317	A	29-11-1994	NONE
US 2004141267	A1	22-07-2004	CN 1742416 A 01-03-2006 EP 1588465 A2 26-10-2005 JP 2006515960 A 08-06-2006 KR 20050094873 A 28-09-2005 US 2004141267 A1 22-07-2004 WO 2004068543 A2 12-08-2004
US 2008088994	A1	17-04-2008	TW 200818446 A 16-04-2008 US 2008088994 A1 17-04-2008
US 7312513	B1	25-12-2007	US 7312513 B1 25-12-2007 US 2008025135 A1 31-01-2008 US 2010135096 A1 03-06-2010
WO 2010030968	A2	18-03-2010	CN 102150265 A 10-08-2011 EP 2327098 A2 01-06-2011 US 2010067155 A1 18-03-2010 WO 2010030968 A2 18-03-2010
JP 2000209085	A	28-07-2000	JP 3573638 B2 06-10-2004 JP 2000209085 A 28-07-2000
US 2012081823	A1	05-04-2012	KR 101131568 B1 04-04-2012 US 2012081823 A1 05-04-2012

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 27/04	V
	H 0 1 L 27/04	R
	H 0 1 L 27/04	P

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72) 発明者 スリバスタバ、 アンキット

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、 サン・ディエゴ、 モアハウス・ドライブ 5 7
7 5

(72) 発明者 シェンコ、 マシュー・デイビッド

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、 サン・ディエゴ、 モアハウス・ドライブ 5 7
7 5

(72) 発明者 ウォーリー、 ユージーン・ロバート

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、 サン・ディエゴ、 モアハウス・ドライブ 5 7
7 5

F ターム(参考) 5F038 AR01 AR09 AV06 AV18 AZ05 AZ06 BB06 BE07 BH02 BH05
BH06 BH13 BH15 CD02 DF04 DF05 DF17 EZ20
5F048 AA02 AC01 AC07 BB03 BD10 BE09 BF16 BF18 CC01 CC06
CC08 CC09 CC10
5J030 CB08 CC05 CC06 CC08
5J055 AX26 AX32 DX12 EY01 EY21 EZ16