

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.<sup>6</sup>  
 G06F 13/16

(45) 공고일자 2000년 11월 15일  
 (11) 등록번호 10-0271724  
 (24) 등록일자 2000년 08월 18일

---

(21) 출원번호	10-1997-0063317	(65) 공개번호	특 1999-0013250
(22) 출원일자	1997년 11월 27일	(43) 공개일자	1999년 02월 25일

---

(30) 우선권주장 97-179969 1997년 07월 04일 일본(JP)

(73) 특허권자 후지쓰 가부시끼가이샤 아끼구사 나오유끼  
 일본국 가나가와肯 가와사키시 나카하라구 가미고다나카 4초메 1-1  
 나카노 마사오

(72) 발명자 일본 가나가와Ken 가와사키시 나카하라쿠 가미코다나카 4조메 1반 1고, 후지쓰  
 가부시끼가이샤 나이  
 토미타 히로요시  
 일본 가나가와Ken 가와사키시 나카하라쿠 가미코다나카 4조메 1반 1고, 후지쓰  
 가부시끼가이샤 나이  
 다구치 마사오  
 일본 가나가와Ken 가와사키시 나카하라쿠 가미코다나카 4조메 1반 1고, 후지쓰  
 가부시끼가이샤 나이  
 사토 고토키  
 일본 가나가와Ken 가와사키시 나카하라쿠 가미코다나카 4조메 1반 1고, 후지쓰  
 가부시끼가이샤 나이  
 다케마에 요시히로  
 일본 가나가와Ken 가와사키시 나카하라쿠 가미코다나카 4조메 1반 1고, 후지쓰  
 가부시끼가이샤 나이

(74) 대리인 조태연

**심사관 : 오홍수**

**(54) 메모리 서브 시스템**

**요약**

고속의 데이터 송신이 가능한 메모리 시스템을 간단한 구성으로 실현한다.

클록원(10)과, 클록에 동기하여 동작하는 적어도 1개의 메모리(13)와, 메모리와의 데이터의 입출력을 제어하는 컨트롤러(12)와, 데이터 신호선(16a)과, 클록 신호선(18)과, 데이터 스트로브 신호선(17b)을 구비하고, 컨트롤러(12)는 기록 데이터를 전송할 때 클록의 변화 구간에서 기록 데이터를 변화시키며, 메모리(13)는 독출 데이터를 전송할 때 데이터 스트로브 신호의 변화 구간에서 독출 데이터를 변화시키는 메모리 서브 시스템에 있어서, 클록 신호선(18)은 클록 지연 회로(71)를 구비하고, 데이터 스트로브 신호선(17b)은 데이터 스트로브 지연 회로(72)를 구비하며, 메모리는 클록의 변화 구간에서 기록 데이터를 페치(fetch)하는 데이터 입력 회로(32)를 구비하고, 컨트롤러는 데이터 스트로브 신호의 변화 구간에서 독출 데이터를 페치하는 데이터 입력 회로(33)를 구비한다.

**대표도**

**도12**

**명세서**

**도면의 간단한 설명**

도 1은 메모리 서브 시스템의 종래의 구성예를 나타내는 도면.

도 2는 메모리 서브 시스템의 동기 방식에 관한 종래의 구성예를 나타내는 도면.

도 3은 도 2의 시스템에 있어서의 데이터의 입출력 동작을 나타내는 타임차트.

도 4는 쌍방향 스트로브 방식 시스템의 구성을 나타내는 도면.

도 5는 쌍방향 스트로브 방식 시스템에 있어서의 기록 데이터의 전송 동작을 나타내는 타임차트.

도 6은 쌍방향 스트로브 방식 시스템에 있어서의 독출 데이터의 전송 동작을 나타내는 타임차트.

도 7은 종래의 한쪽 방향 스트로브 방식 시스템의 구성을 나타내는 도면.

도 8은 종래의 한쪽 방향 스트로브 방식 시스템에 있어서의 기록 데이터의 전송 동작을 나타내는 타임차트.

도 9는 종래의 한쪽 방향 스트로브 방식 시스템에 있어서의 독출 데이터의 전송 동작을 나타내는 타임차트.

도 10은 DLL 회로를 사용한 시프트 클록 생성 회로의 구성을 나타내는 도면.

도 11은 본 발명 제1 실시예의 메모리 서브 시스템의 구성을 나타내는 도면.

도 12는 제1 실시예의 기본 구성을 나타내는 도면.

도 13은 제1 실시예에 있어서의 기록 데이터의 전송 동작을 나타내는 타임차트.

도 14는 제1 실시예에 있어서의 독출 데이터의 전송 동작을 나타내는 타임차트.

도 15는 본 발명 제2 실시예의 메모리 서브 시스템의 구성을 나타내는 도면.

도 16은 본 발명 제3실시예의 메모리 서브 시스템의 구성을 나타내는 도면.

도 17은 제3 실시예에 있어서의 기록 데이터의 전송 동작을 나타내는 타임차트.

도 18은 제3 실시예에 있어서의 독출 데이터의 전송 동작을 나타내는 타임차트.

〈도면의 주요부분에 대한 부호의 설명〉

10: 클록원(클록 발생 회로)

11: 클록 분배 회로

12: 컨트롤러

13: 메모리(DIMM)

16: 데이터 버스

16a: 기록 데이터 버스

16b: 독출 데이터 버스

17b: 데이터 스트로브 신호선

18: 클록 신호선

21, 26, 31: 시프트 클록 발생 회로

22, 33: 데이터 출력 회로

23, 32: 데이터 입력 회로

25: 스트로브 신호 입력 회로

27: 클록 출력 회로

36: 스트로브 신호 출력 회로

37: 클록 입력 회로

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 클록에 동기하여 동작하는 메모리 또는 그러한 메모리를 복수개 탑재하여 대용량의 메모리로서 기능하도록 메모리 모듈을 사용하여 구성하는 메모리 서브 시스템에 관한 것으로, 특히 간단한 기구로 고속의 데이터 전송이 가능한 메모리 서브 시스템에 관한 것이다.

반도체 장치를 사용한 컴퓨터 등이 대규모의 반도체 장치 시스템에서는 시스템의 각 부분이 클록에 동기하여 동작하도록 구성되어 있고, 데이터 신호나 어드레스 신호 등의 신호의 입출력은 클록 신호에 동기하여 행해진다. 도 1은 SDRAM 등의 클록에 동기하여 동작하는 메모리를 사용하여 구성한 메모리 서브 시스템의 종래의 구성예를 나타내는 도면이다. 도시된 바와 같이, 컨트롤러(12)로부터 명령 신호가 인가되는 제어 신호 버스(14)와, 어드레스 신호가 인가되는 어드레스 신호 버스(15) 및 데이터 신호가 인가되는 데이터 신호 버스(16)가 연장되어 있고, 이를 배선에 따라서 메모리(13-1, 13-2, …, 13-m)가 배치되며, 각 메모리는 이를 배선에 접속된다. 클록 발생 회로(10)는 시스템을 구성하는 각 요소로 공급하는 클록을 발생시키는 회로이고, 클록 발생 회로(10)에서 발생된 클록은 클록 분배 회로(11)를 통해 컨트롤러(12) 및 메모리(13-1, 13-2, …, 13-m)에 공급된다. 근래, 복수의 메모리 소자를 탑재하고, 대용량이며 고속의 액세스가 가능한 메모리로서 기능하는 DIMM(Dual Inline Memory Module)이 사용되고 있지만, 이것을 메모리(13-1, 13-2, …, 13-m) 대신에 사용할 수도 있다.

도 1의 클록 분배 시스템(11)은 분배된 클록이 전부 동일한 위상이 되도록, 클록 발생 회로(10)로부터 컨트롤러(12) 및 메모리(13-1, 13-2, …, 13-m)에 이르는 배선 길이 및 부하가 같은 등길이 배선 회로이다.

도 2는 설명을 쉽게 하기 위해서, 도 1의 시스템에 있어서 메모리가 1개로 했을 경우의 구성 및 컨트롤러(12)와 메모리(13)의 내부 구성을 나타내는 도면이고, 여기서는 2개의 구성예가 도시되어 있다. 또, 이하의 설명에서는 데이터 신호의 최소 변화 주기는 클록의 반주기이며, 클록의 상승 구간과 하강 구간의 양쪽의 구간에 동기하여 데이터가 변화하는 더블 데이터 레이트(DDR) 방식의 SDRAM을 사용하는 경우의 예를 설명하는 것으로 한다. 따라서, 데이터 신호의 입력 회로는 데이터 신호의 변화로부터 최소 변화 주기의 1/2, 즉 클록의 1/4 주기( $90^\circ$ ) 어긋난 타이밍으로 데이터 신호를 페치하는 것이 가장 적합한 타이밍인 것으로 한다. 또한, 데이터 신호 이외의 명령 신호나 어드레스 신호의 최소 변화 주기는 데이터 신호의 최소 변화 주기보다 길기 때문에, 이들 신호의 페칭 타이밍은 그다지 문제가 되지 않는다. 그래서, 이들 신호의 전송에 대해서는 종래와 같은 구성이 사용되므로, 여기서는 설명을 생략하는 것으로 한다. 또, 설명을 쉽게 하기 위해서, 데이터 신호 버스를 컨트롤러(12)로부터 메모리(13)에 기록하는 기록 데이터를 전송하는 기록 데이터 버스(16a)와, 메모리(13)로부터 컨트롤러(12)로 보내는 독출 데이터를 전송하는 독출 데이터 버스(16b)로 나누어 나타내지만, 기록 데이터와 독출 데이터를 동일 데이터 버스로 전송하는 것도 가능하다.

도 2의 (1)의 구성예에서는 메모리(13)에 데이터를 기록하는 경우에는 컨트롤러(12)는 시프트 클록 발생 회로(21)에서 클록 발생 회로(10)에 공급하는 클록 CLK로부터 1/4 주기 어긋난 시프트 클록을 발생시키고, 메모리(13)에 기록하는 기록 데이터 Din을 데이터 출력 회로(22)로부터 시프트 클록에 동기하여 기록 데이터 버스(16a)로 출력한다. 메모리(13)는 데이터 입력 회로(32)에서 이 기록 데이터 Din을 클록 CLK에 동기하여 페치한다. 메모리(13)로부터 데이터를 독출하는 경우에, 메모리(13)는 시프트 클록 발생 회로(31)에서 클록 발생 회로(10)에 공급하는 클록 CLK로부터 1/4 주기 어긋난 시프트 클록을 발생시키고, 내부 회로(34)에서 발생된 독출 데이터 Dout를, 데이터 출력 회로(33)로부터 시프트 클록에 동기하여 독출 데이터 버스(16b)로 출력한다. 컨트롤러(12)는 데이터 입력 회로(23)에서 이 독출 데이터 Dout를 클록에 동기하여 페치한다.

도 3은 도 2의 (1)에 도시된 구성예에 있어서의 데이터의 출력 동작을 나타내는 타임차트이다. (a)를 붙인 Din과 Dout는 컨트롤러(12)측의 데이터를 나타내면 (b)를 붙인 Din과 Dout는 메모리(13)측의 데이터를 나타낸다. 이것은 이하의 도면에서도 같다. 도시된 바와 같이, 컨트롤러(12)로부터 출력된 기록 데이터 Din(a)는 클록 CLK의 변화 구간으로부터 1/4 주기 어긋난 시점에서 변화하고 있다. 즉, 클록 CLK의 변화 구간이 기록 데이터 Din(a)의 가장 적합한 페칭 타이밍에 위치하고 있다. 기록 데이터 Din(a)은 메모리(13)까지의 거리에 대응하는 전파 시간을 경과하여 메모리(13)에 도달하며, 기록 데이터 Din(b)가 된다. 메모리(13)에 공급되는 클록 CLK는 컨트롤러(12)에 공급되는 클록 CLK와 동일 위상이기 때문에, 데이터 입력 회로(32)는 가장 적합한 타이밍으로부터 상기 전파 시간만큼 어긋난 타이밍으로 기록 데이터 Din을 페치하게 된다.

반대로, 메모리(13)로부터 데이터를 독출할 때, 컨트롤러(12)로부터 메모리(13)에 클록 CLK의 상승 구간에 동기하여 어드레스 신호 등의 신호가 전송되고, 그것에 따라서 메모리(13)로 필요한 처리를 행하고, 액세스 시간 tAC 후부터 독출 데이터 Dout(b)가 데이터 출력 회로(33)로부터 독출 데이터 버스(16b)로 출력된다. 독출 데이터 Dout(b)는 상기 전파 시간만큼 지연되어 컨트롤러(12)에 도달하여, Dout(a)가 된다. 컨트롤러(12)는 클록 CLK의 다음 상승 구간에 동기하여 데이터 입력 회로(23)에서 독출 데이터 Dout를 페치한다.

도 2의 (1)에 나타낸 구성에서는, 메모리(13)측은 클록 CLK를 사용하여 기록 데이터를 페치하고, 컨트롤러(12)측은 다음 클록의 상승 구간을 사용하여 독출 데이터를 페치하면 좋으며, 구성이 매우 간단하지만, 클록 주파수가 충분히 작은 경우에는, 전파 시간은 무시되며, 충분한 여유를 가지고 전송된 데이터를 페치할 수 있어, 아무런 문제도 생기지 않았다.

도 2의 (1)의 시스템에서는, 데이터 신호를 출력하는 송신측이 데이터 신호의 출력 타이밍을 어긋나게 함으로써, 수신측에서는 클록의 구간에 동기하여 데이터 신호를 페치할 수 있도록 하였지만, 각종 변형이 가능하다. 예컨대, 도 2의 (2)는, 송신은 클록의 구간에 동기하여 행하고, 수신은 클록의 구간으로부터 어긋난 타이밍으로 행하도록 한 구성이이다. 도 2의 (2)의 구성에 있어서 데이터를 기록할 때, 컨트롤러(12)는 클록 CLK에 동기하여 데이터 출력 회로(22)로부터 기록 데이터를 출력하고, 메모리는 이 기록 데이터를 데이터 입력 회로(32)에서, 시프트 클록 발생 회로(31)에서 발생된 어긋난 클록에 동기하여 페치한다. 데이터를 독출할 때, 메모리(13)는 클록 CLK에 동기하여 데이터 출력 회로(33)로부터 독출 데이터를 출력하고, 컨트롤러(12)는 시프트 클록 발생 회로(31)에서 발생된 어긋난 클록에 동기하여, 이 독출 데이터를 데이터 입력 회로(23)에서 페치한다. 또, 컨트롤러(12)가 기록 데이터의 출력과 독출 데이터의 페칭을 어긋난 시프트 클록에 동기하여 행하도록 하면, 메모리(13)는 기록 데이터의 페칭과 독출 데이터의 출력을 모두 클록 CLK에 동기하여 행할 수 있고, 시프트 클록 발생 회로는 컨트롤러(12)에만 설치하면 좋다. 어느 쪽이든, 컨트롤러(12)와 메모리(13)의 한쪽 또는 양쪽에 각각 시프트 클록 발생 회로가 필요하다.

상기한 바와 같이, 클록 주파수가 작은 경우에는, 신호의 격차에 의한 시프트 클록 발생 회로(21)의 정밀도의 저하도 거의 문제가 되지 않으며, 단순한 회로 구성이라도 문제가 발생하지 않았다. 그러나, 클록 주파수가 커지면, 전파 시간의 클록 주기에 대한 비율이 커지고, 신호의 전파 시간에 따른 페칭 타이밍의 어긋남이 문제가 되게 된다. 또한, 시프트 클록 발생 회로에 있어서의 공정 격차나 온도의 변동에 따른 시프트 클록의 어긋남이 문제가 되게 된다.

이러한 문제를 해결하는 고속 동작을 위한 시스템 구성이 몇 가지 제안되어 있고, 도 4는 그러한 시스템의 구성예를 나타내는 도면이다. 도 4의 시스템은 기본 클록 CLK와는 달리 데이터 스트로브 신호 DQS를 이용하여, 데이터의 송신을 행하는 방식을 사용하고 있으며, 기록 데이터 Din과 독출 데이터 Dout의 송신의 양쪽에서 데이터 스트로브 신호 DQS를 사용하는 양방향 방식(하이 디렉션 방식)이라 칭해지는 방식을 사용한다. 컨트롤러(12)는 클록 CLK로부터 1/4 주기 어긋난 2개의 시프트 클록을 발생하는 시프트 클록 발생 회로(21)와, 기록 데이터 Din을 한쪽의 시프트 클록 CLK에 동기하여 출력하는 데이터 출력 회로(22)와, 다른쪽의 시프트 클록을 출력하는 스트로브 신호 출력 회로(24)와, 메모리(13)로부터 송신된 스트로브 신호를 수신하는 스트로브 신호 입력 회로(25)와, 스트로브 신호 입력 회로(25)의 수신한 스트로브

신호에 동기하여 메모리(13)로부터 송신된 독출 데이터 Dout를 폐치하는 데이터 입력 회로(23)를 갖는다. 또한, 메모리(13)는 컨트롤러(12)로부터 송신된 스트로브 신호를 수신하는 스트로브 신호 입력 회로(35)와, 기록 데이터 Din을 스트로브 신호에 동기하여 폐치하는 데이터 입력 회로(32)와, 클록 CLK 및 내부 회로(34)에서 발생하는 독출 데이터 Dout가 출력할 수 있는 상태가 된 것을 나타내는 신호로부터, 1/4 주기 어긋난 2개의 시프트 클록을 발생하는 시프트 클록 발생 회로(31)와, 독출 데이터 Dout를 한쪽 시프트 클록 CLK에 동기하여 출력하는 데이터 출력 회로(33)와, 다른쪽의 시프트 클록을 출력하는 스트로브 신호 출력 회로(36)를 갖는다. 기록 데이터를 전송하는 기록 데이터 버스(16a)와, 독출 데이터를 전송하는 독출 데이터 버스(16b)와, 스트로브 신호를 전송하는 스트로브 신호선(17)은 같은 전파 시간이 되도록 배선의 길이가 동일하게 병행하도록 되어 있다.

도 5는 도 4의 시스템에 있어서, 기록 데이터의 전송 동작을 나타내는 타임차트이다. 기록 데이터의 전송시, 컨트롤러(12)는 데이터 출력 회로(22)로부터 기록 데이터 Din(a)를 출력하고, 스트로브 신호 출력 회로(24)로부터 데이터 스트로브 신호 DQS(a)를 출력한다. 도 5에 도시된 바와 같이, 기록 데이터 Din(a)와 데이터 스트로브 신호 DQS(a)는 1/4 주기로 어긋나 있다. 따라서, 데이터 스트로브 신호 DQS의 변화 구간은 기록 데이터 Din을 폐치하기에 가장 적합한 타이밍이다. 또, 데이터 스트로브 신호 DQS와 클록 CLK 사이에는 일정한 위상 관계가 없다. 기록 데이터 Din(a)와 데이터 스트로브 신호 DQS(a)가 메모리(13)에 전송되어도, 기록 데이터 버스(16a)와 데이터 스트로브 신호(17)는 병행으로 설치되기 때문에, 스 큐는 거의 발생하지 않고, 그 대로의 위상 관계를 유지할 수 있다. 따라서, 메모리(13)에 있어서의 기록 데이터 Din(b)와 데이터 스트로브 신호 DQS(b)는 기록 데이터 Din(a)와 데이터 스트로브 신호 DQS(a)를 전송 시간만큼 송신한 신호이다. 그 때문에, 메모리(13)의 데이터 입력 회로(32)에서, 스트로브 신호 입력 회로(35)에서 수신한 스트로브 신호에 동기하여 기록 데이터를 폐치하면 가장 적합한 타이밍으로 폐치할 수 있다. 메모리(13)에 폐치된 기록 데이터의 내부 회로(34)로의 기록은 폐치한 후의 클록 CLK의 상승 구간으로부터 개시된다.

도 6은 도 4의 시스템에 있어서, 독출 데이터의 전송 동작을 나타내는 타임차트이다. 독출 데이터의 전송시, 메모리(13)는 데이터 출력 회로(33)로부터 독출 데이터 Dout(b)를 출력하고, 스트로브 신호 출력 회로(36)로부터 데이터 스트로브 신호 DQS(b)를 출력한다. 도 6에 도시된 바와 같이, 독출 데이터 Dout(b)와 데이터 스트로브 신호 DQS(b)는 1/4주기로 어긋나 있다. 따라서, 데이터 스트로브 신호 DQS의 변화 구간은 독출 데이터 Dout를 폐치하기에 가장 적합한 타이밍이다. 또, 데이터 스트로브 신호 DQS와 클록 CLK 사이에는 일정한 위상 관계가 없다. 독출 데이터 Dout(b)와 데이터 스트로브 신호 DQS(b)가 컨트롤러(12)에 전송되어도, 독출 데이터 신호선(16b)과 데이터 스트로브 신호선(17)은 병행으로 설치되기 때문에, 스 큐는 거의 발생하지 않고, 그 대로의 위상 관계를 유지할 수 있다. 따라서, 컨트롤러(12)에 있어서의 독출 데이터 Dout(a)와 데이터 스트로브 신호 DQS(a)는 독출 데이터 Dout(b)와 데이터 스트로브 신호 DQS(b)를 전송 시간만큼 보내게 한 신호이다. 그 때문에, 컨트롤러(12)의 데이터 입력 회로(23)에서, 스트로브 신호 입력 회로(25)로부터 수신한 스트로브 신호에 동기하여 독출 데이터를 폐치하면 가장 적합한 타이밍으로 폐치할 수 있다. 컨트롤러(12)에 폐치된 독출 데이터의 CPU에서의 처리는 폐치한 후의 클록 CLK의 상승 구간으로부터 개시된다.

이상과 같이, 도 4의 쌍방향 스트로브 방식이라면, 어느쪽 방향으로 데이터를 전송하는 경우도, 데이터와 같은 방향으로 폐칭에 알맞은 스트로브 신호가 출력되므로, 항상 가장 적합한 타이밍으로 송신 데이터를 폐칭할 수 있다. 단, 도 2의 회로와 동일하게, 도 4의 회로는 컨트롤러(12)와 메모리(13)에 각각 1/4 위상 어긋난 2개의 시프트 클록을 발생시키기 위한 시프트 클록 발생 회로를 설치할 필요가 있다. 또, 스트로브 신호를 전송하기 위한 스트로브 신호선 및 그 입력 회로와 출력 회로가 필요하다.

도 7은 고속 동작을 위한 시스템의 별도의 구성 예를 나타내는 도면이다. 이 시스템은 메모리(13)에 컨트롤러(12)로부터 클록 CLK를 공급하고, 클록 CLK를 공급하기 위한 클록 신호선(18)을 기록 데이터 버스(16a)에 병행으로 설치한다. 그리고, 컨트롤러(12)로부터 메모리(13)로 기록 데이터를의 전송하는 것은, 클록 CLK를 1/4 주기 어긋나게 한 신호에 동기하여 행한다. 메모리(13)로부터 컨트롤러(12)로의 독출 데이터의 전송은 도 4의 시스템과 동일하게, 데이터 스트로브 신호 DQS에 동기하여 행하며, 모두 메모리(13)로부터 컨트롤러(12)로 데이터 스트로브 신호를 전송한다. 이 방식은 한쪽 데이터 신호(여기서는 독출 데이터)의 전송에만 데이터 스트로브 신호 DQS를 사용하기 때문에, 한쪽 방향 방식(유니 디렉셔널 방식)이라 칭해진다. 컨트롤러(12)는 수신한 클록 CLK를 클록 신호선(18)에 인가하는 클록 출력 회로(27)와, 클록 CLK로부터 1/4 주기 어긋난 시프트 클록을 발생하는 시프트 클록 발생 회로(21)와, 기록 데이터 Din을 시프트 클록 CLK에 동기하여 출력하는 데이터 출력 회로(22)와, 메모리(13)로부터 송신된 스트로브 신호를 수신하는 스트로브 신호 입력 회로(25)와, 스트로브 신호 입력 회로(25)의 수신한 스트로브 신호로부터 1/4 주기 어긋난 시프트 클록을 발생하는 시프트 클록 발생 회로(26)와, 시프트 클록 발생 회로(26)의 출력하는 시프트 클록에 동기하여, 메모리(13)로부터 송신된 독출 데이터 Dout를 폐치하는 데이터 입력 회로(23)를 갖는다. 또한, 메모리(13)는 컨트롤러(12)로부터 송신된 클록 신호 CLK를 수신하는 클록 입력 회로(37)와, 기록 데이터 Din을 클록 신호 CLK에 동기하여 폐치하는 데이터 입력 회로(32)와, 독출 데이터 Dout를 클록 입력 회로(37)의 출력하는 클록 CLK에 동기하여 출력하는 데이터 출력 회로(33)와, 클록 입력 회로(37)의 출력하는 클록 CLK를 스트로브 신호로서 출력하는 스트로브 신호 출력 회로(36)를 갖는다. 클록 CLK를 전송하는 클록 신호선(18)과, 기록 데이터를 전송하는 기록 데이터 버스(16a)와, 독출 데이터를 전송하는 독출 데이터 버스(16b)와, 스트로브 신호를 전송하는 스트로브 신호선(17b)은 같은 전파 시간이 되도록 배선길이를 동등하게 배열한다.

도 8은 도 7의 시스템에 있어서의 기록 데이터의 전송 동작을 나타내는 타임차트이다. 컨트롤러(12)는 클록 출력 회로(27)로부터 클록 CLK를 항상 출력하고, 출력 기록 데이터의 전송시에는, 데이터 출력 회로(22)로부터 기록 데이터 Din(a)를 출력한다. 도 8에 도시된 바와 같이, 기록 데이터 Din(a)와 클록 CLK는 1/4 주기 어긋나 있다. 따라서, 클록 CLK의 변화 구간은 기록 데이터 Din을 폐치하기에 가장 적합한 타이밍이다. 기록 데이터 Din(a)와 클록 CLK가 메모리(13)에 전송되어도, 기록 데이터 신호선(16a)과 클록 신호선(18)은 병행으로 설치되기 때문에, 스 큐는 거의 발생하지 않고, 그 대로의 위상 관계를 유지할 수 있다. 따라서, 메모리(13)에 있어서의 기록 데이터 Din(b)와 클록 CLK(b)는 기록 데이터 Din(a)와 클록 CLK(a)를 전송 시간만큼 보내게 한 신호이다. 그 때문에, 메모리(13) 데이터 입력 회로(32)에서, 클

록 입력 회로(37)에서 수신한 클록 신호 CLK에 동기하여 기록 데이터를 폐지하면 가장 적합한 타이밍으로 폐지할 수 있다.

도 9는 도 7의 시스템에 있어서의 독출 데이터의 전송 동작을 나타내는 타임차트이다. 독출 데이터의 전송시, 메모리(13)는 데이터 출력 회로(33)로부터 독출 데이터 Dout(b)를 출력하고, 스트로브 신호 출력 회로(36)로부터 데이터 스트로브 신호 DQS(b)를 출력한다. 도 9에 도시된 바와 같이, 기록 데이터 Dout(b)와 데이터 스트로브 신호 DQS(b)는 1/4 주기 어긋나 있다. 따라서, 데이터 스트로브 신호 DQS의 변화 구간은 기록 데이터 Dout를 폐지하기에 가장 적합한 타이밍이다. 기록 데이터 Dout(b)와 데이터 스트로브 신호 DQS(b)가 컨트롤러(12)에 전송되어도, 독출 데이터 신호선(16b)과 데이터 스트로브 신호(17)는 병행으로 설치되어 있기 때문에, 스퀴는 거의 발생하지 않고, 그 대로의 위상 관계를 유지할 수 있다. 따라서, 컨트롤러(12)에 있어서의 독출 데이터 Dout(a)와 데이터 스트로브 신호 DQS(a)는 기록 데이터 Dout(b)와 데이터 스트로브 신호 DQS(b)를 전송 시간만큼 전송한 신호이다. 그 때문에, 컨트롤러(12)의 데이터 입력 회로(23)에서, 스트로브 신호 입력 회로(25)에서 수신한 스트로브 신호에 동기하여 기록 데이터를 폐지하면 가장 적합한 타이밍으로 폐지할 수 있다.

이상과 같이, 도 7의 단방향 스트로브 방식에서는, 어느쪽 방향으로 데이터를 전송하는 경우도, 항상 가장 적합한 타이밍으로 송신 데이터를 폐지할 수 있다.

이상, 3개의 종래예를 설명하였지만, 어느 종래예에 있어서도, 위상이 데이터 신호의 최소 변화 주기의 1/2 어긋난 시프트 클록을 발생시킬 필요가 있다. 구체적으로는, 데이터 신호의 최소 변화 주기가 클록의 주기와 동일하면, 클록과 정확하게 위상이 일치한 신호와 1/2 주기( $180^\circ$ ) 어긋난 신호가 필요하다. 데이터 신호의 최소 변화 주기가 클록의 1/2 주기로, 클록의 상승 구간과 하강 구간의 양쪽에서 데이터 신호가 변화하는 DDR-SDRAM의 경우에는, 구체적으로는 위상이 0 또는 1주기( $360^\circ$ ), 1/4 주기( $90^\circ$ ), 1/2 주기( $180^\circ$ ), 3/4 주기( $270^\circ$ )의 시프트 클록을 발생시킬 필요가 있다. 정확히 이러한 위상이 어긋난 신호를 발생시키기 위해서는, DLL(Delay Locked Loop) 회로가 사용된다.

도 10은 클록 CLK로부터 등위상( $0^\circ$ )의 시프트 클록과, 1/4 주기( $90^\circ$ )씩 어긋난 시프트 클록을 발생시키는 DLL 회로의 기본 구성을 나타내는 도면이다. 도 10에 있어서, 참조 번호 41은  $0^\circ$  위상의 시프트 클록을 발생시키는 DLL 회로이고, 51은  $90^\circ$  씩 어긋난 4개의 시프트 클록을 발생시키는 DLL 회로이다.

$0^\circ$  DLL 회로(41)는 클록 CLK를 지연시켜, 지연량을 조정할 수 있는 지연 회로(42)와, 지연 회로(42)에서 출력되는 지연 클록과 클록 CLK의 위상을 비교하는 위상 비교 회로(43)와, 위상 비교 회로(43)의 비교 결과에 기초하여 2개의 클록의 위상이 일치하도록 지연 회로(42)에서의 지연량을 단계적으로 변화시키는 지연 제어 회로(44)를 갖는다. 지연 회로(42)에서 출력되는 지연 클록과 클록 CLK의 위상이 일치했을 때, 지연 회로(42)에서 출력되는 지연 클록은 클록 CLK에 대하여 1주기 지연된 신호이다. 지연 회로(42)는 미소한 지연량을 갖는 지연 소자를 다수 직렬로 접속하여, 각 단으로부터 출력을 검출할 수 있도록 스위치를 설치한 회로로, 어떤 스위치를 동작시켜 어떤 단으로부터 출력을 얻는지에 따라, 지연량이 변화된다.

$90^\circ$  DLL 회로(51)는  $0^\circ$  위상의 시프트 클록을 얻기 위한  $0^\circ$  DLL 회로와 동일한 구성이지만, 지연 회로를 4분할하여 4개의 1/4 지연 회로(52,53,54,55)로서, 전단의 출력이 후단의 입력이 되도록 직렬로 접속되어 있다. 지연 제어 회로(57)는 4분할되어, 각 1/4 지연 회로의 지연량이 동일해지도록 동시에 제어하고 있다. 위상 비교 회로(56)는 최초의 1/4 지연 회로(52)에 입력되는 클록 신호 φ와 최종의 1/4 지연 회로(55)로부터 출력되는 신호의 위상을 비교한다. 지연 제어 회로(57)는 비교 결과에 기초하여 2개의 신호의 위상이 일치하도록 4개의 1/4 지연 회로의 지연량을 제어한다. 2개의 신호의 위상이 일치했을 때에는, 각 1/4 지연 회로의 출력은 1/4 주기씩 어긋나 있다. 이렇게 하여, 1/4 주기씩 어긋난 시프트 클록을 얻을 수 있다.

이와 같이, DLL 회로를 사용함으로써, 정확히 소정 위상 어긋난 신호를 얻을 수 있지만, DLL 회로는 상당히 복잡하고 회로 규모가 큰 회로이며, 칩면적도 크고, 소비 전력도 크다.

이상 설명한 종래예에서는, 모두 컨트롤러 내부 또는 메모리, 또는 양쪽에, 예컨대 1/4 주기 위상이 어긋난 신호를 발생시키는 시프트 클록 발생 회로를 설치하여, 적당한 타이밍으로 송신 데이터를 폐지할 수 있도록 하고 있고, 정확히 소정 위상 어긋난 신호를 발생시키기 위해서는, DLL 회로를 사용할 필요가 있다. DDR-SDRAM의 경우, 상승 구간과 하강 구간의 양쪽에 기준 데이터를 송신하여, 폐지할 필요가 있다.

공급되는 클록의 뉴티비가 정확히 50%인 경우는, 그대로 클록의 상승 구간과 하강 구간을 사용할 수 있고, 클록의 상승 구간과 하강 구간으로부터 1/4 주기 위상이 어긋난 신호를 발생시킨다. 그래서 도 10에 도시된  $90^\circ$  DLL 회로(51)를 사용하게 된다.

또한, 클록의 뉴티비가 50%에서 어긋나 있을 때에는, 우선 1/2 주기( $180^\circ$ ) 위상이 다른 신호를 발생시키며, 그 후 그 신호로부터 1/4 주기 위상이 어긋난 신호를 발생시키는 것을 생각할 수 있지만, 이 경우에는 2개의 DLL 회로가 필요하게 된다. 이러한 DLL 회로를 2회 사용하면, 지연 회로의 최소 변화량으로 결정되는 DLL의 지터가 2배가 되며, 시프트 클록의 정밀도가 악화한다고 하는 문제가 있다.

그래서, 역시 도 10에 도시된  $90^\circ$  DLL 회로(51)를 사용하여, 1/4 주기( $90^\circ$ ) 어긋난 신호와 1/2 주기( $180^\circ$ ) 어긋난 신호를 발생시킨다. 그러나, 도 10에 도시된  $90^\circ$  DLL 회로(51)는 DLL 회로가 4단에 접속되어 있고, 각 DLL 회로의 최소 변화량의 4배의 지터가 발생하기 때문에, 시프트 클록의 정밀도가 낮아진다고 하는 문제가 있다.

또, DLL 회로는, 상기한 바와 같이, 복잡한 회로로서, 이러한 회로를 컨트롤러 및 메모리에 설치하면, 칩면적이 증대하여 비용 상승이 되는 동시에, 소비 전력도 증대한다고 하는 문제를 생긴다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 이러한 문제를 해결하기 위한 것으로, 고속의 데이터 송신이 가능한 메모리 시스템을 간단한

구성으로 실현하는 것을 목적으로 한다.

### 발명의 구성 및 작용

본 발명의 메모리 서브 시스템은 상기 목적을 실현하기 위해서, 컨트롤러 또는 메모리로부터 데이터를 출력하는 경우에는, 클록 또는 데이터 스트로브 신호에 동기하여 데이터를 출력하며, 데이터 신호선과 병행으로 설치된 클록 신호선 또는 데이터 스트로브 신호선으로 클록 또는 데이터 스트로브 신호를 전송하도록 한 시스템에 있어서, 클록 신호선 또는 데이터 스트로브 신호선에 소정의 지연을 일으키는 지연 회로를 설치하여, 전송지에서는 클록 또는 데이터 스트로브 신호는 데이터 신호에 대하여 폐침에 알맞은 위상이 되고, 수신한 클록 또는 데이터 스트로브 신호로 그 상태의 데이터 신호를 폐치할 수 있도록 한다. 이러한 구성이라면, DLL 회로를 사용하지 않아서, 상기 문제는 생기지 않는다. 또한, DDR-SDRAM과 같이, 클록의 상승 구간과 하강 구간의 양쪽을 기준으로 하여 데이터를 송신하고, 폐치할 필요가 있는 경우에도,  $180^\circ$  위상이 다른 신호를 발생시키는  $180^\circ$  DLL 회로만을 설치하면 되기 때문에, 지터의 발생이 감소된다.

즉, 본 발명의 메모리 서브 시스템은 클록을 공급하는 클록원과, 클록에 동기하여 동작하는 적어도 1개의 메모리와, 메모리와의 데이터의 입출력을 제어하는 컨트롤러와, 컨트롤러와 메모리 사이에서 데이터 신호를 전송하는 데이터 신호선과, 데이터 신호선에 병행으로 설치되어 메모리로 클록을 전송하는 클록 신호선과, 데이터 신호선에 병행으로 설치되어 컨트롤러로 데이터 스트로브 신호를 전송하는 데이터 스트로브 신호선을 구비하고, 컨트롤러에는 클록원으로부터 상기 클록이 공급되며, 컨트롤러는 메모리로 기록 데이터를 전송할 때, 클록의 변화 구간에서 기록 데이터를 변화시키고, 메모리는 컨트롤러로 독출 데이터를 전송할 때, 데이터 스트로브 신호의 변화 구간에서 독출 데이터를 변화시키는 메모리 서브 시스템에 있어서, 클록 신호선은 클록에 소정의 지연을 일으키는 클록 지연 회로를 구비하며, 데이터 스트로브 신호선은 데이터 스트로브 신호에 소정의 지연을 일으키는 데이터 스트로브 지연 회로를 구비하고, 메모리는 수신한 클록의 변화 구간에서 기록 데이터를 폐치하는 데이터 입력 회로를 구비하며, 컨트롤러는 수신한 데이터 스트로브 신호의 변화 구간에서 독출 데이터를 폐치하는 데이터 입력 회로를 구비하는 것을 특징으로 한다.

상기 소정의 지연은 클록 또는 데이터 스트로브 신호가 데이터 신호의 폐침에 알맞은 위상이 되는 지연으로, 기록 데이터 및 독출 데이터의 최소 변화 주기의  $1/2$ 의 시간이며, DDR-SDRAM인 경우라면, 클록 주기의  $1/4$ 의 지연이다.

지연 회로는 신호선의 신호 전파 시간을 길게 하도록 배선을 길게 한 회로 또는 지연 소자를 사용한 지연 라인으로 실현된다.

클록 신호선과 데이터 스트로브 신호선은 임피던스가 정합하고 있는 것이 바람직하다.

지연 회로는 컨트롤러와 메모리 사이의 부분에 설치하는 것이 바람직하지만, 공간의 관계로 컨트롤러와 메모리 사이에 설치할 수 없는 경우에는, 컨트롤러와 메모리의 외측에 설치하는 것도 가능하다.

클록 신호선으로의 클록의 인가는 컨트롤러 또는 클록원으로부터 행한다. 클록원으로부터 행할 때에는, 컨트롤러에 공급하는 클록을 분기하거나 병행으로 행한다.

데이터 스트로브 신호로서, 메모리가 수신한 클록을 사용하여도 좋다. 그 경우, 메모리는 독출 데이터를 전송할 때에는, 수신한 클록의 변화 구간에서 독출 데이터를 변화시키며, 데이터 스트로브 신호선은 메모리 부근에서 클록 신호선에 접속된다.

종래에는 클록 또는 데이터 스트로브 신호가 송신 데이터에 대하여 폐침에 알맞은 위상이 되도록 하기 위한 시프트 클록 발생 회로를 컨트롤러 및 메모리에 설치하고 있었다. 그 때문에, 신호선을 길게 하여 위상을 조정할 수 없으며, DLL 회로를 사용할 필요가 있었다. 이것에 대하여, 본 발명에서는 칩외부에서 위상 조정하기 위해, 신호선을 길게 하는 등의 간단한 구성으로 위상 조정을 행할 수 있다.

도 11의 (1)은 본 발명 실시예의 메모리 서브 시스템의 전체 구성을 나타내는 도면이다. 도 11의 (1)에 도시된 바와 같이, 본 실시예의 메모리 서브 시스템은 클록 발생 회로(10)로부터 컨트롤러(12)에 클록이 공급되고, 컨트롤러(12)로부터 클록 신호선(18), 기록 데이터 버스(16a), 독출 데이터 버스(16b) 및 데이터 스트로브 신호선(17b)이 병행으로 연장되어 있다. 클록 신호선(18)과 데이터 스트로브 신호선(17b)에는 전송하는 신호를 소정 시간 지연시키기 위해서 신호선을 연장한 연장부(71, 72)가 설치되어 있다. 그밖에도, 명령 신호를 전송하는 제어 신호 버스나 어드레스 신호를 전송하는 어드레스 신호 버스가 설치되어 있지만, 여기서는 생략되어 있다. 상기 신호선에는 소켓(61)이 설치되어 있고, 이 소켓(61)을 통해 DIMM-SDRAM이라 칭해지는 메모리 모듈 60a에서 60c가 접속되어 있다. DIMM-SDRAM은 도 11의 (2)에 도시된 바와 같이, 복수의 메모리 소자(여기서는 SDRAM)를 가지며, 이들을 합친 대용량 메모리로서 동작하도록, 디코더(64)나 멀티플렉서(65a, 65b) 등을 가지며, 외부와의 접속을 위한 접속핀이 설치되어 있다. 이 접속핀이 모듈의 양면에서 독립하고 있기 때문에 Dual Inline형이라 칭해진다. 또, 이러한 DIMM-SDRAM이 아니라, 단순히 접속핀에 직접 접속된 복수의 SDRAM을 가질뿐이며, 디코더(64)나 멀티플렉서(65a, 65b) 등이 없는 메모리 모듈이라도 좋고, SDRAM 단체(單體)라도 좋다. 이하, 설명을 간단하게 하기 위해서, 단순히 메모리로서 설명을 행한다.

1개의 소켓(61)에는 복수의 메모리(DIMM)가 접속되어 군을 이루고 있다. 각 군내에서는 신호의 전파 시간은 무시할 수 있는 정도의 차로 한다. 그러나, 다수의 군이 접속되면 신호선이 길어지고, 그 전파 시간의 차가 문제가 된다. 하기 기술하는 것처럼, 본 실시예에서는 메모리의 위치에 관계없이 양호한 타이밍으로 전송 데이터를 폐치할 수 있도록 하고 있지만, 메모리의 위치에 따라, 데이터의 독출시에 컨트롤러(12)로부터 각 메모리에 액세스 신호를 출력하고나서 메모리가 독출 데이터를 출력하고, 그것이 컨트롤러(12)에 도달할 때까지의 시간 차가 생긴다. 이 차가 1클록 사이를 이내이면 문제는 없지만, 1클록 사이를 이상일 경우에는 오동작할 가능성이 있다. 그래서, 본 실시예에서는 메모리 서브 시스템의 초기화 시기에, 메모리군마다 액세스를 개시하고나서 독출 데이터가 컨트롤러(12)에 도착할 때까지의 클록 사이클의 개수를 측정하고, 그것을 기억하여 컨트롤러(12)가 올바른 타이밍으로 독출 데이터를 폐치할 수 있

도록 하고 있다. 이 경우, 액세스를 개시하고나서 독출 데이터가 도착할 때까지의 시간이 클록 사이클의 정수배 부근인 경우, 동작 환경의 변동에 의해 이 시간이 변화하면, 인접하는 다른 클록 사이클로 폐지할 가능성이 있다. 그래서, 액세스에 요하는 시간이 클록 사이클의 정수배 부근인 경우에는 지연 회로(62)를 설치하여, 액세스에 요하는 시간을 클록 사이클의 정수배 부근으로부터 어긋나게 하고 있다.

또한, 클록 발생 회로(10)는 뉴티비가 정확히 50%인 클록을 발생하며, 컨트롤러(12)나 메모리에 공급된 클록의 뉴티비도 50%이고, 클록의 상승 구간과 하강 구간에서, DDR 방식의 데이터를 출력 및 폐지할 수 있는 것으로 한다.

도 12는 도 11의 시스템에 있어서, 메모리를 1개 취출하여, 그것과 컨트롤러(12) 및 클록 발생 회로(10)의 관계를 나타내도록 한 도면이고, 컨트롤러(12)와 메모리(13)의 내부 구성이 도시되어 있다. 도시된 바와 같이, 제1 실시예의 시스템은, 컨트롤러(12)가 클록 발생 회로의 출력하는 클록을 수신하는 클록 입력 회로(28)와, 수신한 클록 CLK를 클록 신호선(18)에 인가하는 클록 출력 회로(27)와, 기록 데이터 Din을 클록 CLK에 동기하여 출력하는 데이터 출력 회로(22)와, 메모리(13)로부터 송신된 스트로브 신호를 수신하는 스트로브 신호 입력 회로(25)와, 스트로브 신호 입력 회로(25)의 수신한 스트로브 신호에 동기하여 메모리(13)로부터 송신된 독출 데이터 Dout를 폐지하는 데이터 입력 회로(23)를 갖는다. 또한, 메모리(13)는 컨트롤러(12)로부터 송신된 클록 신호 CLK를 수신하는 클록 입력 회로(37)와, 기록 데이터 Din을 클록 신호 CLK에 동기하여 폐지하는 데이터 입력 회로(32)와, 독출 데이터 Dout를 클록 입력 회로(37)의 출력하는 클록 CLK에 동기하여 출력하는 데이터 출력 회로(33)와, 클록 입력 회로(37)의 출력하는 클록 CLK를 스트로브 신호로서 출력하는 스트로브 신호 출력 회로(36)를 갖는다. 클록 CLK를 전송하는 클록 신호선(18)과, 기록 데이터를 전송하는 기록 데이터 버스(16a)와, 독출 데이터를 전송하는 독출 데이터 버스(16b)와, 스트로브 신호를 전송하는 스트로브 신호선(17b)은 같은 전파 시간이 되도록 병행으로 등길이 배선되어 있다. 클록 신호선(18)과 스트로브 신호선(17b)에는 전송하는 클록 신호와 데이터 스트로브 신호를 클록의 1/4 주기만큼 지연시키기 위해서 연장부(71,72)가 설치되어 있다. 이 연장부(71,72)는 단순히 클록 신호선(18)과 스트로브 신호선(17)을 길게 하여, 그 곳을 신호가 전파하는 시간을 길게 하는 것이다. 이러한 지연 회로는 DLL 회로 등에 비하여 온도 등의 영향에 따른 변동이 작으며, 지연량의 오차는 작다. 또, 클록 신호선(18)과 스트로브 신호선(17)은 임피던스가 정합되어 있다.

도 13은 도 12의 제1 실시예의 시스템에 있어서의 기록 데이터의 전송 동작을 나타내는 타임차트이다. 컨트롤러(12)는 클록 출력 회로(27)로부터 클록 CLK를 항상 출력하고, 출력 기록 데이터의 전송시에는, 데이터 출력 회로(22)로부터 클록 CLK에 동기하여 기록 데이터 Din(a)를 출력한다. 여기서는 DDR 방식을 사용하기 때문에, 클록 CLK의 상승 구간과 하강 구간의 양쪽에 동기하여 기록 데이터 Din(a)를 변화시킨다. 따라서, 도 13에 도시된 바와 같이, 컨트롤러(12)로부터 출력된 클록 CLK(a)와 기록 데이터 Din(a)는 같은 위상이다.

컨트롤러(12)로부터 출력된 클록 CLK(a)와 기록 데이터 Din(a)는 클록 신호선(18)과 기록 데이터 버스(16a)를 통해 메모리(13)로 전송된다. 클록 신호선(18)에는 연장부(71)가 설치되어 있기 때문에, 여기를 통과하면 클록 CLK(a)는 클록의 1/4 주기만큼 지연되고, 도시된 CLK(a')가 된다. 따라서, 클록 CLK(a')는 기록 데이터 Din(a)에 대하여 클록의 1/4 주기만큼 지연된 신호가 되며, 이들이 메모리(13)까지 전송된다. 전술한 바와 같이, 클록 신호선(18)과 기록 데이터 버스(16a)는 병행으로 설치되어 있고, 부하도 같아지도록 설정되어 있으므로, 그들 전파 시간의 차(스퀴)는 거의 무시할 수 있는 정도이다. 따라서, 메모리(13)에 도착한 클록 CLK(b)와 기록 데이터 Din(b)는 도시된 바와 같이 1/4 주기 어긋난 신호이고, 클록 CLK(b)의 변화 구간은 기록 데이터 Din(b)를 폐지하기에 가장 적합한 타이밍이다. 따라서, 데이터 입력 회로(32)에서, 클록 입력 회로(37)에서 폐지한 클록 CLK(b)에 동기하여 기록 데이터 Din(b)를 폐지하면 된다.

도 14는 도 12의 제1 실시예의 시스템에 있어서의 독출 데이터의 전송 동작을 나타내는 타임차트이다. 독출 데이터를 전송할 때, 메모리(13)는 컨트롤러(12)로부터 명령이나 어드레스 신호 등의 액세스에 필요한 신호를 받아, 내부 회로(34)로부터 데이터 Dout를 독출한다. SDRAM에서는 이러한 액세스 신호에 따라서, 연속하여 데이터가 독출된다. 메모리(13)는 독출 데이터 Dout가 독출된 후의 클록 CLK의 최초의 상승 구간으로부터 순차적으로 클록 CLK에 동기하여 데이터 출력 회로(33)로부터 독출 데이터 Dout를 출력한다. 그것과 동시에, 스트로브 신호 출력 회로(36)로부터 클록 CLK를 출력한다. 따라서, 도 14에 도시된 바와 같이, 독출 데이터 Dout(b)와 데이터 스트로브 신호 DQS(b)는 같은 위상의 신호이다.

메모리(13)로부터 출력된 데이터 스트로브 신호 DQS(b)와 독출 데이터 Dout(b)는 데이터 스트로브 신호선(17b)과 독출 데이터 버스(16b)를 통해 컨트롤러(12)로 전송된다. 전술한 바와 같이, 데이터 스트로브 신호선(17b)과 독출 데이터 버스(16b)는 병행으로 설치되어 있고, 부하도 같아지도록 설정되어 있으므로, 그들 전파 시간의 차(스퀴)는 거의 무시할 수 있는 정도이다. 그러나, 데이터 스트로브 신호선(17b)에는 연장부(72)가 설치되어 있기 때문에, 여기를 통과하면 데이터 스트로브 신호 DQS(b)는 클록의 1/4 주기만큼 지연되고, 도시된 DQS(b')가 된다. 따라서, 데이터 스트로브 신호 DQS(b')는 독출 데이터 Dout(b)에 대하여 클록의 1/4 주기만큼 지연된 신호가 되며, 이들이 컨트롤러(12)까지 전송된다. 따라서, 컨트롤러(12)에 도착한 데이터 스트로브 신호 DQS(a)와 독출 데이터 Dout(a)는 도시된 바와 같이 1/4 주기 어긋난 신호이고, 데이터 스트로브 신호 DQS(a)의 변화 구간은 독출 데이터 Dout(a)를 폐지하기에 가장 적합한 타이밍이다. 따라서, 데이터 입력 회로(23)에서, 스트로브 신호 입력 회로(25)에서 입력한 데이터 스트로브 신호 DQS(a)에 동기하여 독출 데이터 Dout(a)를 폐지하면 된다.

이상 설명한 바와 같이, 제1 실시예에서는, 데이터를 송신하는 경우에, 함께 송신되는 클록 또는 데이터 스트로브 신호에 동기하여 송신 데이터가 변화되고, 클록 또는 데이터 스트로브 신호는 함께 송신된 데이터를 폐지하기에 알맞도록 도중에 위상이 어긋나게 된다. 따라서, 컨트롤러 또는 메모리에서 클록 또는 데이터 스트로브 신호의 위상을 어긋나게 할 필요는 없으며, DLL 회로가 필요없다. 또, 침내부의 배선이나 부하를 위해, 수신한 클록 또는 데이터 스트로브 신호를 데이터 입력 회로에 공급했을 경우의 지연을 무시할 수 없는 경우에는, 수신한 클록 또는 데이터 스트로브 신호와 데이터 입력 회로에 공급하는 신호의 위상을 완전히 일치시키기 위해서  $0^\circ$  DLL 회로를 사용하여도 좋다. 그 경우에도,  $0^\circ$  DLL 회로는  $90^\circ$  DLL 회로에 비하여 지터가 적고, 정밀도 저하 등의 문제는 발생하지 않는다.

제1 실시예에 있어서, 컨트롤러(12)와 메모리군의 사이에 클록 신호 및 데이터 스트로브 신호를 지연시키기 위한 연장부를 설치하였다. 신호는 1ns에서 약 30cm 진행하므로, 예컨대 클록 주파수가 250MHz이면 1/4 주기는 1ns이고, 연장부는 15cm를 왕복하는 경로가 필요하다. 컨트롤러와 메모리군은 밀접히 배치되어 있기 때문에, 컨트롤러와 메모리군의 사이에 이러한 공간을 취하는 것이 어려운 경우가 있다. 제2 실시예는 그러한 조건에 대처한 실시예이다.

도 15는 제2 실시예의 메모리 서브 시스템의 구성을 나타내는 도면으로, (1)은 전체 구성을 나타내며, (2)는 기본 구성을 나타낸다. 제1 실시예와 비교하여 밝혀진 바와 같이, 제2 실시예의 시스템은 제1 실시예와 유사한 구성이고, 다른 것은 클록 신호선(18)의 연장부(71)가 컨트롤러(12)의 외측에 설치되며, 데이터 스트로브 신호선(17b)의 연장부(72)도 메모리군의 외측에 설치되는 점이다. 클록 발생 회로(10)로부터 컨트롤러(12)에 클록을 공급하는 신호선이 설치되어 있지만, 이 신호선을 도중에 분기하여, 컨트롤러(12)의 외측에 설치한 연장부(71)의 한쪽에 접속한다. 그리고 연장부(71)의 다른쪽을 클록 신호선(18)에 접속한다. 각 메모리로부터의 데이터 스트로브 신호선은 일단 군마다 합친 후에, 컨트롤러(12)에 접속되는 데이터 스트로브 신호선(17b)에 접속한다. 예컨대, 도 11의 (1)에 나타낸 복수의 메모리군이 설치되어 있는 경우에는, 각 메모리군마다 연장부(72)를 설치하고, 각 군마다 데이터 스트로브선을 합친 후에 대응하는 연장부(72)를 통해 컨트롤러(12)에 접속되는 데이터 스트로브선(17b)에 접속한다.

제1 및 제2 실시예에 있어서, 메모리(13)는 수신한 클록 CLK를 데이터 스트로브 신호로서 출력하고 있다. 따라서, 메모리(13)에 도달한 클록 CLK를 그대로 데이터 스트로브 신호로서 되돌리는 것도 가능하다. 제3 실시예는 데이터 스트로브 신호로서 클록 CLK를 되돌리도록 한 실시예이다.

도 16은 제3 실시예의 메모리 서브 시스템의 구성을 나타내는 도면이다. 도시된 바와 같이, 제2 실시예의 시스템과 유사한 구성을 가지며, 다른 것은 클록 신호선(18)이 메모리(13)의 부분에서 스트로브 신호선(17b)에 접속되고, 접속 부분에 코일로 구성되는 지연 회로(73)가 설치되는 점과, 메모리(13)에는 스트로브 신호 출력 회로가 설치되어 있지 않은 점이다. 지연 회로(73)는 널리 사용되고 있는 지연라인이며, 코일과 그 전후에 설치된 2개의 인버터를 갖는다. 코일의 인덕턴스를 적당히 설정함으로써 통과하는 신호를 소정양 지연시킨다.

도 17과 도 18은 제3 실시예의 시스템에 있어서의 기록 데이터와 독출 데이터의 전송 동작을 나타내는 타임차트이다. 동작 내용은 제1 실시예의 것과 거의 동일하며, 상세한 설명은 생략한다.

이상, 클록의 뉴티비가 50%로, 클록의 상승 구간과 하강 구간에서 데이터를 출력 및 폐지할 수 있는 것으로서 설명하였지만, 클록의 뉴티비가 50%에서 어긋나 있는 경우에는 컨트롤러 및 메모리에 각각 180° DLL 회로를 설치할 필요가 있다. 그러나, 이 경우라도 1/4 주기 위상이 어긋난 신호를 발생시킬 필요는 없다. 180° DLL 회로는 도 10의 90° DLL 회로(51)에 있어서 지연 회로를 2단으로 하면 실현되며, 90° DLL 회로에 비하여 지터는 반이 된다.

이상, 본 발명을 도 7에 도시된 한쪽 방향 스트로브 방식에 적용한 실시예에 대해서 설명하였지만, 본 발명은 동기 신호가 1방향으로 송신되는 신호선을 사용하는 구성이면 어떠한 경우에도 적용할 수 있다.

### 발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 클록 신호선 및 데이터 스트로브 신호선에, 연장부 또는 지연라인 등의 지연 회로를 설치함으로써, 컨트롤러나 메모리에 DLL 회로를 탑재하지 않고, 또한 탑재하는 경우에도 최소한의 개수나 단수이며, 데이터의 폐치를 양호한 타이밍으로 행할 수 있다. 그 때문에, 지터가 생기지 않게 되며, 지터가 생기는 경우에도 작게 할 수 있다.

### (57) 청구의 범위

#### 청구항 1

클록을 공급하는 클록원과,

클록에 동기하여 동작하는 적어도 1개의 메모리와, 상기 메모리와의 데이터의 입출력을 제어하는 컨트롤러와,

상기 컨트롤러와 상기 메모리 사이에서 데이터 신호를 전송하는 데이터 신호선과,

상기 데이터 신호선에 병행으로 설치되어, 상기 메모리로 상기 클록을 전송하는 클록 신호선과,

상기 데이터 신호선에 병행으로 설치되어, 상기 컨트롤러에 데이터 스트로브 신호를 전송하는 데이터 스트로브 신호선을 구비하고,

상기 컨트롤러에는 상기 클록원으로부터 상기 클록이 공급되며, 상기 컨트롤러는 상기 메모리로 기록 데이터를 전송할 때에는 상기 클록의 변화 구간에서 상기 기록 데이터를 변화시키고,

상기 메모리는 상기 컨트롤러에 독출 데이터를 전송할 때, 상기 데이터 스트로브 신호의 변화 구간에서 상기 독출 데이터를 변화시키는 메모리 서브 시스템에 있어서,

상기 클록 신호선은 상기 클록에 소정의 지연을 일으키는 클록 지연 회로를 구비하고,

상기 데이터 스트로브 신호선은 상기 데이터 스트로브 신호에 소정의 지연을 일으키는 데이터 스트로브 지연 회로를 구비하며,

상기 메모리는 수신한 상기 클록의 상기 변화 구간에서 상기 기록 데이터를 폐지하는 데이터 입력 회로를 구비하고,

상기 컨트롤러는 수신한 상기 데이터 스트로브 신호의 상기 변화 구간에서 상기 독출 데이터를 폐지하는

데이터 입력 회로를 구비하는 것을 특징으로 하는 메모리 서브 시스템.

### 청구항 2

제1항에 있어서, 상기 소정의 지연은 상기 기록 데이터 및 상기 독출 데이터의 최소 변화 주기의 1/2의 시간인 것을 특징으로 하는 메모리 서브 시스템.

### 청구항 3

제1항에 있어서, 상기 클록 지연 회로와 상기 데이터 스트로브 지연 회로는 상기 클록 신호선과 상기 데이터 스트로브 신호선의 신호 전파 시간을 길게 하도록 배선을 길게 한 회로인 것을 특징으로 하는 메모리 서브 시스템.

### 청구항 4

제1항에 있어서, 상기 클록 지연 회로와 상기 데이터 스트로브 지연 회로는 지연 소자를 사용한 지연 라인인 것을 특징으로 하는 메모리 서브 시스템.

### 청구항 5

제1항에 있어서, 상기 클록 신호선과 상기 데이터 스트로브 신호선은 임피던스가 정합하고 있는 것을 특징으로 하는 메모리 서브 시스템.

### 청구항 6

제1항 내지 제5항중 어느 한 항에 있어서, 상기 클록 지연 회로와 상기 데이터 스트로브 지연 회로는 상기 클록 신호선과 상기 데이터 스트로브 신호선의 상기 컨트롤러와 상기 메모리 사이의 부분에 설치되는 것을 특징으로 하는 메모리 서브 시스템.

### 청구항 7

제1항 내지 제5항중 어느 한 항에 있어서, 상기 클록 지연 회로와 상기 데이터 스트로브 지연 회로는 상기 컨트롤러와 상기 메모리의 외측에 설치되는 것을 특징으로 하는 메모리 서브 시스템.

### 청구항 8

제1항 내지 제5항중 어느 한 항에 있어서, 상기 클록 신호선은 상기 컨트롤러로부터 상기 메모리로 연장되고, 상기 컨트롤러는 상기 클록원으로부터 공급된 상기 클록을 상기 클록 신호선으로 출력하는 것을 특징으로 하는 메모리 서브 시스템.

### 청구항 9

제1항 내지 제5항중 어느 한 항에 있어서, 상기 클록원으로부터 상기 컨트롤러로 상기 클록을 공급하는 신호선은 분기되어 상기 클록 신호선에 접속되어 있는 것을 특징으로 하는 메모리 서브 시스템.

### 청구항 10

제1항 내지 제5항중 어느 한 항에 있어서, 상기 클록원으로부터 상기 클록 신호선으로 상기 클록을 공급하는 신호선을, 상기 클록원으로부터 상기 컨트롤러로 상기 클록을 공급하는 신호선에 병행으로 설치한 것을 특징으로 하는 메모리 서브 시스템.

### 청구항 11

제1항 내지 제5항중 어느 한 항에 있어서, 상기 데이터 스트로브 신호는 상기 메모리가 수신한 상기 클록이고, 상기 메모리는 상기 컨트롤러에 독출 데이터를 전송할 때에는, 수신한 상기 클록의 변화 구간에서 상기 독출 데이터를 변화시키며, 상기 데이터 스트로브 신호선은 상기 메모리의 부근에서 상기 클록 신호선에 접속되어 있는 것을 특징으로 하는 메모리 서브 시스템.

### 청구항 12

클록을 공급하는 클록원과,

클록에 동기하여 동작하는 적어도 1개의 메모리와, 상기 메모리와의 데이터의 입출력을 제어하는 컨트롤러와,

상기 컨트롤러와 상기 메모리 사이에서 데이터 신호를 전송하는 데이터 신호선과,

상기 데이터 신호선에 병행으로 설치되어, 상기 메모리로 상기 클록을 전송하는 클록 신호선과,

상기 컨트롤러에는 상기 클록원으로부터 상기 클록이 공급되고, 상기 컨트롤러는 상기 메모리로 기록 데이터를 전송할 때에는, 상기 클록의 변화 구간에서 상기 기록 데이터를 변화시키며,

상기 클록 신호선은 상기 클록에 소정의 지연을 일으키는 클록 지연 회로를 구비하고,

상기 메모리는 수신한 상기 클록의 상기 변화 구간에서 상기 기록 데이터를 폐지하는 데이터 입력 회로를 구비하며,

상기 소정의 지연은 상기 기록 데이터 및 상기 독출 데이터의 최소 변화 주기의 1/2의 시간인 것을 특징으로 하는 메모리 서브 시스템.

### 청구항 13

클록을 공급하는 클록원과,

클록에 동기하여 동작하는 적어도 1개의 메모리와, 상기 메모리와의 데이터의 입출력을 제어하는 컨트롤러와,

상기 컨트롤러와 상기 메모리 사이에서 데이터 신호를 전송하는 데이터 신호선과,

상기 데이터 신호선에 병행으로 설치되어, 상기 컨트롤러에 데이터 스트로브 신호를 전송하는 데이터 스트로브 신호선을 구비하고,

상기 메모리는 상기 컨트롤러에 독출 데이터를 전송할 때에는, 상기 데이터 스트로브 신호의 변화 구간에서 상기 독출 데이터를 변화시키는 메모리 서브 시스템에 있어서,

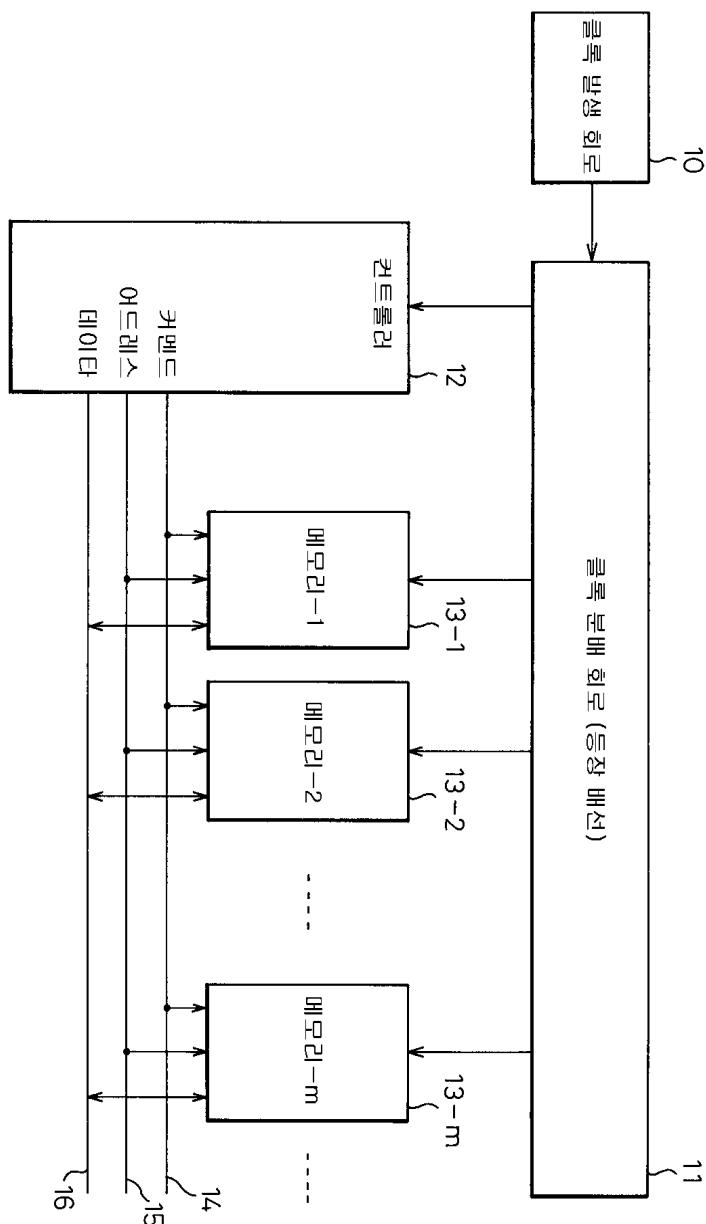
상기 데이터 스트로브 신호선은 상기 데이터 스트로브 신호에 소정의 지연을 일으키는 데이터 스트로브 지연 회로를 구비하며,

상기 컨트롤러는 수신한 상기 데이터 스트로브 신호의 상기 변화 구간에서 상기 독출 데이터를 폐지하는 데이터 입력 회로를 구비하고,

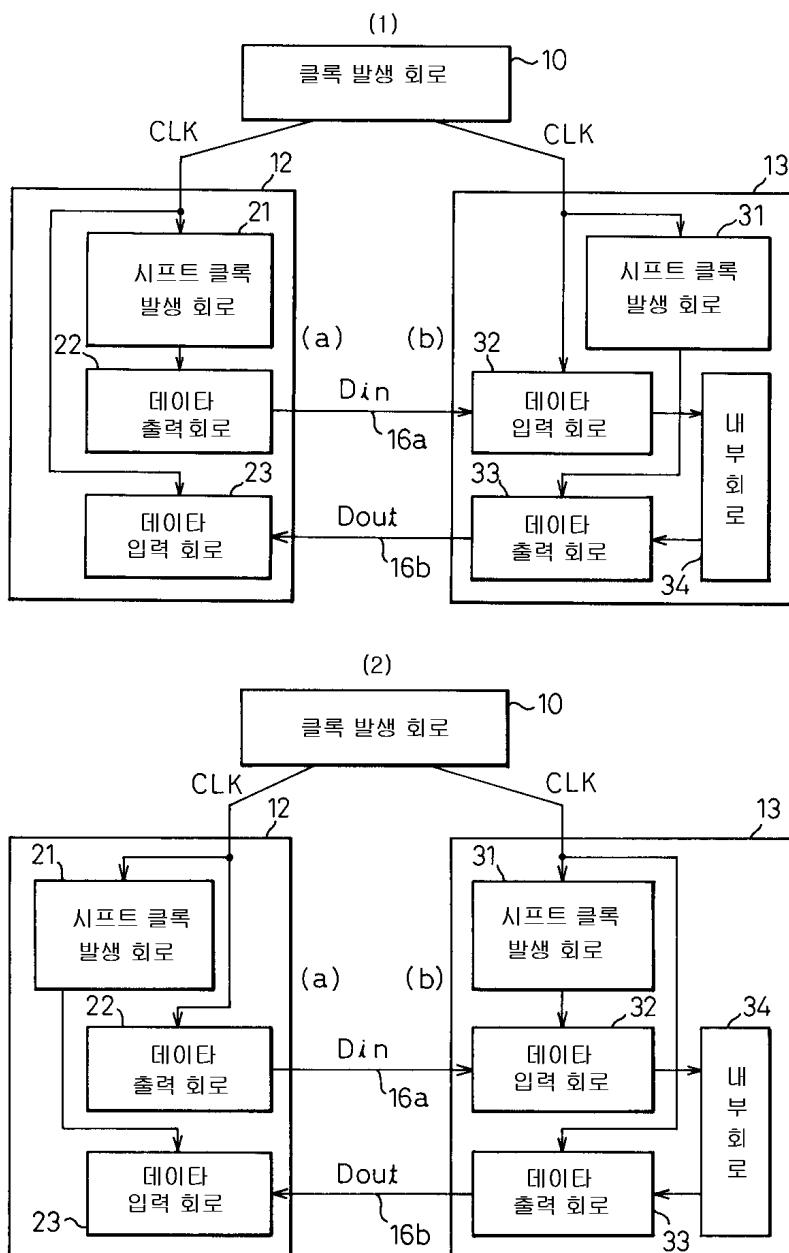
상기 소정의 지연은 상기 기록 데이터 및 상기 독출 데이터의 최소 변화 주기의 1/2의 시간인 것을 특징으로 하는 메모리 서브 시스템.

## 도면

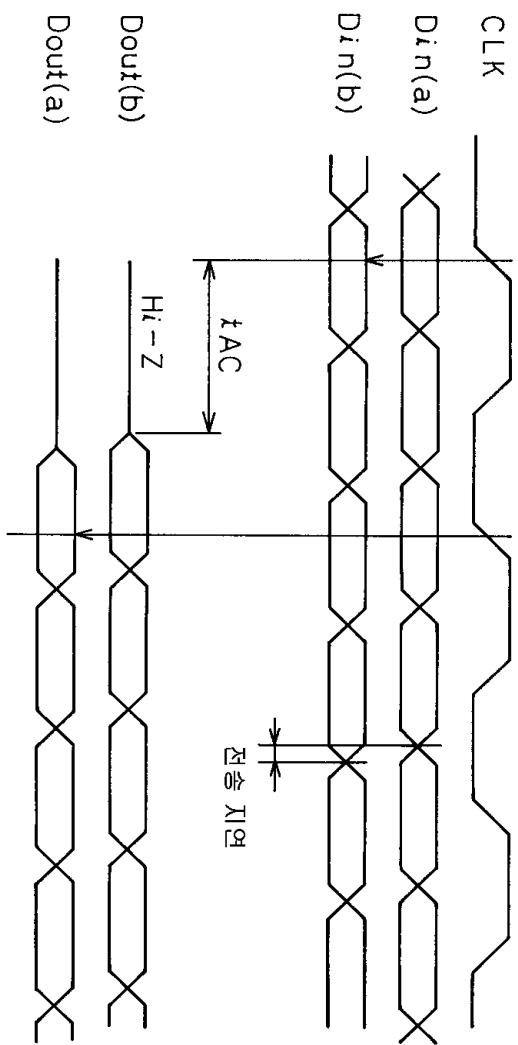
### 도면1



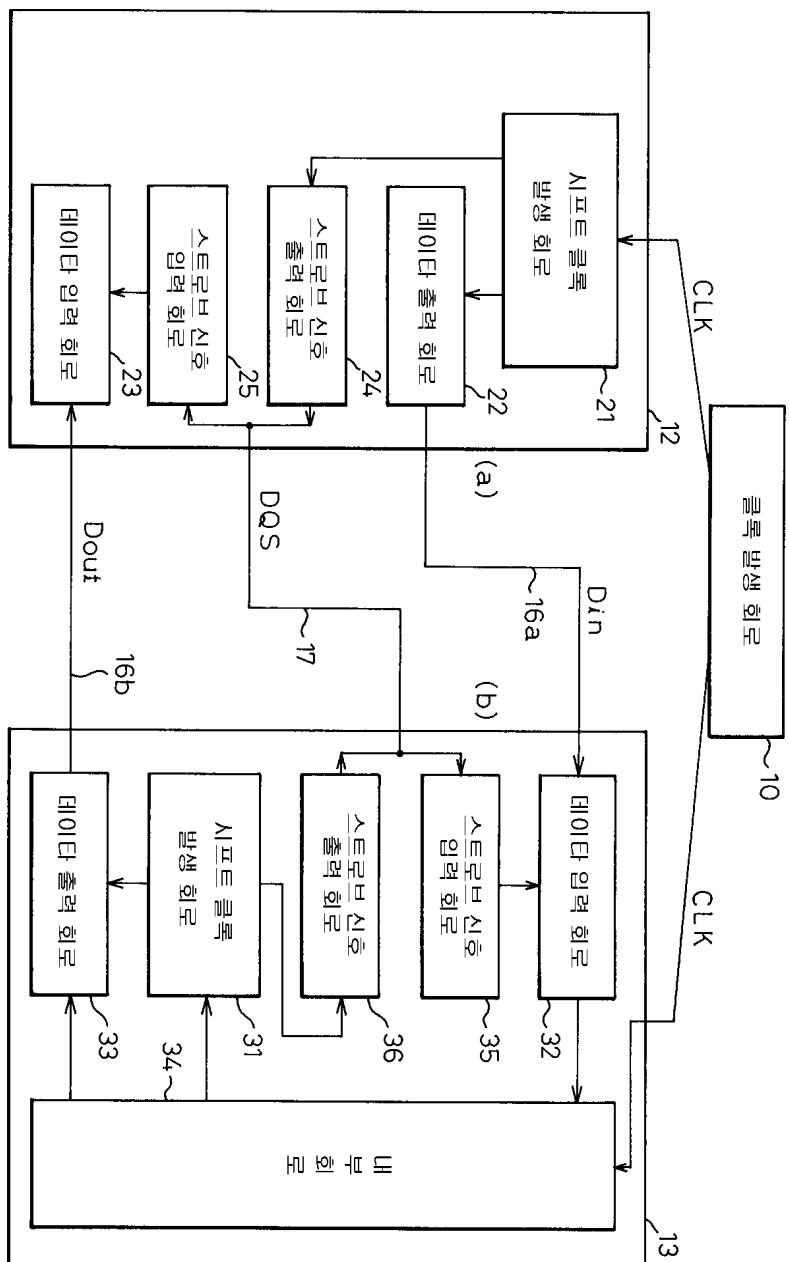
## 도면2



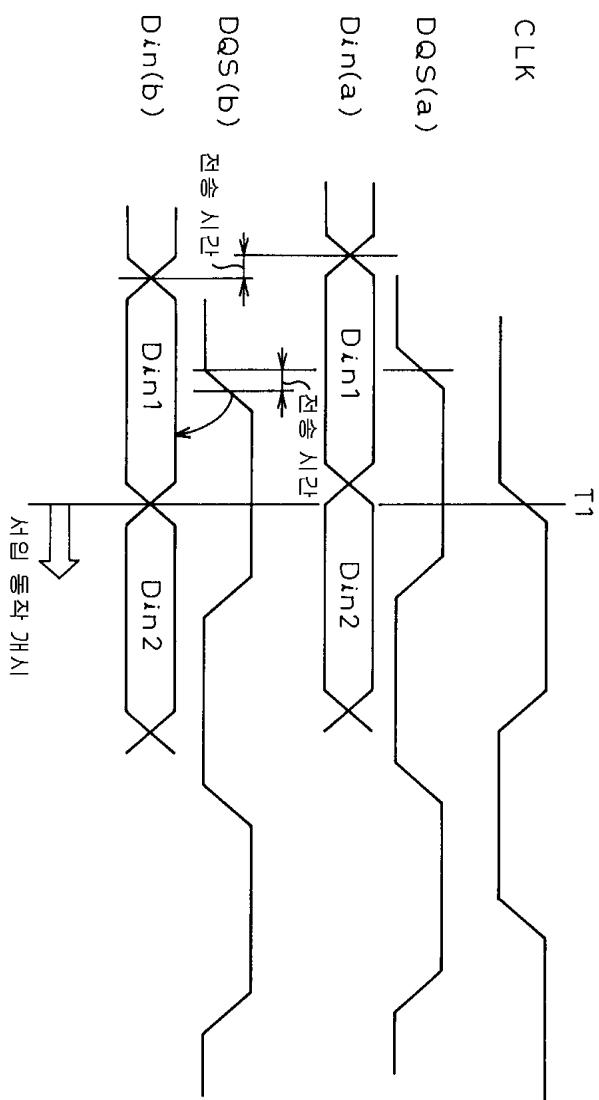
도면3



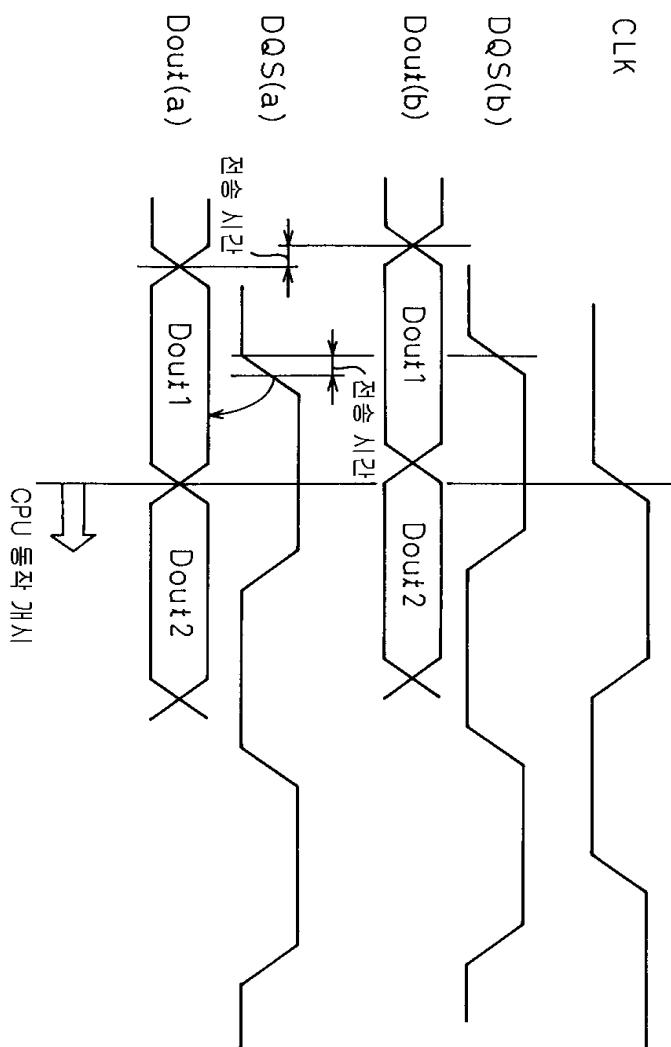
도면4



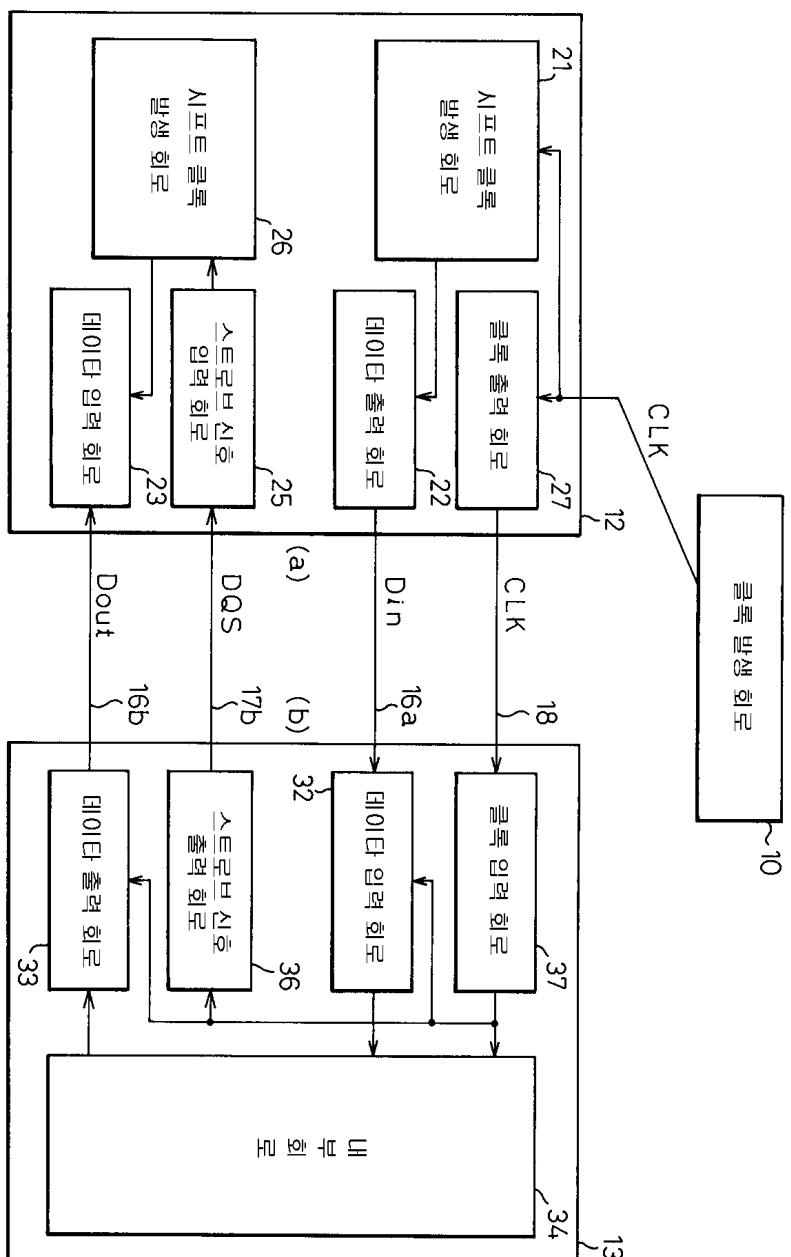
도면5



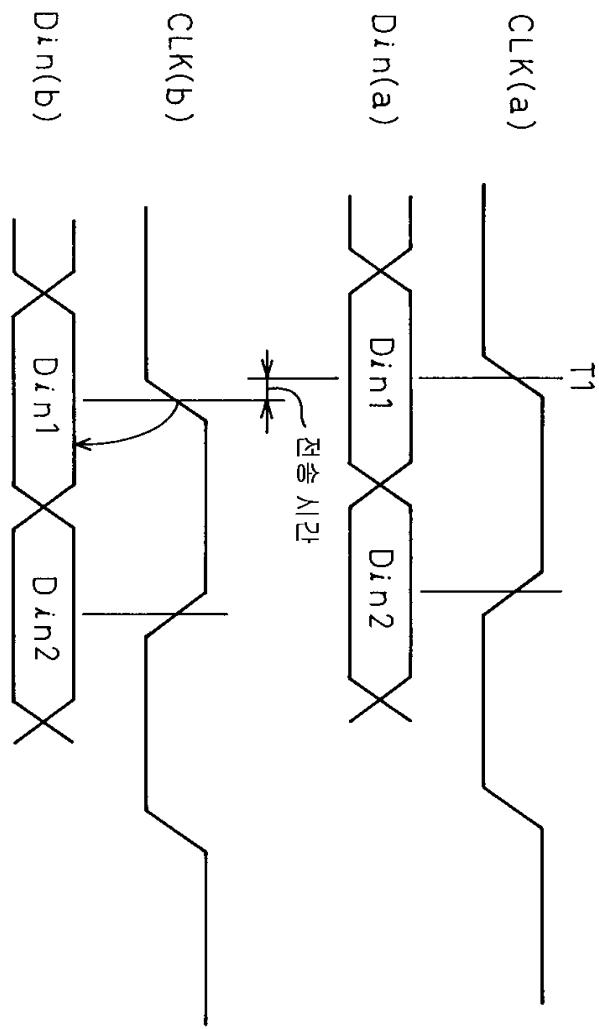
도면6



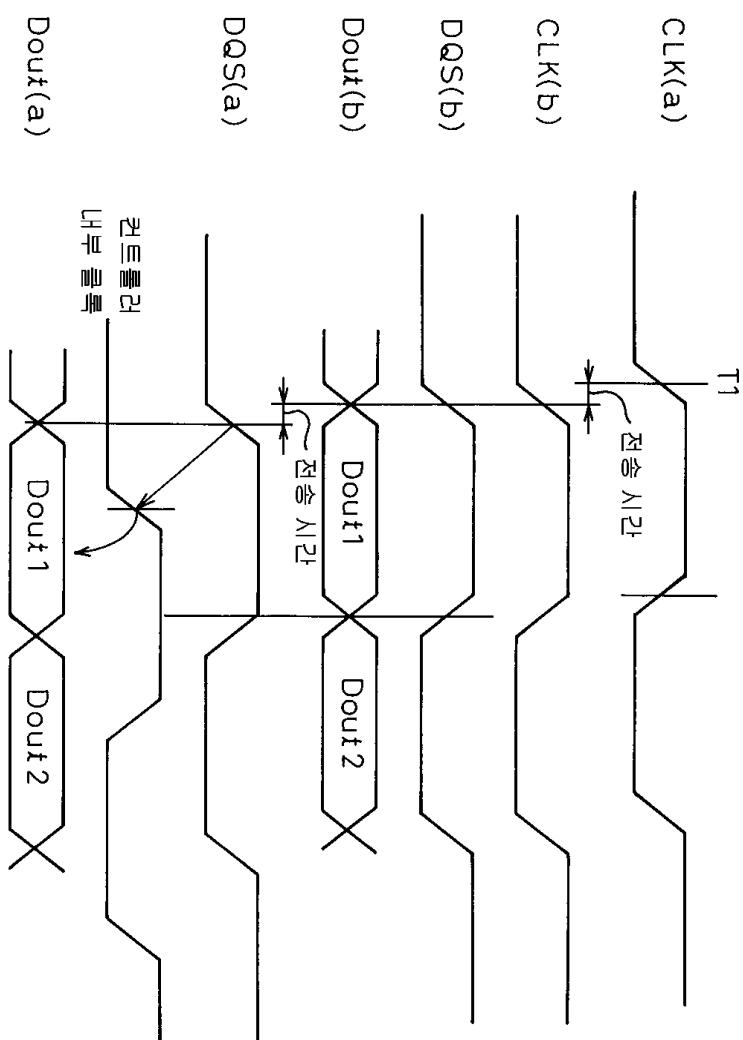
## 도면7



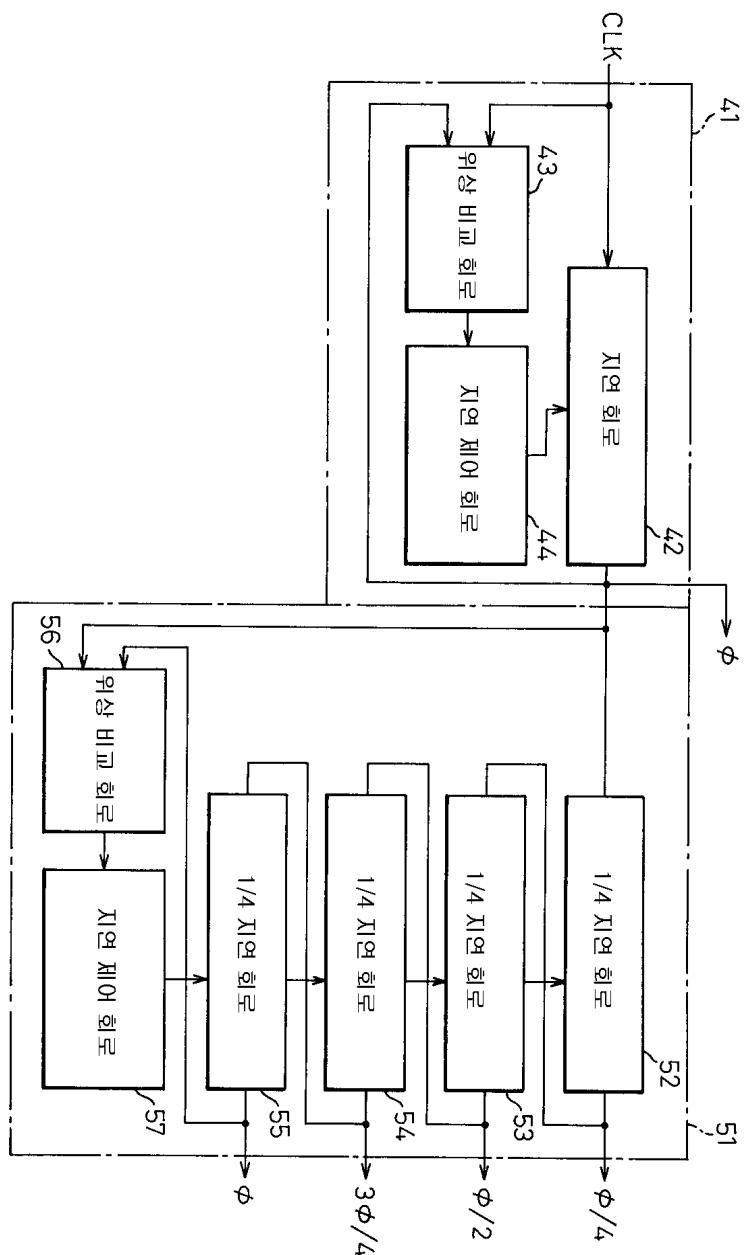
도면8



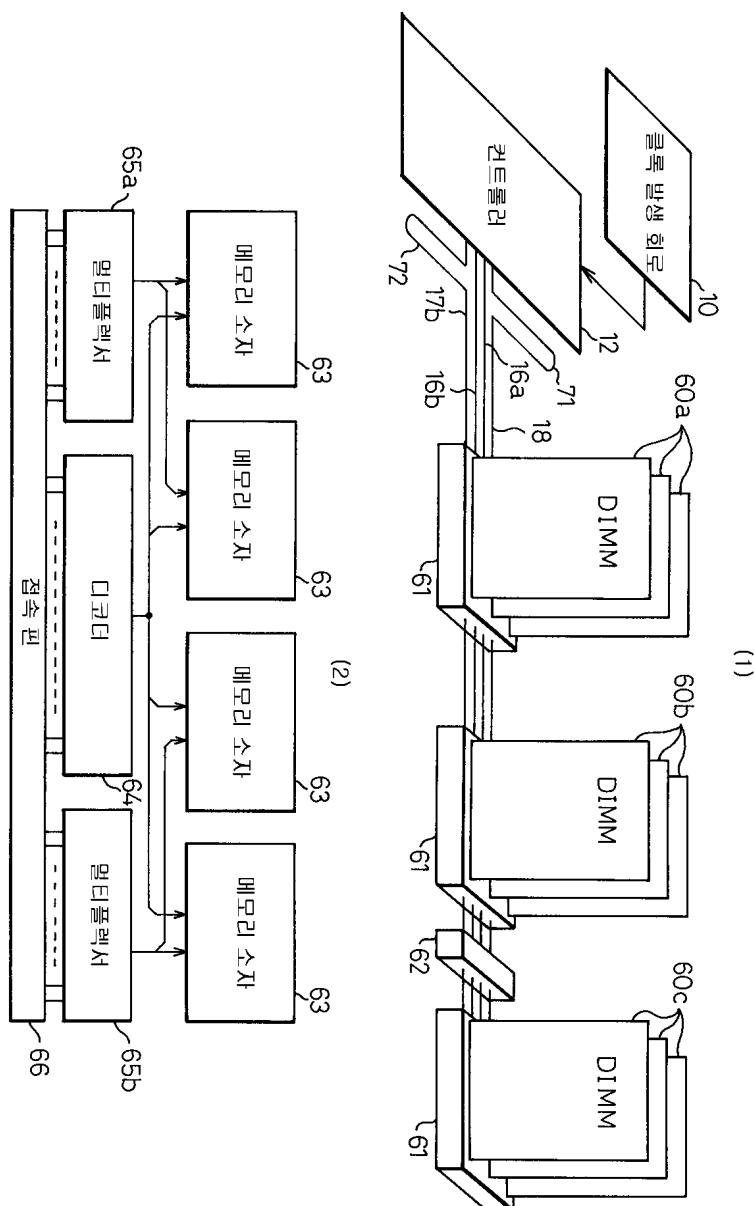
도면9



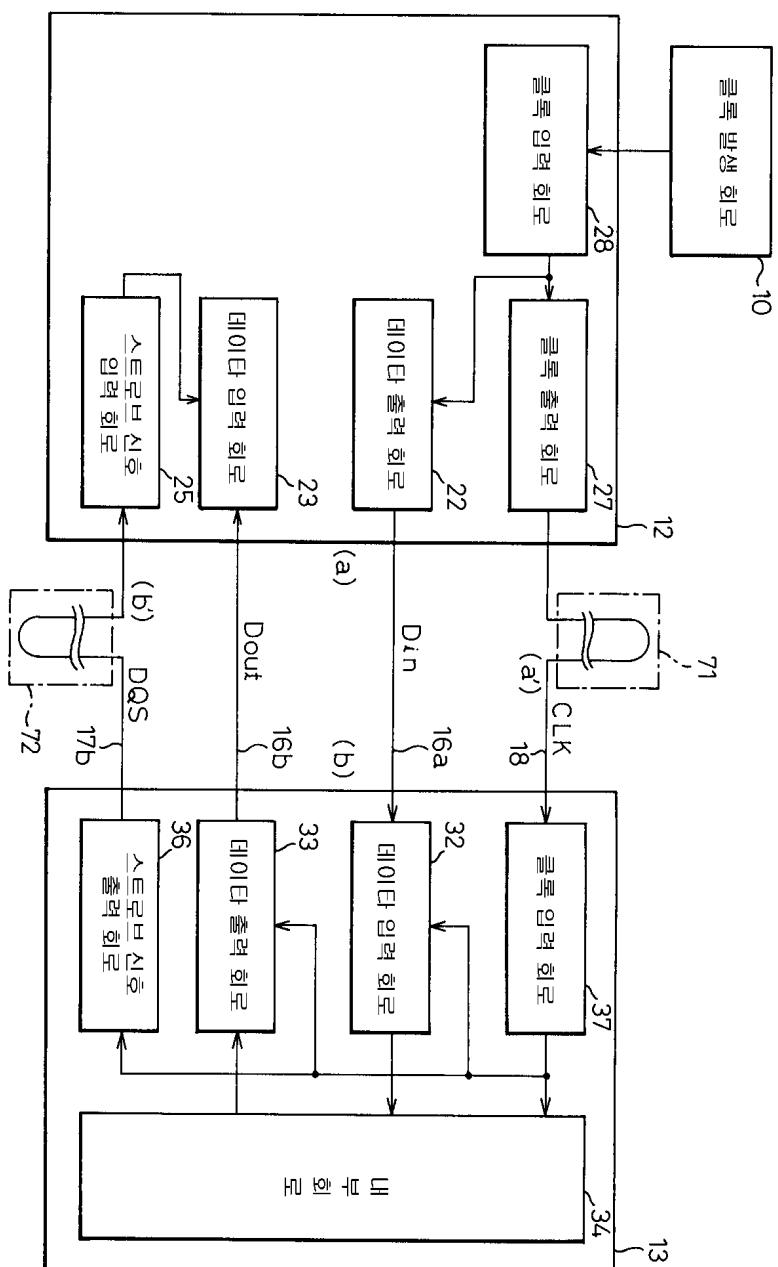
도면10



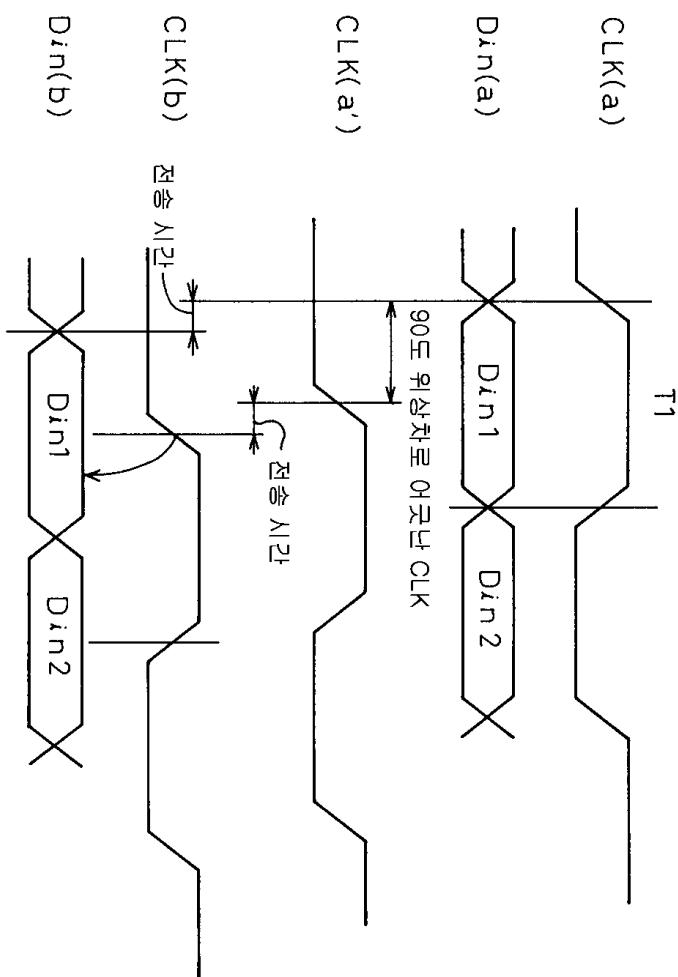
도면11



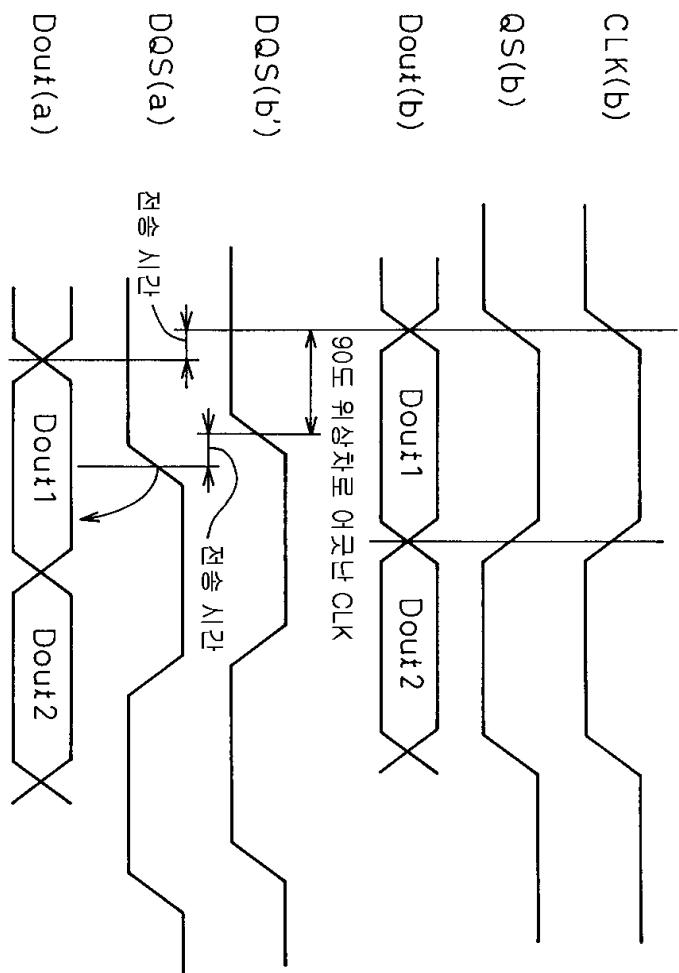
## 도면 12



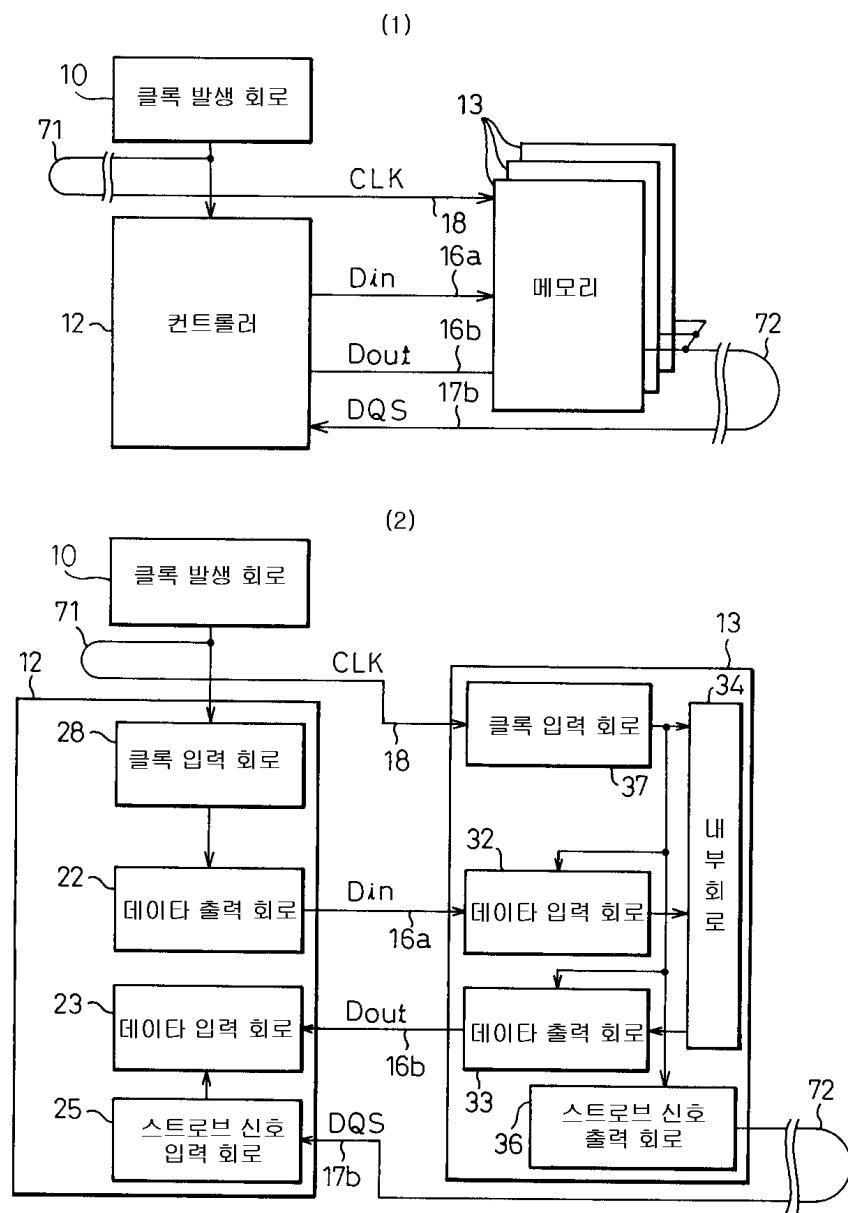
도면13



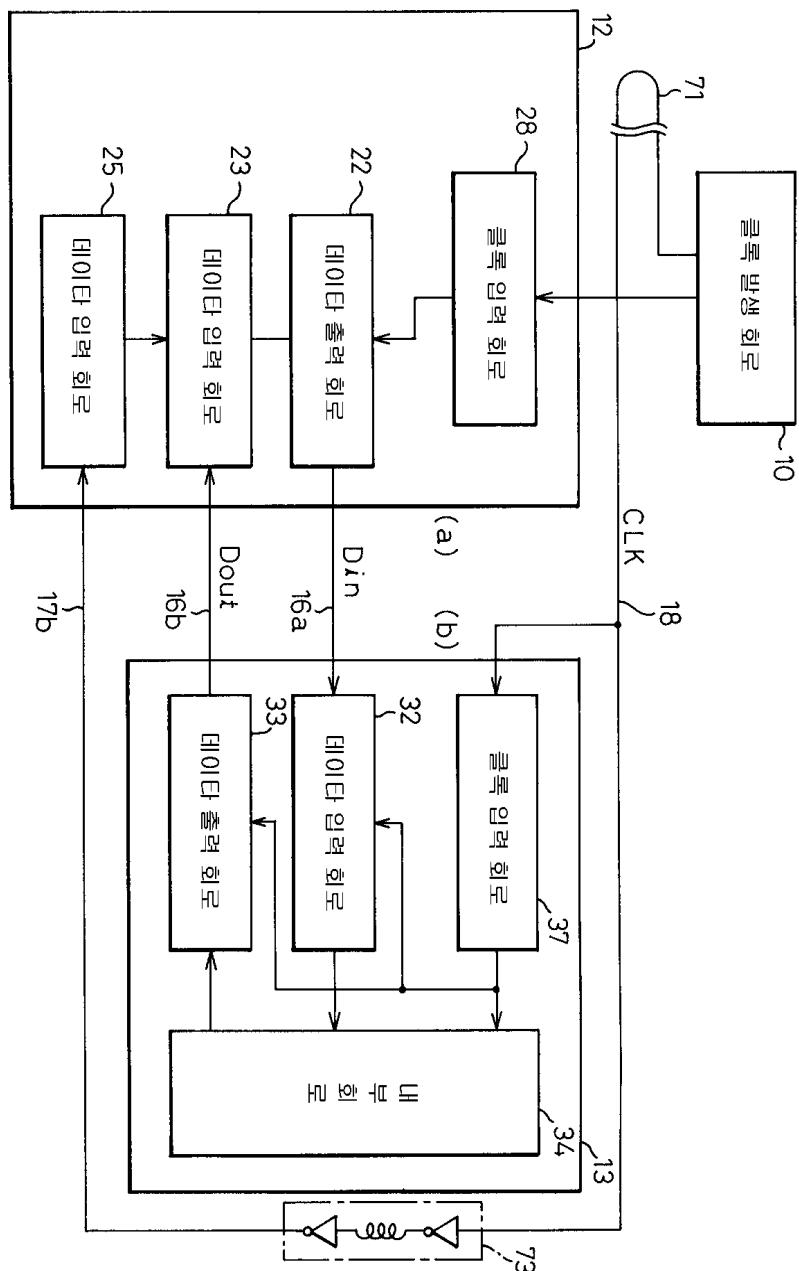
도면14



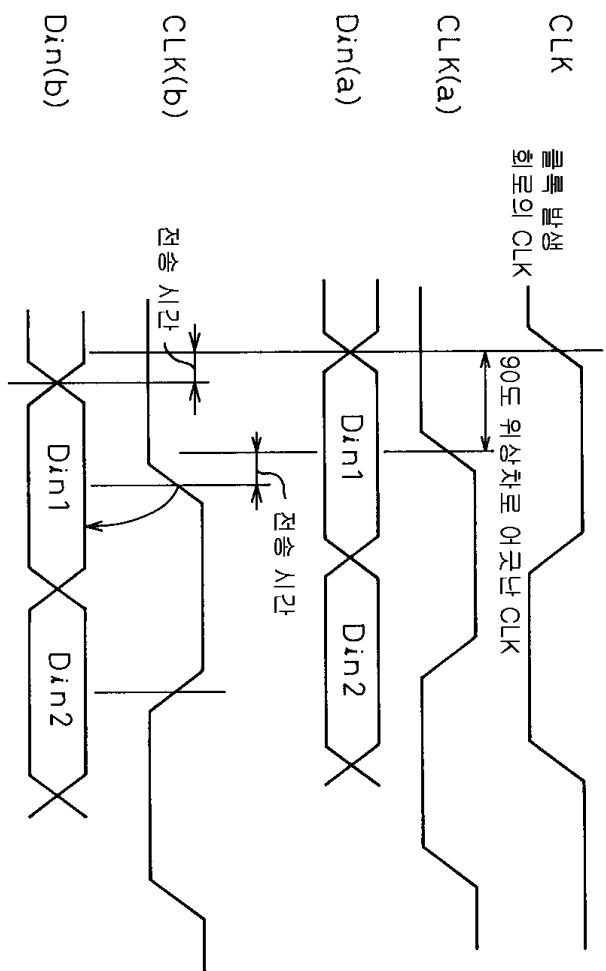
## 도면15



도면16



도면17



도면18

