(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6114444号
(P6114444)
(45)発行日　平成29年4月12日(2017.4.12)　(24)登録日　平成29年3月24日(2017.3.24)

(51)Int.Cl.　　F I
G11C 11/4091 (2006.01)　　G11C 11/34 353A
G11C 11/56 (2006.01)　　G11C 11/34 381A

請求項の数 3　(全 35 頁)

(21)出願番号　特願2016-121364(P2016-121364)
(22)出願日　平成28年6月20日(2016.6.20)
(62)分割の表示　特願2011-233709(P2011-233709)の分割
原出願日　平成23年10月25日(2011.10.25)
(65)公開番号　特開2016-194969(P2016-194969A)
(43)公開日　平成28年11月17日(2016.11.17)
審査請求日　平成28年6月21日(2016.6.21)
(31)優先権主張番号　特願2010-243833(P2010-243833)
(32)優先日　平成22年10月29日(2010.10.29)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願2011-112645(P2011-112645)
(32)優先日　平成23年5月19日(2011.5.19)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　松林　大介
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　大貫　達也
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　後藤　彰

最終頁に続く

(54)【発明の名称】記憶装置

(57)【特許請求の範囲】
【請求項１】
ワード線と、
ビット線と、
トランジスタと第１の容量素子とを有するメモリセルと、
第２の容量素子と、
増幅回路と、を有し、
前記トランジスタは、ゲート電極が前記ワードと電気的に接続され、ソース電極又はドレイン電極の一方が前記ビット線と電気的に接続され、
前記トランジスタは、酸化物半導体を有し、
前記第１の容量素子の一方の電極は、前記トランジスタの前記ソース電極又は前記ドレイン電極の他方と電気的に接続され、
前記第１の容量素子の他方の電極は、前記第２の容量素子の一方の電極と電気的に接続され、
前記第１の容量素子の他方の電極は、前記増幅回路と電気的に接続され、
前記第２の容量素子の前記一方の電極の電位は、前記増幅回路を介して読み出され、
前記メモリセルに電位Ｖ１が書込まれ、前記第１の容量素子の容量をＣ１、前記第２の容量素子の容量をＣ０とし、前記第２の容量素子の前記一方の電極の電位V_Nとするとき、以下の数式が成り立つことを特徴とする記憶装置。
$V_N = C1 \times V1 / (C1 + C0)$

【請求項２】
ワード線と、
第１乃至第ｎのビット線と、
第１乃至第ｎのトランジスタと第１乃至第ｎの容量素子とを有する第１乃至第ｎのメモリセルと、
第ｎ＋１の容量素子と、
増幅回路と、を有し、
前記第１乃至前記第ｎの各トランジスタは、ゲート電極が前記ワード線と電気的に接続され、ソース電極又はドレイン電極の一方が前記第１乃至前記第ｎのビット線のいずれかと電気的に接続され、
前記第１乃至前記第ｎの各トランジスタは、酸化物半導体を有し、
前記第１乃至前記第ｎの容量素子の一方の電極は、前記第１乃至前記第ｎのトランジスタのいずれかの前記ソース電極又はドレイン電極の他方と電気的に接続され、
前記第１乃至前記第ｎの容量素子の他方の電極は、前記第ｎ＋１の容量素子の一方の電極と電気的に接続され、
前記第１乃至前記第ｎの容量素子の他方の電極は、前記増幅回路と電気的に接続され、
前記第ｎ＋１の容量素子の前記一方の電極の電位は、前記増幅回路を介して読み出され、
前記第１乃至前記第ｎの各メモリセルに電位Ｖｉが書込まれ、前記第１乃至第ｎの容量素子の各容量をＣ１、Ｃ２・・・Ｃｎとし、前記ｎ＋１の容量素子の容量をＣｎ＋１とし、前記第ｎ＋１の容量素子の前記一方の電極の電位をV_Nとするとき、以下の数式が成り立つことを特徴とする記憶装置。
$V_N = \Sigma Ci \times Vi / (Ctotal + Cn)$
（Ｃｔｏｔａｌ＝（Ｃ１＋Ｃ２＋・・・Ｃｎ）、ｉは１以上ｎ以下）
【請求項３】
請求項２において、
前記第１乃至前記第ｎの容量素子は、それぞれ異なる容量値を有することを特徴とする記憶装置。
【発明の詳細な説明】
【技術分野】
【０００１】
開示する発明は、半導体素子を利用した記憶装置に関するものである。
【背景技術】
【０００２】
半導体素子を利用した記憶装置は、電力の供給が遮断されると記憶内容が失われる揮発性の記憶装置と、電力の供給が遮断されても記憶内容が保持される不揮発性の記憶装置とに大別される。
【０００３】
揮発性記憶装置の代表的な例としては、ＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）がある。ＤＲＡＭは、記憶素子を構成するトランジスタを選択して容量素子に電荷を蓄積することで、情報を記憶する。そのためＤＲＡＭでは、情報を読み出すと容量素子の電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにおいてはオフ状態でのソースとドレイン間のリーク電流（オフ電流）等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。
【０００４】
揮発性記憶装置の別の例としてはＳＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ

Ｍｅｍｏｒｙ）がある。ＳＲＡＭは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはＤＲＡＭより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、ＤＲＡＭと変わらない。

【０００５】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献１参照）。

【０００６】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという寿命の問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

【０００７】

また、フローティングゲートに電荷を注入するため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。よって、消費電力が大きいという問題がある。さらに、電荷の注入、または除去には、比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【０００８】

【特許文献１】特開昭５７－１０５８８９号公報

【発明の概要】

【発明が解決しようとする課題】

【０００９】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の記憶装置を提供することを課題の一とする。

【００１０】

開示する発明の一態様では、新たな構造により、記憶素子を構成するトランジスタをオンすることなく、記憶したデータを高速で読み出すことができ、また、記憶装置の簡略化を図り、単位面積あたりの記憶容量を増加させることを課題の一とする。

【課題を解決するための手段】

【００１１】

本発明の一態様は、メモリセルに用いるトランジスタに、オフ電流を十分に小さくすることができる半導体材料、例えば、ワイドギャップ半導体材料（酸化物半導体材料など）をチャネル領域として有するトランジスタを用いることを特徴とし、該トランジスタ及び保持容量素子を有するメモリセルと、容量素子と、を電気的に接続させてノードを構成し、該ノードは保持容量素子を介した容量結合により保持データに応じて昇圧され、この電位を増幅回路によって読み出すことで、データの識別を行うことを要旨とする。また、該ノードは電気的にフローティング状態である。

【００１２】

本発明の一態様は、メモリセルに用いるトランジスタに、オフ電流を十分に小さくすることができる半導体材料、例えば、ワイドギャップ半導体材料（酸化物半導体材料など）をチャネル領域として有するトランジスタを用いることを特徴とし、複数のメモリセルをワ

ード線に並列に接続し、それぞれのメモリセルにおける保持容量素子と、容量素子を接続してノードを構成し、また、複数の保持容量素子における容量値がそれぞれ異なることにより、該ノードの電位を読み出すことで、一括して複数のメモリセルのデータを読み出すことができることを特徴とする。

【００１３】

本発明の一態様は、該ノードの電位を、メモリセルのデータ状態へ変換するための参照回路が、該メモリセルと同じ回路構成からなることを特徴とする。

【００１４】

本発明の一態様は、１つのブロックにおけるメモリセル数を適宜設定し、そのブロックを多数並べる構成とすることで、少ない素子数で一括してデータが読み出せることを特徴とする。

【００１５】

本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【００１６】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【００１７】

なお、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、容量素子、その他の各種機能を有する素子などが含まれる。

【発明の効果】

【００１８】

本発明の一態様に係る記憶装置は、ワイドギャップ半導体材料（特に酸化物半導体）を用いたトランジスタのオフ電流が十分に小さいため、保持容量素子に与えた電荷を長期にわたって保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい。）であっても、長期にわたって記憶内容を保持することが可能である。また、トランジスタのオンオフの切り替えではなく、ノードの電位を測ることにより情報の読み出しができるため、高速な動作ができる。

【００１９】

このように、本発明の一態様は、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無く、新たな構造の記憶装置を提供することができる。さらに、記憶素子を構成するトランジスタをオンすることなく、記憶したデータを高速で読み出すことができ、また、記憶装置の簡略化を図り、単位面積あたりの記憶容量を増加させることもできる。

【図面の簡単な説明】

【００２０】

【図１】記憶装置の回路図。

【図２】記憶装置の回路図。

【図３】記憶装置の作製工程に係る断面図。

【図４】記憶装置を用いた電子機器を説明するための図。

【図５】記憶装置の回路図。
【図６】記憶装置の回路図。
【図７】酸化物半導体の一例。
【図８】酸化物半導体の一例。
【図９】酸化物半導体の一例。
【図１０】移動度算出のための式。
【図１１】ゲート電圧と電界効果移動度の関係。
【図１２】ゲート電圧とドレイン電流の関係。
【図１３】ゲート電圧とドレイン電流の関係。
【図１４】ゲート電圧とドレイン電流の関係。
【図１５】トランジスタの特性。
【図１６】トランジスタの特性。
【図１７】トランジスタの特性。
【図１８】トランジスタのオフ電流の温度依存性。
【発明を実施するための形態】
【００２１】
開示する発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。
【００２２】
なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。
【００２３】
なお、本明細書等における「第１」、「第２」、「第３」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。
【００２４】
（実施の形態１）
本実施の形態では、開示する発明の一態様に係る記憶装置の回路構成および動作について、図１を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、ＯＳの符号を併せて付す場合がある。
【００２５】
はじめに、基本的な回路構成およびその動作について、図１（Ａ）を参照して説明する。図１（Ａ）に示す記憶装置において、ワード線（Ｗｏｒｄ　Ｌｉｎｅ：ＷＬ）とトランジスタ００１のゲート電極とは、電気的に接続され、ビット線（Ｂｉｔ　Ｌｉｎｅ：ＢＬ）とトランジスタ００１のソース電極（またはドレイン電極）とは電気的に接続され、保持容量素子００２の一方の端子とトランジスタ００１のドレイン電極（またはソース電極）とは電気的に接続されている。さらに、該保持容量素子００２の他方の端子と容量素子００３の一方の端子とは、電気的に接続されてノード００４を構成している。該ノード００４と増幅回路００５とは、電気的に接続されている。
【００２６】
ここで、トランジスタ００１には、例えば、ワイドギャップ半導体材料である酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ００１をオフ状態とすることで、トランジスタ００１のドレイン電極の電位を極めて長時間にわたって保持することが可能である。さらに、保持容量素子００２を有することにより、トランジスタ００１のドレイン電極に与えられた電荷の保持が容易になる。
【００２７】
図１（Ａ）に示す回路構成において、データの書込み及び保持は、トランジスタ００１及

び保持容量素子００２によって行われる。この部分をメモリセル１００と呼ぶことにする。データの読出しは、保持容量素子００２と、容量素子００３とで接続されたノード００４における電位（V_N）を測定することにより行われる。なお、ノード００４は電気的にフローティング状態である。電位を測定する増幅回路００５として、例えば図１（Ｂ）に示すようなソースフォロア（ＳＦ）回路を用いることができる。ソースフォロア回路は、第１のトランジスタ及び第２のトランジスタが並列に接続される回路である。第１のトランジスタのゲートには、入力端子（ＩＮ）が接続され、第１の電極はＶＤＤと接続され、第２の電極は、第２のトランジスタの第１の電極と接続される。また、第２のトランジスタのゲートには、ＶＳＦが接続され、第２の電極はＧＮＤと接続される。第１のトランジスタの第２の電極及び第２のトランジスタの第１の電極の接続部に、出力端子（ＯＵＴ）が接続される。ソースフォロア回路の入力端子（ＩＮ）に入力された電位と同じ電位が、出力端子（ＯＵＴ）から出力される。なお、ソースフォロア回路に限らず、他の増幅回路を用いても良い。

【００２８】

本実施の形態における、情報の書き込みおよび保持について説明する。まずワード線の電位を、トランジスタ００１がオン状態となる電位にして、トランジスタ００１をオン状態とする。これによりビット線の電位Ｖ１が、トランジスタ００１のドレイン電極、および保持容量素子００２に与えられる。すなわち、保持容量素子００２には、所定の電荷が与えられる（書き込み）。その後、ワード線の電位を、トランジスタ００１がオフ状態となる電位にして、トランジスタ００１をオフ状態とすることにより、保持容量素子００２に与えられた電荷が保持される（保持）。

【００２９】

メモリセル１００に電位Ｖ１が書込まれているとき、保持容量素子００２の容量をＣ１とし、容量素子００３の容量をＣ０とすると、ノード００４の電位V_Nは数式（１）で表すことができる。

【００３０】

【数１】

$$V_N = C1 \times V1 / (C1 + C0)$$

【００３１】

数式（１）に示すように、ノード００４の電位V_Nは、書き込み電位、つまりビット線に与えられる電位Ｖ１に比例しているため、V_Nはメモリセルのデータ状態と一対一で対応する。したがって、V_Nを測定することにより、保持されたデータを識別できる（読み出し）。例えば、Ｖ１＝Ｖまたは０（Ｖ＞０）の２値の場合を考えると、V_Nによるデータ判定しきい値をＣ１×Ｖ／（Ｃ１＋Ｃ０）と０の中間にすることにより、V_Nが前者の値の場合はメモリセルのデータ状態は”１”（Ｖ１＝Ｖ）、後者の値の場合は”０”（Ｖ１＝０）と識別できる。Ｖ１が２値以上をとる場合にも拡張することは容易である。

【００３２】

本実施の形態により、メモリセル１００のデータ状態の識別を、トランジスタ００１のオン動作をすることなく行えるようになる。それによって、トランジスタ００１のオフ電流が非常に小さいという性質を最大限に活かすことができ、半永久的なデータ保持（つまり不揮発性）が実現できる。さらに、データの読み出しにおいて、トランジスタ００１の駆動を行う必要が無いため、非常に速いデータ読み出しが可能となる。

【００３３】

次に、データの書き換えについて説明する。データの書き換えは、データの書き込みおよび保持と同様に行われる。つまり、ワード線の電位を、トランジスタ００１がオン状態となる電位にして、トランジスタ００１をオン状態とする。これにより、ビット線の電位（新たなデータに係る電位）が、トランジスタ００１のドレイン電極および保持容量素子００２に与えられる。その後、ワード線の電位を、トランジスタ００１がオフ状態となる電位にして、トランジスタ００１をオフ状態とすることにより、保持容量素子００２は新た

なデータに係る電荷が与えられた状態となる。

【００３４】

このように、開示する発明に係る記憶装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁層（トンネル絶縁層ともいう）の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁層の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要であった高電圧も不要である。

【００３５】

また、酸化物半導体以外の材料を用いたトランジスタによって、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせて用いることにより、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【００３６】

（実施の形態２）

本実施の形態では、開示する発明の一態様に係る記憶装置において、図２に示すように、データの書込みおよび保持を行う酸化物半導体を用いたトランジスタ２０１と、保持容量素子Ｃｉ（ｉ＝１，２，…，ｍ）で構成されるメモリセル２００が、ｍ個（ｍは自然数）並列して構成されている回路構成及び書込・読出し動作について説明する。ノード２０４は、保持容量素子Ｃｉ（ｉ＝１，２，…，ｍ）及び容量素子Ｃｎが接続された部分であり、ｍ個のメモリセルに対して共通である。また、ノード２０４及び増幅回路２０５は、電気的に接続されている。

【００３７】

本実施の形態における、ｍ個のメモリセルに保持されたデータの読出しは、該ノードの電位V_Nを測定することにより行うことができる。例えばｍ個のメモリセルに対し、それぞれ電位Ｖｉ（ｉ＝１，２，…，ｍ）が書込まれている場合、V_Nは、数式（２）により計算される。

【００３８】

【数２】

$$V_N=\Sigma Ci\times Vi/(Ctotal+Cn)$$

【００３９】

なお、Ｃｔｏｔａｌ＝（Ｃ１＋Ｃ２＋…Ｃｍ）である。このようにして求めたV_Nの値と、ｍ個のメモリセルのデータ状態を一対一で対応させることで、V_Nを測定することによりｍ個のメモリセルのデータ状態が一度に読み出せることになる。この一対一の対応は以下のように行うことができる。

【００４０】

ここでは、簡単のため、Ｖｉ＝Ｖ又は０（Ｖ＞０）の２値の場合について説明する。メモリセルに電位Ｖが書込まれている状態を”１”状態とし、メモリセルに電位０が書き込まれている状態を”０”状態と呼ぶことにする。ｍ個のメモリセル全ての書き込み状態の組み合わせを（０…０００）、（０…００１）、（０…０１０）、（０…０１１）、…、（１…１１１）とすると、そのときのノードの電位V_Nが、数式（３）の不等式が成り立つように、保持容量素子Ｃｉ（ｉ＝１，２，…，ｍ）の容量の大きさを設定すれば良い。

【００４１】

【数３】

$$V_N（0…000）＜V_N（0…001）＜V_N（0…010）＜V_N（0…011）＜…＜V_N（1…111）$$

【００４２】

具体的にｍが３の場合について、以下に説明する。まず、３個のメモリセルの書き込み状態の組み合わせは、（０００）、（００１）、（０１０）、（０１１）、（１００）、（１０１）、（１１０）、（１１１）と表すことができる。また、ノード電位V_NもそれぞれV_N（０００）は０、V_N（００１）はＣ１に比例、V_N（０１０）はＣ２に比例、V_N（０１１）はＣ２＋Ｃ１に比例、V_N（１００）はＣ３に比例、V_N（１０１）はＣ３＋Ｃ１に比例、V_N（１１０）はＣ３＋Ｃ２に比例、V_N（１１１）はＣ３＋Ｃ２＋Ｃ１に比例する。ただし、比例係数は共通で、１／（Ｃｔｏｔａｌ＋Ｃｎ）である。これらの値が、数式（３）に示した不等式を満たすように、容量値Ｃ１、Ｃ２及びＣ３の大きさを設定することにより、３つのメモリセルのデータ状態とV_Nの値を一対一で対応させることができる。例えば、$C1=2^0 \cdot C*$、$C2=2^1 \cdot C*$、$C3=2^2 \cdot C*$のように容量の比が２進数になるようにすれば良い。ただし、Ｃ＊は比例係数である。

【００４３】

このように、本発明の一態様は、複数のメモリセルにおいて、それぞれの保持容量素子の容量値が異なるため、一括して複数のメモリセルのデータを読み出すことができ、さらに、１つのブロックにおけるメモリセル数を適宜設定し、そのブロックを多数並べる構成とすることで、少ない素子数で一括してデータを読み出すことができる。そのため、回路構成を簡略化することができ、単位面積あたりの記憶容量を増加させることができる。また、Ｖｉが２値以上をとる場合にも拡張することは容易である。

【００４４】

次に、測定したV_Nの値からｍ個のメモリセルのデータ状態へ変換する方法を説明する。その方法として、V_Nのとり得る全ての値とデータ状態の対応表をあらかじめ用意し、記憶させておくことがある。ただし、この方法では、Ｖｉが2^x値をとる場合、$2^{x \cdot m}$個の対応関係をラッチしておく必要がある。また、他の方法として、記憶装置に、図２と同様の回路を参照回路として設け、V_Nからデータ状態への変換に当該参照回路を用いることでも可能となる（図５参照。）。図５は、記憶装置３００及び参照回路４００が、差動増幅回路２１０を挟んで接続されている回路を示している。V_Nの値と参照回路からの出力V_N＿ＲＥＦの値の大小関係を、差動増幅回路２１０を用いて比較し、そのたびに参照回路におけるデータ状態を二分法により更新する。その結果、ｘ×ｍ回の比較後に、参照回路に保持されているデータ状態がｍ個のメモリセルにおける所望のデータ状態に一致する。すなわち参照回路はセンスラッチの役目も果たす。次に、参照回路のワード線（ＷＬ＿ＲＥＦ）に適切な電圧を印加してトランジスタを全てオン状態とすれば、データを外部に出力できる。このように、本発明の一態様は、ノードの電位のとり得る全ての値とデータ状態の対応表を、あらかじめ用意しておく必要が無く、またそのための回路も不要となる。

【００４５】

（実施の形態３）

本実施の形態では、開示する発明の一態様に係る記憶装置において、図２に示した回路を一つのブロックとする回路構成および動作について説明する（図６参照。）。図６に示す回路は、ワード線ＷＬ及びＷＬ＿ＲＥＦ、書き込み選択ゲートＳＧ＿Ｗｊ（ｊ＝１，２，…，ｋ：ｋは自然数）、読み出し選択ゲートＳＧ＿Ｒｊ（ｊ＝１，２，…，ｋ：ｋは自然数）、ビット線ＢＬｉ（ｉ＝１，２，…，ｍ：ｍは自然数）及びＢＬ＿ＲＥＦｉ（ｉ＝１，２，…，ｍ：ｍは自然数）、差動増幅回路５１０、ｍ個のメモリセルをまとめたブロックＢｊ（ｊ＝１，２，…，ｋ：ｋは自然数）、各ブロックに接続された書き込み・読み出し用選択トランジスタ及び参照回路５００により構成されている。ブロックＢｊが並列にワード線に接続されており、さらに、差動増幅回路５１０を挟んで参照回路５００と接続

されている。１ブロックに含まれるメモリセル数ｍが増大すると、その分様々な容量をもつキャパシタを作製する必要があり、プロセスが煩雑になる。そこで１ブロック当たりのメモリセル数を適切な数に抑え（例えば、ｍ＝８程度）、このブロックＢｊを多数並べる構成をとる。書込み・読出しは選択したブロックＢｊ毎に行う。上記構成により、メモリセルの数が増大しても、書き込み時のワード線に接続されるメモリセルの数を小さく抑えることができる。よって、ワード線の有する寄生容量と寄生抵抗を小さくすることができるため、ワード線に入力された信号のパルスが遅延する、或いは、ワード線の電位降下が大きくなるのを防ぎ、延いては記憶装置のエラー発生率を低く抑えることができる。さらに、電位V_Nのデータ状態への変換に用いる参照回路は一つで済む。

【００４６】

（実施の形態４）

次に、図１に示したメモリセル１００の作製方法の一例について、図３を参照して説明する。

【００４７】

まず、絶縁膜６４０の上に酸化物半導体膜を形成し、当該酸化物半導体膜を加工して、酸化物半導体膜６４４を形成する（図３（Ａ）参照。）。

【００４８】

絶縁膜６４０は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成する。絶縁膜６４０は、上述の材料を用いて単層構造または積層構造で形成することができる。ここでは、絶縁膜６４０として、酸化シリコンを用いる場合について説明する。

【００４９】

なお、酸化物半導体としては、少なくともインジウム（Ｉｎ）あるいは亜鉛（Ｚｎ）とを含むことが好ましい。特にＩｎとＺｎを含むことが好ましい。

【００５０】

また、酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ｇａ）、スズ（Ｓｎ）、ハフニウム（Ｈｆ）、アルミニウム（Ａｌ）、又はランタノイドから選ばれた一種又は複数種を有することが好ましい。

【００５１】

ランタノイドとして、ランタン（Ｌａ）、セリウム（Ｃｅ）、プラセオジム（Ｐｒ）、ネオジム（Ｎｄ）、サマリウム（Ｓｍ）、ユウロピウム（Ｅｕ）、ガドリニウム（Ｇｄ）、テルビウム（Ｔｂ）、ジスプロシウム（Ｄｙ）、ホルミウム（Ｈｏ）、エルビウム（Ｅｒ）、ツリウム（Ｔｍ）、イッテルビウム（Ｙｂ）、ルテチウム（Ｌｕ）がある。

【００５２】

例えば、一元系金属の酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛等を用いることができる。

【００５３】

また、例えば、二元系金属の酸化物半導体として、Ｉｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｚｎ－Ｍｇ系酸化物、Ｓｎ－Ｍｇ系酸化物、Ｉｎ－Ｍｇ系酸化物、Ｉｎ－Ｇａ系酸化物等を用いることができる。

【００５４】

また、例えば、三元系金属の酸化物半導体として、Ｉｎ－Ｇａ－Ｚｎ系酸化物（ＩＧＺＯとも表記する）、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｌａ－Ｚｎ系酸化物、Ｉｎ－Ｃｅ－Ｚｎ系酸化物、Ｉｎ－Ｐｒ－Ｚｎ系酸化物、Ｉｎ－Ｎｄ－Ｚｎ系酸化物、Ｉｎ－Ｓｍ－Ｚｎ系酸化物、Ｉｎ－Ｅｕ－Ｚｎ系酸化物、Ｉｎ－Ｇｄ－Ｚｎ系酸化物、Ｉｎ－Ｔｂ－Ｚｎ系酸化物、Ｉｎ－Ｄｙ－Ｚｎ系酸化物、Ｉｎ－Ｈｏ－Ｚｎ系酸化物、Ｉｎ－Ｅｒ－Ｚｎ系酸化物、Ｉｎ－Ｔｍ－Ｚｎ系酸化物、Ｉｎ－Ｙｂ－Ｚｎ系酸化物、Ｉｎ－Ｌｕ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物等を用いることができる。

【００５５】
また、例えば、四元系金属の酸化物半導体として、Ｉｎ－Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ａｌ－Ｚｎ系酸化物等を用いることができる。
【００５６】
なお、ここで、例えば、Ｉｎ－Ｇａ－Ｚｎ系酸化物とは、ＩｎとＧａとＺｎを主成分として有する酸化物という意味であり、ＩｎとＧａとＺｎの比率は問わない。また、ＩｎとＧａとＺｎ以外の金属元素を含有させても良い。
【００５７】
例えば、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１（＝１／３：１／３：１／３）あるいはＩｎ：Ｇａ：Ｚｎ＝２：２：１（＝２／５：２／５：１／５）の原子比のＩｎ－Ｇａ－Ｚｎ系酸化物やその組成の近傍の酸化物を用いることができる。
【００５８】
あるいは、Ｉｎ：Ｓｎ：Ｚｎ＝１：１：１（＝１／３：１／３：１／３）、Ｉｎ：Ｓｎ：Ｚｎ＝２：１：３（＝１／３：１／６：１／２）あるいはＩｎ：Ｓｎ：Ｚｎ＝２：１：５（＝１／４：１／８：５／８）の原子比のＩｎ－Ｓｎ－Ｚｎ系酸化物やその組成の近傍の酸化物を用いても良い。
【００５９】
しかし、これらに限られず、必要とする半導体特性（移動度、しきい値、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとすることが好ましい。
【００６０】
酸化物半導体は単結晶でも、非単結晶でもよい。
【００６１】
非単結晶の場合、非晶質でも、多結晶でもよい。また、非晶質中に結晶性を有する部分を含む構造でもよい。なお、アモルファスは欠陥が多いため、非アモルファスが好ましい。
【００６２】
酸化物半導体膜は、水素、水、水酸基又は水素化物などの不純物が混入しにくい方法で作製するのが望ましい。酸化物半導体膜は、例えば、スパッタリング法などを用いて作製することができる。
【００６３】
ここでは、酸化物半導体膜を、Ｉｎ－Ｇａ－Ｚｎ系の酸化物ターゲットを用いたスパッタリング法により形成する。
【００６４】
Ｉｎ－Ｇａ－Ｚｎ系の酸化物ターゲットとしては、例えば、組成比として、In_2O_3：Ga_2O_3：ＺｎＯ＝１：１：１［ｍｏｌ数比］の酸化物ターゲットを用いることができる。なお、ターゲットの材料及び組成を上述に限定する必要はない。例えば、In_2O_3：Ga_2O_3：ＺｎＯ＝１：１：２［ｍｏｌ数比］の組成比の酸化物ターゲットを用いることもできる。
【００６５】
酸化物ターゲットの充填率は、９０％以上１００％以下、好ましくは９５％以上９９．９％以下とする。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜を緻密な膜とすることができるためである。
【００６６】
成膜の雰囲気は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体膜への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

【００６７】
例えば、酸化物半導体膜は、次のように形成することができる。
【００６８】
まず、減圧状態に保持された成膜室内に基板を保持し、基板温度が、２００℃以上５００℃以下、好ましくは３００℃以上５００℃以下となるように加熱する。
【００６９】
次に、成膜室内の残留水分を除去しつつ、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを導入し、上記ターゲットを用いて基板上に酸化物半導体膜を成膜する。成膜室内の残留水分を除去するためには、排気手段として、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどの吸着型の真空ポンプを用いることが望ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素、水、水酸基または水素化物などの不純物（より好ましくは炭素原子を含む化合物も）などが除去されているため、当該成膜室で成膜した酸化物半導体膜に含まれる水素、水、水酸基または水素化物などの不純物の濃度を低減することができる。
【００７０】
成膜中の基板温度が低温（例えば、１００℃以下）の場合、酸化物半導体に水素原子を含む物質が混入するおそれがあるため、基板を上述の温度で加熱することが好ましい。基板を上述の温度で加熱して、酸化物半導体膜の成膜を行うことにより、基板温度は高温となるため、水素結合は熱により切断され、水素原子を含む物質が酸化物半導体膜に取り込まれにくい。したがって、基板が上述の温度で加熱された状態で、酸化物半導体膜の成膜を行うことにより、酸化物半導体膜に含まれる水素、水、水酸基または水素化物などの不純物の濃度を十分に低減することができる。また、スパッタリングによる損傷を軽減することができる。
【００７１】
成膜条件の一例として、基板とターゲットの間との距離を６０ｍｍ、圧力を０．４Ｐａ、直流（ＤＣ）電源を０．５ｋＷ、基板温度を４００℃、成膜雰囲気を酸素（酸素流量比率１００％）雰囲気とする。なお、パルス直流電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も均一となるため好ましい。
【００７２】
なお、酸化物半導体膜をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、酸化物半導体膜の被形成表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、基板に電圧を印加し、基板近傍にプラズマを形成して、基板側の表面を改質する方法である。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。
【００７３】
また、酸化物半導体膜を加工することによって、酸化物半導体膜６４４を形成する。酸化物半導体膜の加工は、所望の形状のマスクを酸化物半導体膜上に形成した後、当該酸化物半導体膜をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。なお、酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。
【００７４】
その後、酸化物半導体膜６４４に対して、熱処理（第１の熱処理）を行ってもよい。熱処理を行うことによって、酸化物半導体膜６４４中に含まれる水素原子を含む物質をさらに除去し、酸化物半導体膜６４４の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。熱処理の温度は、不活性ガス雰囲気下、２５０℃以上７００℃以下、好ましくは４５０℃以上６００℃以下、または基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気

であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、６Ｎ（９９．９９９９％）以上、好ましくは７Ｎ（９９．９９９９９％）以上（すなわち、不純物濃度が１ｐｐｍ以下、好ましくは０．１ｐｐｍ以下）とする。

【００７５】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、４５０℃、１時間の条件で行うことができる。この間、酸化物半導体膜６４４は大気に触れさせず、水や水素の混入が生じないようにする。

【００７６】

熱処理を行うことによって不純物を低減し、ｉ型（真性半導体）またはｉ型に限りなく近い酸化物半導体膜を形成することで、極めて優れた特性のトランジスタを実現することができる。

【００７７】

ところで、上述の熱処理には水素や水などを除去する効果があるため、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該熱処理は、例えば、酸化物半導体膜を島状に加工する前、ゲート絶縁層の形成後などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

【００７８】

なお、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウム（Ｎａ）のようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている（神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、２００９年９月号、Ｖｏｌ．４４、ｐｐ．６２１－６３３）。しかし、このような指摘は適切でない。アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちＮａは、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散してナトリウムイオン（Na^+）となる。また、Na^+は、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタの特性の劣化と、特性のばらつきは、酸化物半導体膜中の水素の濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体膜中の水素の濃度が$5\times10^{19}/cm^3$以下、特に$5\times10^{18}/cm^3$以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法によるＮａ濃度の測定値は、$5\times10^{16}/cm^3$以下、好ましくは$1\times10^{16}/cm^3$以下、更に好ましくは$1\times10^{15}/cm^3$以下とするとよい。同様に、Ｌｉ濃度の測定値は、$5\times10^{15}/cm^3$以下、好ましくは$1\times10^{15}/cm^3$以下とするとよい。同様に、Ｋ濃度の測定値は、$5\times10^{15}/cm^3$以下、好ましくは$1\times10^{15}/cm^3$以下とするとよい。

【００７９】

また、酸化物半導体膜６４４を用いて形成されるトランジスタがノーマリオン（ゲート電極に電圧を印加しない状態でもドレイン電流が流れてしまう状態）となってしまうことを防ぐために、酸化物半導体膜６４４を挟んでゲート電極と対向する側に、第２のゲート電極を設け、これによってしきい値電圧を制御するようにしても良い。

【００８０】

なお、酸化物半導体膜６４４は非晶質であっても良いが、トランジスタのチャネル形成領域として結晶性を有する酸化物半導体膜を用いることが好ましい。結晶性を有する酸化物半導体膜を用いることで、トランジスタの信頼性（ゲート・バイアス・ストレス耐性）を高めることができるからである。

【００８１】
結晶性を有する酸化物半導体膜としては、理想的には単結晶であることが望ましいが、ｃ軸配向を有した結晶（Ｃ　Ａｘｉｓ　Ａｌｉｇｎｅｄ　Ｃｒｙｓｔａｌ：ＣＡＡＣとも呼ぶ）を含む酸化物であるものが好ましい。
【００８２】
ＣＡＡＣを含む酸化物半導体膜は、スパッタリング法などによって作製することができる。スパッタリング法によってＣＡＡＣを含む酸化物半導体膜を作製するには、酸化物半導体膜の堆積初期段階において六方晶の結晶が形成されるようにすることと、当該結晶を種として結晶が成長されるようにすることが肝要である。そのためには、ターゲットと基板の距離を広くとり（例えば、１５０ｍｍ～２００ｍｍ程度）、基板加熱温度を１００℃～５００℃、好適には２００℃～４００℃、さらに好適には２５０℃～３００℃にする。また、これに加えて、堆積時の基板加熱温度よりも高い温度で、堆積された酸化物半導体膜を熱処理することで膜中に含まれるミクロな欠陥や、積層界面の欠陥を修復することができる。
【００８３】
次に、酸化物半導体膜６４４などの上に、ソース電極及びドレイン電極（これと同じ層で形成される配線を含む。）を形成するための導電層を形成し、当該導電層を加工して、ソース電極またはドレイン電極６４２ａ、６４２ｂを形成する（図３（Ｂ）参照。）。
【００８４】
導電層は、ＰＶＤ法や、ＣＶＤ法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。
【００８５】
導電層は、単層構造であっても良いし、２層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された２層構造、窒化チタン膜上にチタン膜が積層された２層構造、チタン膜とアルミニウム膜とチタン膜とが積層された３層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有するソース電極またはドレイン電極６４２ａ、６４２ｂへの加工が容易であるというメリットがある。
【００８６】
また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム（In_2O_3）、酸化スズ（SnO_2）、酸化亜鉛（ＺｎＯ）、酸化インジウム酸化スズ（In_2O_3－SnO_2）、酸化インジウム酸化亜鉛（In_2O_3－ＺｎＯ）、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。
【００８７】
導電層のエッチングは、形成されるソース電極またはドレイン電極６４２ａ、６４２ｂの端部が、テーパー形状となるように行うことが好ましい。ここで、テーパー角は、例えば、３０°以上６０°以下であることが好ましい。ソース電極またはドレイン電極６４２ａ、６４２ｂの端部をテーパー形状となるようにエッチングすることにより、後に形成されるゲート絶縁層６４６の被覆性を向上し、段切れを防止することができる。
【００８８】
トランジスタのチャネル長（Ｌ）は、ソース電極及びドレイン電極の下端部の間隔によって決定される。なお、チャネル長（Ｌ）が２５ｎｍ未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数ｎｍ～数１０ｎｍと波長の短い超紫外線（Ｅｘｔｒｅｍｅ　Ｕｌｔｒａｖｉｏｌｅｔ）を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長（Ｌ

）を、１０ｎｍ以上１０００ｎｍ（１μｍ）以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、記憶装置の消費電力を低減することも可能である。

【００８９】

次に、ソース電極またはドレイン電極６４２ａ、６４２ｂを覆い、かつ、酸化物半導体膜６４４の一部と接するように、ゲート絶縁層６４６を形成する（図３（Ｃ）参照。）。

【００９０】

ゲート絶縁層６４６は、ＣＶＤ法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層６４６は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化ガリウム、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ＨｆＳｉｘＯｙ（ｘ＞０、ｙ＞０））、窒素が添加されたハフニウムシリケート（ＨｆＳｉｘＯｙ（ｘ＞０、ｙ＞０））、窒素が添加されたハフニウムアルミネート（ＨｆＡｌｘＯｙ（ｘ＞０、ｙ＞０））、などを含むように形成するのが好適である。ゲート絶縁層６４６は、単層構造としても良いし、上記の材料を組み合わせて積層構造としても良い。また、その厚さは特に限定されないが、記憶装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、１ｎｍ以上１００ｎｍ以下、好ましくは１０ｎｍ以上５０ｎｍ以下とすることができる。

【００９１】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層６４６に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ＨｆＳｉｘＯｙ（ｘ＞０、ｙ＞０））、窒素が添加されたハフニウムシリケート（ＨｆＳｉｘＯｙ（ｘ＞０、ｙ＞０））、窒素が添加されたハフニウムアルミネート（ＨｆＡｌｘＯｙ（ｘ＞０、ｙ＞０））、などの高誘電率（ｈｉｇｈ－ｋ）材料を用いると良い。ｈｉｇｈ－ｋ材料をゲート絶縁層６４６に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、ｈｉｇｈ－ｋ材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

【００９２】

また、酸化物半導体膜６４４に接する絶縁層は、第１３族元素及び酸素を含む絶縁材料としてもよい。酸化物半導体には第１３族元素を含むものが多く、第１３族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体膜に接する絶縁層に用いることで、酸化物半導体膜との界面の状態を良好に保つことができる。

【００９３】

ここで、第１３族元素を含む絶縁材料とは、絶縁材料に一または複数の第１３族元素を含むことを意味する。第１３族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子％）よりアルミニウムの含有量（原子％）が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子％）がアルミニウムの含有量（原子％）以上のものを示す。

【００９４】

例えば、ガリウムを含有する酸化物半導体膜に接してゲート絶縁層を形成する場合に、ゲート絶縁層に酸化ガリウムを含む材料を用いることで酸化物半導体膜とゲート絶縁層の界面特性を良好に保つことができる。また、酸化物半導体膜と酸化ガリウムを含む絶縁層とを接して設けることにより、酸化物半導体膜と絶縁層の界面における水素のパイルアップを低減することができる。なお、絶縁層に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁層を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体膜への水の

侵入防止という点においても好ましい。

【００９５】

また、酸化物半導体膜６４４に接する絶縁層は、酸素雰囲気下による熱処理や、酸素ドープなどにより、絶縁材料を化学量論比より酸素が多い状態とすることが好ましい。酸素ドープとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドープには、プラズマ化した酸素をバルクに添加する酸素プラズマドープが含まれる。また、酸素ドープは、イオン注入法またはイオンドーピング法を用いて行ってもよい。

【００９６】

例えば、酸化物半導体膜６４４に接する絶縁層として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムの組成をGa_2O_x（$X=3+\alpha$、$0<\alpha<1$）とすることができる。また、酸化物半導体膜６４４に接する絶縁層として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化アルミニウムの組成をAl_2O_X（$X=3+\alpha$、$0<\alpha<1$）とすることができる。または、酸化物半導体膜６４４に接する絶縁層として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を$Ga_XAl_{2-X}O_{3+\alpha}$（$0<X<2$、$0<\alpha<1$）とすることができる。

【００９７】

酸素ドープ処理等を行うことにより、化学量論比より酸素が多い領域を有する絶縁層を形成することができる。このような領域を備える絶縁層と酸化物半導体膜が接することにより、絶縁層中の過剰な酸素が酸化物半導体膜に供給され、酸化物半導体膜中、または酸化物半導体膜と絶縁層の界面における酸素不足欠陥を低減し、酸化物半導体膜をｉ型化またはｉ型に限りなく近い酸化物半導体とすることができる。

【００９８】

なお、化学量論比より酸素が多い領域を有する絶縁層は、ゲート絶縁層６４６に代えて、酸化物半導体膜６４４の下地膜として形成する絶縁層に適用しても良く、ゲート絶縁層６４６及び下地絶縁層の双方に適用しても良い。

【００９９】

ゲート絶縁層６４６の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第２の熱処理を行うのが望ましい。熱処理の温度は、２００℃以上４５０℃以下、望ましくは２５０℃以上３５０℃以下である。例えば、窒素雰囲気下で２５０℃、１時間の熱処理を行えばよい。第２の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層６４６が酸素を含む場合、酸化物半導体膜６４４に酸素を供給し、該酸化物半導体膜６４４の酸素欠損を補填して、ｉ型（真性半導体）またはｉ型に限りなく近い酸化物半導体膜を形成することもできる。

【０１００】

なお、ここでは、ゲート絶縁層６４６の形成後に第２の熱処理を行っているが、第２の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第２の熱処理を行っても良い。また、第１の熱処理に続けて第２の熱処理を行っても良いし、第１の熱処理に第２の熱処理を兼ねさせても良いし、第２の熱処理に第１の熱処理を兼ねさせても良い。

【０１０１】

上述のように、第１の熱処理と第２の熱処理の少なくとも一方を適用することで、酸化物半導体膜６４４を、水素原子を含む物質が極力含まれないように高純度化することができる。

【０１０２】

次に、ゲート電極（これと同じ層で形成される配線を含む。）を形成するための導電層を形成し、当該導電層を加工して、ゲート電極６４８ａ及び導電膜６４８ｂを形成する（図３（Ｄ）参照。）。

【０１０３】
ゲート電極６４８ａ及び導電膜６４８ｂは、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。なお、ゲート電極６４８ａ及び導電膜６４８ｂは、単層構造としても良いし、積層構造としても良い。
【０１０４】
以上により、高純度化された酸化物半導体膜６４４を用いたトランジスタ６６２、及び容量素子６６４が完成する（図３（Ｄ）参照。）。
【０１０５】
このように高純度化され、真性化された酸化物半導体膜６４４を用いることで、当該トランジスタのオフ電流を十分に低減することが容易になる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な記憶装置が得られる。
【０１０６】
（実施の形態５）
結晶性部分と非結晶性部分とを有し、結晶性部分の配向がｃ軸配向に揃っているＣＡＡＣ（Ｃ　Ａｘｉｓ　Ａｌｉｇｎｅｄ　Ｃｒｙｓｔａｌ）を含む酸化物半導体について説明する。
【０１０７】
ＣＡＡＣを含む酸化物半導体は新規な酸化物半導体である。
【０１０８】
ＣＡＡＣは、ｃ軸配向し、かつａｂ面、表面または界面の方向から見て三角形状または六角形状の原子配列を有する。
【０１０９】
そして、ＣＡＡＣを含む酸化物半導体は、ｃ軸においては金属原子が層状または金属原子と酸素原子とが層状に配列している。
【０１１０】
さらに、ＣＡＡＣは、ａｂ面においてａ軸またはｂ軸の向きが異なる（ｃ軸を中心に回転している）。
【０１１１】
ＣＡＡＣとは、広義には、非単結晶である。
【０１１２】
そして、ＣＡＡＣは、ａｂ面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有する。
【０１１３】
さらに、ＣＡＡＣを含む酸化物半導体は、ｃ軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物である。
【０１１４】
ＣＡＡＣは単結晶ではないが、非晶質のみから形成されているものでもない。
【０１１５】
また、ＣＡＡＣは結晶化した部分（結晶部分）を含むが、１つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。
【０１１６】
ＣＡＡＣを含む酸化物半導体を構成する酸素の一部は窒素で置換されてもよい。
【０１１７】
また、ＣＡＡＣを構成する個々の結晶部分のｃ軸は一定の方向（例えば、ＣＡＡＣを支持する基板面、ＣＡＡＣの表面などに垂直な方向）に揃っていてもよい。
【０１１８】
若しくは、ＣＡＡＣを構成する個々の結晶部分のａｂ面の法線は一定の方向（例えば、ＣＡＡＣを支持する基板面、ＣＡＡＣの表面などに垂直な方向）を向いていてもよい。

【０１１９】
ＣＡＡＣを含む膜は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。
【０１２０】
例えば、膜状に形成されたＣＡＡＣを含む酸化物半導体を、膜表面または支持する基板面に垂直な方向から電子顕微鏡で観察すると三角形または六角形の原子配列が認められる。
【０１２１】
さらに、電子顕微鏡で膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる。
【０１２２】
図７乃至図９を用いて、ＣＡＡＣに含まれる結晶構造の一例について説明する。
【０１２３】
なお、図７乃至図９において、上方向がｃ軸方向であり、ｃ軸方向と直交する面がａｂ面である。
【０１２４】
本実施の形態において、上半分、下半分とは、ａｂ面を境にした場合の上半分、下半分をいう。
【０１２５】
図７（Ａ）に、１個の６配位のＩｎと、Ｉｎに近接の６個の４配位の酸素原子（以下４配位のＯ）と、を有する構造Ａを示す。
【０１２６】
ここでは、金属原子が１個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。
【０１２７】
構造Ａは、八面体構造をとるが、簡単のため平面構造で示している。
【０１２８】
なお、構造Ａは上半分および下半分にはそれぞれ３個ずつ４配位のＯがある。構造Ａに示す小グループは電荷が０である。
【０１２９】
図７（Ｂ）に、１個の５配位のＧａと、Ｇａに近接の３個の３配位の酸素原子（以下３配位のＯ）と、Ｇａに近接の２個の４配位のＯと、を有する構造Ｂを示す。
【０１３０】
３配位のＯは、いずれもａｂ面に存在する。構造Ｂの上半分および下半分にはそれぞれ１個ずつ４配位のＯがある。
【０１３１】
また、Ｉｎも５配位をとるため、構造Ｂをとりうる。構造Ｂの小グループは電荷が０である。
【０１３２】
図７（Ｃ）に、１個の４配位のＺｎと、Ｚｎに近接の４個の４配位のＯと、を有する構造Ｃを示す。
【０１３３】
構造Ｃの上半分には１個の４配位のＯがあり、下半分には３個の４配位のＯがある。構造Ｃの小グループは電荷が０である。
【０１３４】
図７（Ｄ）に、１個の６配位のＳｎと、Ｓｎに近接の６個の４配位のＯと、を有する構造Ｄを示す。
【０１３５】
構造Ｄの上半分には３個の４配位のＯがあり、下半分には３個の４配位のＯがある。
【０１３６】

構造Ｄの小グループは電荷が＋１となる。
【０１３７】
図７（Ｅ）に、２個のＺｎを含む構造Ｅを示す。
【０１３８】
構造Ｅの上半分には１個の４配位のＯがあり、下半分には１個の４配位のＯがある。構造Ｅの小グループは電荷が－１となる。
【０１３９】
本実施の形態では複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。
【０１４０】
ここで、これらの小グループ同士が結合する規則について説明する。
【０１４１】
図７（Ａ）に示す６配位のＩｎの上半分の３個のＯは、下方向にそれぞれ３個の近接Ｉｎを有し、下半分の３個のＯは、上方向にそれぞれ３個の近接Ｉｎを有する。
【０１４２】
図７（Ｂ）に示す５配位のＧａの上半分の１個のＯは、下方向に１個の近接Ｇａを有し、下半分の１個のＯは、上方向に１個の近接Ｇａを有する。
【０１４３】
図７（Ｃ）に示す４配位のＺｎの上半分の１個のＯは、下方向に１個の近接Ｚｎを有し、下半分の３個のＯは、上方向にそれぞれ３個の近接Ｚｎを有する。
【０１４４】
この様に、金属原子の上方向の４配位のＯの数と、そのＯの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の４配位のＯの数と、そのＯの上方向にある近接金属原子の数は等しい。
【０１４５】
Ｏは４配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は４になる。
【０１４６】
従って、金属原子の上方向にある４配位のＯの数と、別の金属原子の下方向にある４配位のＯの数との和が４個のとき、金属原子を有する二種の小グループ同士は結合することができる。
【０１４７】
その理由を以下に示す。例えば、６配位の金属原子（ＩｎまたはＳｎ）が下半分の４配位のＯを介して結合する場合、４配位のＯが３個であるため、５配位の金属原子（ＧａまたはＩｎ）の上半分の４配位のＯ、５配位の金属原子（ＧａまたはＩｎ）の下半分の４配位のＯまたは４配位の金属原子（Ｚｎ）の上半分の４配位のＯのいずれかと結合することになる。
【０１４８】
これらの配位数を有する金属原子は、ｃ軸方向において、４配位のＯを介して結合する。
【０１４９】
また、このほかにも、層構造の合計の電荷が０となるように複数の小グループが結合して中グループを構成する。
【０１５０】
図８（Ａ）に、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系の層構造を構成する中グループＡのモデル図を示す。
【０１５１】
図８（Ｂ）に、３つの中グループで構成される大グループＢを示す。
【０１５２】
なお、図８（Ｃ）は、図８（Ｂ）の層構造をｃ軸方向から観察した場合の原子配列を示す。

【０１５３】
中グループＡでは、３配位のＯは省略し、４配位のＯは個数のみである。
【０１５４】
例えば、Ｓｎの上半分および下半分にはそれぞれ３個ずつ４配位のＯがあることを丸枠の３として示している。
【０１５５】
同様に、中グループＡにおいて、Ｉｎの上半分および下半分にはそれぞれ１個ずつ４配位のＯがあり、丸枠の１として示している。
【０１５６】
また、中グループＡにおいて、下半分には１個の４配位のＯがあり、上半分には３個の４配位のＯがあるＺｎと、上半分には１個の４配位のＯがあり、下半分には３個の４配位のＯがあるＺｎとを示している。
【０１５７】
中グループＡにおいて、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系の層構造を構成する中グループは、上から順に４配位のＯが３個ずつ上半分および下半分にあるＳｎが、４配位のＯが１個ずつ上半分および下半分にあるＩｎと結合する。
【０１５８】
そのＩｎが、上半分に３個の４配位のＯがあるＺｎと結合する。
【０１５９】
そのＺｎの下半分の１個の４配位のＯを介して４配位のＯが３個ずつ上半分および下半分にあるＩｎと結合する。
【０１６０】
そのＩｎが、上半分に１個の４配位のＯがあるＺｎ２個からなる小グループと結合する。
【０１６１】
この小グループの下半分の１個の４配位のＯを介して４配位のＯが３個ずつ上半分および下半分にあるＳｎと結合している構成である。
【０１６２】
この中グループが複数結合して大グループを構成する。
【０１６３】
ここで、３配位のＯおよび４配位のＯの場合、結合１本当たりの電荷はそれぞれ－０．６６７、－０．５と考えることができる。
【０１６４】
例えば、Ｉｎ（６配位または５配位）、Ｚｎ（４配位）、Ｓｎ（５配位または６配位）の電荷は、それぞれ＋３、＋２、＋４である。従って、Ｓｎを含む小グループは電荷が＋１となる。
【０１６５】
そのため、Ｓｎを含む層構造を形成するためには、電荷＋１を打ち消す電荷－１が必要となる。
【０１６６】
電荷－１をとる構造として、構造Ｅに示すように、２個のＺｎを含む小グループが挙げられる。
【０１６７】
例えば、Ｓｎを含む小グループが１個に対し、２個のＺｎを含む小グループが１個あれば、電荷が打ち消されるため、層構造の合計の電荷を０とすることができる。
【０１６８】
具体的には、大グループＢが繰り返されることで、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系の結晶（$In_2SnZn_3O_8$）を得ることができる。
【０１６９】
得られるＩｎ－Ｓｎ－Ｚｎ－Ｏ系の層構造は、$In_2SnZn_2O_7(ZnO)_m$（ｍは０または自然数。）とする組成式で表すことができる。

【０１７０】
Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系以外の酸化物半導体を用いた場合も同様である。
【０１７１】
例えば、図９（Ａ）に、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の層構造を構成する中グループＬのモデル図を示す。
【０１７２】
中グループＬにおいて、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の層構造を構成する中グループは、上から順に４配位のＯが３個ずつ上半分および下半分にあるＩｎが、４配位のＯが１個上半分にあるＺｎと結合する。
【０１７３】
そのＺｎの下半分の３個の４配位のＯを介して、４配位のＯが１個ずつ上半分および下半分にあるＧａと結合する。
【０１７４】
そのＧａの下半分の１個の４配位のＯを介して、４配位のＯが３個ずつ上半分および下半分にあるＩｎと結合する。
【０１７５】
この中グループが複数結合して大グループを構成する。
【０１７６】
図９（Ｂ）に３つの中グループで構成される大グループＭを示す。
【０１７７】
なお、図９（Ｃ）は、図９（Ｂ）の層構造をｃ軸方向から観察した場合の原子配列を示している。
【０１７８】
ここで、Ｉｎ（６配位または５配位）、Ｚｎ（４配位）、Ｇａ（５配位）の電荷は、それぞれ＋３、＋２、＋３であるため、Ｉｎ、ＺｎおよびＧａのいずれかを含む小グループは、電荷が０となる。
【０１７９】
そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に０となる。
【０１８０】
また、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の層構造を構成する中グループは、中グループＬに限定されず、Ｉｎ、Ｇａ、Ｚｎの配列が異なる中グループを組み合わせた大グループも取りうる。
【０１８１】
本実施の形態の内容の一部又は全部は、他の全ての実施の形態と組み合わせて実施することができる。
【０１８２】
（実施の形態６）
酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。
【０１８３】
移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Ｌｅｖｉｎｓｏｎモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。
【０１８４】
半導体本来の移動度をμ_0、測定される電界効果移動度をμとし、半導体中に何らかのポテンシャル障壁（粒界等）が存在すると仮定すると、図１０（Ａ）の式Ａで表される。
【０１８５】
Ｅはポテンシャル障壁の高さであり、ｋがボルツマン定数、Ｔは絶対温度である。
【０１８６】

また、ポテンシャル障壁が欠陥に由来すると仮定すると、Ｌｅｖｉｎｓｏｎモデルでは、図１０（Ｂ）の式Ｂで表される。

【０１８７】

ｅは電気素量、Ｎはチャネル内の単位面積当たりの平均欠陥密度、εは半導体の誘電率、ｎは単位面積当たりのチャネルに含まれるキャリア数、C_{ox}は単位面積当たりの容量、V_gはゲート電圧、ｔはチャネルの厚さである。

【０１８８】

なお、厚さ３０ｎｍ以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。

【０１８９】

線形領域におけるドレイン電流I_dは、図１０（Ｃ）の式Ｃで表される。

【０１９０】

ここで、Ｌはチャネル長、Ｗはチャネル幅であり、ここでは、Ｌ＝Ｗ＝１０μｍである。

【０１９１】

また、V_dはドレイン電圧である。

【０１９２】

式Ｃの両辺をV_gで割り、更に両辺の対数を取ると、図１０（Ｄ）の式Ｄで表される。

【０１９３】

式Ｄの右辺はV_gの関数である。

【０１９４】

上式からわかるように、縦軸をｌｎ（I_d／V_g）、横軸を１／V_gとする直線の傾きから欠陥密度Ｎが求められる。

【０１９５】

すなわち、トランジスタのI_d－V_g特性から、欠陥密度を評価できる。

【０１９６】

酸化物半導体としては、インジウム（Ｉｎ）、スズ（Ｓｎ）、亜鉛（Ｚｎ）の比率が、Ｉｎ：Ｓｎ：Ｚｎ＝１：１：１のものでは欠陥密度Ｎは1×10^{12}／cm^2程度である。

【０１９７】

このようにして求めた欠陥密度等をもとに$\mu_0=120cm^2$／Ｖｓが導出される。

【０１９８】

欠陥のあるＩｎ－Ｓｎ－Ｚｎ酸化物で測定される移動度は３５cm^2／Ｖｓ程度である。

【０１９９】

しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度μ_0は１２０cm^2／Ｖｓとなると予想できる。

【０２００】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁層との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁層界面からｘだけ離れた場所における移動度μ_1は、図１０（Ｅ）の式Ｅで表される。

【０２０１】

Ｄはゲート方向の電界、Ｂ、Ｇは定数である。ＢおよびＧは、実際の測定結果より求めることができ、上記の測定結果からは、Ｂ＝４．７５×10^7ｃｍ／ｓ、Ｇ＝１０ｎｍ（界面散乱が及ぶ深さ）である。

【０２０２】

Ｄが増加する（すなわち、ゲート電圧が高くなる）と式Ｅの第２項が増加するため、移動度μ_1は低下することがわかる。

【０２０３】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度μ_2の計算結果Ｅを図１１に示す。

【０２０４】

なお、計算にはシノプシス社製のソフトであるＳｅｎｔａｕｒｕｓ　Ｄｅｖｉｃｅを使用

した。
【０２０５】
計算において、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、２．８電子ボルト、４．７電子ボルト、１５、１５ｎｍとした。
【０２０６】
これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。
【０２０７】
さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、５．５電子ボルト、４．６電子ボルト、４．６電子ボルトとした。
【０２０８】
また、ゲート絶縁層の厚さは１００ｎｍ、比誘電率は４．１とした。チャネル長およびチャネル幅はともに１０μｍ、ドレイン電圧V_dは０．１Ｖである。
【０２０９】
計算結果Ｅで示されるように、ゲート電圧１Ｖ強で移動度１００cm^2／Ｖｓ以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。
【０２１０】
なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること（Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｆｌａｔｎｅｓｓ）が望ましい。
【０２１１】
このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した。
【０２１２】
なお、計算に用いたトランジスタは酸化物半導体膜において一対のｎ型半導体領域にチャネル形成領域が挟まれたものを用いた。
【０２１３】
一対のｎ型半導体領域の抵抗率は2×10^{-3}Ωｃｍとして計算した。
【０２１４】
また、チャネル長を３３ｎｍ、チャネル幅を４０ｎｍとして計算した。
【０２１５】
また、ゲート電極の側面にサイドウォールを有する。
【０２１６】
サイドウォールと重なる半導体領域をオフセット領域として計算した。
【０２１７】
計算にはシノプシス社製のソフト、Ｓｅｎｔａｕｒｕｓ　Ｄｅｖｉｃｅを使用した。
【０２１８】
図１２は、トランジスタのドレイン電流（I_d、実線）および移動度（μ、点線）のゲート電圧（V_g、ゲートとソースの電位差）依存性の計算結果である。
【０２１９】
ドレイン電流I_dは、ドレイン電圧（ドレインとソースの電位差）を＋１Ｖとし、移動度μはドレイン電圧を＋０．１Ｖとして計算したものである。
【０２２０】
図１２（Ａ）はゲート絶縁層の厚さを１５ｎｍとして計算したものである。
【０２２１】
図１２（Ｂ）はゲート絶縁層の厚さを１０ｎｍと計算したものである。
【０２２２】
図１２（Ｃ）はゲート絶縁層の厚さを５ｎｍと計算したものである。
【０２２３】
ゲート絶縁層が薄くなるほど、特にオフ状態でのドレイン電流I_d（オフ電流）が顕著に低下する。

【０２２４】
一方、移動度μのピーク値やオン状態でのドレイン電流Ｉ$_{d}$（オン電流）には目立った変化が無い。
【０２２５】
図１３は、オフセット長（サイドウォール長）Ｌ$_{ｏｆｆ}$を５ｎｍとしたもののドレイン電流Ｉ$_{d}$（実線）および移動度μ（点線）のゲート電圧Ｖ$_{g}$依存性を示す。
【０２２６】
ドレイン電流Ｉ$_{d}$は、ドレイン電圧を＋１Ｖとし、移動度μはドレイン電圧を＋０．１Ｖとして計算したものである。
【０２２７】
図１３（Ａ）はゲート絶縁層の厚さを１５ｎｍとして計算したものである。
【０２２８】
図１３（Ｂ）はゲート絶縁層の厚さを１０ｎｍと計算したものである。
【０２２９】
図１３（Ｃ）はゲート絶縁層の厚さを５ｎｍと計算したものである。
【０２３０】
図１４は、オフセット長（サイドウォール長）Ｌ$_{ｏｆｆ}$を１５ｎｍとしたもののドレイン電流Ｉ$_{d}$（実線）および移動度μ（点線）のゲート電圧Ｖ$_{g}$依存性を示す。
【０２３１】
ドレイン電流Ｉ$_{d}$は、ドレイン電圧を＋１Ｖとし、移動度μはドレイン電圧を＋０．１Ｖとして計算したものである。
【０２３２】
図１４（Ａ）はゲート絶縁層の厚さを１５ｎｍとして計算したものである。
【０２３３】
図１４（Ｂ）はゲート絶縁層の厚さを１０ｎｍと計算したものである。
【０２３４】
図１４（Ｃ）はゲート絶縁層の厚さを５ｎｍと計算したものである。
【０２３５】
いずれもゲート絶縁層が薄くなるほど、オフ電流が顕著に低下する一方、移動度μのピーク値やオン電流には目立った変化が無い。
【０２３６】
なお、移動度μのピークは、図１２では８０ｃｍ^{2}／Ｖｓ程度であるが、図１３では６０ｃｍ^{2}／Ｖｓ程度、図１４では４０ｃｍ^{2}／Ｖｓ程度と、オフセット長Ｌ$_{ｏｆｆ}$が増加するほど低下する。
【０２３７】
また、オフ電流も同様な傾向がある。
【０２３８】
一方、オン電流もオフセット長Ｌ$_{ｏｆｆ}$の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。
【０２３９】
また、いずれもゲート電圧１Ｖ前後で、ドレイン電流はメモリ素子等で必要とされる１０μＡを超えることが示された。
【０２４０】
本実施の形態の内容の一部又は全部は、他の全ての実施の形態と組み合わせて実施することができる。
【０２４１】
（実施の形態７）
Ｉｎ、Ｓｎ、Ｚｎを含有する酸化物半導体（Ｉｎ－Ｓｎ－Ｚｎ－Ｏ）を用いたトランジスタは、酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。

【０２４２】
なお、Ｉｎ、Ｓｎ、Ｚｎは組成比でそれぞれ５ａｔｏｍｉｃ％以上含まれていると好ましい。
【０２４３】
Ｉｎ、Ｓｎ、Ｚｎを含有する酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。
【０２４４】
また、ｎチャネル型のトランジスタのしきい値電圧をプラスシフトさせることができる。
【０２４５】
ｎチャネル型のトランジスタのしきい値電圧をプラスシフトさせることにより、ｎチャネル型のトランジスタのオフ状態を維持するための電圧の絶対値を低くすることができ、低消費電力化が可能となる。
【０２４６】
さらに、ｎチャネル型のトランジスタのしきい値電圧をプラスシフトさせて、しきい値電圧を０Ｖ以上にすれば、ノーマリーオフ型のトランジスタを形成することが可能となる。
【０２４７】
以下Ｉｎ、Ｓｎ、Ｚｎを含有する酸化物半導体を用いたトランジスタの特性を示す。
【０２４８】
（サンプルＡ～Ｃ共通条件）
組成比としてＩｎ：Ｓｎ：Ｚｎ＝１：１：１のターゲットを用いて、ガス流量比をＡｒ／O_2＝６／９ｓｃｃｍ、成膜圧力を０．４Ｐａ、成膜電力１００Ｗとして、１５ｎｍの厚さとなるように基板上に酸化物半導体膜を成膜した。
【０２４９】
次に、酸化物半導体膜を島状になるようにエッチング加工した。
【０２５０】
そして、酸化物半導体膜上に５０ｎｍの厚さとなるようにタングステン層を成膜し、これをエッチング加工してソース電極及びドレイン電極を形成した。
【０２５１】
次に、プラズマＣＶＤ法を用いて、シランガス（SiH_4）と一酸化二窒素（N_2O）を用いて１００ｎｍの厚さとなるように酸化窒化珪素膜（ＳｉＯＮ）を形成してゲート絶縁層とした。
【０２５２】
次に、１５ｎｍの厚さとなるように窒化タンタルを形成し、１３５ｎｍの厚さとなるようにタングステンを形成し、これらをエッチング加工してゲート電極を形成した。
【０２５３】
さらに、プラズマＣＶＤ法を用いて、３００ｎｍの厚さとなるように酸化窒化珪素膜（ＳｉＯＮ）を形成し、１．５μｍの厚さとなるようにポリイミド膜を形成し層間絶縁膜とした。
【０２５４】
次に、層間絶縁膜にコンタクトホールを形成し、５０ｎｍの厚さとなるように第１のチタン膜を形成し、１００ｎｍの厚さとなるようにアルミニウム膜を形成し、５０ｎｍの厚さとなるように第２のチタン膜を形成し、これらをエッチング加工して測定用のパッドを形成した。
【０２５５】
以上のようにしてトランジスタを有する半導体装置を形成した。
【０２５６】
（サンプルＡ）
サンプルＡは酸化物半導体膜の成膜中に基板に意図的な加熱を施さなかった。
【０２５７】
また、サンプルＡは酸化物半導体膜の成膜後であって、酸化物半導体膜のエッチング加工

前に加熱処理を施さなかった。
【０２５８】
（サンプルＢ）
サンプルＢは基板を２００℃になるように加熱した状態で酸化物半導体膜の成膜を行った。
【０２５９】
また、サンプルＢは酸化物半導体膜の成膜後であって、酸化物半導体膜のエッチング加工前に加熱処理を施さなかった。
【０２６０】
基板を加熱した状態で成膜を行った理由は、酸化物半導体膜中でドナーとなる水素を追い出すためである。
【０２６１】
（サンプルＣ）
サンプルＣは基板を２００℃になるように加熱した状態で酸化物半導体膜の成膜を行った。
【０２６２】
さらに、サンプルＣは酸化物半導体膜の成膜後であって、酸化物半導体膜のエッチング加工前に窒素雰囲気で６５０℃１時間の加熱処理を施した後、酸素雰囲気で６５０℃１時間の加熱処理を施した。
【０２６３】
窒素雰囲気で６５０℃１時間の加熱処理を施した理由は、酸化物半導体膜中でドナーとなる水素を追い出すためである。
【０２６４】
ここで、酸化物半導体膜中でドナーとなる水素を追い出すための加熱処理で酸素も離脱し、酸化物半導体膜中でキャリアとなる酸素欠損も生じてしまう。
【０２６５】
そこで、酸素雰囲気で６５０℃１時間の加熱処理を施すことにより、酸素欠損を低減する効果を狙った。
【０２６６】
（サンプルＡ～Ｃのトランジスタの特性）
図１５（Ａ）にサンプルＡのトランジスタの初期特性を示す。
【０２６７】
図１５（Ｂ）にサンプルＢのトランジスタの初期特性を示す。
【０２６８】
図１５（Ｃ）にサンプルＣのトランジスタの初期特性を示す。
【０２６９】
サンプルＡのトランジスタの電界効果移動度は１８．８ｃｍ^2／Ｖｓｅｃであった。
【０２７０】
サンプルＢのトランジスタの電界効果移動度は３２．２ｃｍ^2／Ｖｓｅｃであった。
【０２７１】
サンプルＣのトランジスタの電界効果移動度は３４．５ｃｍ^2／Ｖｓｅｃであった。
【０２７２】
ここで、サンプルＡ～Ｃと同様の成膜方法で形成した酸化物半導体膜の断面を透過型電子顕微鏡（ＴＥＭ）で観察したところ、成膜時に基板加熱を行ったサンプルＢ及びサンプルＣと同様の成膜方法で形成したサンプルには結晶性が確認された。
【０２７３】
そして、驚くべきことに、成膜時に基板加熱を行ったサンプルは、結晶性部分と非結晶性部分とを有し、結晶性部分の配向がｃ軸配向に揃っている結晶性であった。
【０２７４】
通常の多結晶では結晶性部分の配向が揃っておらず、ばらばらの方向を向いているため、

成膜時に基板加熱を行ったサンプルは従来なかった新しい結晶構造であるといえる。
【０２７５】
また、図１５（Ａ）～（Ｃ）を比較すると、成膜時に基板加熱を行うこと、又は、成膜後に加熱処理を行うことにより、ドナーとなる水素元素を追い出すことができるため、ｎチャネル型トランジスタのしきい値電圧をプラスシフトできることが理解できる。
【０２７６】
即ち、成膜時に基板加熱を行ったサンプルＢのしきい値電圧は、成膜時に基板加熱を行っていないサンプルＡのしきい値電圧よりもプラスシフトしている。
【０２７７】
また、成膜時に基板加熱を行ったサンプルＢ及びサンプルＣを比較した場合、成膜後に加熱処理を行ったサンプルＣの方が、成膜後に加熱処理を行っていないサンプルＢよりもプラスシフトしていることがわかる。
【０２７８】
また、水素のような軽元素は加熱処理の温度が高いほど離脱しやすいため、加熱処理の温度が高いほど水素が離脱しやすい。
【０２７９】
よって、成膜時又は成膜後の加熱処理の温度を更に高めればよりプラスシフトが可能であると考察した。
【０２８０】
（サンプルＢとサンプルＣのゲートＢＴストレス試験結果）
サンプルＢ（成膜後加熱処理なし）及びサンプルＣ（成膜後加熱処理あり）とに対してゲートＢＴストレス試験を行った。
【０２８１】
まず、基板温度を２５℃とし、V_dを１０Ｖとし、トランジスタのV_g-I_d特性の測定を行い、加熱及びプラスの高電圧印加を行う前のトランジスタの特性を測定した。
【０２８２】
次に、基板温度を１５０℃とし、V_dを０．１Ｖとした。
【０２８３】
次に、V_gに２０Ｖを印加し、そのまま１時間保持した。
【０２８４】
次に、V_gを０Ｖとした。
【０２８５】
次に、基板温度を２５℃とし、V_dを１０Ｖとし、トランジスタのV_g-I_d測定を行い、加熱及びプラスの高電圧印加を行った後のトランジスタの特性を測定した。
【０２８６】
以上のようにして、加熱及びプラスの高電圧印加を行う前後のトランジスタの特性を比較することをプラスＢＴ試験と呼ぶ。
【０２８７】
一方、まず基板温度を２５℃とし、V_dを１０Ｖとし、トランジスタのV_g-I_d特性の測定を行い、加熱及びマイナスの高電圧印加を行う前のトランジスタの特性を測定した。
【０２８８】
次に、基板温度を１５０℃とし、V_dを０．１Ｖとした。
【０２８９】
次に、V_gに－２０Ｖを印加し、そのまま１時間保持した。
【０２９０】
次に、V_gを０Ｖとした。
【０２９１】
次に、基板温度を２５℃とし、V_dを１０Ｖとし、トランジスタのV_g-I_d測定を行い、加熱及びマイナスの高電圧印加を行った後のトランジスタの特性を測定した。
【０２９２】

以上のようにして、加熱及びマイナスの高電圧印加を行う前後のトランジスタの特性を比較することをマイナスＢＴ試験と呼ぶ。

【０２９３】

図１６（Ａ）はサンプルＢのプラスＢＴ試験結果であり、図１６（Ｂ）はサンプルＢのマイナスＢＴ試験結果である。

【０２９４】

図１７（Ａ）はサンプルＣのプラスＢＴ試験結果であり、図１７（Ｂ）はサンプルＣのマイナスＢＴ試験結果である。

【０２９５】

プラスＢＴ試験及びマイナスＢＴ試験はトランジスタの劣化具合を判別する試験であるが、図１６（Ａ）及び図１７（Ａ）を参照すると少なくともプラスＢＴ試験の処理を行うことにより、しきい値電圧をプラスシフトさせることができることがわかった。

【０２９６】

特に、図１６（Ａ）ではプラスＢＴ試験の処理を行うことにより、トランジスタがノーマリーオフ型になったことがわかる。

【０２９７】

よって、トランジスタの作製時の加熱処理に加えて、プラスＢＴ試験の処理を行うことにより、しきい値電圧のプラスシフト化を促進でき、ノーマリーオフ型のトランジスタを形成することができることがわかった。

【０２９８】

図１８はサンプルＡのトランジスタのオフ電流と測定時の基板温度（絶対温度）の逆数との関係を示す。

【０２９９】

ここでは、測定時の基板温度の逆数に１０００を掛けた数値（１０００／Ｔ）を横軸としている。

【０３００】

なお、図１８ではチャネル幅１μｍの場合における電流量を図示している。

【０３０１】

基板温度が１２５℃（１０００／Ｔが約２．５１）のとき1×10^{-19}Ａ以下となっていた。

【０３０２】

基板温度が８５℃（１０００／Ｔが約２．７９）のとき1×10^{-20}Ａ以下となっていた。

【０３０３】

つまり、シリコン半導体を用いたトランジスタと比較して極めて低いオフ電流であることがわかった。

【０３０４】

なお、温度が低いほどオフ電流が低下するため、常温であればより低いオフ電流であることは明らかである。

【０３０５】

本実施の形態の内容の一部又は全部は、他の全ての実施の形態と組み合わせて実施することができる。

【０３０６】

（実施の形態８）

本実施の形態では、本発明の一態様を用いた記憶装置の利用例について、図４を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の記憶装置を適用する場合について説明する。

【０３０７】

図４（Ａ）は、ノート型のパーソナルコンピュータであり、筐体７０１、筐体７０２、表示部７０３、キーボード７０４などによって構成されている。筐体７０１と筐体７０２の少なくとも一には、先の実施の形態に示す記憶装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

【０３０８】

図４（Ｂ）は、携帯情報端末（ＰＤＡ）であり、本体７１１には、表示部７１３と、外部インターフェイス７１５と、操作ボタン７１４等が設けられている。また、携帯情報端末を操作するスタイラス７１２などを備えている。本体７１１内には、先の実施の形態に示す記憶装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

【０３０９】

図４（Ｃ）は、電子ペーパーを実装した電子書籍７２０であり、筐体７２１と筐体７２３の２つの筐体で構成されている。筐体７２１および筐体７２３には、それぞれ表示部７２５および表示部７２７が設けられている。筐体７２１と筐体７２３は、軸部７３７により接続されており、該軸部７３７を軸として開閉動作を行うことができる。また、筐体７２１は、電源７３１、操作キー７３３、スピーカー７３５などを備えている。筐体７２１、筐体７２３の少なくとも一には、先の実施の形態に示す記憶装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

【０３１０】

図４（Ｄ）は、携帯電話機であり、筐体７４０と筐体７４１の２つの筐体で構成されている。さらに、筐体７４０と筐体７４１は、スライドし、図４（Ｄ）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体７４１は、表示パネル７４２、スピーカー７４３、マイクロフォン７４４、操作キー７４５、ポインティングデバイス７４６、カメラ用レンズ７４７、外部接続端子７４８などを備えている。また、筐体７４０は、携帯電話機の充電を行う太陽電池セル７４９、外部メモリスロット７５０などを備えている。また、アンテナは、筐体７４１に内蔵されている。筐体７４０と筐体７４１の少なくとも一には、先の実施の形態に示す記憶装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

【０３１１】

図４（Ｅ）は、テレビジョン装置７７０であり、筐体７７１、表示部７７３、スタンド７７５などで構成されている。テレビジョン装置７７０の操作は、筐体７７１が備えるスイッチや、リモコン操作機７８０により行うことができる。筐体７７１およびリモコン操作機７８０には、先の実施の形態に示す記憶装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【０３１２】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る記憶装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

【符号の説明】

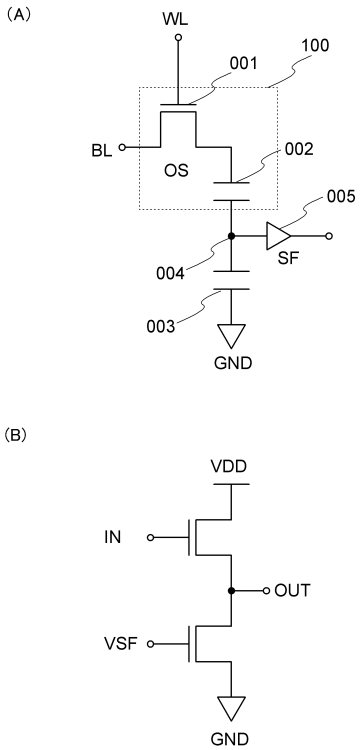
【０３１３】

００１　トランジスタ
００２　保持容量素子
００３　容量素子
００４　ノード
００５　増幅回路
１００　メモリセル
２００　メモリセル

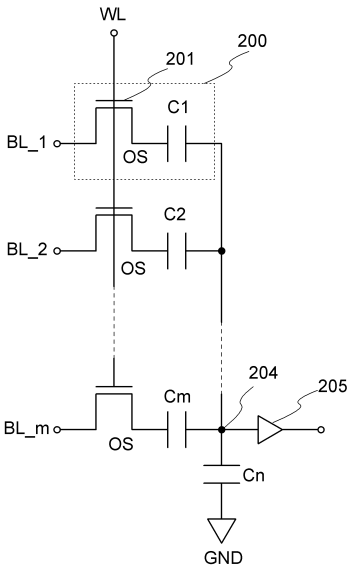
２０１　トランジスタ
２０４　ノード
２０５　増幅回路
２１０　差動増幅回路
３００　記憶装置
４００　参照回路
５００　参照回路
５１０　差動増幅回路
６４０　絶縁膜
６４２ａ　ソース電極またはドレイン電極
６４２ｂ　ソース電極またはドレイン電極
６４４　酸化物半導体膜
６４６　ゲート絶縁層
６４８ａ　ゲート電極
６４８ｂ　導電膜
６６２　トランジスタ
６６４　容量素子
７０１　筐体
７０２　筐体
７０３　表示部
７０４　キーボード
７１１　本体
７１２　スタイラス
７１３　表示部
７１４　操作ボタン
７１５　外部インターフェイス
７２０　電子書籍
７２１　筐体
７２３　筐体
７２５　表示部
７２７　表示部
７３１　電源
７３３　操作キー
７３５　スピーカー
７３７　軸部
７４０　筐体
７４１　筐体
７４２　表示パネル
７４３　スピーカー
７４４　マイクロフォン
７４５　操作キー
７４６　ポインティングデバイス
７４７　カメラ用レンズ
７４８　外部接続端子
７４９　太陽電池セル
７５０　外部メモリスロット
７７０　テレビジョン装置
７７１　筐体
７７３　表示部
７７５　スタンド

７８０　　リモコン操作機

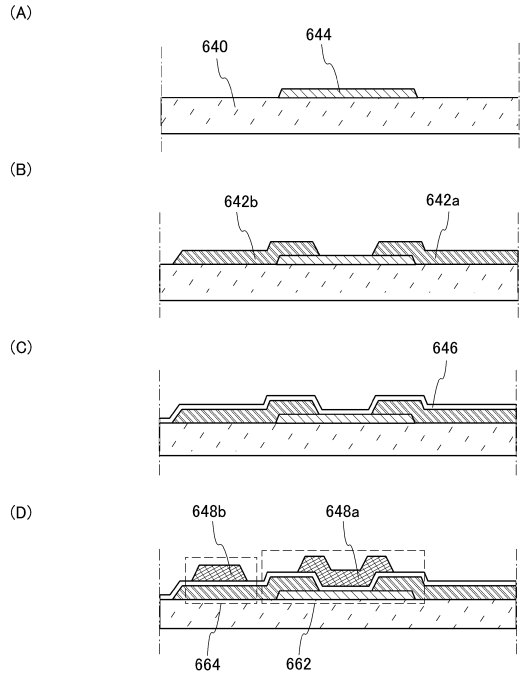
【図１】



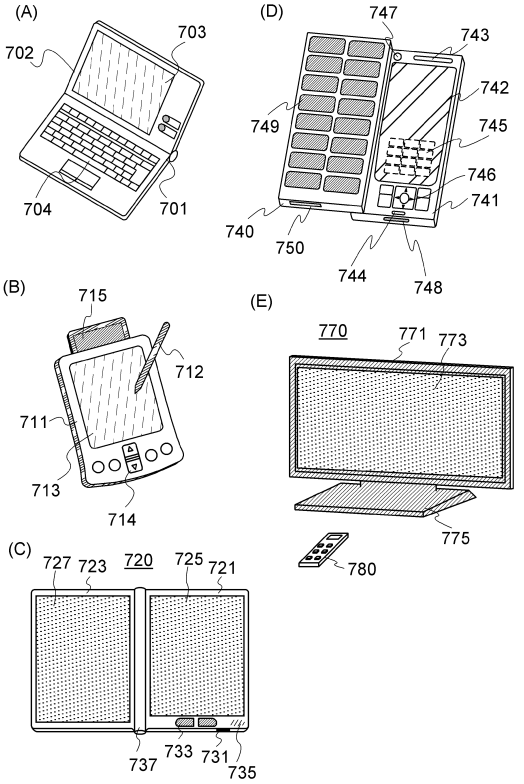
【図２】



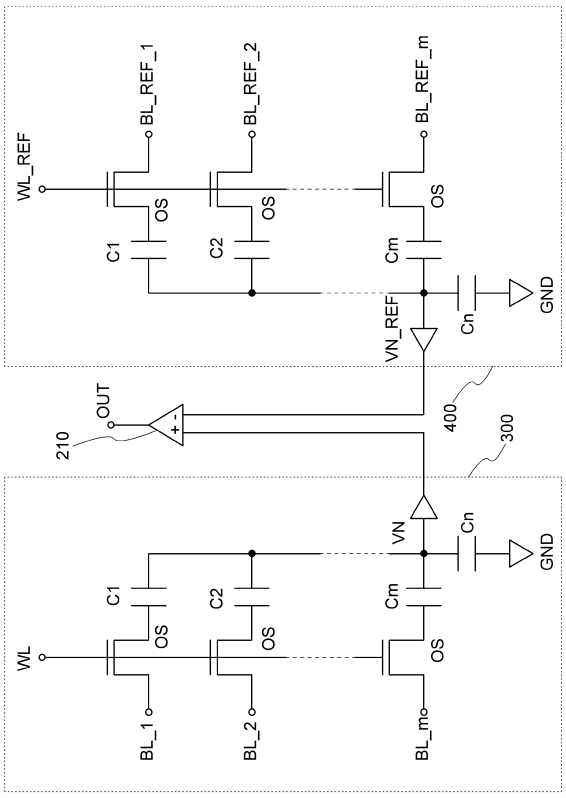
【図３】


(A)
640
644
(B)
642b
642a
(C)
646
(D)
648b
648a
664
662

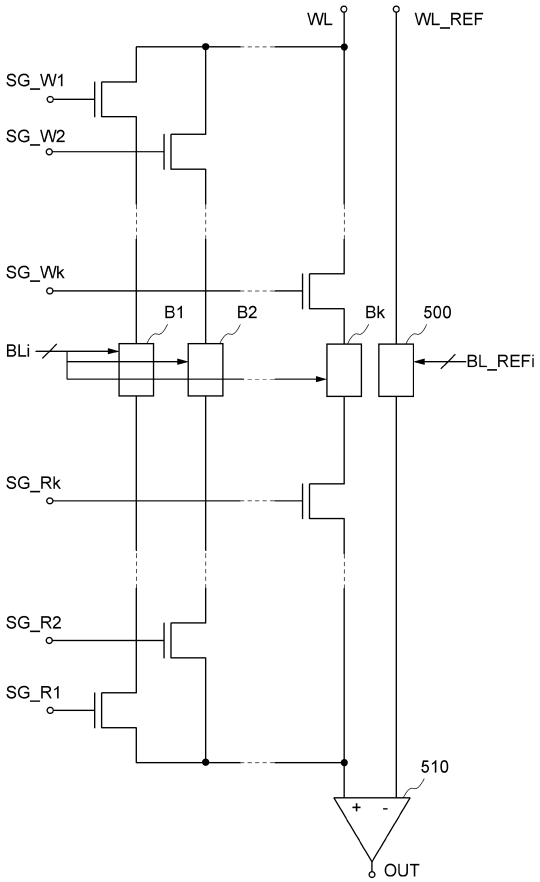
【図４】


(A)
702
703
704
701
(D)
747
743
742
749
745
746
741
740
750
744
748
(B)
715
712
711
713
714
(E)
770
771
773
775
780
(C)
727
723
720
725
721
737
733
731
735

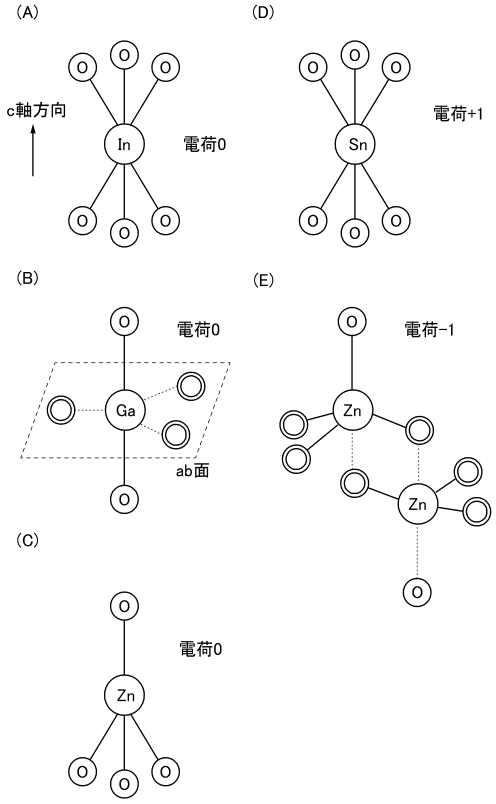
【図５】


WL_REF
BL_REF_1
BL_REF_2
BL_REF_m
OS
C1
C2
Cm
VN_REFi
Cn
GND
OUT
210
400
300
VN
WL
BL_1
BL_2
BL_m

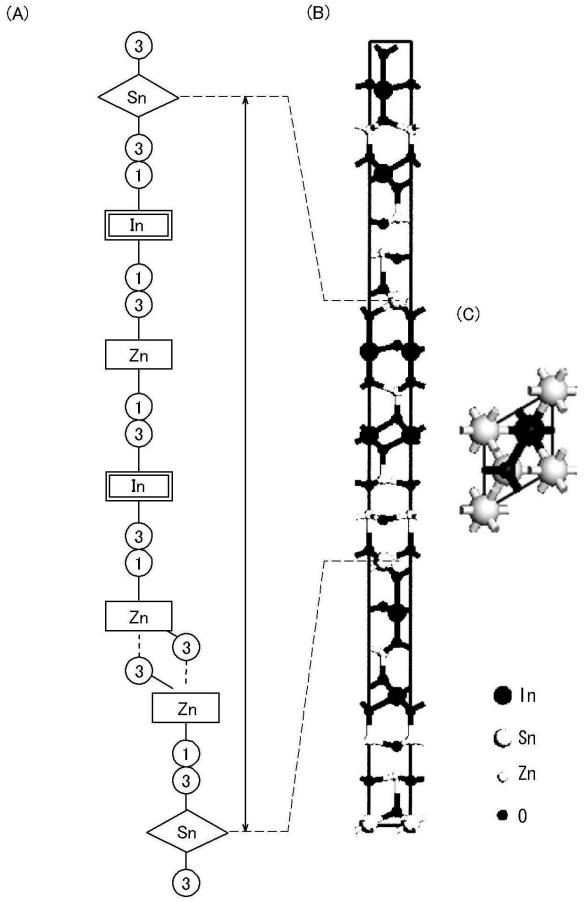
【図６】


WL
WL_REF
SG_W1
SG_W2
SG_Wk
B1
B2
Bk
500
BLi
BL_REFi
SG_Rk
SG_R2
SG_R1
510
OUT

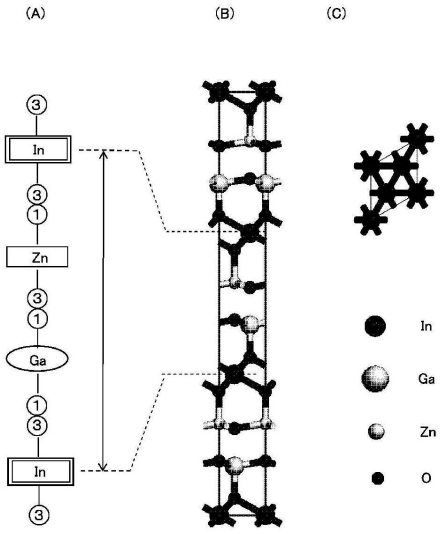
【図７】



【図８】



【図９】



【図１０】

(A) $\mu = \mu_0 \exp(-\frac{E}{kT})$

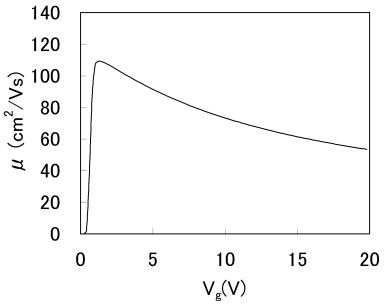
(B) $E = \frac{e^2 N^2}{8\varepsilon n} = \frac{e^3 N^2 t}{8\varepsilon C_{ox} V_g}$

(C) $I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp(-\frac{E}{kT})$

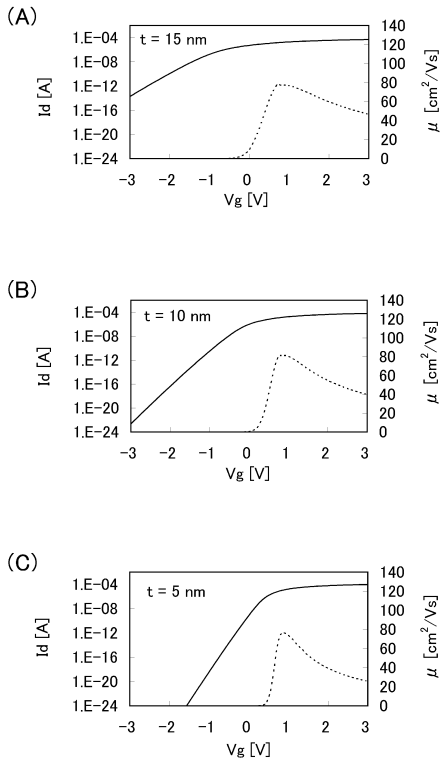
(D) $\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT\varepsilon C_{ox} V_g}$

(E) $\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$

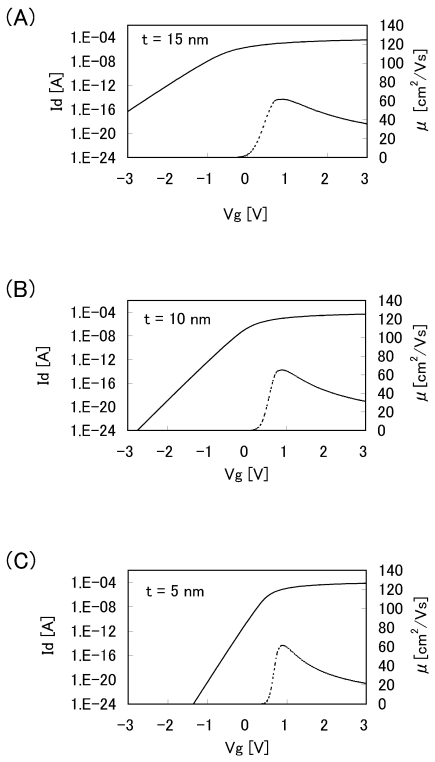
【図１１】



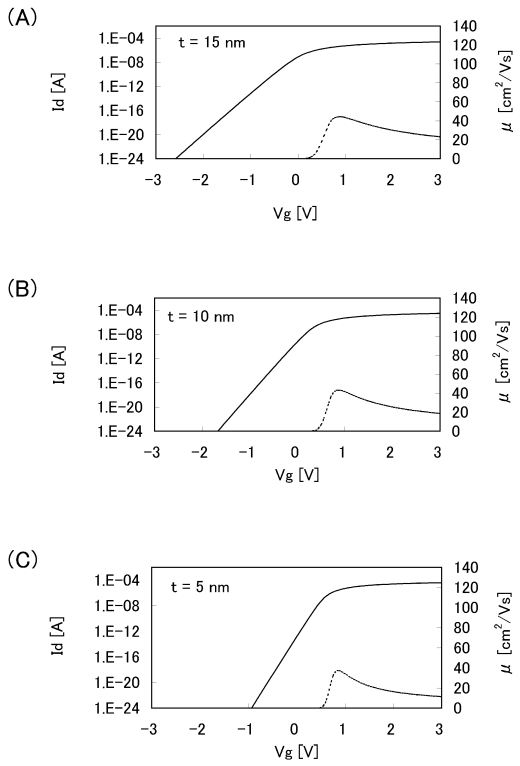
【図１２】



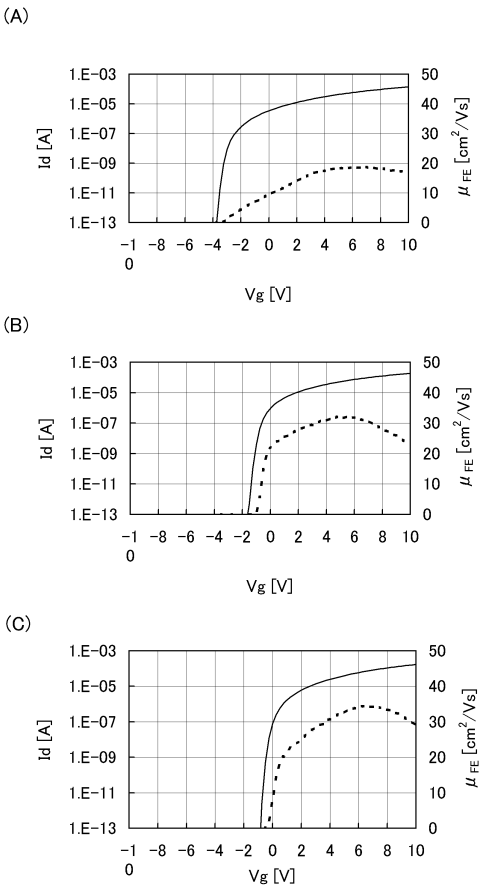
【図１３】



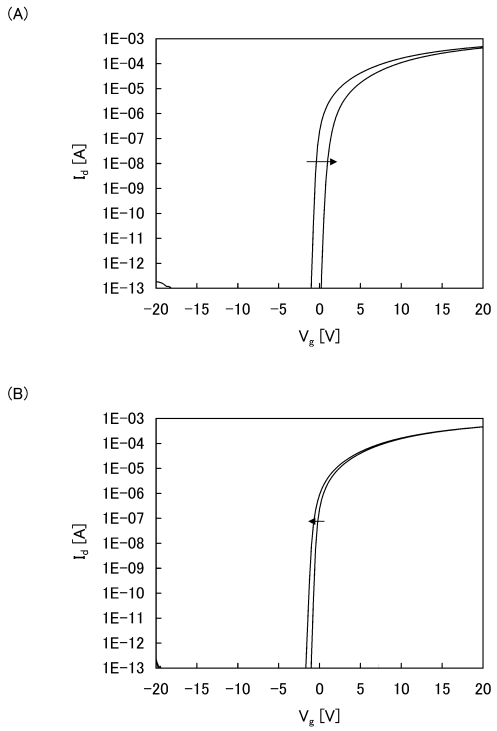
【図１４】



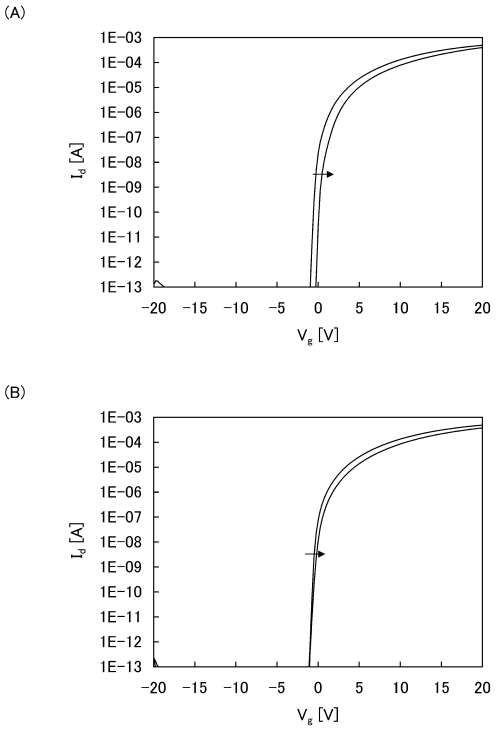
【図１５】



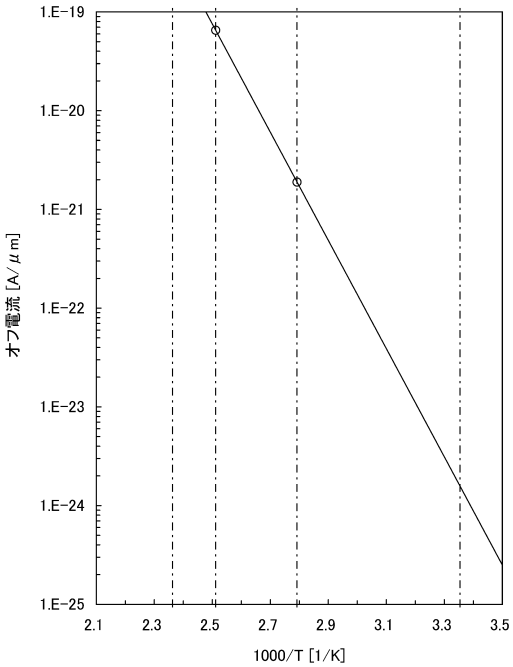
【図１６】


(A)
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
I_d [A]
−20 −15 −10 −5 0 5 10 15 20
V_g [V]
(B)
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
I_d [A]
−20 −15 −10 −5 0 5 10 15 20
V_g [V]

【図１７】


(A)
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
I_d [A]
−20 −15 −10 −5 0 5 10 15 20
V_g [V]
(B)
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
I_d [A]
−20 −15 −10 −5 0 5 10 15 20
V_g [V]

【図１８】


1.E-19
1.E-20
1.E-21
1.E-22
1.E-23
1.E-24
1.E-25
オフ電流 [A/μm]
2.1 2.3 2.5 2.7 2.9 3.1 3.3 3.5
1000/T [1/K]

フロントページの続き

(56)参考文献 特開２００２－７４９６３（ＪＰ，Ａ）
特開昭６２－５７２４５（ＪＰ，Ａ）
米国特許第６５７４１３４（ＵＳ，Ｂ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｃ　１１／４０９１
Ｇ１１Ｃ　１１／５６