



## 특허청구의 범위

### 청구항 1

반도체 기판상에 활성 영역을 정의하는 소자분리막;  
상기 활성 영역 상에 구비된 게이트 패턴;  
상기 활성 영역에 구비된 접합 영역;  
상기 게이트 패턴과 상기 활성 영역 사이에 구비된 게이트 파괴 방지막 패턴; 및  
상기 게이트 패턴의 하부의 모서리 양끝단에 중첩되도록 형성된 게이트 산화막  
을 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

### 청구항 2

제 1 항에 있어서,  
상기 게이트 파괴 방지막 패턴은 질화막(Nitride)을 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

### 청구항 3

제 1 항에 있어서,  
상기 게이트 파괴 방지막 패턴은 상기 게이트 패턴의 폭보다 작게 형성하는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

### 청구항 4

제 1 항에 있어서,  
상기 게이트 산화막은 상기 게이트 파괴 방지막 패턴과 동일한 높이를 갖는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

### 청구항 5

제 1 항에 있어서,  
상기 게이트 패턴과 연결된 제 1 콘택 플러그; 및  
상기 접합 영역과 연결된 제 2 콘택플러그  
을 더 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

### 청구항 6

반도체 기판상에 활성 영역을 정의하는 소자분리막을 형성하는 단계;  
상기 활성 영역 상에 게이트 파괴 방지막 패턴을 형성하는 단계;  
상기 활성 영역 상부 및 상기 게이트 파괴 방지막 패턴의 측면에 게이트 산화막을 형성하는 단계;  
상기 게이트 산화막 및 상기 게이트 파괴 방지막 패턴 상에 게이트 패턴을 형성하되, 상기 게이트 산화막은 상  
기 게이트 패턴의 하부의 모서리 양끝단에 중첩되도록 형성하는 단계; 및  
노출된 상기 활성 영역에 불순물을 주입하여 접합 영역을 형성하는 단계  
를 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

### 청구항 7

제 6 항에 있어서,

상기 게이트 파괴 방지막 패턴은 상기 게이트 패턴의 폭보다 작게 형성하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

#### 청구항 8

제 6 항에 있어서,

상기 게이트 산화막은 상기 게이트 파괴 방지막 패턴과 동일한 높이를 갖도록 형성되는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

#### 청구항 9

제 6 항에 있어서,

상기 활성 영역은 P형 불순물을 이온 주입하여 형성하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

#### 청구항 10

제 6 항에 있어서,

상기 접합 영역을 형성하는 단계는 상기 활성 영역에 N형 불순물을 이온 주입하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

#### 청구항 11

제 6 항에 있어서,

상기 게이트 파괴 방지막 패턴은 질화막(Nitride)을 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

#### 청구항 12

제 6 항에 있어서,

상기 게이트 패턴을 형성하는 단계는

상기 소자분리막, 상기 게이트 파괴 방지막 패턴 및 상기 게이트 산화막 상에 게이트 전극층을 형성하는 단계; 및

게이트 마스크를 이용하여 상기 활성 영역 및 상기 소자분리막이 노출될 때까지 상기 게이트 전극층 및 게이트 산화막을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

#### 청구항 13

제 12 항에 있어서,

상기 게이트 전극층은 N형 불순물을 이온 주입하여 형성하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

#### 청구항 14

제 12 항에 있어서,

상기 게이트 전극층은 폴리머(Polymer), 텅스텐(W), 티타늄(Ti) 또는 텅스텐 질화막(WN)을 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

#### 청구항 15

제 6 항에 있어서,

상기 접합 영역을 형성하는 단계 후,

상기 게이트 패턴과 연결되는 제 1 콘택 플러그를 형성하는 단계; 및

상기 활성 영역 및 상기 집합 영역과 연결되는 제 2 콘택 플러그를 형성하는 단계를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

## 명세서

### 기술분야

[0001] 본 발명은 반도체 소자의 안티퓨즈 및 그 제조 방법에 관한 것으로, 특히 게이트 안티퓨즈의 특성을 개선할 수 있는 반도체 소자의 안티퓨즈 및 그 제조 방법에 관한 것이다.

### 배경기술

[0002] 최근에 컴퓨터와 같은 정보 매체의 급속한 보급에 따라 반도체 장치도 비약적으로 발전하고 있다. 그 기능 면에 있어서 반도체 장치는 고속으로 동작하는 동시에 대용량의 저장 능력이 요구된다. 이에 따라 반도체 장치는 집적도, 신뢰도 및 응답 속도 등을 향상시키는 방향으로 제조 기술이 발전하고 있다.

[0003] 반도체 장치는 주로 실리콘 재질의 기판상에 설정된 회로 패턴을 반복적으로 형성하여 집적 회로를 갖는 셀들을 형성하는 패브리케이션(Fabrication; FAB) 공정과 상기 셀들이 형성된 기판을 칩(Chip) 단위로 패키징(Packaging)하는 어셈블리(Assembly) 공정을 포함한다. 그리고 상기 패브리케이션 공정과 어셈블리 공정 사이에는 상기 기판상에 형성하는 셀들의 전기적 특성을 검사하기 위한 공정(Electrical Die Sorting; EDS)을 수행한다.

[0004] 상기 검사 공정은 기판상에 형성한 셀들의 전기적으로 양호한 상태 또는 불량한 상태를 갖는가를 판별하는 공정이다. 상기 검사 공정을 통하여 불량한 상태를 갖는 셀들을 상기 어셈블리 공정을 수행하기 이전에 제거함으로써 어셈블리 공정에서 소모되는 노력 및 비용을 절감할 수 있다. 또한, 상기 불량한 상태를 갖는 셀들을 조기에 발견하고, 이를 리페어(Repair) 공정을 통하여 재생할 수 있다.

[0005] 여기서, 리페어 공정에 대해 좀더 자세히 설명하면 다음과 같다.

[0006] 반도체 소자 제조 공정 중 결함이 발생할 경우 소자의 수율을 향상시킬 목적으로 소자 설계 시 결함이 있는 소자 또는 회로를 대체하기 위하여 여분(Redundancy)의 셀을 부가하며 이러한 여분의 셀을 집적회로에 접속시키기 위해 퓨즈를 함께 설계하고 있는데 리페어 공정은 검사 공정을 통해 불량으로 판명된 셀을 상기 퓨즈를 사용하여 칩 내에 내장된 여분의 셀과 연결시켜 재생시키는 공정이다. 즉, 특정 퓨즈들만을 커팅(Cutting)함으로써 리페어할 셀들의 위치 정보를 생성하는 것이다.

[0007] 그러나, 웨이퍼 레벨에서의 결함 셀들을 리페어 하는 리페어 공정을 수행하더라도 패키지 공정을 수행하고 나면 웨이퍼 레벨에서 전혀 이상 없던 칩(Chip)들에서 1 비트 또는 2 비트 결함이 발생하게 되는데 이로 인한 불량률이 약 10% 가량 발생하는데 패키지 이후의 리페어 공정의 도입이 요구되었다. 특히, 여러 개의 칩을 패키징하는 MCP(Multi-chip Package)의 경우 1 비트 또는 2 비트 결함에 의해 디램 뿐만 아니라 상대적으로 고가인 플래시램 또한 사용하지 못하게 되므로 패키지 이후의 리페어 공정의 도입이 필수적이다.

[0008] 그러나, 패키징 이후에는 레이저 리페어 장비를 사용할 수 없기 때문에 패키지 이전의 리페어 공정과는 다른 새로운 방식의 퓨즈 구성이 요구된다. 이하에서는 패키지 이후의 리페어 공정에 사용하는 퓨즈에 대해서 설명하도록 한다.

[0009] 상기 패키징 이후에 사용하는 퓨즈는 통상 안티퓨즈(Anti-fuse)라 하는데 이는 패키지 이전의 퓨즈는 절단에 의해 리페어를 수행하는 반면 패키징 이후에 사용하는 퓨즈는 절단이 아닌 상호 접속에 의해 리페어를 수행하기 때문이다. 즉, 안티퓨즈란 패키지 이전의 퓨즈에 대한 상대적인 의미로 정상 상태에서는 전기적으로 개방(open)되어 있다가 필요에 따라 고전압을 인가하여 도전체 사이의 절연체를 파괴하면 단락(short) 상태가 되는 퓨즈를 말한다. 이러한 안티퓨즈는 주변회로영역(Periphery)에 형성하며 안티퓨즈를 위한 여분의 셀들 또한 주변회로영역에 형성되 통상 리프레쉬(refresh)가 필요없는 SRAM 셀로 형성한다.

[0010] 이러한 안티 퓨즈는 패키지 레벨에서 리페어(repair)를 가능하게 할 뿐만아니라 넷 다이 증가, 제품 특성의 개선 및 고집적화에 따른 기존의 레이저 퓨즈의 장비 및 공정의 의존도를 극복하기 위하여 많이 이용될 것이다. 이를 위해서는 안티퓨즈는 파괴(rupture) 성공 여부를 안정적으로 확보하는 것이 무엇보다 중요하다.

### 발명의 내용

## 해결하려는 과제

- [0011] 전술한 종래의 문제점을 해결하기 위하여, 본 발명은 안티퓨즈의 안정적인 동작을 위하여 게이트 패턴과 소스/드레인 접합 영역 사이에 게이트 파괴 방지막을 형성하고, 게이트 패턴의 하부의 모서리 양끝단에 게이트 산화막을 형성함으로써 전압 인가 시 중첩된 게이트 산화막을 파괴(rupture)함으로써 전류 레벨을 안정화시키고 안정적인 동작이 가능한 반도체 소자의 안티퓨즈 제조 방법을 제공한다.

## 과제의 해결 수단

- [0012] 본 발명은 반도체 기판상에 활성 영역을 정의하는 소자분리막, 상기 활성 영역 상에 구비된 게이트 패턴, 상기 활성 영역에 구비된 접합 영역, 상기 게이트 패턴과 상기 활성 영역 사이에 구비된 게이트 파괴 방지막 패턴 및 상기 게이트 패턴의 하부의 모서리 양끝단에 중첩되도록 형성된 게이트 산화막을 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈를 제공한다.
- [0013] 바람직하게는, 상기 게이트 파괴 방지막 패턴은 질화막(Nitride)을 포함하는 것을 특징으로 한다.
- [0014] 바람직하게는, 상기 게이트 파괴 방지막 패턴은 상기 게이트 패턴의 폭보다 작게 형성하는 것을 특징으로 한다.
- [0015] 바람직하게는, 상기 게이트 산화막은 상기 게이트 파괴 방지막 패턴과 동일한 높이를 갖는 것을 특징으로 한다.
- [0016] 바람직하게는, 상기 게이트 패턴과 연결된 제 1 콘택 플러그 및 상기 접합 영역과 연결된 제 2 콘택플러그를 더 포함하는 것을 특징으로 한다.
- [0017] 아울러, 본 발명은 반도체 기판상에 활성 영역을 정의하는 소자분리막을 형성하는 단계, 상기 활성 영역 상에 게이트 파괴 방지막 패턴을 형성하는 단계, 상기 활성 영역 상부 및 상기 게이트 파괴 방지막 패턴의 측면에 게이트 산화막을 형성하는 단계, 상기 게이트 산화막 및 상기 게이트 파괴 방지막 패턴 상에 게이트 패턴을 형성하되, 상기 게이트 산화막은 상기 게이트 패턴의 하부의 모서리 양끝단에 중첩되도록 형성하는 단계 및 노출된 상기 활성 영역에 불순물을 주입하여 접합 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법을 제공한다.
- [0018] 바람직하게는, 상기 게이트 파괴 방지막 패턴은 상기 게이트 패턴의 폭보다 작게 형성하는 것을 특징으로 한다.
- [0019] 바람직하게는, 상기 게이트 산화막은 상기 게이트 파괴 방지막 패턴과 동일한 높이를 갖도록 형성되는 것을 특징으로 한다.
- [0020] 바람직하게는, 상기 활성 영역은 P형 불순물을 이온 주입하여 형성하는 것을 특징으로 한다.
- [0021] 바람직하게는, 상기 접합 영역을 형성하는 단계는 상기 활성 영역에 N형 불순물을 이온 주입하는 단계를 포함하는 것을 특징으로 한다.
- [0022] 바람직하게는, 상기 게이트 파괴 방지막 패턴은 질화막(Nitride)을 포함하는 것을 특징으로 한다.
- [0023] 바람직하게는, 상기 게이트 패턴을 형성하는 단계는 상기 소자분리막, 상기 게이트 파괴 방지막 패턴 및 상기 게이트 산화막 상에 게이트 전극층을 형성하는 단계 및 게이트 마스크를 이용하여 상기 활성 영역 및 상기 소자분리막이 노출될 때까지 상기 게이트 전극층 및 게이트 산화막을 식각하는 단계를 포함하는 것을 특징으로 한다.
- [0024] 바람직하게는, 상기 게이트 전극층은 N형 불순물을 이온 주입하여 형성하는 것을 특징으로 한다.
- [0025] 바람직하게는, 상기 게이트 전극층은 폴리머(Polymer), 텅스텐(W), 티타늄(Ti) 또는 텅스텐 질화막(WN)을 포함하는 것을 특징으로 한다.
- [0026] 바람직하게는, 상기 접합 영역을 형성하는 단계 후, 상기 게이트 패턴과 연결되는 제 1 콘택 플러그를 형성하는 단계 및 상기 활성 영역 및 상기 접합 영역과 연결되는 제 2 콘택 플러그를 형성하는 단계를 형성하는 단계를 더 포함하는 것을 특징으로 한다.

## 발명의 효과

- [0027] 본 발명은 안티퓨즈의 안정적인 동작을 위하여 게이트 패턴과 소스/드레인 접합 영역 사이에 게이트 파괴 방지막을 형성하고, 게이트 패턴의 하부의 모서리 양끝단에 게이트 산화막을 형성함으로써 전압 인가 시 중첩된 게

이트 산화막을 파괴(rupture)함으로써 전류 레벨을 안정화시키고 안정적인 동작이 가능한 장점이 있다.

## 도면의 간단한 설명

[0028] 도 1a 내지 도 1h는 본 발명에 따른 반도체 소자의 안티퓨즈 및 그 제조 방법을 도시한 단면도들.

## 발명을 실시하기 위한 구체적인 내용

[0029] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대하여 상세히 설명하고자 한다.

[0030] 도 1a 내지 도 1h는 본 발명에 따른 반도체 소자의 안티퓨즈 및 그 제조 방법을 도시한 단면도들이다.

[0031] 도 1a를 참조하면, 반도체 기판(100) 상에 활성 영역(110)을 정의하는 소자분리막(120)을 형성한다. 이때, 활성 영역(110)은 P형 불순물을 이온 주입하여 형성하는 것이 바람직하며, 이러한 활성 영역(110)을 바디(Body)부로 정의한다.

[0032] 도 1b를 참조하면, 활성 영역(110) 상에 게이트 파괴(rupture) 방지막(미도시)을 형성한다. 이때, 게이트 파괴(rupture) 방지막은 질화막(Nitride)을 포함하고, 채널(channel) 영역에서의 게이트 파괴를 방지하는 역할을 하는 것이 바람직하다.

[0033] 이후, 게이트 파괴 방지막을 패터닝하여 게이트 파괴 방지막 패턴(130)을 형성한다. 이때, 게이트 파괴 방지막 패턴(130)은 활성 영역(110)보다 선평이 작게 형성되는 것이 바람직하다.

[0034] 도 1c를 참조하면, 노출된 활성 영역(110)에 산화(Oxidation) 공정을 실시하여 게이트 산화막(140)을 형성한다. 여기서, 게이트 파괴 방지막 패턴(130)과 게이트 산화막(140)이 같은 높이(Height)를 갖도록 활성 영역(110) 상에 형성하는 것이 바람직하다.

[0035] 도 1d를 참조하면, 소자분리막(120), 게이트 파괴 방지막 패턴(130) 및 게이트 산화막(140) 상에 게이트 전극층(150, gate electrode)을 형성한다.

[0036] 도 1e를 참조하면, 게이트 전극층(150) 상에 감광막(미도시)을 형성한 후, 게이트 마스크를 이용한 노광 및 현상 공정으로 감광막 패턴(160)을 형성한다. 여기서, 감광막 패턴(160)은 활성 영역(110)보다는 작게 형성하며, 게이트 파괴 방지막 패턴(130) 보다는 크게 형성하는 것이 바람직하다.

[0037] 도 1f 및 도 1g를 참조하면, 감광막 패턴(160)을 식각 마스크로 활성 영역(110) 및 소자분리막(120)이 노출될 때까지 게이트 전극층(150) 및 게이트 산화막(140)을 식각하여 게이트 패턴(155)을 형성한다. 여기서, 게이트 패턴(155)과 활성 영역(110) 사이에는 게이트 파괴 방지막 패턴(130)이 형성되어 있으며, 게이트 패턴(155)의 하부의 모서리 양끝단과 중첩되도록 게이트 산화막(140)이 남아 있는 것이 바람직하다.

[0038] 이후, 게이트 패턴(155) 및 노출된 활성 영역(110)에 불순물을 이온 주입(170, Ion Implantation)하여 노출된 활성 영역(110)에 소스/드레인 접합 영역(180, Source/Drain Junction)을 형성한다. 이때, 소스/드레인 접합 영역(180)은 N형 불순물을 이온 주입하여 형성하는 것이 바람직하다. 여기서, 접합 영역(180)에서 게이트 산화막(140)이 파괴가 되면, N형의 게이트 패턴(155) 및 N형의 접합 영역(180)은 전류 및 전압의 커브가 오믹(ohmic) 특성을 보이며 게이트 저항이 증가하지 않는다. 그러나, 접합 영역(180)의 사이의 채널(channel) 영역에서 게이트 산화막(140)이 파괴가 되면, N형의 게이트 패턴(155)과 P형의 반도체 기판(100)은 전류 및 전압의 커브가 다이오드(Diode) 특성을 보이며 게이트 저항이 증가한다. 하지만, 게이트 패턴(155)과 활성 영역(110) 사이의 게이트 파괴 방지막 패턴(130)으로 인하여 후속 공정 중 퓨즈에 전압 인가 시 소스/드레인 접합 영역(180)과 중첩되는 일부 영역(게이트 산화막(140))에서 퓨즈가 파괴(rupture)되어 전류 레벨(current level)의 차이를 감소시키고 안티퓨즈의 안정적인 동작을 가능하게 한다.

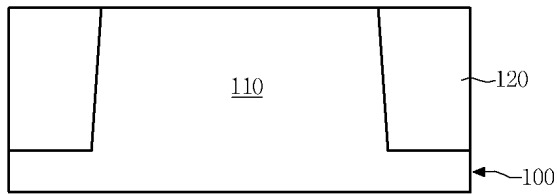
[0039] 도 1h를 참조하면, 게이트 패턴(155)에 게이트 파괴(rupture) 전압을 인가하고, 접합 영역(180)에 전압을 인가하여 게이트 패턴(155)과 소스/드레인 접합 영역(180) 사이의 게이트 산화막(140)을 파괴시켜 게이트 브레이크다운(breakdown)을 발생시킨다. 구체적으로는, 게이트 패턴(155)과 접속되는 제 1 금속 콘택 플러그(190)와 소스/드레인 접합 영역(180)과 접속되는 제 2 금속 콘택 플러그(200)를 각각 형성한다. 이때, 제 1 및 제 2 금속 콘택 플러그(190, 200)는 텅스텐(W), 티타늄(Ti) 또는 티타늄질화막(TiN)으로 형성하는 것이 바람직하다. 여기서, 제 1 및 제 2 금속 콘택 플러그(190, 200)를 통하여 전압 인가 시 게이트 패턴(155)과 소스/드레인 접합 영역(180) 사이의 게이트 산화막(140)이 파괴(rupture)되어 전류 레벨(Current level)의 차이를 감소시키고 안티퓨즈가 안정적으로 동작하도록 만든다.

[0040] 전술한 바와 같이, 본 발명은 안티퓨즈의 안정적인 동작을 위하여 게이트 패턴과 소스/드레인 접합 영역 사이에 게이트 파괴 방지막을 형성하고, 게이트 패턴의 하부의 모서리 양끝단에 게이트 산화막을 형성함으로써, 전압 인가 시 중첩된 게이트 산화막을 파괴(rupture)하여 전류 레벨을 안정화시키고 안정적인 동작이 가능한 장점이 있다.

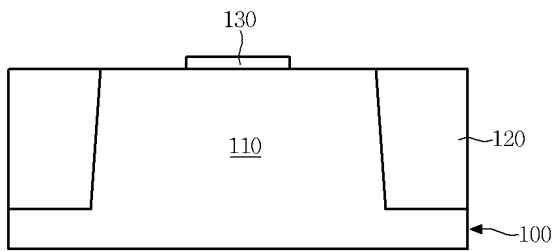
[0041] 아울러 본 발명의 바람직한 실시 예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

## 도면

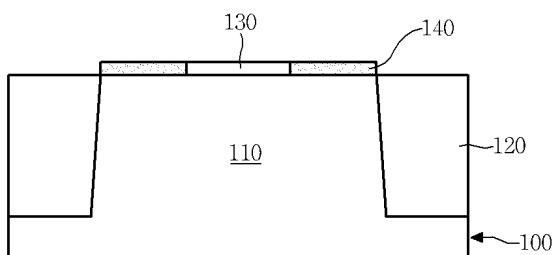
도면1a



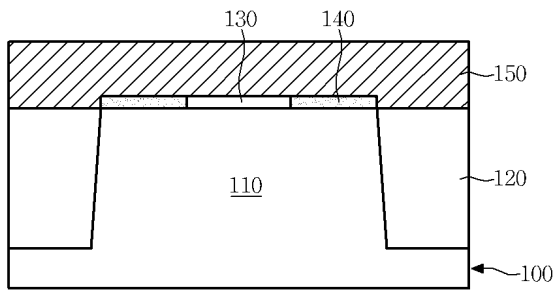
도면1b



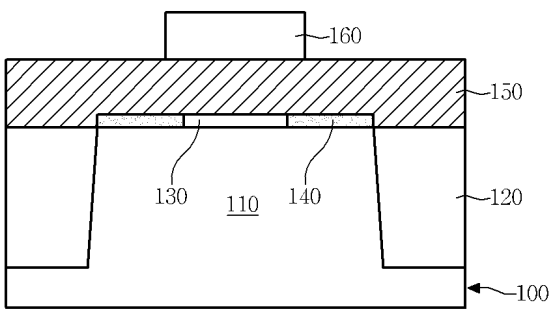
도면1c



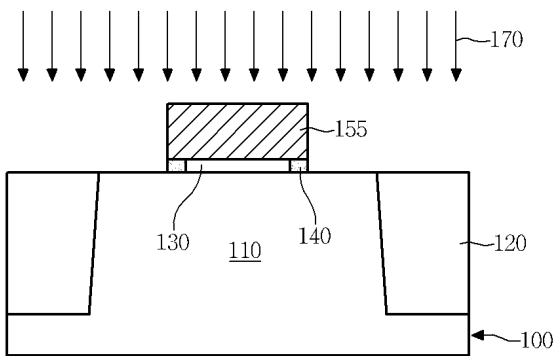
도면1d



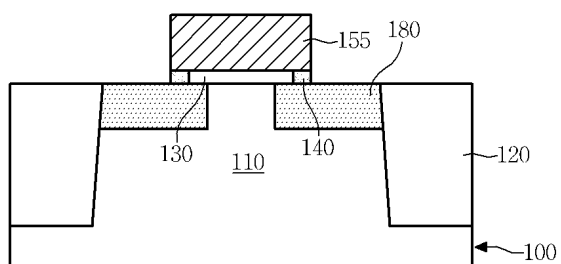
도면1e



도면1f



도면1g





도면1h

