

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 12 月 6 日 (06.12.2007)

PCT

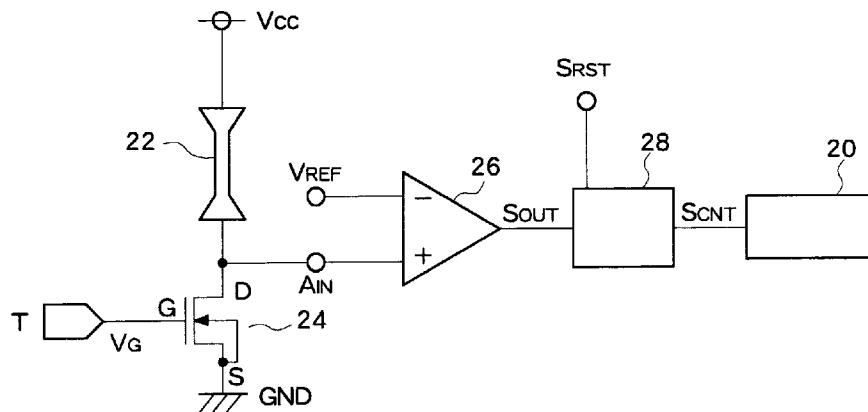
(10) 国際公開番号
WO 2007/138958 A1

- (51) 国際特許分類:
H01L 21/82 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01)
- (21) 国際出願番号: PCT/JP2007/060540
- (22) 国際出願日: 2007 年 5 月 23 日 (23.05.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-149551 2006 年 5 月 30 日 (30.05.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 竹本 弘毅 (TAKE-MOTO, Hiroki) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP).
- (74) 代理人: 吉田 研二, 外 (YOSHIDA, Kenji et al.); 〒1800004 東京都武蔵野市吉祥寺本町 1 丁目 3 4 番 1 2 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

[続葉有]

(54) Title: ELECTRICAL CIRCUIT

(54) 発明の名称: 電気回路



100

(57) Abstract: An electrical circuit is provided with a switching element (field effect transistor); a fuse element connected in series with the switching element for changing the resistance value of the switching element by having the switching element in conductive state; a comparator for changing an output signal when the terminal voltage of the fuse element is lower than a reference voltage and when it is at the reference voltage or higher; and a latch circuit for holding the change of the output signal from the comparator.

[続葉有]

WO 2007/138958 A1



TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(57) 要約: スイッチング素子（電界効果トランジスタ）と、スイッチング素子と直列に接続され、スイッチング素子を導通状態とすることによってその抵抗値を変化させるヒューズ素子と、ヒューズ素子の端子電圧が基準電圧未満の場合と基準電圧以上の場合とにおいて出力信号を変化させるコンパレータと、コンパレータからの出力信号の変化を保持するラッチ回路と、を備える。

明 細 書

電気回路

技術分野

[0001] 出力のトリミング等を行うためのヒューズ素子を備えた電気回路に関する。

背景技術

[0002] 半導体基板上に形成された素子を含む電気回路において、装置製造後に回路構成を微調整するために回路の一部にヒューズ素子を組み込む技術が用いられている。

[0003] 例えば、図7に示すように、内部回路10に対してヒューズ素子12を介して電源Vccが接続された構成において、ヒューズ素子12の電源Vccが接続されていない側の一端aから半導体装置の外部に設けられる電極14に向けて制御ライン16を引き出す。内部回路10に電源Vccを印加する必要がない場合、ヒューズ素子12が熔断する程度の電流が流れる程度に電極14を負電位にすることによって、ヒューズ素子12が熔断されて内部回路10と電源Vccとの接続を切ることができる。

発明の開示

発明が解決しようとする課題

[0004] ヒューズ素子の切断が不十分である場合、外部環境等の変化の影響によってヒューズ素子が電氣的に再接続された状態となることがある。このような場合、ヒューズ素子の切断による回路の機能の調整が正常ではなくなり、必要な出力や特性を得ることができなくなる。

課題を解決するための手段

[0005] 本発明の1つの態様は、半導体基板上に形成された素子を含む電気回路であって、スイッチング素子と、前記スイッチング素子と直列に接続され、前記スイッチング素子を導通状態とすることによってその抵抗値を変化させるヒューズ素子と、前記ヒューズ素子の端子電圧が所定の基準電圧未満の場合と前記基準電圧以上の場合とにおいて出力信号を変化させるコンパレータと、前記コンパレータからの出力信号の変化を保持するラッチ回路と、を備える。

図面の簡単な説明

- [0006] [図1]本発明の実施の形態における電気回路の構成を示す回路図である。
- [図2]本発明の実施の形態におけるヒューズ素子及び抵抗素子の構成を示す平面図である。
- [図3]本発明の実施の形態における電気回路の作用を示すタイミングチャートである。
- [図4]本発明の実施の形態における電気回路の作用を示すタイミングチャートである。
- [図5]本発明の実施の形態における電気回路の作用を示すタイミングチャートである。
- [図6]本発明の実施の形態における電気回路の別例の構成を示す回路図である。
- [図7]従来の電気回路の構成を示す回路図である。

発明を実施するための最良の形態

- [0007] 本発明の実施の形態における電気回路100は、図1に示すように、内部回路20、ヒューズ素子22、電界効果トランジスタ24、コンパレータ26及びラッチ回路28を含んで構成される。電気回路100は、プレーナ技術等を用いて半導体基板上に形成することができる。
- [0008] ヒューズ素子22は、半導体基板上に形成されたポリシリコン層等からなる抵抗要素から構成される。ヒューズ素子22は、例えば、図2の平面図に示すように、幅が広い部分22aと幅が狭い部分22bとを有するポリシリコン層を含んで構成することが好適である。幅が狭い部分22bの断面積及び長さを調整することによってヒューズ素子22の抵抗値を調整すると共に、ヒューズ素子22の断面積をヒューズ素子22に所定の電流を流すことによってヒューズ素子22が熔断され易くなるように設定する。ヒューズ素子22の第1の端子は電源Vccに接続される。ヒューズ素子22の第2の端子はコンパレータ26の非反転入力端子(+)に接続される。
- [0009] 電界効果トランジスタ24は、ヒューズ素子22に流れる電流を制御するためスイッチング素子である。電界効果トランジスタ24は、入力インピーダンスが高いスイッチング素子として用いられる。ここでは、電界効果トランジスタ24はNチャネル型としている。

電界効果トランジスタ24のドレインDはヒューズ素子22の第2の端子に接続され、ソースSは接地される。また、電界効果トランジスタ24のゲートGは、制御ラインを介して電極Tに接続される。

[0010] 電極Tは、電界効果トランジスタ24のゲートGに制御信号 V_G を印加するために設けられる。電極Tは、電気回路100がベアチップの状態においては外部に露出された状態にあり、ユーザは電極TをソースSに対して正電位とすることによって電界効果トランジスタ24のドレイン－ソース間を導通させてヒューズ素子22を流れる電流を制御することができる。

[0011] コンパレータ26は、カレントミラー型の差動増幅器を含んで構成される。コンパレータ26は、非反転入力端子(+)に入力される電圧 A_{IN} と反転入力端子(-)に入力される基準電圧 V_{REF} とを比較して、電圧 A_{IN} と基準電圧 V_{REF} との関係に基づいて出力信号 S_{OUT} を出力する。コンパレータ26の出力信号 S_{OUT} はラッチ回路28へ入力される。

[0012] ラッチ回路28は、例えば、フリップ・フロップを含んで構成される。ラッチ回路28は、コンパレータ26の出力信号 S_{OUT} を受けて、出力信号 S_{OUT} が定常電圧値を維持している間は出力信号 S_{CNT} をハイレベルに維持し、出力信号 S_{OUT} が定常電圧値から所定の閾値電圧以上低下した場合にその変化に応じて出力信号 S_{CNT} をローレベルに変化させる。コンパレータ26は、そのリセット端子にリセット信号 S_{RST} が入力されるまで出力信号 S_{CNT} のレベルを保持する。出力信号 S_{CNT} は、内部回路20へ出力される。

[0013] 内部回路20は、所定の電気回路を含む。内部回路20は、出力信号 S_{CNT} を制御信号として受けて、その機能が変更できるように構成されている。

[0014] 次に、電気回路100の機能について説明する。図3～図5は、電気回路100の作用を説明するタイミングチャートである。

[0015] 図3は、電極Tから電界効果トランジスタ24のゲートGに電圧が印加されていない状態、又は、ゲートGに電圧が印加されたがヒューズ素子22の熔断が不十分であった状態についてのタイミングチャートである。

[0016] 図3(a)に示すように、コンパレータ26の反転入力端子(-)には基準電圧 V_{REF} が印加されている。図3(b)に示すように、時刻T1において、電極Tに電界効果トランジスタ24のドレイン－ソース間を導通させる程度の電圧 V_G が印加されると、電界効果トラ

ンジスタ24のドレイン－ソース間が導通し、ヒューズ素子22に電流が流れる。ここでは、ヒューズ素子22の熔断が不十分となる程度の電圧 V_G が印加されているので、コンパレータ26の非反転入力端子(+)に入力されるヒューズ素子22の端子電圧 A_{IN} は大きく変化せず、電圧 A_{IN} は基準電圧 V_{REF} 以上に維持される。したがって、図3(c)に示すように、コンパレータ26の出力信号 S_{OUT} は定常電圧値に維持され、図3(d)に示すように、ラッチ回路28の出力信号 S_{CNT} はハイレベルに維持される。

[0017] 図4は、電界効果トランジスタ24のゲートGに電圧を印加したときに、ヒューズ素子22の抵抗値がコンパレータ26の出力信号 S_{OUT} を変化させる下限を少し超えるまで高くなった場合の各信号の変化を示すタイミングチャートである。

[0018] 図4(a)に示すように、コンパレータ26の反転入力端子(-)には基準電圧 V_{REF} が印加されている。図4(b)に示すように、時刻T2において、電極Tに電界効果トランジスタ24のドレイン－ソース間を導通させる程度の電圧 V_G が印加されると、電界効果トランジスタ24のドレイン－ソース間が導通し、ヒューズ素子22に電流が流れる。ここでは、ヒューズ素子22の熔断が進行し、コンパレータ26の非反転入力端子(+)の出力信号 S_{OUT} が変化する程度の電圧 V_G が印加される。コンパレータ26の非反転入力端子(+)に入力されるヒューズ素子22の端子電圧 A_{IN} は基準電圧 V_{REF} 未満になるまで低下し、図4(c)に示すように、コンパレータ26の出力信号 S_{OUT} は定常電圧値からパルス状に低下する。したがって、ラッチ回路28ではコンパレータ26の出力信号 S_{OUT} の変化がラッチされ、図4(d)に示すように、ラッチ回路28の出力信号 S_{CNT} はローレベルに維持される。

[0019] このように、ヒューズ素子22の抵抗値がコンパレータ26の出力信号 S_{OUT} を変化させる下限を少し超える程度までしか変化しなかった場合、その後、外部環境の変化等によってヒューズ素子22の抵抗値が再び低下することがある。本実施の形態における電気回路100によれば、このようにヒューズ素子22が電氣的に再接続されたような状態に戻った状態においても、ラッチ回路28の出力信号 S_{CNT} はリセット信号 S_{RST} が入力されるまでローレベルを保持する。

[0020] 図5は、電界効果トランジスタ24のゲートGに電圧を印加したときに、ヒューズ素子22の抵抗値がコンパレータ26の出力信号 S_{OUT} を変化させる下限を十分に超えるまで

高くなった場合の各信号の変化を示すタイミングチャートである。

[0021] 図5(a)に示すように、コンパレータ26の反転入力端子(−)には基準電圧 V_{REF} が印加されている。図5(b)に示すように、時刻T3において、電極Tに電界効果トランジスタ24のドレイン−ソース間を導通させる程度の電圧 V_G が印加されると、電界効果トランジスタ24のドレイン−ソース間が導通し、ヒューズ素子22に電流が流れる。ここでは、ヒューズ素子22の熔断が十分に進行し、コンパレータ26の非反転入力端子(+)の出力信号 S_{OUT} が変化する程度の電圧 V_G が印加される。コンパレータ26の非反転入力端子(+)に入力されるヒューズ素子22の端子電圧 A_{IN} は基準電圧 V_{REF} 未満になるまで低下し、図5(c)に示すように、コンパレータ26の出力信号 S_{OUT} は定常電圧値からパルス状に低下する。したがって、ラッチ回路28ではコンパレータ26の出力信号 S_{OUT} の変化がラッチされ、図5(d)に示すように、ラッチ回路28の出力信号 S_{CNT} はローレベルに維持される。

[0022] このように、ヒューズ素子22の抵抗値がコンパレータ26の出力信号 S_{OUT} を変化させる下限を十分に超える程度まで変化した場合、その後、外部環境の変化等によってヒューズ素子22が電氣的に再接続されたような状態に戻ることは少ない。しかしながら、もしヒューズ素子22が電氣的に再接続されたような状態に戻ったとしても、ラッチ回路28の出力信号 S_{CNT} はリセット信号 S_{RST} が入力されるまでローレベルを保持する。

[0023] このように、本実施の形態によれば、ヒューズ素子22に対する熔断処理によって、ヒューズ素子22の抵抗値が一旦所定の抵抗値以上まで大きくなると、その後、ヒューズ素子22が電氣的に再接続されたような状態となってもラッチ回路28の出力信号 S_{CNT} はヒューズ素子22が熔断されたときの状態と同じレベルに保持される。したがって、外部環境の変化による影響を受けることなく、内部回路20の機能を安定に維持することができる。

[0024] <変形例>

図6は、上記実施の形態の変形例における電気回路102の構成を示す図である。本変形例では、基準電圧 V_{REF} を発生させるための回路が具体化されている。本変形例の電気回路102において、上記実施の形態における電気回路100と同じ構成要素には同一の符号を付して説明を省略する。

- [0025] 抵抗素子30は、半導体基板上に形成されたポリシリコン層等からなる抵抗要素から構成される。抵抗素子30は、例えば、図2の平面図に示したヒューズ素子22と同様に構成することができる。抵抗素子30の第1の端子は電源Vccに接続される。抵抗素子30の第2の端子はコンパレータ26の反転入力端子(−)に接続される。
- [0026] 電界効果トランジスタ32は、抵抗素子30に流れる電流を制御するためスイッチング素子である。電界効果トランジスタ32は、入力インピーダンスが高いスイッチング素子として用いられる。ここでは、電界効果トランジスタ32はNチャネル型としている。電界効果トランジスタ32のドレインDは抵抗素子30の第2の端子に接続され、ソースSは接地される。また、電界効果トランジスタ32のゲートGは、制御ラインを介して電極T2に接続される。
- [0027] 電極T2は、電界効果トランジスタ32のゲートGに制御信号 V_{G2} を印加するために設けられる。電極T2は、例えば、電気回路102がベアチップの状態においては外部に露出された状態にあり、ユーザは電極T2を電界効果トランジスタ32のソースSに対して正電位とすることによって電界効果トランジスタ32のドレイン−ソース間を導通させて抵抗素子30に流れる電流を制御することができる。
- [0028] 電極T2に制御信号 V_{G2} を印加することによって電界効果トランジスタ32のドレイン−ソース間が導通し、抵抗素子30に電流が流れる。このとき、抵抗素子30の抵抗値と制御信号 V_{G2} を調整することによって、コンパレータ26の反転入力端子(−)に所定の電圧値の基準電圧 V_{REF} が印加される。
- [0029] 例えば、抵抗素子30の抵抗値を溶断前のヒューズ素子22の抵抗値よりも僅かに高くしておくことによって、電界効果トランジスタ32及び24のドレイン−ソース間に流れる電流が等しくなるように制御を行った場合に、コンパレータ26の非反転入力端子(+)に印加される電圧 A_{IN} を反転入力端子(−)に入力される基準電圧 V_{REF} よりも高くすることができる。これによって、溶断前の定常状態においてコンパレータ26から常にオフセット電圧が出力されることとなり、電極T、T2に印加される電圧の変動や外部環境の変化の影響によるコンパレータ26からの出力信号 S_{OUT} のばらつきを抑制でき、電気回路102を安定に動作させることが可能となる。
- [0030] また、電界効果トランジスタ24と電界効果トランジスタ32の素子容量を異ならせるこ

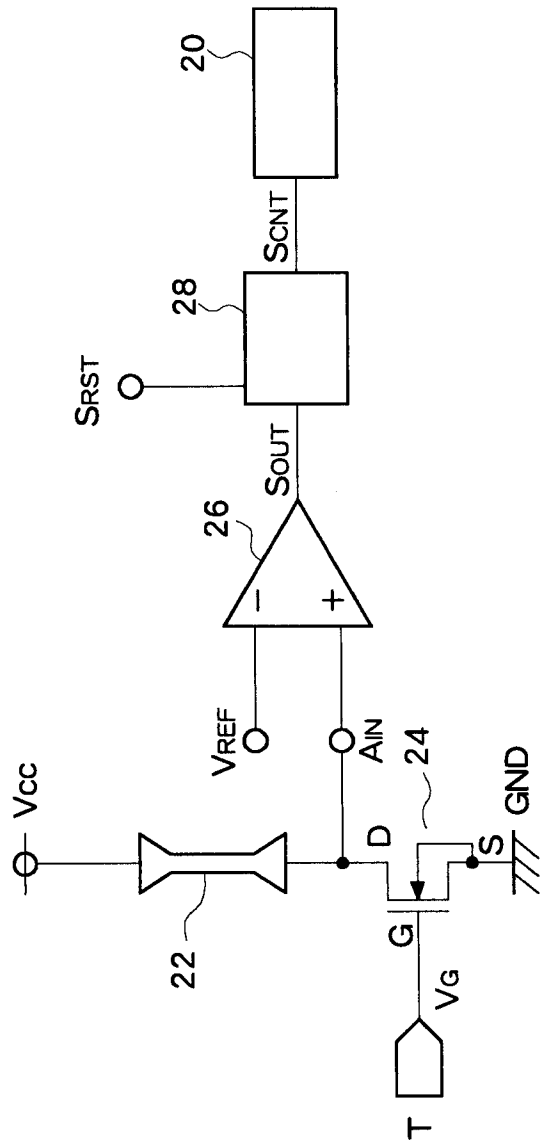
とによって、電気回路102の動作点を変更することができる。すなわち、電界効果トランジスタ24のゲートGに印加する制御信号 V_G と、コンパレータ26の出力信号 S_{OUT} と、の関係を調整することができる。

- [0031] 抵抗素子30及び電界効果トランジスタ32は、ヒューズ素子22及び電界効果トランジスタ24と同一の半導体基板上に形成することが好適である。これらの素子を同一の半導体基板上に形成することによって、抵抗素子30とヒューズ素子22との抵抗値等の特性、及び、電界効果トランジスタ32と電界効果トランジスタ24との相互コンダクタンス等の特性の互いの関係を容易に調整することができる。

請求の範囲

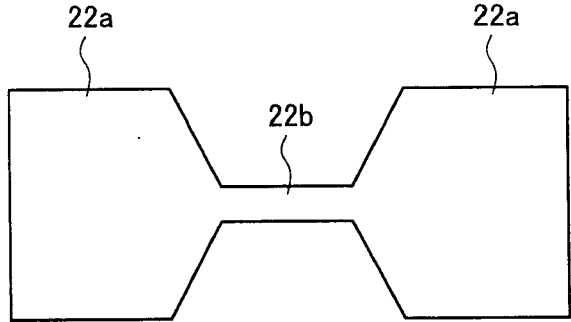
- [1] 電気回路であって、
スイッチング素子と、
前記スイッチング素子と直列に接続され、前記スイッチング素子を導通状態とすることによってその抵抗値を変化させるヒューズ素子と、
前記ヒューズ素子の端子電圧が所定の基準電圧未満の場合と前記基準電圧以上の場合とにおいて出力信号を変化させるコンパレータと、
前記コンパレータからの出力信号の変化を保持するラッチ回路と、
を備え、半導体基板上に形成された素子を含むことを特徴とする。
- [2] 請求項1に記載の電気回路であって、
前記基準電圧は、前記ヒューズ素子と同一の半導体基板上に形成された抵抗素子及びスイッチング素子の直列回路によって生成されることを特徴とする電気回路。
- [3] 請求項2に記載の電気回路であって、
前記ヒューズ素子と前記抵抗素子との抵抗値が異なることを特徴とする電気回路。

[図1]

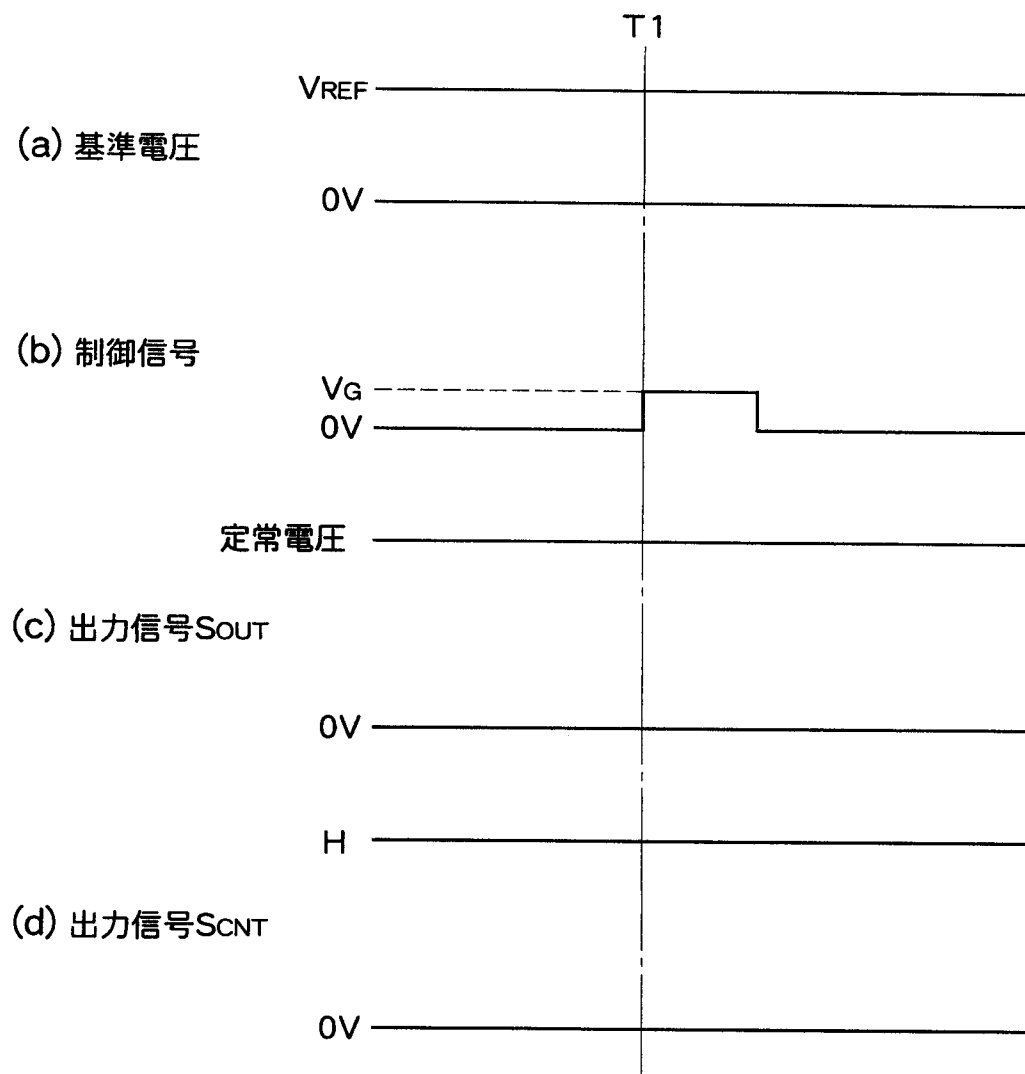


100

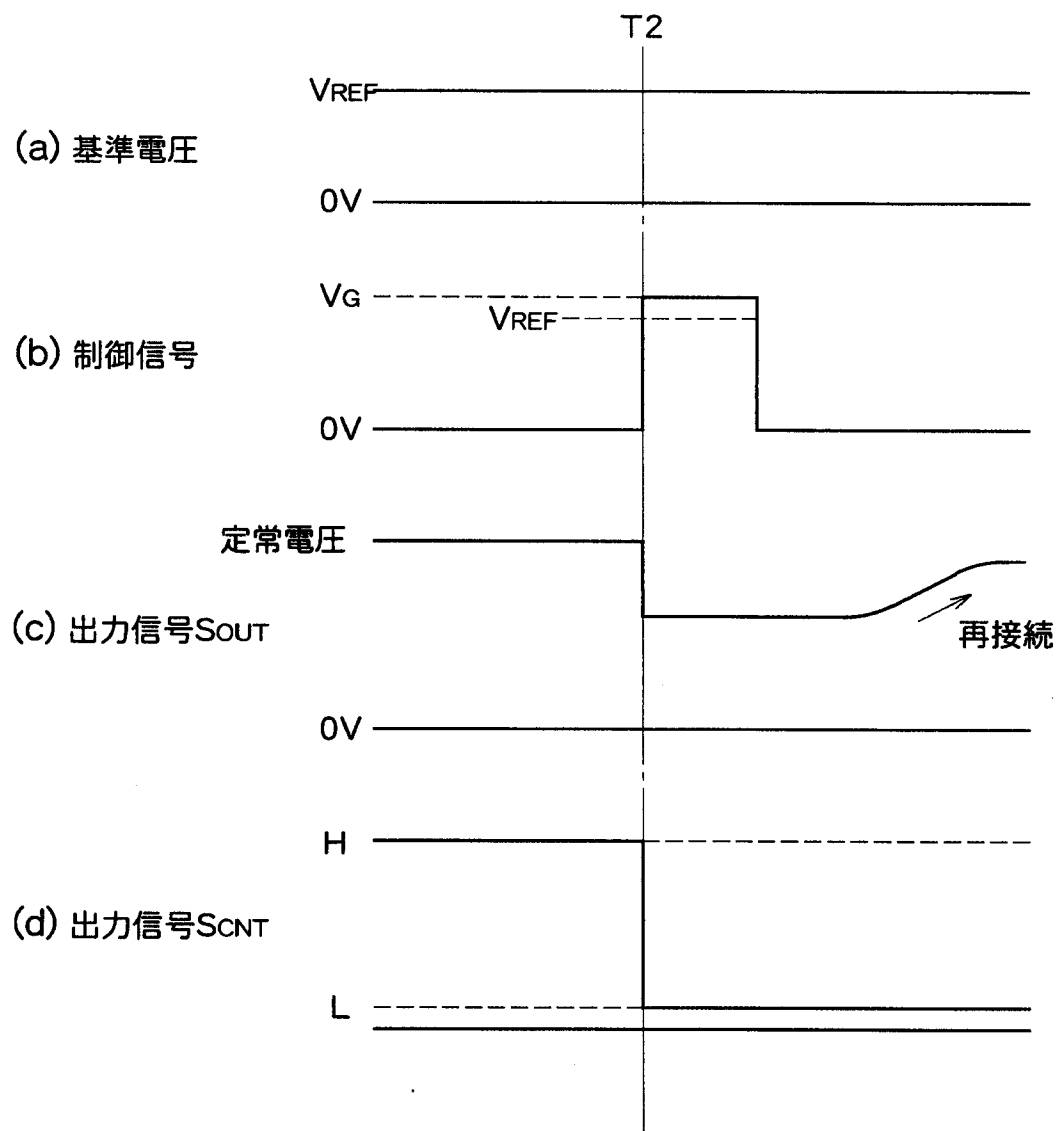
[図2]



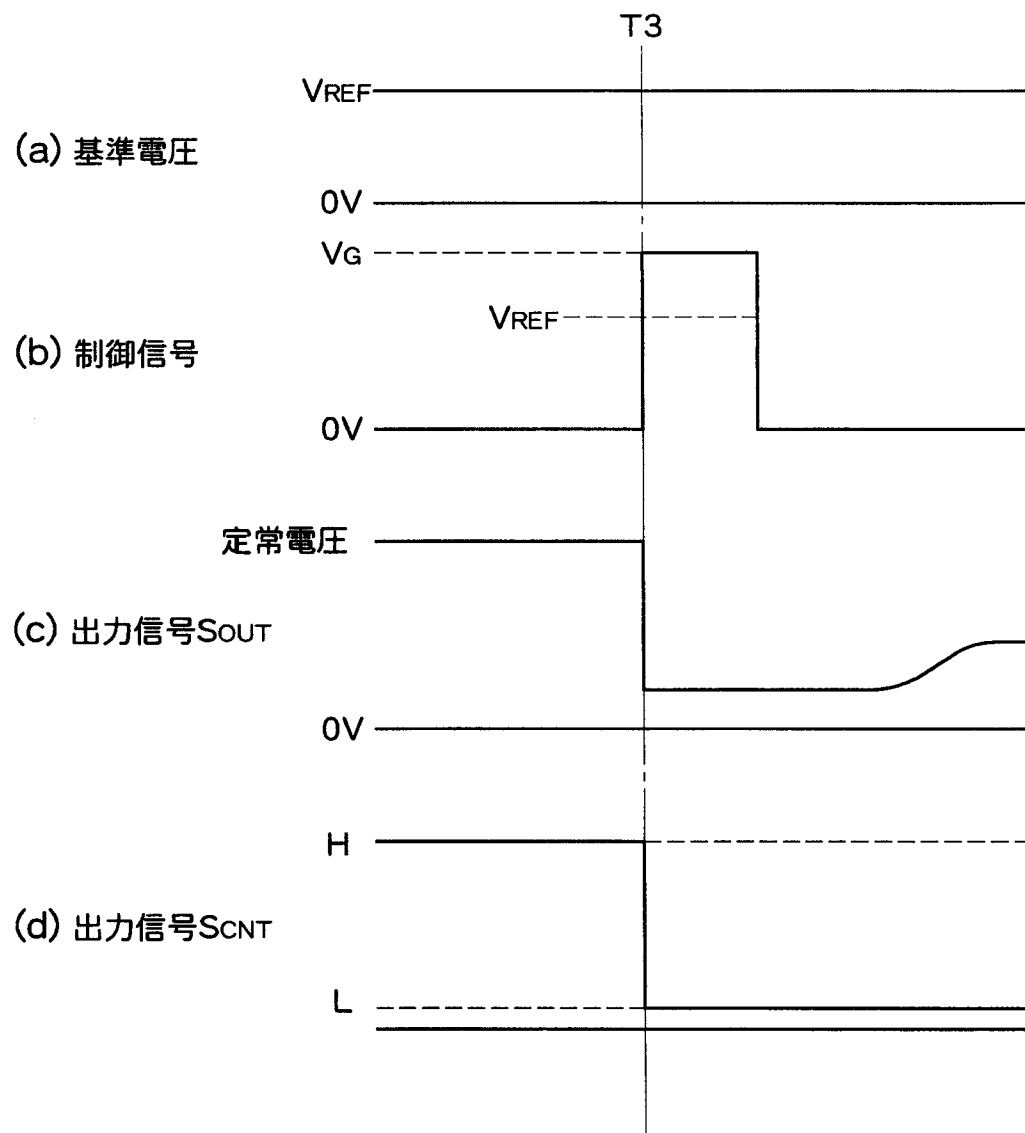
[図3]



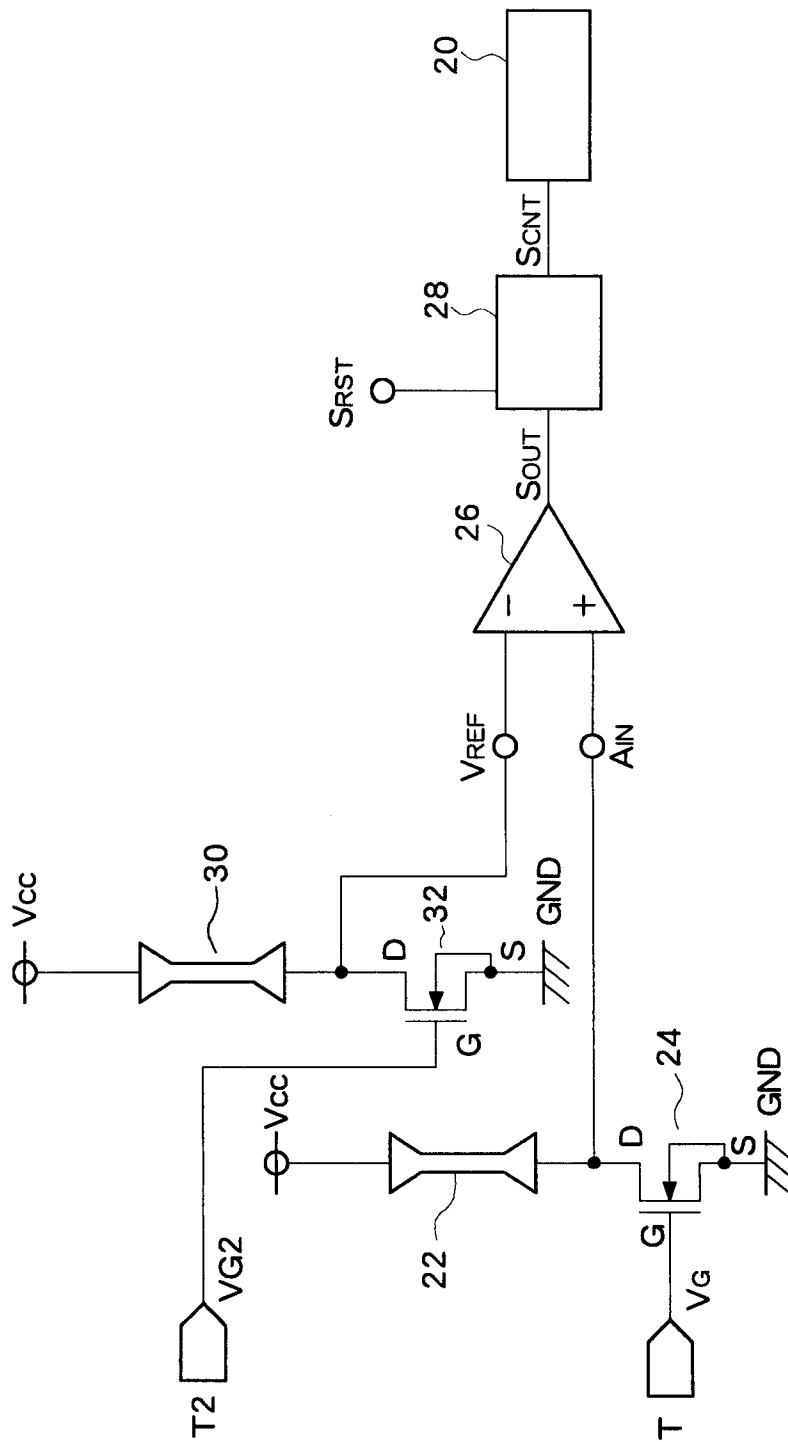
[図4]



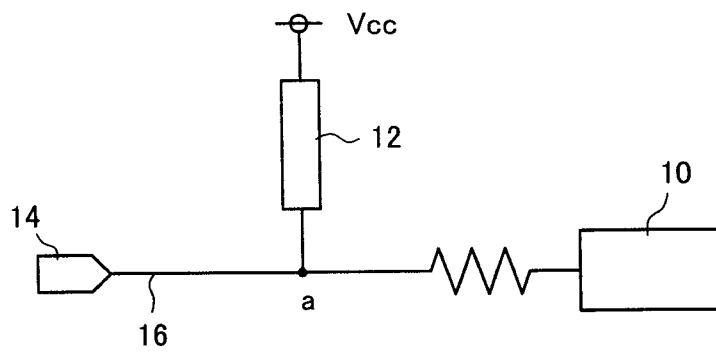
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/060540

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/82(2006.01) i, H01L21/822(2006.01) i, H01L27/04(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/82, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 03-205851 A (NEC Corp.), 09 September, 1991 (09.09.91), Page 2, lower right column, line 8 to page 4, upper right column, line 5; Figs. 1 to 2 & DE 69119102 C	1-3
Y	JP 2005-116003 A (Toshiba Corp.), 28 April, 2005 (28.04.05), Par. Nos. [0029] to [0030]; Fig. 3 & US 2005/0076274 A1	1-3
Y	JP 2003-209174 A (Yamaha Corp.), 25 July, 2003 (25.07.03), Par. Nos. [0002] to [0005]; Fig. 1 & US 2003/0122200 A1 & US 2005/0029621 A1 & US 2005/0099860 A1 & EP 1309002 A2	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 June, 2007 (07.06.07)

Date of mailing of the international search report
19 June, 2007 (19.06.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/060540

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 04-162661 A (NEC Corp.), 08 June, 1992 (08.06.92), Page 2, lower right column, line 7 to page 3, lower left column, line 6; Fig. 1 (Family: none)	1
Y	JP 04-068555 A (NEC Corp.), 04 March, 1992 (04.03.92), Page 2, lower right column, line 13 to page 3, lower right column, line 17; Figs. 1 to 3 (Family: none)	1
Y	JP 2005-332964 A (Victor Company Of Japan, Ltd.), 02 December, 2005 (02.12.05), Par. No. [0027] (Family: none)	1
A	JP 2000-031283 A (Texas Instruments Inc.), 28 January, 2000 (28.01.00), Par. No. [0002]; Fig. 4 & US 2001/0026184 A1 & US 6268760 B1	1

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/82(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/82, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 03-205851 A（日本電気株式会社） 1991.09.09, 第2頁右下欄第8行-第4頁右上欄第5行, 第1-2図 & D E 69119102 C	1-3
Y	J P 2005-116003 A（株式会社東芝） 2005.04.28, 【0029】-【0030】段落, 第3図 & U S 2005/0076274 A1	1-3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

07.06.2007

国際調査報告の発送日

19.06.2007

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

萩原 周治

4 L

3642

電話番号 03-3581-1101 内線 3498

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 3 - 2 0 9 1 7 4 A (ヤマハ株式会社) 2 0 0 3 . 0 7 . 2 5 , 【 0 0 0 2 】 - 【 0 0 0 5 】 段落、第1図、 & U S 2 0 0 3 / 0 1 2 2 2 0 0 A 1 & U S 2 0 0 5 / 0 0 2 9 6 2 1 A 1 & U S 2 0 0 5 / 0 0 9 9 8 6 0 A 1 & E P 1 3 0 9 0 0 2 A 2	1 - 3
Y	J P 0 4 - 1 6 2 6 6 1 A (日本電気株式会社) 1 9 9 2 . 0 6 . 0 8 , 第2頁右下欄第7行-第3頁左下欄第6行, 第1図 (ファミリーなし)	1
Y	J P 0 4 - 0 6 8 5 5 5 A (日本電気株式会社) 1 9 9 2 . 0 3 . 0 4 , 第2頁右下欄第13行-第3頁右下欄第1 7行, 第1-3図 (ファミリーなし)	1
Y	J P 2 0 0 5 - 3 3 2 9 6 4 A (日本ビクター株式会社) 2 0 0 5 . 1 2 . 0 2 , 【 0 0 2 7 】 段落 (ファミリーなし)	1
A	J P 2 0 0 0 - 0 3 1 2 8 3 A (テキサス インスツルメンツ インコーポレイテッド) 2 0 0 0 . 0 1 . 2 8 , 【 0 0 0 2 】 段落, 第4図 & U S 2 0 0 1 / 0 0 2 6 1 8 4 A 1 & U S 6 2 6 8 7 6 0 B 1	1