



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월05일
(11) 등록번호 10-0834478
(24) 등록일자 2008년05월27일

(51) Int. Cl.
H01L 29/73 (2006.01)
(21) 출원번호 10-2006-0110318
(22) 출원일자 2006년11월09일
심사청구일자 2006년11월09일
(65) 공개번호 10-2007-0111948
(43) 공개일자 2007년11월22일
(30) 우선권주장
JP-P-2006-00140313 2006년05월19일 일본(JP)
(56) 선행기술조사문헌
JP10294461 A
JP2001015747 A
JP2003224278 A
KR1020060045940 A

(73) 특허권자
미쓰비시덴키 가부시카가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고
(72) 발명자
하라다 타쓰오
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고 미쓰비시덴키가부시카가이샤 나이
(74) 대리인
권태복, 이화익

전체 청구항 수 : 총 15 항

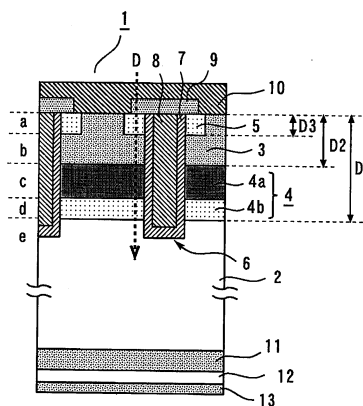
심사관 : 박근용

(54) 반도체장치 및 그 제조 방법

(57) 요약

절연 게이트형의 반도체장치에 있어서, 턴오프 시의 전력손실을 억제하면서, 콜렉터-이미터간의 온 전압을 저감한다. 제1주면 및 제2주면을 가지는 반도체기판(1)에, n형 제1베이스층(2)이 설치되고, 그 상층에 p형 제2베이스층(3)이 설치된다. 제1베이스층(2)과 제2베이스층(3) 사이에는, 캐리어 축적층(4)이 설치되어 있다. 캐리어 축적층(4)은, 고농도 불순물층(4a)과 저농도 불순물층(4b)을 가지고, 고농도 불순물층(4a)은 1.5 μm 이상의 두께이며, 이 층의 불순물 농도가 층전체에 걸쳐 $1.0 \times 10^{16} \text{ cm}^{-3}$ 이상이도록 했다. 이러한 구조로 함으로써, 턴오프 시의 전력손실을 억제하면서, 콜렉터-이미터간의 온 전압을 저감할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

제1주면 및 제2주면을 가지는 반도체기판과,
 상기 반도체기판의 상기 제1주면과 상기 제2주면 사이에 설치된 제1도전형의 제1베이스층과,
 상기 반도체기판의 상기 제1주면에 설치된 제2도전형의 제2베이스층과,
 상기 반도체기판의 상기 제1베이스층과 상기 제2베이스층 사이에 설치되어, 상기 제1베이스층보다도 불순물 농도가 높은 고농도 불순물층을 가지는 제1도전형의 캐리어 축적층과,
 상기 반도체기판의 상기 제2베이스층내에 선택적으로 설치되어, 상기 캐리어 축적층과 소정간격을 가지는 제1도전형의 이미터층과,
 상기 반도체기판의 상기 제1주면측에서 상기 이미터층 및 상기 제2베이스층을 관통하여 설치된 홈과,
 상기 홈의 내면을 덮는 절연막과,
 상기 절연막을 통해 상기 홈에 매립된 전극과,
 상기 반도체기판의 상기 제2주면에 설치된 제2도전형의 콜렉터층을 구비하고,
 상기 고농도 불순물층은 1.5 μm 이상의 두께를 가지고, 상기 고농도 불순물층의 불순물 농도는, 상기 고농도 불순물층의 전체에 걸쳐 $1.0 \times 10^{16} \text{ cm}^{-3}$ 이상인 것을 특징으로 하는 절연 게이트형 반도체장치.

청구항 2

제 1항에 있어서,
 상기 캐리어 축적층의 상기 고농도 불순물층은, 상기 제2베이스층에 접하도록 설치되고,
 상기 캐리어 축적층의 상기 고농도 불순물층이외 부분의 불순물 농도는, 상기 제1베이스층의 불순물 농도보다도 높고, 상기 고농도 불순물층의 불순물 농도보다도 낮은 것을 특징으로 하는 절연 게이트형 반도체장치.

청구항 3

제 1항에 있어서,
 상기 캐리어 축적층의 상기 고농도 불순물층은, 상기 제2베이스층과 이격하여 설치되어 있는 것을 특징으로 하는 절연 게이트형 반도체장치.

청구항 4

제 1항에 있어서,
 상기 캐리어 축적층의 상기 반도체기판의 깊이 방향의 불순물 농도는, 상기 고농도 불순물층과 그 이외의 부분과의 경계에서 계단 모양으로 변화되는 것을 특징으로 하는 절연 게이트형 반도체장치.

청구항 5

제 1항에 있어서,
 상기 고농도 불순물층의 상기 반도체기판의 깊이 방향의 불순물 농도는, $1.0 \times 10^{16} \text{ cm}^{-3}$ 이상, $1.0 \times 10^{17} \text{ cm}^{-3}$ 이하의 범위인 것을 특징으로 하는 절연 게이트형 반도체장치.

청구항 6

제 1항에 있어서,
 상기 홈은, 상기 캐리어 축적층을 관통하여 설치되어 있는 것을 특징으로 하는 절연 게이트형 반도체장치.

청구항 7

제 1항에 있어서,

상기 반도체기판의 상기 제1주면의 표면에는, 상기 이미터층과 전기적으로 접속된 이미터 전극이 설치되고,

상기 반도체기판의 상기 제2주면의 표면에는, 상기 콜렉터층과 전기적으로 접속된 콜렉터 전극이 설치되어 있는 것을 특징으로 하는 절연 게이트형 반도체장치.

청구항 8

제 1항에 있어서,

상기 캐리어 축적층은, 에피택셜성장법을 사용하여 형성된 것을 특징으로 하는 절연 게이트형 반도체장치.

청구항 9

제1주면 및 제2주면을 가지고, 이들 주면 사이에 제1도전형의 제1베이스층이 설치된 반도체기판의 상기 제1주면으로부터 제1의 깊이에 이르는 범위에서, 상기 제1베이스층보다도 불순물 농도가 높은 제1도전형의 고농도 불순물층을 가지는 캐리어 축적층을 형성하는 공정과,

상기 반도체기판의 상기 제1주면으로부터, 상기 제1의 깊이보다도 얇은 제2의 깊이에 이르는 범위에서, 상기 캐리어 축적층의 상기 고농도 불순물층에 접하는 제2도전형의 제2베이스층을 형성하는 공정과,

상기 반도체기판의 상기 제1주면으로부터, 상기 제2의 깊이보다도 얇은 제3의 깊이에 이르는 범위에서, 제1도전형의 이미터층을 선택적으로 형성하는 공정과,

상기 반도체기판의 상기 제1주면측에서 상기 이미터층 및 상기 제2베이스층을 관통하는 홈을 형성하는 공정과,

상기 홈의 내면을 절연막으로 덮는 공정과,

상기 절연막을 통해 상기 홈에 전극막을 매립하는 공정과,

상기 반도체기판의 상기 제2주면에, 제2도전형의 콜렉터층을 형성하는 공정을 구비하고,

상기 고농도 불순물층은 1.5 μm 이상의 두께를 가지고, 상기 고농도 불순물층의 불순물 농도는, 상기 고농도 불순물층의 전체에 걸쳐 $1.0 \times 10^{16} \text{ cm}^{-3}$ 이상인 것을 특징으로 하는 절연 게이트형 반도체장치의 제조방법.

청구항 10

제1주면 및 제2주면을 가지고, 이들의 주면 사이에 제1도전형의 제1베이스층이 설치된 반도체기판의 상기 제1주면으로부터 제1의 깊이에 이르는 범위에서, 상기 제1베이스층보다도 불순물 농도가 높은 제1도전형의 고농도 불순물층을 가지는 캐리어 축적층을 형성하는 공정과,

상기 반도체기판의 상기 제1주면으로부터, 상기 제1의 깊이보다도 얇은 제2의 깊이에 이르는 범위에서, 상기 캐리어 축적층의 상기 고농도 불순물층과 이격된 제2도전형의 제2베이스층을 형성하는 공정과,

상기 반도체기판의 상기 제1주면으로부터, 상기 제2의 깊이보다도 얇은 제3의 깊이에 이르는 범위에서, 제1도전형의 이미터층을 선택적으로 형성하는 공정과,

상기 반도체기판의 상기 제1주면측에서 상기 이미터층 및 상기 제2베이스층을 관통하는 홈을 형성하는 공정과,

상기 홈의 내면을 절연막으로 덮는 공정과,

상기 절연막을 통해 상기 홈에 전극막을 매립하는 공정과,

상기 반도체기판의 상기 제2주면에, 제2도전형의 콜렉터층을 형성하는 공정을 구비하고,

상기 고농도 불순물층은 1.5 μm 이상의 두께를 가지고, 상기 고농도 불순물층의 불순물 농도는, 상기 고농도 불순물층의 전체에 걸쳐 $1.0 \times 10^{16} \text{ cm}^{-3}$ 이상인 것을 특징으로 하는 절연 게이트형 반도체장치의 제조방법.

청구항 11

제 9항에 있어서,

상기 홈을 형성하는 공정에서, 상기 홈을, 상기 캐리어 축적층을 관통하여 형성하는 것을 특징으로 하는 절연 게이트형 반도체장치의 제조방법.

청구항 12

제 10항에 있어서,

상기 홈을 형성하는 공정에서, 상기 홈을, 상기 캐리어 축적층을 관통하여 형성하는 것을 특징으로 하는 절연 게이트형 반도체장치의 제조방법.

청구항 13

제 9항에 있어서,

상기 캐리어 축적층을 형성하는 공정을, 에피택셜성장법을 사용하여 행하는 것을 특징으로 하는 절연 게이트형 반도체장치의 제조방법.

청구항 14

제 10항에 있어서,

상기 캐리어 축적층을 형성하는 공정을, 에피택셜성장법을 사용하여 행하는 것을 특징으로 하는 절연 게이트형 반도체장치의 제조방법.

청구항 15

제 10항에 있어서,

상기 캐리어 축적층을 형성하는 공정을, 이온 주입법 또는 양성자 조사법을 사용하여 행하는 것을 특징으로 하는 절연 게이트형 반도체장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은, 반도체장치 및 그 제조 방법에 관하며, 특히, 절연 게이트형의 바이폴러 트랜지스터를 가지는 절연 게이트형 반도체장치 및 그 제조 방법에 관한 것이다.
- <17> 파워 반도체소자에서는, 스위칭소자로서, 트랜치 구조의 절연 게이트 바이폴러 트랜지스터(IGBT; Insulated Gate Bipolar Transistor)가 널리 이용되고 있다. 이하, IGBT의 구조에 관하여 설명한다.
- <18> 반도체기판의 제1주면과 제2주면 사이에 n형 베이스층이 설치되고, n형 베이스층의 제1주면측에 p형 베이스층이 설치된다. p형 베이스층 안에는, n형 이미터층이 선택적으로 형성되어 있다. n형 이미터층 및 p형 베이스층을 관통하도록 트랜치가 형성되고, 그 내면을 따라 절연막이 형성되어 있다. 이 절연막을 통해, 트랜치의 내부에 게이트 전극이 매립되고 있다. n형 베이스층의 제2주면측에는, p형의 콜렉터층이 설치된다.
- <19> 상기 IGBT의 동작시, 즉 게이트-이미터간에 소정의 전압이 인가되었을 때에는, p형 베이스층의 내부에서 트랜치를 따라 채널이 형성되어, 콜렉터-이미터간이 온 하고, 전류가 흐른다. 이 때의 콜렉터-이미터간의 전압, 즉 온 전압은 작은 것이 바람직하다. 또한 IGBT를 턴오프 할 때의 전력손실, 즉 턴오프 손실도 작은 쪽이 바람직하다. 일반적으로, 온 전압의 저감과 턴오프 손실의 억제, 트레이드 오프의 관계에 있다.
- <20> 특허문헌 1에는, 상기 온 전압을 저감시키기 위해, p형 베이스층과 n형 베이스층 사이에, n형 베이스층보다도 불순물 농도가 높은 캐리어 축적층을 설치한 IGBT의 구조가 개시되어 있다.
- <21> [특허문헌 1] 일본국 공개특허공보 특개2005-347289호 공보

발명이 이루고자 하는 기술적 과제

- <22> 상기 종래의 IGBT에서는, 통상, 캐리어 축적층의 n형 불순물이, 반도체기판의 깊이 방향으로 정규분포 하고 있다. 이 때문에, 캐리어 축적층의 불순물 농도가 높은 부분의 두께가 얇아져, 온 전압을 충분히 저감할 수 없다는 문제가 있었다.
- <23> 본 발명은 상기 과제를 해결하기 위한 것으로서, 턴오프 시의 전력손실을 억제하면서, 콜렉터-이미터간의 온 전압을 저감할 수 있는 절연 게이트형의 반도체장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <24> 본 발명에 따른 절연 게이트형 반도체장치는, 제1주면 및 제2주면을 가지는 반도체기판과, 상기 반도체기판의 상기 제1주면과 상기 제2주면 사이에 설치된 제1도전형의 제1베이스층과, 상기 반도체기판의 상기 제1주면에 설치된 제2도전형의 제2베이스층과, 상기 반도체기판의 상기 제1베이스층과 상기 제2베이스층 사이에 설치되어, 상기 제1베이스층보다도 불순물 농도가 높은 고농도 불순물층을 가지는 제1도전형의 캐리어 축적층과, 상기 반도체기판의 상기 제2베이스층내에 선택적으로 설치되어, 상기 캐리어 축적층과 소정간격을 가지는 제1도전형의 이미터층과, 상기 반도체기판의 상기 제1주면측으로부터 상기 이미터층 및 상기 제2베이스층을 관통하여 설치된 홈과, 상기 홈의 내면을 덮는 절연막과, 상기 절연막을 통해 상기 홈에 매립된 전극과, 상기 반도체기판의 상기 제2주면에 설치된 제2도전형의 콜렉터층을 구비하고, 상기 고농도 불순물층은 1.5 μm 이상의 두께를 가지고, 상기 고농도 불순물층의 불순물 농도는, 상기 고농도 불순물층의 전체에 걸쳐 $1.0 \times 10^{16} \text{ cm}^{-3}$ 이상인 것을 특징으로 한다.
- <25> 또한 본 발명에 따른 절연 게이트형 반도체장치의 제조 방법은, 제1주면 및 제2주면을 가지고, 이들의 주면 사이에 제1도전형의 제1베이스층이 설치된 반도체기판의 상기 제1주면으로부터 제1의 깊이로 이르는 범위에서, 상기 제1베이스층보다도 불순물 농도가 높은 제1도전형의 고농도 불순물층을 가지는 캐리어 축적층을 형성하는 공정과, 상기 반도체기판의 상기 제1주면으로부터, 상기 제1의 깊이보다도 얇은 제2의 깊이로 이르는 범위에서, 상기 캐리어 축적층의 상기 고농도 불순물층에 접하는 제2도전형의 제2베이스층을 형성하는 공정과, 상기 반도체기판의 상기 제1주면으로부터, 상기 제2의 깊이보다도 얇은 제3의 깊이로 이르는 범위에서, 제1도전형의 이미터층을 선택적으로 형성하는 공정과, 상기 반도체기판의 상기 제1주면측에서 상기 이미터층 및 상기 제2베이스층을 관통하는 홈을 형성하는 공정과, 상기 홈의 내면을 절연막으로 덮는 공정과, 상기 절연막을 통해 상기 홈에 전극막을 매립하는 공정과, 상기 반도체기판의 상기 제2주면에, 제2도전형의 콜렉터층을 형성하는 공정을 구비하고, 상기 고농도 불순물층은 1.5 μm 이상의 두께를 가지고, 상기 고농도 불순물층의 불순물 농도는, 상기 고농도 불순물층의 전체에 걸쳐 $1.0 \times 10^{16} \text{ cm}^{-3}$ 이상인 것을 특징으로 한다. 본 발명의 그 밖의 특징에 관해서는, 이하에 있어서 상세하게 설명한다.

<26> 이하, 도면을 참조하면서 본 발명의 실시예에 관하여 설명한다. 또한, 각 도에 있어서 동일 또는 해당하는 부분에는 동일한 부호를 붙이고, 그 설명을 간략화 또는 생략한다.

<27> 실시예 1

<28> 본 실시예에 따른 절연 게이트형의 반도체장치에 대해서, 도 1을 참조하면서 설명한다. 이 반도체장치는, 트랜지스터형의 절연 게이트 바이폴러 트랜지스터(Insulated Gate Bipolar Transistor ; 이하, 「IGBT」라고 한다)를 가지고 있다. 이 반도체장치는, 제1주면(상부 주면) 및 제2주면(하부 주면)을 가지는 반도체기판(1)을 사용하여 형성되고, 반도체기판(1)의 제1주면과 제2주면 사이에는, n형 불순물을 포함하는 n형(제1도전형)의 제1베이스층(2)이 설치된다. 반도체기판(1)의 제1주면에는, p형(제2도전형)의 제2베이스층(3)이 설치된다. 반도체기판(1)의 제1베이스층(2)과 제2베이스층(3) 사이에는, 캐리어 축적층(4)이 설치된다. 이 층은, 제1베이스층(2)보다도 불순물 농도가 높은 n형의 고농도 불순물층(4a)과, 고농도 불순물층(4a)보다도 불순물 농도가 낮은 저농도 불순물층(4b)을 가지고 있다.

<29> 캐리어 축적층(4)의 고농도 불순물층(4a)은, 제2베이스층(3)에 접하도록 설치되고, 캐리어 축적층(4)의 그 이외의 부분, 즉 저농도 불순물층(4b)은, 고농도 불순물층(4a)과 제1베이스층(2) 사이에 설치된다. 저농도 불순물층(4b)의 불순물 농도는, 제1베이스층(2)의 불순물 농도보다도 높고, 고농도 불순물층(4a)의 불순물 농도보다도 낮아지고 있다.

<30> 반도체기판(1)의 제1주면의 근방에서, 제2베이스층(3)안에, n형의 이미터층(5)이 선택적으로 설치된다. 이미터

층(5)은, 반도체기판(1)의 제1주면의 근방에서, 캐리어 축적층(4)과 소정간격을 갖도록 설치된다. 반도체기판(1)의 제1주면측으로부터 이미터층(5), 제2베이스층(3) 및 캐리어 축적층(4)을 관통하여, 반도체기판(1)에 트렌치(6)가 형성되어 있다. 트렌치(6)의 내면을 덮도록, 제1절연막(7)이 형성되어 있다. 이 제1절연막(7)을 통해, 트렌치(6)의 내부에 게이트 전극(8)이 매립되고 있다. 트렌치(6)의 윗면 및 이미터층(5)의 윗면을 부분적으로 덮도록, 제2절연막(9)이 형성되고 있다. 반도체기판(1)의 제1주면의 표면에서, 이미터층(5) 및 제2베이스층(3)의 노출한 부분과 접하도록((을 덮도록), 이미터 전극(10)이 형성되어 있다. 이것에 의해, 이미터 전극(10)은, 이미터층(5) 및 제2베이스층(3)과 전기적으로 접속되어 있다.

<31> 반도체기판(1)의 제2주면(하부 주면)측에서, 제1베이스층(2)을 덮도록, n형 버퍼층(11)이 설치되고, 또한 이것을 덮도록, p형 콜렉터층(12)이 설치된다. 즉 반도체기판(1)의 제2주면에 p형 콜렉터층(12)이 설치된다. 또한, 제2주면의 표면에는, p형 콜렉터층(12)을 덮도록, 콜렉터 전극(13)이 설치되고, 이 전극은, p형 콜렉터층(12)과 전기적으로 접속되어 있다.

<32> 여기에서, 도 1에 나타낸 IGBT의 동작에 관하여 설명한다. 우선, 콜렉터-이미터간에 소정의 전압을 인가하고, 게이트 전극(8)-이미터 전극(10) 사이에 소정의 전압을 인가하여, 콜렉터-이미터간을 온 상태로 한다. 이 때, 제2베이스층(3)의 트렌치(6)에 따른 영역에 채널이 형성된다. 그리고, 이미터 전극(10)으로부터 전자가 주입되어, 이미터층(5), 제2베이스층(3)에 형성된 채널, 캐리어 축적층(4)을 경유하여, 제1베이스층(2)에 이른다. 한편, 콜렉터 전극(13)으로부터 정공이 주입되어, p형 콜렉터층(12), n형 버퍼층(11)을 경유하여 제1베이스층(2)에 이른다. 이와같이 하여, 콜렉터-이미터간에 전류가 흐른다. 이 때, 캐리어 축적층(4)에는 제1베이스층(2)으로부터 주입된 정공이 축적된다. 이 정공에 의해, 전자전류의 가로방향의 퍼짐이 조장된다.

<33> 다음에 도 1의 절연 게이트형 반도체장치의 불순물 농도 프로파일에 관하여 설명한다. 도 1의 반도체기판(1)의 깊이 방향 D에 따른 이미터층(5), 제2베이스층(3), 고농도 불순물층(4a), 저농도 불순물층(4b) 및 제1베이스층(2)의 위치를 각각 a, b, c, d 및 e로 한다. 이들 위치의 반도체기판(1)의 제1주면으로부터의 깊이를 X_j 로 하고, X_j 에 대응하는 캐리어 농도를 플롯한 결과를 도 2에 나타낸다. 종래기술에 의한 반도체장치의 캐리어 농도를 점선 A로 나타내고, 본 실시예 1의 반도체장치의 캐리어 농도를 실선 B로 나타낸다.

<34> 도 2에 나타나 있는 바와 같이 점선 A(종래기술) 및 실선 B(본 실시예)의 캐리어 농도 프로파일에는, 위치a와 위치b의 경계 및 위치b와 위치c의 경계에서 오목부가 형성되어 있다. 이것은, 위치a와 위치b의 경계에서 이미터층(5)과 제2베이스층(3)의 pn접합이 형성되고, 위치b와 위치c의 경계에서 제2베이스층(3)과 캐리어 축적층(4)의 pn접합이 형성되고 있기 때문이다.

<35> 도 2의 점선 A(종래기술)로 나타낸 캐리어 농도는, 위치c, d에서는, X_j 의 증가에 따라 감소하고 있다. 즉 종래기술의 절연 게이트형 반도체장치에 있어서의 캐리어 축적층(4)의 캐리어 농도는, 반도체기판(1)의 주면으로부터의 깊이 X_j 의 증가에 따라 감소하고 있다. 이에 대하여 실선 B(본 실시예)로 나타낸 캐리어 농도는, 위치c의 $2.0\mu\text{m} \leq X_j < 4.5\mu\text{m}$ 의 범위(고농도 불순물층(4a))에 있어서 $2.0 \times 10^{16} \text{ cm}^{-3}$ 에서 거의 일정한 값을 나타내고, 또한 위치d의 $4.5\mu\text{m} \leq X_j < 6.0\mu\text{m}$ 의 범위(저농도 불순물층(4b))에 있어서 $7.0 \times 10^{14} \text{ cm}^{-3}$ 에서는 거의 일정한 값을 나타내고 있다. 그리고 위치c와 위치d의 경계에서는, 캐리어 농도가 계단 모양으로 변화되고 있다.

<36> 즉, 본 실시예의 절연 게이트형 반도체 장치에서는, 캐리어 축적층(4)은, 캐리어 농도가 $1.0 \times 10^{16} \text{ cm}^{-3}$ 이상이 되고, $1.5\mu\text{m}$ 이상의 두께의 고농도 불순물층(4a)을 포함하도록 했다. 또한 고농도 불순물층(4a)의 반도체기판(1)의 깊이 방향의 불순물 농도가 거의 일정한 값이며, $1.0 \times 10^{16} \text{ cm}^{-3}$ 이상, $1.0 \times 10^{17} \text{ cm}^{-3}$ 이하의 범위가 되도록 했다. 또한, 캐리어 축적층(4)의 반도체기판(1)의 깊이 방향의 불순물 농도가, 고농도 불순물층(4a)과 저농도 불순물층(4b)과의 경계에서 계단 모양으로 변화되는 구조로 했다.

<37> 즉 본 실시예 1에 따른 절연 게이트형 반도체 장치에서는, 캐리어 축적층(4)의 고농도 불순물층(4a)이 $1.5\mu\text{m}$ 이상의 두께를 가지고, 이 고농도 불순물층(4a)의 불순물 농도는, 고농도 불순물층(4a)의 전체에 걸쳐 $1.0 \times 10^{16} \text{ cm}^{-3}$ 이상이 되도록 했다. 그리고, 이러한 구조로 함으로써, 캐리어 축적층(4)안에서의 전자전류의 가로방향의 퍼짐을 조장시킬 수 있고, 캐리어 축적층(4)에 있어서의 정공의 축적 효과를 높일 수 있음을 알았다.

<38> 또한 본 실시예 1에서는, 트렌치(6)가, 캐리어 축적층(4)을 관통하는 구조로 했다. 여기에서, 트렌치(6)의 저면이 캐리어 축적층(4)의 내부에 설치되는 구조에서는, 제조 격차 등에 의해, 트렌치(6)의 저면의 엣지 부분이, 제1베이스층(2)과 캐리어 축적층(4)의 경계근방에 위치하는 경우가 있다. 이 경우, 콜렉터-이미터간의 내압 변동이 커지는 문제가 생긴다. 그러나, 본 실시예 1에서는, 트렌치(6)가 캐리어 축적층(4)을 관통하는 구조로 했

기 때문에, 트렌치(6)의 저면을 캐리어 축적층(4)의 저면보다도 충분히 깊게 하여, 마진을 크게 한 구조설계가 가능하게 된다. 이에 따라 제조 격차 등에 의한 콜렉터-이미터간의 내압 변동을 작게 억제할 수 있다.

<39> 다음에 본 실시예 1의 절연 게이트형 반도체장치의 온 전압 및 포화 전류에 관하여 설명한다. 도 1에 나타난 반도체장치 및 종래기술의 반도체장치의 콜렉터-이미터간의 전류-전압특성($I_{CE}-V_{CE}$ 특성)을 도 3에 나타낸다. 또한 이 도에서는 편의적으로, 콜렉터-이미터간 전류 I_{CE} 는, 반도체장치에 있어서의 직접적인 전류값이 아닌, 전류 밀도에 의해 나타내고 있다. 종래기술의 반도체장치의 25℃, 125℃에 있어서의 $I_{CE}-V_{CE}$ 특성을 각각 A(25℃), A(125℃)로 하고, 본 실시예 1의 반도체장치의 25℃, 125℃에 있어서의 $I_{CE}-V_{CE}$ 특성을 각각 B(25℃), B(125℃)로 한다.

<40> 여기에서, 도 3에 있어서, 게이트 전압(게이트-이미터간 전압) V_{GE} 을 15V(일정)로 하고, 소정의 콜렉터-이미터간 전류밀도 I_{CE} , 여기에서는 $84.5(A/cm^2)$ 의 전류가 흐를 때의 V_{CE} 를 온 전압으로 정의한다. A(25℃) 및 B(25℃)의 온 전압을 비교하면, B(25℃)의 온 전압쪽이 낮다. 또한 A(125℃) 및 B(125℃)의 온 전압을 비교하면, A(125℃)의 온 전압은 1.94V이며, B(125℃)의 온 전압은 1.81V이다. 즉 A(125℃)와 비교하여, B(125℃)의 온 전압쪽이 약 6.7% 낮다. 따라서, 25℃, 125℃중 어느 온도조건 하에서도, 본 실시예 1의 반도체장치는, 종래기술과 비교하여 온 전압을 저감할 수 있는 것을 알 수 있다.

<41> 이것은, 도 1의 고농도 불순물층(4a)이 1.5 μm 이상의 두께를 가지고, 이 층의 불순물 농도가 층전체에 걸쳐 $1.0 \times 10^{16} cm^{-3}$ 이상이 되도록 한 것에 의해, 캐리어 축적층(4)안에서의 전자전류의 가로방향의 퍼짐이 조장되어, 고농도 불순물층(4a)에 있어서의 저항값의 저감에 의한 것으로 생각할 수 있다. 또한 도 1에 나타난 반도체장치는, 온 전압을 저감시켜도 턴오프 시의 전력손실을 거의 일정하게 할 수 있는 것을 알았다. 즉, 본 실시예 1에 따른 절연 게이트형 반도체장치에 의하면, 턴오프 시의 전력손실을 억제하면서, 온 전압을 저감시킬 수 있다.

<42> 다음에 I_{CE} 의 전류가 포화된 상태의 전류, 즉 포화 전류에 대해서 비교를 행했다. A(25℃) 및 B(25℃)의 포화 전류값을 비교하면, B(25℃)의 포화 전류쪽이 작다. 마찬가지로 A(125℃) 및 B(125℃)의 포화 전류값을 비교하면, B(125℃)의 포화 전류쪽이 작다. 따라서, 25℃, 125℃의 어느 쪽의 온도조건 하에 있어서도, 본 실시예 1의 반도체장치는, 종래기술과 비교하여, 포화 전류값을 저감할 수 있는 것을 알았다. 그리고 이것으로, 본 실시예 1의 반도체장치가, 종래기술과 비교하여 단락 안전동작영역(SCSOA)등을 향상시킬 수 있다.

<43> 이상에서 설명한 바와 같이, 본 실시예 1에 따른 반도체장치에 의하면, 턴오프 시의 전력손실을 억제하면서, 콜렉터-이미터간의 온 전압을 저감할 수 있다.

<44> 다음에 본 실시예 1에 따른 반도체장치의 제조 방법에 대해서, 도 1을 참조하면서 설명한다. 우선, 제1주면(상부 주면) 및 제2주면(하부 주면)을 가지고, 이들의 주면 사이에 n형(제1도전형)의 제1베이스층(2)이 설치된 반도체기판(1)을 준비한다.

<45> 다음에 반도체기판(1)의 제1주면으로부터 제1의 깊이 D1에 이르는 범위에서, 제1베이스층(2)보다도 불순물 농도가 높은 n형의 고농도 불순물층(4a)과, 이 층보다도 불순물 농도가 낮은 저농도 불순물층(4b)을 가지는 캐리어 축적층(4)을 형성한다. 이 공정은, 에피택셜성장법을 사용하여 행한다.

<46> 에피택셜성장법을 사용하는 경우에는, 원하는 캐리어 농도를 가지는 고농도 불순물층(4a) 및 저농도 불순물층(4b)이 형성되도록, 예를 들면 AsH_3 (arsine)이나 PH_3 (phosphine)등의 반응 가스를 첨가, 조정하여, 기상에피택셜(VPE: Vapor Phase Epitaxy)을 행한다. 또한, 이 에피택셜성장 공정에서는, 본래의 캐리어 축적층(4) 뿐만 아니라, 뒤에 제2베이스층(3)이나 이미터층(5)이 형성되는 영역도 반도체기판(1)(형성시의 캐리어 농도는 고농도 불순물층 상단)으로서 형성되어 있다. 결국은, 도 1에 있어서의 D1부가 에피택셜성장장에 의해 형성되어 있다.

<47> 다음에 반도체기판(1)의 제1주면으로부터, 제1의 깊이 D1보다도 얇은 제2의 깊이 D2에 이르는 범위에서, 캐리어 축적층(4)의 고농도 불순물층(4a)에 접하는 p형(제2도전형)의 제2베이스층(3)을 형성한다. 이 공정은, 이온 주입법을 사용하여 행하고, 반도체기판(1)의 제1주면(에피택셜성장으로 형성된 고농도 불순물층 표면)으로부터 붕소 등의 p형 불순물을 주입하고, 그 후에 열처리 등을 필요에 따라 행한다. 그리고 이 제2베이스층(3)형성후에 있어서, 캐리어 축적층(4)의 고농도 불순물층(4a)이 1.5 μm 이상의 두께가 되고, 이 불순물층의 불순물 농도가, 층전체에 걸쳐 $1.0 \times 10^{16} cm^{-3}$ 이상이 되도록 한다.

- <48> 다음에 리소그래피, 이온주입 및 열처리 등에 의해, 반도체기판(1)의 제1주면으로부터, 제2의 깊이 D2보다도 얇은 제3의 깊이 D3에 이르는 범위에서, 트렌치(6)가 형성되는 영역에 맞추어 n형의 이미터층(5)을 선택적으로 형성한다.
- <49> 다음에 리소그래피 및 드라이에칭 등에 의해, 반도체기판(1)의 제1주면측에서, 선택적으로 형성된 이미터층(5), 제2베이스층(3) 및 캐리어 축적층(4)을 관통하도록, 트렌치(6)를 형성한다. 다음에 트렌치(6)의 내면을, 실리콘 산화막 등의 제1절연막(7)으로 덮는다. 다음에 제1절연막(7)을 통해, 트렌치(6)의 내부에, CVD법 등에 의해, 다결정 실리콘막 등의 도전체를 게이트 전극막(8)으로서 매립한다.
- <50> 다음에 CVD법, 리소그래피 및 드라이에칭 등에 의해, 트렌치(6)의 윗면 및 이미터층(5)의 윗면을 부분적으로 덮도록, 실리콘 산화막 등의 제2절연막(9)을 형성한다. 또한, 반도체기판(1)의 제1주면상에서, 이미터층(5) 및 제2베이스층(3)의 노출한 부분에, 알루미늄 스퍼터등에 의해 이미터 전극(10)을 형성하고, 서로 전기적인 접속이 행해진다.
- <51> 다음에 이온주입 및 열처리 등에 의해, 제1베이스층(2)의 제2주면측을 덮도록, n형 버퍼층(11)을 형성한다. 다음에 이온주입 및 열처리에 의해, n형 버퍼층(11)을 덮도록, 반도체기판(1)의 제2주면에 p형의 콜렉터층(12)을 형성한다. 또한, 반도체기판(1)의 제2주면의 표면에 알루미늄 등으로 이루어지는 콜렉터 전극(13)을 형성하여, p형 콜렉터층(12)과의 전기적인 접속이 행해진다.
- <52> 이상에서 설명한 제조 방법에 의해, 도 1에 나타난 절연 게이트형 반도체장치를 형성할 수 있다.
- <53> 실시예 2
- <54> 본 실시예에 따른 절연 게이트형의 반도체장치에 대해서, 도 4를 참조하면서 설명한다. 여기에서는, 실시예 1에서 나타난 도 1과 다른 점을 중심으로 설명한다. 실시예 1에 나타난 반도체장치는, 도 1에 나타나 있는 바와 같이, 반도체기판(1)의 위치c에 고농도 불순물층(4a)이 설치되고, 위치d에 저농도 불순물층(4b)이 설치된 구조였다. 이에 대하여 본 실시예 2에서는, 도 4에 나타나 있는 바와 같이 제2베이스층(3) 아래에, 제2베이스층(3)과 소공간격(D4-D2)을 두고, 고농도 불순물층(4a)만으로 이루어지는 캐리어 축적층(4)이 설치된 구조로 한다. 즉 본 실시예 2에서는, 캐리어 축적층(4)의 고농도 불순물층(4a)이, 제2베이스층(3)의 하층에, 제2베이스층(3)과 이격되어 설치된 구조로 한다. 그 밖의 구성에 대해서는, 실시예 1에서 나타난 도 1과 같다.
- <55> 상기 구조로 함으로써, 캐리어 축적층(4)을 형성하기 위한 불순물이 분포되는 범위와, 제2베이스층(3)을 형성하기 위해 불순물이 분포하는 범위가 겹치는 것을 방지할 수 있다. 즉, 이러한 구조이면, 종래기술에 의한 반도체장치와 같이, 그 불순물 농도가 정규분포를 가지는 캐리어 축적층에 제2베이스층(3)을 형성할 필요가 없고, 불순물 농도분포가 평탄한 영역에 제2베이스층(3)을 형성할 수 있기 때문에, 제2베이스층(3)을 안정되게 형성하는 것이 가능하게 된다.
- <56> 이 때문에, 제2베이스층(3)의 불순물 농도분포의 변동을 억제할 수 있고, 이미터층(5)의 저면과 제2베이스층(3)의 저면과의 간격이 좁아지는 것(단 채널화)을 방지할 수 있다. 따라서, 실시예 1의 효과와 마찬가지로, 포화 전류를 작게 억제할 수 있고, 그 변동도 저감할 수 있다. 이 결과, 콜렉터-이미터간의 내압 변동을 저감할 수 있다.
- <57> 다음에 도 4의 절연 게이트형 반도체장치의 불순물 농도 프로파일에 대해, 도 5를 참조하면서 설명한다. 여기에서는, 실시예 1에서 나타난 도 2와 다른 점을 중심으로 설명한다. 본 실시예 2에 의한 반도체장치의 캐리어 농도를 실선C로 나타낸다. 점선 A(종래기술)로 나타난 캐리어 농도는, 위치c, d의 범위에서는, X_j 의 증가에 따라 감소하고 있다. 이에 대하여 실선C(본 실시예 2)로 나타난 캐리어 농도는, 위치c의 $2.0\mu\text{m} \leq X_j < 4.5\mu\text{m}$ 의 범위에서는, $9.0 \times 10^{13} \text{ cm}^{-3}$ 이며, 거의 일정한 값이다. 또한 이 캐리어 농도는, 위치d의 $4.5\mu\text{m} \leq X_j \leq 6.0\mu\text{m}$ 의 범위(캐리어 축적층(4))에 있어서 $2.0 \times 10^{16} \text{ cm}^{-3}$ 이며, 거의 일정한 값이다. 또한, 이 캐리어 농도는 위치e의 $6.0\mu\text{m} < X_j \leq 10\mu\text{m}$ 의 범위에 있어서 $9.0 \times 10^{13} \text{ cm}^{-3}$ 에서 거의 일정하며, 위치c의 캐리어 농도와 동일하다. 그리고 위치c와 위치d의 경계 및 위치d와 위치e의 경계에서는, 캐리어 농도가 계단 모양으로 변화되고 있다. 그 밖의 구성에 대해서는, 실시예 1에서 나타난 도 2와 같다.
- <58> 다음에 본 실시예 2의 절연 게이트형 반도체장치의 온 전압 및 포화 전류에 대해서 도 6을 참조하면서 설명한다. 여기에서는, 실시예 1에서 나타난 도 3과 다른 점을 중심으로 설명한다. 도 3과 마찬가지로, 종래기술의 반도체장치의 25℃, 125℃에 있어서의 $I_{CE}-V_{CE}$ 특성을 각각 A(25℃), A(125℃)로 하고, 본 실시예 2의 반

도체장치의 25℃, 125℃에 있어서의 $I_{CE}-V_{CE}$ 특성을 각각 C(25℃), C(125℃)로 한다. A(25℃) 및 C(25℃)의 온 전압을 비교하면, C(25℃)의 온 전압쪽이 낮다. 또한 A(125℃) 및 C(125℃)의 온 전압을 비교하면, A(125℃)의 온 전압은 1.94V이며, C(125℃)의 온 전압은 1.86V이다. 즉 A(125℃)와 비교하여, C(125℃)의 온 전압쪽이 약 4.1% 낮다. 따라서, 25℃, 125℃중 어느 온도조건 하에서도, 본 실시예 2의 반도체장치는, 종래기술과 비교하여 온 전압을 저감할 수 있는 것을 알 수 있다.

- <59> 이상에서 설명한 바와 같이, 본 실시예 2에 따른 절연 게이트형 반도체장치에 의하면, 실시예 1에서 얻을 수 있는 효과와 마찬가지로, 콜렉터-이미터간의 포화 전류를 작게 억제할 수 있고, 그 변동도 저감할 수 있다. 이 결과, 상기 전극간의 내압 변동을 저감할 수 있다.
- <60> 다음에 본 실시예 2에 따른 절연 게이트형 반도체장치의 제조 방법에 대해서, 도 4를 참조하면서 설명한다. 여기에서는, 실시예 1에서 설명한 제조 방법과 다른 점을 중심으로, 즉, 캐리어 축적층(4)의 형성 방법을 중심으로 설명한다.
- <61> 실시예 1에서는, 반도체기판(1)의 제1주면에서 제1의 깊이 D1에 이를 때까지의 범위(도 1의 위치a, b, C 및 d)에서 캐리어 축적층(4)을 에피택셜성장법을 사용하여 형성하고, 그 후에 반도체기판(1)의 제1주면으로부터, 제1의 깊이 D1보다도 얇은 제2의 깊이 D2에 이르는 범위에서, 캐리어 축적층(4)의 고농도 불순물층(4a)에 접하는 p형의 제2베이스층(3)을 형성하도록 했다.
- <62> 이에 대하여 본 실시예 2에서는, 캐리어 축적층(4)의 고농도 불순물층(4a)을, 반도체기판(1)의 제1주면으로부터의 깊이 D2보다도 깊은, 제4의 깊이 D4로부터 제1의 깊이 D1의 범위(도 4의 위치d)로 형성한다. 그리고 이 공정은, 에피택셜성장법 뿐만아니라, 고에너지 이온 주입법 및 양성자 조사법중 어느 하나의 방법을 사용하여 행할 수 있다.
- <63> 에피택셜성장법을 사용할 경우에는, 실시예 1과 기본적으로 동일하며, 원하는 캐리어 농도를 가지는 캐리어 축적층(4)인 고농도 불순물층(4a) 및 제1베이스층(2)이 형성되도록, 예를 들면 AsH₃(arsine)이나 PH₃(phosphine) 등의 반응 가스를 첨가, 조정하여 기상에피택셜(VPE)을 행한다.
- <64> 또한, 이 에피택셜성장 공정에서는, 본래의 캐리어 축적층(4) 및 제1베이스층(2) 뿐만아니라, 뒤에 제2베이스층(3)이나 이미터층(5)이 형성되는 영역도 반도체기판(1)(형성시의 캐리어 농도는 제1베이스층 상당)으로서 형성하고 있다. 결국은, 도 4에 있어서의 D1부가 에피택셜 성장에 의해 형성되고 있다.
- <65> 또한 고에너지 이온 주입법을 사용하는 경우에는, 반도체기판(1)의 제1주면으로부터 원하는 깊이에, 원하는 농도의 불순물층이 형성되도록, 주입 가속도를 적당하게 조절하면서, 인이나 비소 등의 n형 불순물을 주입한다.
- <66> 이외에도, 인이나 비소 등의 n형 불순물을 이온주입 하는 대신에, 양성자(¹H⁺)조사를 사용해도 된다.
- <67> 이 공정 후에, 반도체기판(1)의 제1주면으로부터, 제4의 깊이 D4보다도 얇은 제2의 깊이 D2에 이르는 범위에서, 캐리어 축적층(4)의 고농도 불순물층(4a)과 이격되도록, p형의 제2베이스층(3)을 형성한다. 그리고 이후, 이미터층(5) 외에 있어서의 형성 공정은, 실시예 1과 같다.
- <68> 이상에서 설명한 제조 방법에 의해, 도 4에 나타난 절연 게이트형 반도체장치를 형성할 수 있다.

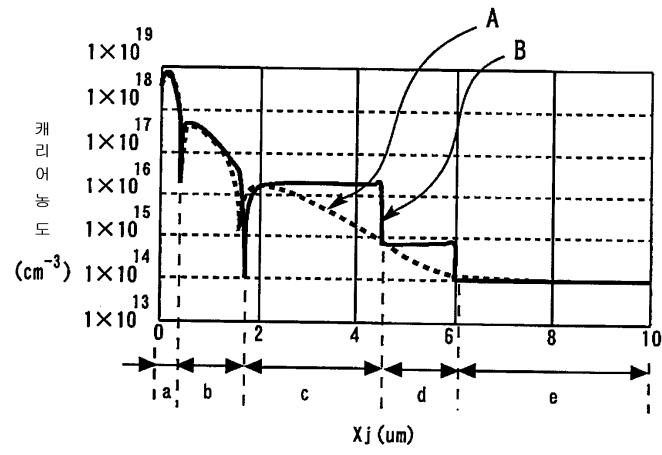
발명의 효과

- <69> 본 발명에 의하면, 턴오프 시의 전력손실을 억제하면서, 콜렉터-이미터간의 온 전압을 저감할 수 있는 절연 게이트형의 반도체장치 및 그 제조 방법을 얻을 수 있다.

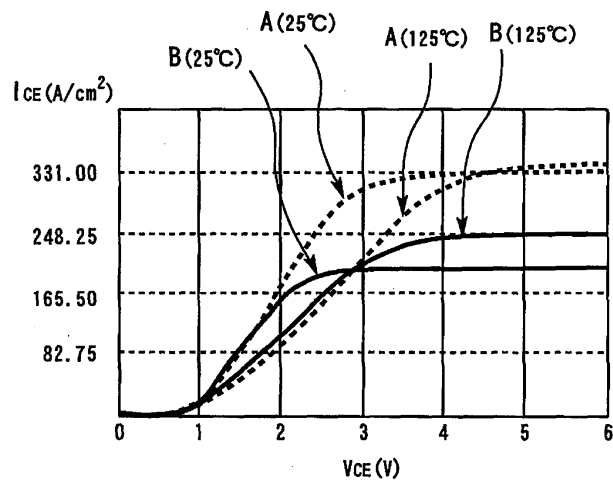
도면의 간단한 설명

- <1> 도 1은 실시예 1에 따른 절연 게이트형 반도체장치의 단면도,
- <2> 도 2는 도 1의 절연 게이트형 반도체장치의 캐리어 농도 프로파일을 나타내는 도면,
- <3> 도 3은 도 1의 절연 게이트형 반도체장치의 콜렉터-이미터간의 전류-전압특성을 나타내는 도면,
- <4> 도 4는 실시예 2에 따른 절연 게이트형 반도체장치의 단면도,
- <5> 도 5는 도 4의 절연 게이트형 반도체장치의 캐리어 농도 프로파일을 나타내는 도면,

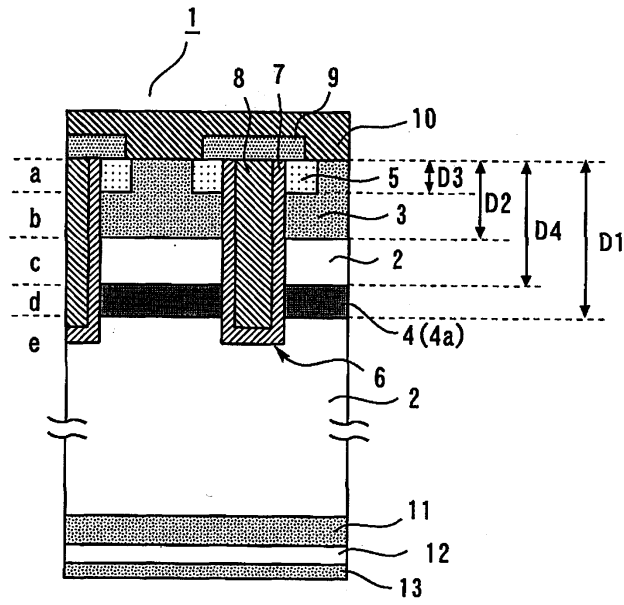
도면2



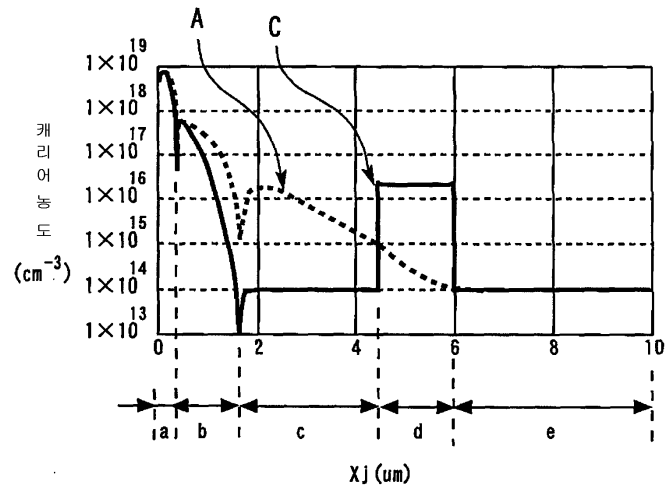
도면3



도면4



도면5



도면6

