



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201225215 A1

(43)公開日：中華民國 101 (2012) 年 06 月 16 日

(21)申請案號：099143909

(22)申請日：中華民國 99 (2010) 年 12 月 15 日

(51)Int. Cl. : **H01L21/8234(2006.01)**

H01L21/336 (2006.01)

(71)申請人：大中積體電路股份有限公司 (中華民國) SINOPOWER SEMICONDUCTOR INC.
(TW)

新竹市新竹科學工業園區篤行一路 6 號 7 樓

(72)發明人：林永發 LIN, YUNG FA (TW)；徐守一 HSU, SHOU YI (TW)；詹景晴 CHAN, JING QING (TW)；鄭事展 CHENG, SHIH CHAN (TW)

(74)代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：15 項 圖式數：9 共 24 頁

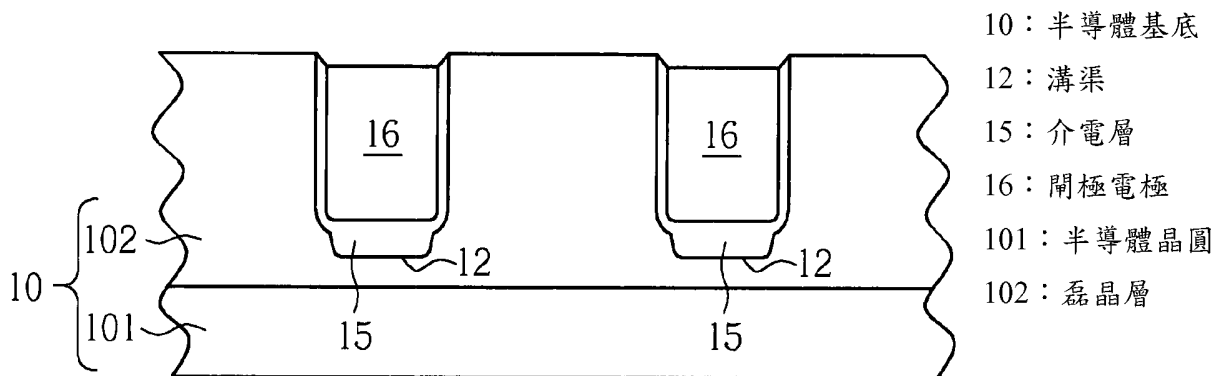
(54)名稱

製作溝渠式功率半導體元件的方法

METHOD OF MANUFACTURING TRENCH POWER SEMICONDUCTOR DEVICE

(57)摘要

本發明提供一種製作溝渠式功率半導體元件的方法。此方法包括：提供一半導體基底，蝕刻該半導體基底，以於該半導體基底中形成複數個溝渠，接著進行一離子佈植製程，然後對該等溝渠底部進行蝕刻，接著於該溝渠之側壁及底部形成一介電層，其中該溝渠之底部的該介電層厚度大於該溝渠之側壁的該介電層厚度，然後將一導電材料填入該等溝渠中，以形成該溝渠式功率半導體元件之閘極電極。



六、發明說明：

【發明所屬之技術領域】

本發明係關於一種製作溝渠式功率半導體元件的方法，尤指一種製作具有低閘極電容之溝渠式功率半導體元件的方法。

【先前技術】

功率金氧半場效電晶體(Power Metal Oxide Semiconductor Field Effect Transistor，簡稱 Power MOSFET)是一種可以廣泛使用在類比電路與數位電路的場效電晶體，由於具有低導通電阻及高切換速度的優點，功率金氧半場效電晶體已成為高頻低壓功率元件的主流。目前常見應用於電腦主機板、電源供應器、汽車電子點火系統、電池系統、電燈安定器及通訊設備上，主要的功能為功率轉換(Power Conversion)、功率放大(Amplification)、切換開關(Switch)、線路保護(Protection)以及整流(Rectify)等。

功率金氧半場效電晶體的切換速率主要是由閘極的充放電狀況所影響，功率金氧半場效電晶體在切換的過程中會損失能量，這些損失的能量會轉變成熱能的型式而使得效能降低。切換時所損失的能量跟切換的時間有直接的關係，而切換時間又跟結構中的電容值的大小有關，其中閘極電容主要受存在於閘極與汲極之間的電容量(Cgd)影響最大。

於習知的溝渠式功率金氧半場效電晶體之結構中，當需提高元件密度以縮小元件面積以及提升單位面積可提供之電流時，閘極溝渠的寬度必須隨之縮小，造成閘極與汲極之間的電容量(C_{gd})變大，使閘極的充放電速度變慢而影響元件的效能。要降低溝渠式功率金氧半場效電晶體的閘極與汲極之間的電容量，可藉由增加溝渠底部的閘極介電層的厚度來達成。然而，於習知的溝渠式功率金氧半場效電晶體製程中，增加溝渠底部的閘極介電層厚度同時也會使溝渠側壁上的閘極介電層厚度增加，而溝渠側壁上的閘極介電層厚度增加則會造成溝渠式功率金氧半場效電晶體元件的起始電壓升高，因而無法同時兼顧低起始電壓與高頻率操作的需求。

【發明內容】

本發明之目的之一在於提供一種製作溝渠式功率半導體元件的方法，可解決習知技術無法兼顧低起始電壓與高頻率操作的問題。

為達上述目的，本發明提供一種製作溝渠式功率半導體元件之方法。上述方法包括下列步驟：首先，提供一半導體基底。接著，以蝕刻方式於該半導體基底中形成複數個溝渠。然後，進行一離子佈植製程，以於該等溝渠之該等側壁植入至少一離子。接著，進行一溝渠底部蝕刻製程，對該等溝渠之該等底部進行蝕刻。然後，於該等溝渠之該等側壁及該等底部形成一介電層，其中各該溝渠之該底部的該介電層厚度大於各該溝渠之該側壁的該介電層厚度。最後，於各該溝渠內填入一導電材料，其中該導電材料係作為該溝渠

式功率半導體元件之閘極電極。

本發明利用於溝渠內進行離子佈植製程後，對溝渠底部進行蝕刻，降低溝渠之底部及溝渠之底部與側壁交界處受離子植入影響所造成的離子摻雜不均勻現象，使得後續閘極介電層生長時能維持良好的表面輪廓，且同時增加溝渠底部之閘極介電層厚度以降低閘極電容。因此本發明之低閘極電容溝渠式功率半導體元件可用於溝渠式功率金氧半場效電晶體並兼顧低起始電壓與高頻率操作的需求。

【實施方式】

請參考第 1 圖至第 9 圖。第 1 圖至第 9 圖繪示了本發明的製作溝渠式功率半導體元件之方法的一較佳實施例的示意圖。首先如第 1 圖所示，提供一半導體基底 10，在本實施例中，半導體基底 10 可為合適之半導體材質所構成之單層或複合層之半導體基材，例如半導體基底 10 可包括一 n 型摻雜之半導體晶圓 101，以及一磊晶層 102，例如 n 型輕摻雜磊晶層，但不以此為限。接著如第 1 圖所示，於半導體基底 10 的表面形成一圖案化硬遮罩層 11，隨後再利用圖案化硬遮罩層 11 當作蝕刻硬遮罩來對半導體基底 10 進行一蝕刻製程，例如非等向性蝕刻製程，以在半導體基底 10 中蝕刻形成複數個溝渠 12。

然後如第 2 圖所示，進行一離子佈植製程 13，以於半導體基底 10 內之各溝渠 12 的側壁分別植入至少一種離子。在本實施例中，

此離子佈植製程 13 係以降低各溝渠 12 的底部及各溝渠 12 的底部與側壁交界處被植入離子的程度及可能性為前提所加以選擇者，例如其可為一斜向(tilt)離子佈植製程，但不以此為限。而且，此離子佈植製程 13 所植入之離子可為氮離子等不影響元件電性的離子類型，但本發明亦不以此為限。接續可依產品需求或依元件特性考量另選擇性進行一離子佈植製程，用來植入導電摻質以調整此溝渠式功率半導體元件的閾值電壓(threshold voltage, V_{th})。同時，在本實施例中，溝渠的深寬比、圖案化硬遮罩層 11 的厚度與斜向離子佈植製程的角度均亦為重要製程調整參數，較佳者不讓各溝渠 12 的底部及各溝渠 12 的底部與側壁交界處被植入離子，此外，用來形成溝渠 12 的圖案化硬遮罩層 11 並不在溝渠 12 形成之後直接被移除，圖案化硬遮罩層 11 還被利用於後續離子佈植製程及後續進行其他蝕刻製程時對半導體基底 10 的表面形成保護作用，以降低半導體基底 10 的表面被植入離子的程度及可能性。

如第 3 圖所示，在離子佈植製程 13 之後，於半導體基底 10 上全面形成一保護層 14。在本實施例中，保護層 14 係利用一化學氣相沉積(CVD)製程所形成，但本發明並不以此為限。

如第 4 圖所示，在保護層 14 形成後，隨即進行一蝕刻製程來移除各溝渠 12 內之底部的保護層 14，以於各溝渠 12 的側壁分別形成一側壁子(spacer)14S。在本實施例中，該蝕刻製程可為一非等向性乾蝕刻製程。

在形成側壁子 14S 之後，如第 5 圖所示，本較佳實施例會再對溝渠 12 之底部進行一溝渠底部蝕刻製程，用以移除各溝渠 12 的底部以及溝渠 12 底部與側壁交界處可能被離子佈植製程 13 植入離子的部分半導體基底 10，進而確保各溝渠 12 之底部的半導體基底 10 均無離子佈植製程 13 所植入的氮離子，以避免後續於溝渠 12 內生長介電層時造成介電層表面輪廓均勻性不佳的狀況。其中，於進行該溝渠底部蝕刻製程時，側壁子 14S 更同時兼具扮演保護溝渠 12 之側壁的角色，以有效確保溝渠 12 之側壁被離子佈植製程 13 形成的離子植入效果不受影響。

如第 6 圖所示，於該溝渠底部蝕刻製程之後，接著進行一剝離蝕刻製程，以將側壁子 14S 及圖案化硬遮罩層 11 一併移除。在本實施例中，該剝離蝕刻製程可為一等向性濕蝕刻製程，但本發明並不以此為限。同時該剝離蝕刻製程對側壁子 14S、圖案化硬遮罩層 11 與半導體基底 10 具有一相當的蝕刻選擇比，用以降低該剝離蝕刻製程對溝渠 12 之側壁處的半導體基底 10 的蝕刻性，進而能確保溝渠 12 之側壁被離子佈植製程 13 形成的離子植入效果不受影響。

如第 7 圖所示，之後於溝渠 12 表面形成一介電層 15，其中，形成於溝渠 12 之側壁的介電層 15 係用做本發明之溝渠式功率半導體元件的閘極介電層(Gate Insulator)，而且形成於溝渠 12 之底部的介電層 15 厚度大於形成在溝渠 12 之側壁的介電層 15 厚度。在本實

施例中，形成介電層 15 之步驟較佳係利用一熱氧化製程，故介電層 15 為氧化矽層，但亦不以此為限。此外，值得注意的是，由於溝渠 12 之側壁被離子佈植製程 13 形成的離子植入效果於該溝渠底部蝕刻製程時被側壁子 14S 所保護，故於形成介電層 15 時，溝渠 12 之側壁會受到先前離子佈植製程 13 植入之氮離子的影響，造成在進行該熱氧化製程時，介電層 15 於溝渠 12 之側壁上的氧化生成速率相對慢於溝渠 12 之底部的介電層 15 的氧化生成速率，而形成介電層 15 於溝渠 12 底部厚度較厚的情況。換句話說，本發明係利用僅對溝渠 12 之側壁佈植氮離子的方法來增加溝渠 12 之底部的介電層 15 的厚度，且同時維持溝渠 12 之側壁的介電層厚度為相對較薄的狀況，即可有效達到降低溝渠式功率半導體元件之閘極電容且不增加其閘極電壓(V_{th}) 的目的。

如第 8 圖所示，在形成介電層 15 之後，於溝渠 12 內填入一導電材料，其中該導電材料係作為該溝渠式功率半導體元件之閘極電極 16。在本實施例中，該導電材料係由一半導體材料，例如多晶矽，並藉由一同步(in-situ)摻雜方式或離子佈植等方式形成一摻雜半導體層，然後再藉由一黃光蝕刻製程(Photo-Etching Process)將溝渠 12 以外之該導電材料去除，但本發明不以此為限。

如習知該項技藝者與通常知識者所熟知，在形成閘極電極 16 之後，接著如第 9 圖所示，於半導體基底 10 中形成至少一基體摻雜區(body)17，並於基體摻雜區 17 內形成至少一源極區 18。然後於半

導體基底 10 上方全面形成一層間介電層 19，覆蓋閘極電極 16、基體摻雜區 17 與源極區 18。隨後選擇性蝕刻部份之層間介電層 19 直至源極區 18，以於層間介電層 19 中蝕刻出所需之接觸插塞洞 20，然後再進行一離子佈植製程，經由各接觸插塞洞 20 而於基體摻雜區 17 內形成一重摻雜區 21 並電連接源極區 18。接著於各接觸插塞洞 20 中形成導電層，例如先形成包含鈦、氮化鈦等之阻障層，再沉積鎢等之主導電層，然後再進行化學機械研磨(CMP)等之平坦化(Planarization)製程，以於層間介電層 19 中形成一源極接觸插塞 22 實質接觸重摻雜區 21。最後於層間介電層 19 上形成一源極金屬層 23，且源極接觸插塞 22 電連接重摻雜區 21 與源極金屬層 23，至此完成溝渠式功率半導體元件 40 的製程。此外，本較佳實施例亦可在形成接觸插塞洞 20 之後，直接於層間介電層 19 上以及接觸插塞洞 20 中形成一導電金屬層，以同時形成源極金屬層 23 與源極接觸插塞 22。在本實施例中，基體摻雜區 17 係為一 p 型基體，源極區 18 為 n+ 型摻雜，重摻雜區 19 係為 p+ 型區，而源極接觸插塞 21 係為鎢，但本發明並不以此為限。

綜上所述，本發明利用於溝渠內進行離子佈植製程後，搭配一側壁子的形成及對溝渠底部進行蝕刻，降低溝渠之底部及溝渠之底部與側壁交界處受離子植入影響所造成的離子摻雜不均勻現象，使得後續閘極介電層生長時能維持良好的輪廓形狀，且同時增加閘極溝渠底部之介電層的厚度以降低閘極電容。因此，利用本發明僅對溝渠之側壁佈植氮離子的方法所製備之溝渠式功率半導體元件，不

但具有低閘極電容，而且同時兼顧低閾值電壓與高頻率操作的需
求，進而可改善因閘極介電層形狀不良因素造成之良率及可靠度不
佳的問題。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍
所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

● 第 1 圖至第 9 圖繪示了本發明的製作溝渠式功率半導體元件之方法
的一較佳實施例的示意圖。

【主要元件符號說明】

10	半導體基底	101	半導體晶圓
102	磊晶層	11	圖案化硬遮罩層
12	溝渠	13	離子佈植製程
14	保護層	14S	側壁子
15	介電層	16	閘極電極
17	基體摻雜區	18	源極區
19	層間介電層	20	接觸插塞洞
21	重摻雜區	22	源極接觸插塞
23	源極金屬層	40	溝渠式功率半導體元件

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99 143909 H01L 21/8234 (2006.01)
 ※ 申請日： H01L 21/336 (2006.01)
 ※IPC 分類：

一、發明名稱：(中文/英文)

製作溝渠式功率半導體元件的方法/METHOD OF MANUFACTURING
TRENCH POWER SEMICONDUCTOR DEVICE

二、中文發明摘要：

本發明提供一種製作溝渠式功率半導體元件的方法。此方法包括：提供一半導體基底，蝕刻該半導體基底，以於該半導體基底中形成複數個溝渠，接著進行一離子佈植製程，然後對該等溝渠底部進行蝕刻，接著於該溝渠之側壁及底部形成一介電層，其中該溝渠之底部的該介電層厚度大於該溝渠之側壁的該介電層厚度，然後將一導電材料填入該等溝渠中，以形成該溝渠式功率半導體元件之閘極電極。

三、英文發明摘要：

A method of manufacturing a trench power semiconductor device is provided. The method of manufacturing a trench power semiconductor device includes: providing a semiconductor substrate; forming a plurality of trenches in the semiconductor substrate by an etching process; executing a ion implantation process; etching a part of bottoms of the trenches; forming an insulating layer on the sidewall and the bottom of the trench, wherein a depth of the insulating layer on the

bottom of the trench is larger than a depth of the insulating layer on the sidewall of the trench; and then filling the trenches with a conductive material to form gate electrodes of the trench power semiconductor devices.

七、申請專利範圍：

1. 一種製作溝渠式功率半導體元件之方法，包括：
 - 提供一半導體基底；
 - 蝕刻該半導體基底，以於該半導體基底中形成複數個溝渠；
 - 對該等溝渠之側壁進行一離子佈植製程；
 - 進行一溝渠底部蝕刻製程，以對該等溝渠之底部的該半導體基底進行蝕刻；
 - 於該等溝渠之側壁及底部上形成一介電層，其中形成於各該溝渠之該底部的該介電層厚度大於形成於各該溝渠之側壁的該介電層厚度；以及
 - 於各該溝渠內填入一導電材料。
2. 如請求項第 1 項所述之方法，其中該半導體基底包括一半導體晶圓及一形成於該半導體晶圓上的磊晶層。
3. 如請求項第 2 項所述之方法，其中該半導體晶圓包括一 n 型摻雜晶圓，該磊晶層包括一 n 型輕摻雜磊晶層。
4. 如請求項第 1 項所述之方法，其中該離子佈植製程包括一斜向(tilt)離子佈植製程。
5. 如請求項第 1 項所述之方法，其中該離子佈植製程包括氮離子佈

植製程。

6. 如請求項第 1 項所述之方法，其中於進行該溝渠底部蝕刻製程之前，該方法另包括一於各該溝渠之側壁分別形成一側壁子(spacer)的步驟，以避免該溝渠底部蝕刻製程對各該溝渠之該側壁造成破壞。
7. 如請求項第 6 項所述之方法，其中形成該等側壁子的方法另包括：
 - 進行一化學氣相沉積(CVD)製程，以於該等溝渠之側壁及底部分別形成一保護層；以及
 - 進行一非等向性蝕刻製程，蝕刻各該溝渠之底部的該保護層，以於各該溝渠之側壁分別形成該等側壁子。
8. 如請求項第 7 項所述之方法，其中該非等向性蝕刻製程為乾式蝕刻製程。
- 9. 如請求項第 1 項所述之方法，其中形成該介電層之步驟係利用一熱氧化製程。
10. 如請求項第 9 項所述之方法，其中該介電層包括氧化矽。
11. 如請求項第 1 項所述之方法，其中該導電材料包括經摻雜的多晶矽。

12. 如請求項第 1 項所述之方法，更進一步包括：

於該半導體基底內形成至少一基體摻雜區(body)；

於該基體摻雜區內形成至少一源極區；

於該半導體基底上方全面形成一層間介電層；

蝕刻該層間介電層，以於該層間介電層中形成至少一接觸插塞洞；

透過該接觸插塞洞於該基體摻雜區內形成至少一重摻雜區；

於該接觸插塞洞中形成至少一源極接觸插塞，接觸該重摻雜區；

以及

於該層間介電層上形成一源極金屬層，其中該源極接觸插塞電連接該重摻雜區與該源極金屬層。

13. 如請求項第 12 項所述之方法，其中該基體摻雜區係為一 p 型基體。

14. 如請求項第 12 項所述之方法，其中該源極接觸插塞包括鎢。

15. 如請求項第 12 項所述之方法，其中該重摻雜區係為 p+型區。

八、圖式：

12. 如請求項第 1 項所述之方法，更進一步包括：

於該半導體基底內形成至少一基體摻雜區(body)；

於該基體摻雜區內形成至少一源極區；

於該半導體基底上方全面形成一層間介電層；

蝕刻該層間介電層，以於該層間介電層中形成至少一接觸插塞洞；

透過該接觸插塞洞於該基體摻雜區內形成至少一重摻雜區；

於該接觸插塞洞中形成至少一源極接觸插塞，接觸該重摻雜區；

以及

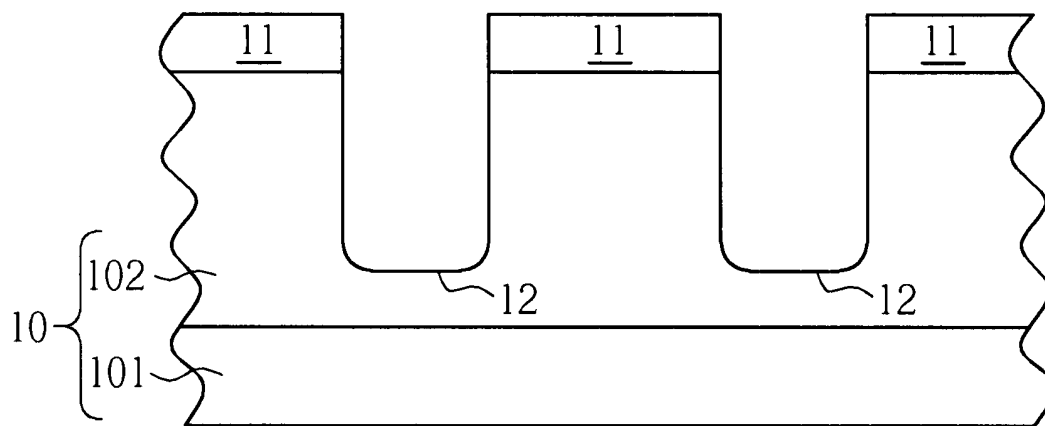
於該層間介電層上形成一源極金屬層，其中該源極接觸插塞電連接該重摻雜區與該源極金屬層。

13. 如請求項第 12 項所述之方法，其中該基體摻雜區係為一 p 型基體。

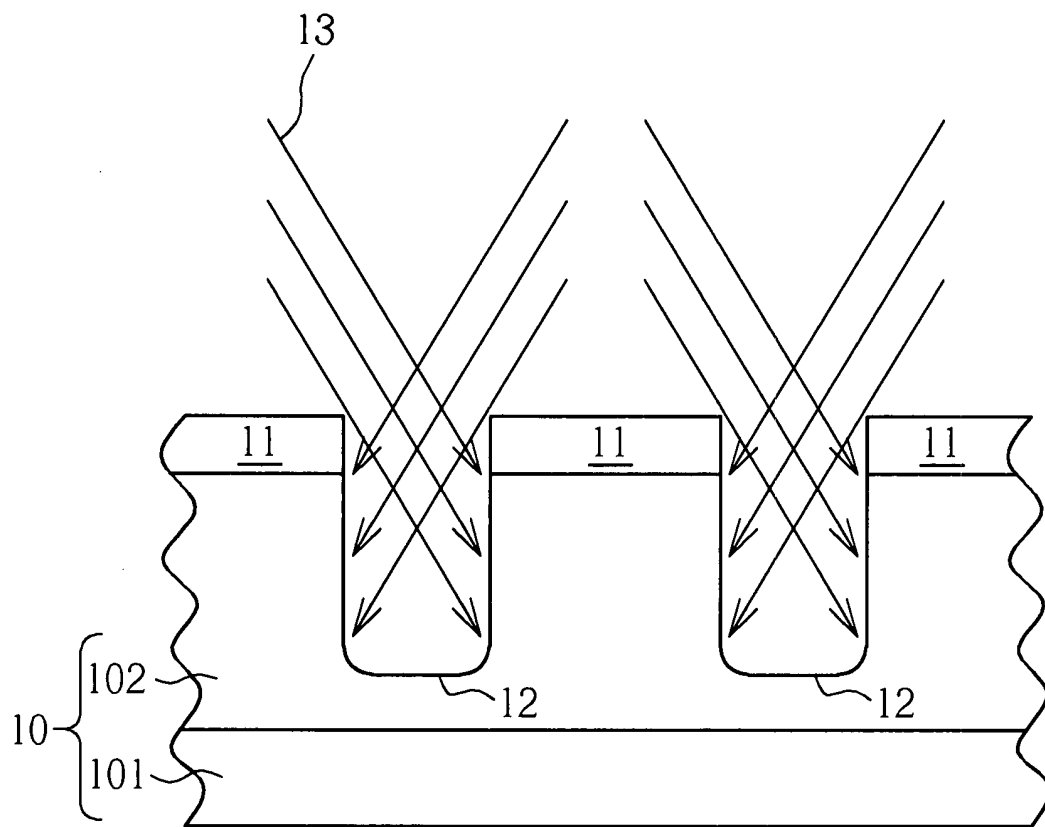
14. 如請求項第 12 項所述之方法，其中該源極接觸插塞包括鎢。

15. 如請求項第 12 項所述之方法，其中該重摻雜區係為 p+型區。

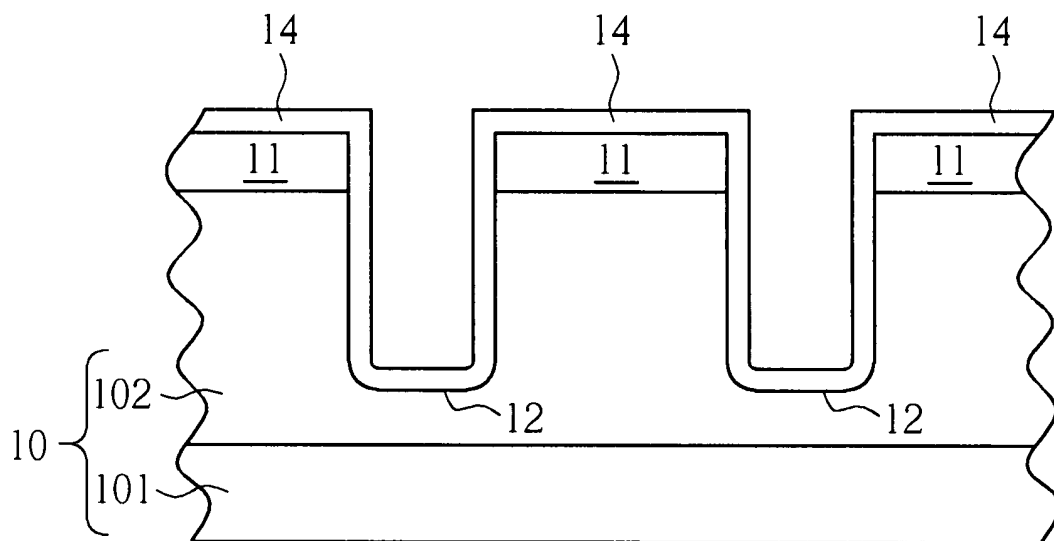
八、圖式：



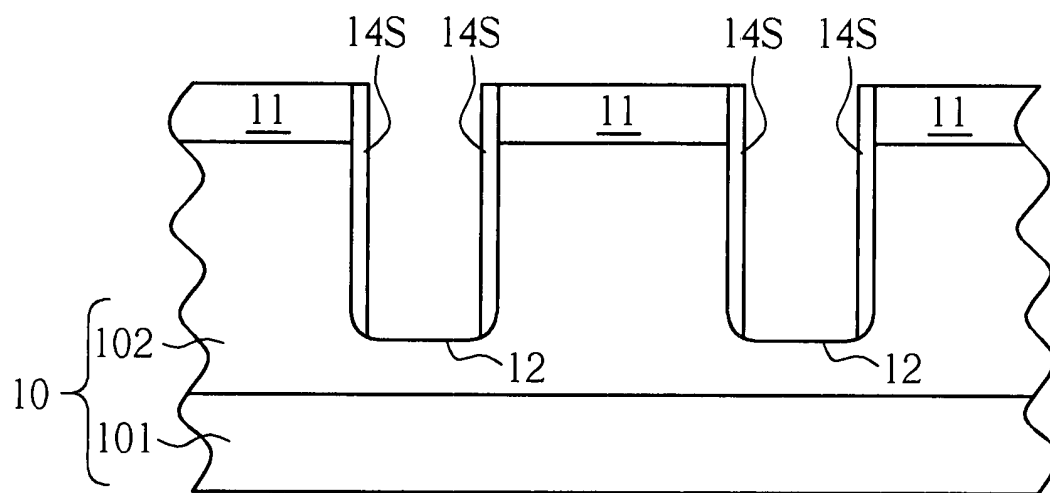
第1圖



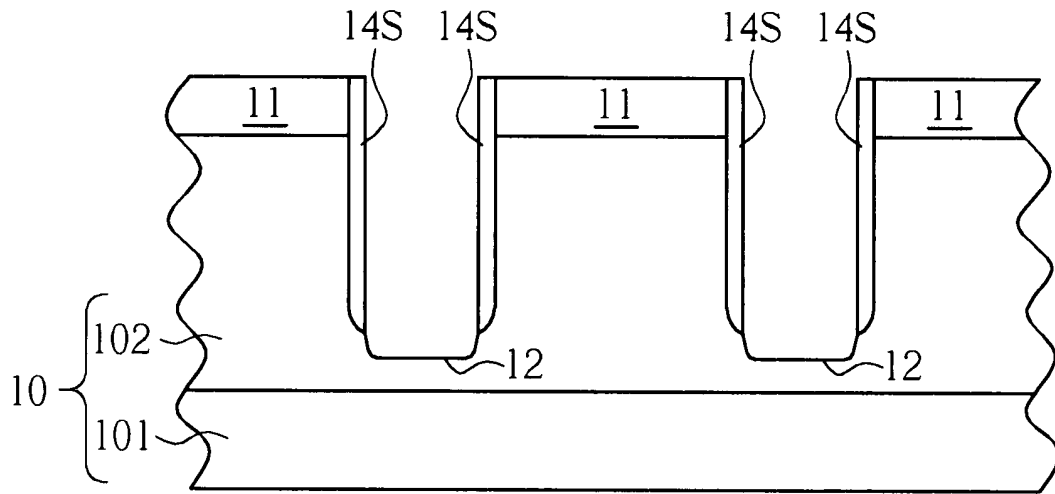
第2圖



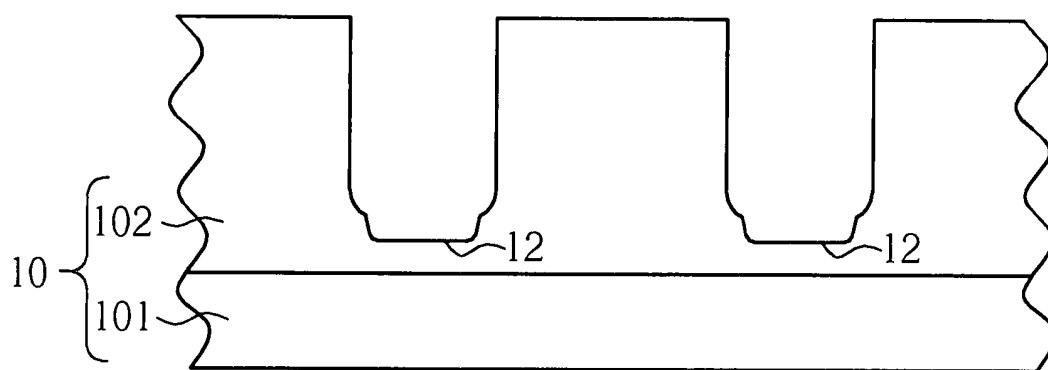
第3圖



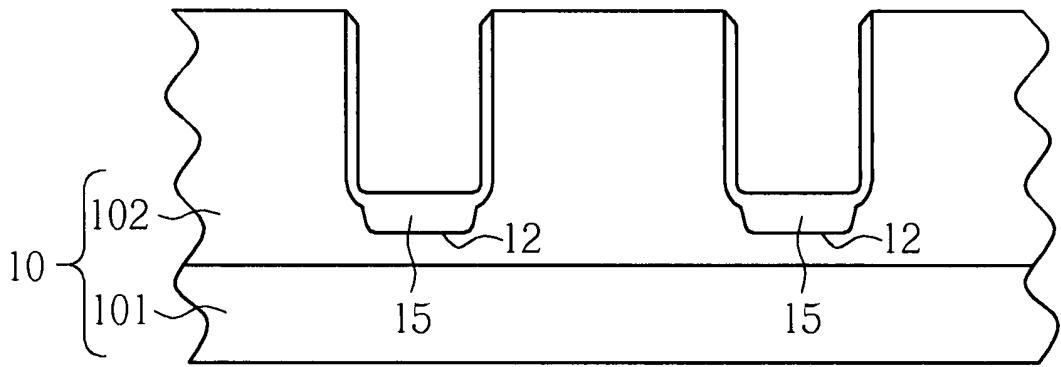
第4圖



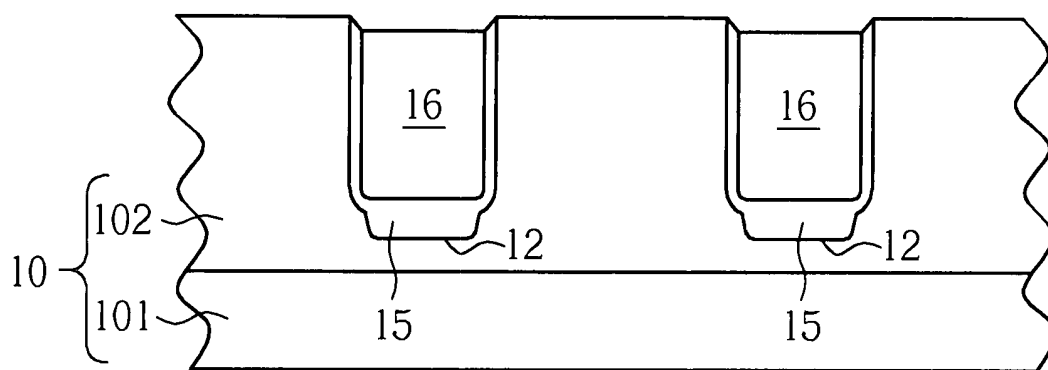
第5圖



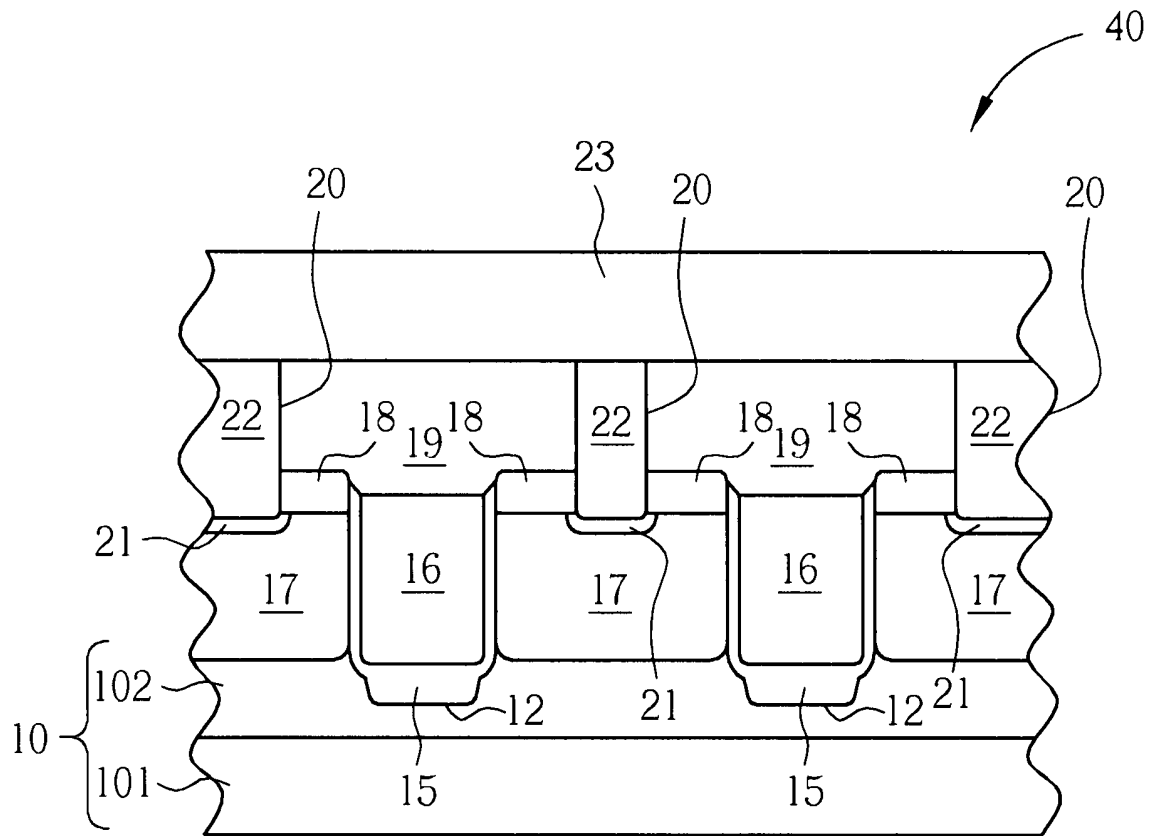
第6圖



第7圖



第8圖



第9圖

四、指定代表圖：

(一)本案指定代表圖為：第(8)圖。

(二)本代表圖之元件符號簡單說明：

10 半導體基底

101 半導體晶圓

102 磊晶層

12 溝渠

15 介電層

16 閘極電極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無