

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5274823号
(P5274823)

(45) 発行日 平成25年8月28日 (2013. 8. 28)

(24) 登録日 平成25年5月24日 (2013. 5. 24)

(51) Int. Cl.		F I	
H03K	17/08 (2006.01)	H03K	17/08 C
H03K	17/687 (2006.01)	H03K	17/687 A
H02H	11/00 (2006.01)	H02H	11/00 F
H02H	3/20 (2006.01)	H02H	3/20 A

請求項の数 12 (全 12 頁)

(21) 出願番号	特願2007-319450 (P2007-319450)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成19年12月11日 (2007.12.11)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2009-147994 (P2009-147994A)	(74) 代理人	100103894 弁理士 冢入 健
(43) 公開日	平成21年7月2日 (2009.7.2)	(72) 発明者	中原 明宏 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
審査請求日	平成22年8月6日 (2010.8.6)	審査官	永田 和彦

最終頁に続く

(54) 【発明の名称】 電力供給制御回路

(57) 【特許請求の範囲】

【請求項1】

電源電圧がそれらの間に印加される第1および第2電源ライン、前記第1電源ラインと負荷が接続される出力端子との間に設けられた出力トランジスタ、前記出力端子に前記負荷からの逆起電圧が印加されるときに導通して前記第1電源ラインと前記出力トランジスタの制御端子との間に第1電気通路を形成するスイッチトランジスタ、ならびに電源電圧が前記第1および第2電源ラインに逆方向に印加された場合は前記第2電源ラインと前記出力トランジスタの制御端子との間に第2電気通路を形成して前記出力トランジスタを導通状態とすると共に、前記電源電圧が正常に印加された場合は前記第2電気通路を切断状態にする制御手段を備える電力供給制御回路。

【請求項2】

前記制御手段は、前記出力トランジスタの制御端子と前記第2電源ラインとの間に設けられ前記第2電気通路を形成するスイッチング素子、および前記出力端子と前記第2電源ラインとの間に設けられ前記第2電気通路を切断状態にする第2スイッチトランジスタを有する請求項1に記載の電力供給制御回路。

【請求項3】

前記制御手段は、前記第2スイッチトランジスタの制御端子に、前記電源電圧が正常に印加された場合は前記第2電源ラインの電圧にほぼ等しい電圧を与え、前記電源電圧が逆方向に印加された場合は前記第1電源ラインの電圧にほぼ等しい電位を与えると共に、前記第2スイッチトランジスタの基板端子に、前記電源電圧が正常に印加された場合は前記第

2 電源ラインの電圧にほぼ等しい電圧を与え、前記電源電圧が逆方向に印加された場合は前記出力端子の電圧を与えるゲート電圧制御回路をさらに有する請求項 2 に記載の電力供給制御回路。

【請求項 4】

前記ゲート電圧制御回路は、前記出力端子と前記第 2 スイッチトランジスタの基板端子との間に直列に接続された第 1 および第 2 トランジスタ、前記第 2 電源ラインと前記第 2 スイッチトランジスタの基板端子との間に直列に接続された第 3 および第 4 トランジスタとを有し、前記第 1 および第 2 トランジスタの制御端子は前記第 2 電源ラインに、第 3 および第 4 トランジスタの制御端子は前記出力端子にそれぞれ接続されている請求項 3 に記載の電力供給制御回路。

10

【請求項 5】

前記ゲート電圧制御回路は、前記第 1 電源ラインと出力ノードとの間に接続されたダイオード、および前記出力ノードと前記第 2 電源ラインとの間に接続された抵抗とを有し、前記出力ノードが前記第 2 スイッチトランジスタの制御端子に接続されている請求項 3 又は 4 に記載の電力供給制御回路。

【請求項 6】

前記ゲート電圧制御回路は、前記第 1 電源ラインと出力ノードとの間に直列に接続された第 5 および第 6 トランジスタ、および前記出力ノードと前記第 2 電源ラインとの間に直列に接続された第 7 および第 8 トランジスタを有し、前記第 5 および第 6 トランジスタの制御端子は前記第 2 電源ラインに、前記第 7 および第 8 トランジスタの制御端子は前記第 1 電源ラインにそれぞれ接続されており、前記出力ノードが前記第 2 スイッチトランジスタの制御端子に接続されている請求項 3 又は 4 に記載の電力供給制御回路。

20

【請求項 7】

第 1 電源ラインと出力端子との間に接続される出力トランジスタと、前記出力端子と第 2 電源ラインとの間に接続される負荷と、前記出力トランジスタの制御端子と前記出力端子との間に接続されたゲート電荷放電用スイッチと、前記第 1 電源ラインと前記出力端子との間に電圧差を制限するダイナミッククランプ回路および前記ダイナミッククランプ回路と前記出力トランジスタの制御端子との間に接続され基準電圧と前記出力端子の電圧との比較結果に基づいて導通状態が決定される第 1 のスイッチを有する過電圧保護回路と、電源の逆接続時に前記出力トランジスタの制御端子へ電荷を供給する電源逆接続保護回路と、一端が前記出力端子に接続され他端が第 1 の抵抗を介して第 3 電源ラインに接続されている第 2 スイッチと、この第 2 スイッチの制御端子を、電源の接続状態に応じて前記第 1 電源ラインまたは前記第 3 電源ラインに切り換えると共に、前記第 2 スイッチの基板端子を、電源の接続状態および前記出力端子の状態によって前記出力端子または前記第 3 電源ラインに切り換える制御回路とを備える電力供給制御回路。

30

【請求項 8】

前記第 2 スイッチと前記出力端子との間に接続されたダイオードをさらに備える請求項 7 に記載の電力供給制御回路。

【請求項 9】

前記制御回路は、前記第 1 電源ラインと前記第 2 スイッチの制御端子との間に接続されたダイオードと、前記第 2 スイッチの制御端子と前記第 3 電源ラインとの間に接続された抵抗とを有する請求項 7 または 8 に記載の電力供給制御回路。

40

【請求項 10】

前記制御回路は、前記第 1 電源ラインと前記第 2 スイッチの制御端子との間に直列に接続された第 1 および第 2 トランジスタ、および前記第 2 スイッチの制御端子と前記第 3 電源ラインとの間に直列に接続された第 3 および第 4 トランジスタを有し、前記第 1 および第 2 トランジスタの制御端子は前記第 3 電源ラインに、前記第 3 および第 4 トランジスタの制御端子は前記第 1 電源ラインにそれぞれ接続されている請求項 7 または 8 に記載の電力供給制御回路。

【請求項 11】

50

前記電源逆接続保護回路は、前記出力トランジスタの制御端子と前記第2スイッチおよび前記抵抗の接続点との間に設けられたトランジスタを有する請求項7乃至10のいずれかに記載の電力供給制御回路。

【請求項12】

前記制御回路は、前記出力端子と前記第2スイッチの基板端子との間に直列に接続された第5および第6トランジスタ、前記第3電源ラインと前記第2スイッチの基板端子との間に直列に接続された第7および第8トランジスタとをさらに有し、前記第5および第6トランジスタの制御端子は前記第3電源ラインに、第7および第8トランジスタの制御端子は前記出力端子にそれぞれ接続されている請求項7乃至11のいずれかに記載の電力供給制御回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電力供給制御回路に関し、特に、負荷への電力供給制御を行う出力トランジスタを電源ラインに重畳され得る過電圧から保護する機能（以下、過電圧保護機能）と共に、電源の逆接続に対しても保護する機能（以下、電源逆接続保護機能）を有する電力供給制御回路に関する。

【背景技術】

【0002】

過電圧保護機能を備えた電力供給制御回路として、例えば特許文献1に開示されたものがある。その構成を図1を用いて説明するが、本回路100は、ゲート電荷放電回路108、ゲート抵抗107、出力MOSトランジスタ109、第1のスイッチ110、ダイナミッククランプ回路111、負荷112を有している構成されている。

20

【0003】

過電圧保護機能は、出力トランジスタのゲートと電源ライン101（バッテリー電源等のプラス端子が接続）との間にスイッチトランジスタ110とクランプ用ダイオード111を直列に設けると共に、トランジスタ110のゲートに基準電圧として接地電位（バッテリー電源のマイナス端子が電氣的に接続）130を印加することによって得られる。その動作については、特許文献1に詳述されているので、省略する。

【0004】

30

一方、電源逆接続保護機能を備えた電力供給制御回路としては、例えば特許文献2に開示されたものがある。その構成を図2を用いて説明する。なお、図1と同一の構成要素は同じ番号で示すが、制御用Nchスイッチとしてのトランジスタ114を第3の電源として示した電源ライン（バッテリー電源のマイナス端子が電氣的に接続）103と出力トランジスタ116との間に接続することにより、特許文献2に説明されているように、電源を逆接続した場合に、トランジスタ114の寄生ダイオード115を介して出力トランジスタ109に電荷を与えることでこれを導通状態とし保護を行っている。

【0005】

なお、図1および図2で負荷112の一端が接続された第2の電源としての電源ライン102にはバッテリー電源のマイナス端子が接続される。

40

【0006】

【特許文献1】特開2007-028747号公報

【特許文献2】特開2007-019812号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

このように、過電圧保護機能として図1が、電源逆接続保護機能として図2がそれぞれ提案されているが、これら機能を両方とも搭載した電力供給制御回路が望まれている。この場合、図1のトランジスタ109のゲートとバッテリー電源のマイナス端子が接続される電源ラインとの間に、図2に従って制御スイッチトランジスタ114を設けることが考

50

えられるが、かかる構成では、負荷 112 が出力トランジスタ 109 の非導通に伴い逆起電圧を発生した際に、スイッチ 110 が導通せず出力トランジスタ 109 に対して所定のクランプ電圧が印加されない、という問題が生じる。

【0008】

すなわち、過電圧保護機能のためのトランジスタ 110 は、出力トランジスタ 109 の非導通状態への変化に伴い負荷 112 が発生する逆起電力に応じて導通する必要があり、そのメカニズムは、出力端子 106 の負荷逆起電力に伴う負電圧への変化をトランジスタ 108 およびゲート抵抗 107 を介して出力トランジスタ 109 のゲートに伝え、これによって、トランジスタ 110 を導通するのである。ところが、出力トランジスタ 109 のゲート電位が低下しようとする、電源逆接続機能として設けられたトランジスタ 114 が有する寄生ダイオード 115 が導通し、出力トランジスタ 109 のゲート電位の低下が抑えられ、結果として、トランジスタ 110 の導通が妨げられることになる。

【課題を解決するための手段】

【0009】

本発明による電力供給制御回路は、電源電圧がそれらの間に印加される第 1 および第 2 電源ライン、前記第 1 電源ラインと負荷が接続される出力端子との間に設けられた出力トランジスタ、前記出力端子に前記負荷からの逆起電圧が印加されるときに導通して前記第 1 電源ラインと前記出力トランジスタの制御端子との間に第 1 電気通路を形成するスイッチトランジスタ、ならびに電源電圧が逆方向に印加された場合は前記第 2 電源ラインと前記出力トランジスタの制御端子との間に第 2 電気通路を形成して前記出力トランジスタを導通状態とすると共に、前記電源電圧が正常に印加された場合は前記第 2 電気通路を切断状態にする第 2 制御手段を備えることを特徴としている。

【発明の効果】

【0010】

このように、本発明では、電源電圧が逆方向に接続された場合、出力トランジスタの制御端子に対して電気通路が形成されるので、出力トランジスタを導通せしめている。この電気通路は、電源が正常に接続された場合、切断されるようになっているので、所期の動作に対し影響は与えず、スイッチトランジスタは負荷の逆起電圧に対して導通し出力トランジスタを保護することになる。

【0011】

かくして、出力トランジスタは、電源の正常接続時でも逆接続時でも保護することができる。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0013】

図 3 に、本発明実施の形態 1 による電力供給制御回路 300 を示す。本回路 300 は、ゲート電荷放電回路 108、ゲート抵抗 107、出力トランジスタ 109、第 1 のスイッチ 110、ダイナミッククランプ回路 111、ドライバ回路 113、電源逆接続保護用スイッチ 114、抵抗 118、第 2 のスイッチ 121、バックゲート (BG) 制御回路 122、および負荷 112 を有している。なお、ゲート抵抗 107 は省略しても良い。

【0014】

出力トランジスタ 109 は N チャネル MOS の所謂ハイサイド構成としてされており、その第 1 の端子 (例えば、ドレイン) は第 1 の電源ライン (例えば、バッテリー電源のプラス端子) 101 に接続されており、第 2 の端子 (例えば、ソース) は負荷 112 を介して第 2 の電源ライン (例えば、バッテリー電源のマイナス端子であって接地電位) 102 に接続されている。出力トランジスタ 109 と負荷 112 との接続点は出力端子 106 となる。出力トランジスタ 109 の制御端子 (例えば、ゲート) はゲート抵抗 107 の一端が接続され、その他端には、ドライバ回路 104 から第 1 の制御信号 104 が入力される。ゲート抵抗 107 の他端と出力端子 106 との間にはゲート電荷放電回路 108 が接続

されている。

【0015】

ゲート電荷放電回路108は、本実施の形態では、Nチャンネル型のMOSトランジスタで構成される。このトランジスタ108のドレインはゲート抵抗107の他端に、ソースは出力端子106にそれぞれ接続され、ゲートにはドライバ回路113から第2の制御信号105が供給される。

【0016】

出力トランジスタ109の制御端子(ゲート)には、電源逆接続保護スイッチとしてNチャンネルMOSトランジスタ114のドレインが接続され、そのソースは抵抗118を介して電源ライン103(バッテリー電源のマイナス端子が電氣的に接続)に接続される。トランジスタ114のゲートは自己のソースと接続されている。

10

【0017】

出力トランジスタ109が有する寄生ダイオード116はアノードが出力端子106に接続され、カソードが第1の電源101に接続される。トランジスタ114が有する寄生ダイオード115は、そのアノードが第1の抵抗118の一端に、カソードが出力トランジスタ109の制御端子に接続されるものとなる。ドライバ回路113は、電源ライン101および103間に接続され、両ライン間の電圧を電源として動作する。

【0018】

過電圧保護機能のために、出力トランジスタ109のゲートと電源ライン101との間には第1のスイッチ110とダイナミッククランプ回路111が直列に接続されている。本実施の形態では、第1のスイッチ110はNチャンネル型MOSトランジスタで構成され、ダイナミッククランプ回路111は1つのツェナーダイオードで構成される。

20

【0019】

トランジスタ110のソースは出力トランジスタ109のゲートに、ドレインはダイナミッククランプ回路111のアノードに、制御端子(例えば、ゲート)は基準電圧ノード130に、基板端子(バックゲート)は出力端子106にそれぞれ接続されている。ダイナミッククランプ回路111のカソードは、電源ライン101に接続されている。基準電圧ノード130には、電源電圧が正常に印加された場合は、ほぼ接地電位(電源ライン103の電位)が現れる。

【0020】

スイッチトランジスタ110は、基準電圧ノード130の電位と出力MOSトランジスタ109のゲート電圧とを比較して、2つの電位差が第1のスイッチ110であるMOSトランジスタの閾値以上となった場合に導通状態となる。

30

【0021】

ダイナミッククランプ回路111は、アノード-カソード間の電圧差がダイオードの降伏電圧以上になった場合に、アノード-カソード間の電圧差を所定の電圧値(例えば、ダイナミッククランプ電圧)以下に制限する回路である。負荷112は、ソレノイド等のインダクタンス成分を有するL負荷、あるいは出力端子に接続されるワイヤーハーネスのインダクタンス成分である。

【0022】

本電力供給制御回路300は、さらに、出力端子106と第1の抵抗118との間に第2のスイッチ121が接続されている。第2のスイッチ121は、本実施の形態では、Nチャンネル型のMOSトランジスタで構成され、そのドレイン/ソースの一方は出力端子106と接続され、他方は第1の抵抗118の一端に接続されている。一方、他方と記したのは、回路動作上ソースにもドレインにもなるためである。そして、トランジスタ121の制御端子(ゲート(フロントゲートともいう))および基板端子(バックゲート)にはゲート電圧制御回路122から後述するゲート電圧が供給されている。

40

【0023】

図4を参照すると、ゲート電圧制御回路122は電源ライン101および103間に直列に接続されたダイオード120および抵抗119からなるバイアス制御回路125を備

50

え、その出力ノード123の電位がトランジスタ121のゲートに供給される。したがって、電源が正常に接続された場合は、ダイオード120は非導状態となるので、トランジスタ121のゲートには電源ライン103の電位とほぼ等しい電位が印加される。一方、電源が逆接続された場合は、ダイオード120は順方向にバイアスされるので、電源ライン101の電位とほぼ等しい電位がトランジスタ121のゲートに与えられる。

【0024】

ゲート電圧制御回路122は、さらに、出力端子106とバイアス制御回路の出力ノード140との間に直列に接続された4つのNチャンネルMOSトランジスタ123、124、125、126を有する。トランジスタ123のドレインは出力端子106に接続され、ソースはトランジスタ124のソースに接続されている。トランジスタ124のドレインはトランジスタ121の制御端子とトランジスタ125のドレインに接続されている。トランジスタ123と124の制御端子は共に出力ノード140に接続され、基板端子は共にトランジスタ123のソースに接続されている。トランジスタ125のソースはトランジスタ126のソースに接続されており、トランジスタ126のドレインは出力ノード140に接続されている。トランジスタ125と126の制御端子は出力端子106に接続され、基板端子はトランジスタ125のソースに接続されている。

10

【0025】

なお、図3のドライバ回路113の構成や動作は当業者にとってよく知られていることであるので、それらについては省略する。

【0026】

次に、本電力供給制御回路300の動作について詳細に説明する。ここで、動作としては、電源が正常に接続された場合と、電源が逆接続された場合がある。また、電源が正常に接続された場合には、出力トランジスタ109が導通状態になり、負荷112に出力端子106を介して電力を供給する導通モードと、出力トランジスタ109が非導通状態になるターンオフ時に出力端子106に負荷112から逆起電圧としての負電圧サージが発生する負電圧サージモード、バッテリーの端子がオルタネータの発電中にはずれることによってバッテリー電源101に正電圧サージ(ダンプサージ)が発生するダンプサージモードとがある。この4つのモードに分けて電力供給制御回路100の動作を説明する。

20

【0027】

まず、導通モードでは、第1の制御信号104がHigh(ハイ)レベルとなると、出力トランジスタ109が導通状態となる。第1の制御信号104のHighレベル信号は、出力トランジスタ109を低チャネル抵抗で導通状態とするため、例えばバッテリー電源(電源ライン101-103間電圧)を昇圧した電圧である。これによって、負荷112に出力端子106を介して電力が供給される。この時、ゲート電荷放電回路としてのトランジスタ108のゲートは、第1の制御信号104とは逆相となる第2の制御信号105がLow(ロウ)レベル(例えば接地電位)であるので、非導通状態となる。

30

【0028】

電源正常接続状態では、基準電圧ノード130は接地電位(ロウレベル)となっており、一方、出力トランジスタ109のゲート電圧はハイレベル(電源ライン101のレベルより高いブートストラップ電位)となっているので、第1のスイッチトランジスタ110は非導通状態となる。従って、ダイナミッククランプ回路111は非活性化のままである。

40

【0029】

ゲート電圧制御回路122(図4)において、バイアス出力ノード140はほぼ電源ライン103の接地電位であり、出力端子106が高電位となっているので、トランジスタ123および124のソース電位は、トランジスタ123の基板端子-ドレイン端子の寄生ダイオード(不図示)を介して出力端子106の電位よりも0.7V程度高い電位となっているが、制御端子の電位が接地電位であるため、トランジスタ123および124は非導通である。一方、トランジスタ125および126のソース電位は、トランジスタ126の基板端子-ドレイン端子の寄生ダイオード(不図示)を介して基準電圧103の電

50

位よりも0.7V程度高い電位となっているが、制御端子の電位が出力端子106の電位であるため、トランジスタ125および126は導通状態となる。

【0030】

これにより、バイアス制御回路122は図3のトランジスタ121の制御端子および基板端子の両方をほぼ接地電位とする結果、トランジスタ121を非導通状態とする。さらにこのときは、電源逆接続保護用トランジスタ114は、逆バイアス状態であるので非導通状態である。

【0031】

次に、負電圧サージモードの動作について説明する。負電圧サージは、出力トランジスタ109が非導通状態になるターンオフ時に発生する。この場合、第1の制御信号104はLowレベル（接地電位）であり、第2の制御信号105はHighレベル（少なくとも電源ライン101のレベルであり、回路によってはライン101よりも高くしたブートストラップ電位となる）である。

10

【0032】

第2の制御信号105がHighレベルであるので、ゲート電荷放電トランジスタ108は導通状態となり、出力トランジスタ109は、そのゲート電荷がゲート抵抗107とゲート電荷放電回路108を介して放電され結果、非導通状態となる。これに应答して、負荷112のL（インダクタ）成分が負電圧サージを発生させる。

【0033】

この負電圧が発生すると、図5のように、出力端子106の電圧が降下する。さらに、ゲート電荷放電トランジスタ108が導通状態であるので、出力端子106の電圧降下に基づいて出力トランジスタ109のゲートの電圧も降下する。

20

【0034】

出力端子106の負電圧への変化により、基準電圧ノード103の電位（接地電位）が出力端子106の電位よりも高くなると、バイアス制御回路122（図4）のトランジスタ123および124が導通状態となり、トランジスタ125および126が非導通状態となる。これにより、本制御回路122は、トランジスタ121（図3）の基板端子を出力端子106の電位にし、一方、その制御端子はほぼ接地電位のままであるので、トランジスタ121のソース電圧はゲート電圧よりも低くなって導通状態となる。

【0035】

トランジスタ121の導通は、電源逆接続保護用トランジスタ114のソース・ゲート接続点電位を出力端子106の電位と実質的に同じにする。一方、そのドレイン側電位は出力端子106の電位以上になっている。したがって、トランジスタ114は非導通状態を維持する。また寄生ダイオード115も逆バイアス状態である。かくして、負電圧サージモードにおいてトランジスタ114の確実な非導通が保証される。

30

【0036】

出力端子106の電圧低下により、第1のスイッチトランジスタ110のゲート電圧である基準電圧ノード103の電圧（=接地電位）と出力トランジスタ109のゲートとの電位差がトランジスタ110の閾値を上回ると、第1のスイッチ110は導通状態となる。その後、さらに出力端子106の電圧低下（図5）に伴い出力トランジスタ109のゲートの電圧が降下し、ダイナミッククランプ回路111の両端の電位差が、ダイナミッククランプ回路の降伏電圧以上になると、ダイナミッククランプ回路111の両端にダイナミッククランプ電圧が発生し、出力トランジスタ109は導通状態となる。これによって、出力トランジスタ109のドレイン・ゲート間電圧は、ダイナミッククランプ電圧によって制限される。さらに、出力トランジスタ109のドレイン・ソース間の電圧は、ダイナミッククランプ電圧と出力トランジスタ109の閾値電圧を足し合わせた電圧値によって制限される。

40

【0037】

この動作期間においても、トランジスタ114および寄生ダイオード115は、その両端間電圧が、導通状態のトランジスタ121の存在によりそれらの閾値電圧を超えないの

50

で、非導通状態を維持する。

【0038】

なお、負荷112が発生した逆起電力はこの後負荷112自身で吸収され、出力端子106は、図5のように、ゼロ電位（接地電位）に収束する。

【0039】

次に、ダンプサージモードの動作について説明する。ダンプサージが電源ライン101に印加されその電圧が上昇する。この場合、第1のスイッチとしてのトランジスタ110のゲート電圧は接地電位であるのに対し、出力トランジスタ109のゲートも出力端子106も接地電圧以上となっているので、トランジスタ110は非導通状態となる。つまり、出力トランジスタ109のゲートとバッテリー電源ライン101は電氣的に切り離されることになり、したがって、出力トランジスタ109は、そのゲートがバッテリー電源101の電圧変動の影響を受けることはなく、非導通状態となる。

10

【0040】

ダンプサージ電圧は、非導通状態となっている出力トランジスタ109のソース・ドレイン間に印加されることになる。ここで、出力トランジスタ109のドレイン・ゲート間の耐圧、及び、ドレイン・ソース間の耐圧は、一般的にダンプサージ電圧よりも高くなるように設計されているため、ダンプサージによって出力トランジスタ109が破壊されることはない。

【0041】

また、第2のスイッチトランジスタ121は出力トランジスタ109が非導通状態であるので、ゲート・ソース間の電位は等しく非導通状態である。電源逆接続保護用トランジスタ114のゲート・ソース間等が順バイアスされることがないので非導通状態である。

20

【0042】

かくして、負電圧サージモードでもダンプモードでも、トランジスタ114および寄生ダイオード115は非導通状態に維持されており、これらモードにおける所期の動作が実現される。

【0043】

次に、電源の逆接続時の動作について説明する。操作者が誤って、バッテリー電源VBの極性を反対に接続した場合を考える。すなわちバッテリー電源のプラス端子を電源ライン102および103に電氣的に接続し、電源のマイナス端子を電源ライン101に電氣的に接続した場合である。この場合、第2の電源ライン102および第3の電源ライン103を接地電位と見做すと、第1の電源ライン101は - VB 電位となる。

30

【0044】

係る状態では、トランジスタ114のゲート・ソースは共通接続されているが、その寄生ダイオード115が導通し、電源ライン103と出力トランジスタ109のゲートとの間に電気通路を形成する。

【0045】

トランジスタ121に関しては、そのゲートはバイアス制御回路122（図4）から - VB + 0.7V の電位が与えられ、一方、そのソースはほぼ接地電位となるので、非導通状態であり、トランジスタ114やダイオード115に対する影響を与えない。

40

【0046】

このようにして、電源の逆接続時は、出力トランジスタ109が導通し、そのソースからドレインに向けて、正常接続時とは逆方向となる電流が流れる。このときの電流は、正常動作時における負荷電流とほぼ同じ大きさであり、出力トランジスタ109のオン抵抗も正常動作時とほぼ同一となる。従って、出力トランジスタ109の発熱量は、正常動作時（バッテリー電源VBを正常に接続したとき）と同一となる。

【0047】

かくして、バッテリー電源VBを逆接続した場合でも、出力トランジスタ109が加熱により破壊されることを防止することができる。

【0048】

50

以上のとおり、本実施の形態の回路300では、出力トランジスタを電源ラインに印加され得る過電圧からも、負荷の逆起電圧からも、そして、電源を逆方向に接続した場合からも、保護できることになる。

すなわち、トランジスタ121、114および抵抗118からなる回路であって、電源逆接続時は電源ライン103と出力トランジスタ109の制御端子との間に電気通路を形成して出力トランジスタ109を導通状態とすると共に、電源正常接続時は出力端子106に負荷サージ電圧が印加された場合でも当該電気通路を切断状態に維持する制御手段としての回路を設けることにより、電源正常接続時の所望の回路動作を保証している。なお、トランジスタ114は、アノードが抵抗118側に接続されたダイオードで置き換えても良い。

10

【0049】

また、基準電圧ノード130は、電源逆接続時は、トランジスタ110を確実に非導通とするために、電源ライン101とほぼ同じ電位を取ることが好ましい。その目的のためには、図4のバイアスノード123を基準電圧ノード130に接続すれば良い。

【0050】

図6を参照すると、図4に示したバイアス制御回路125の他の実施形態が示されている。本回路125、4つのNチャンネルMOSトランジスタ501~504を有し、図示のように接続されている。

【0051】

本構成によれば、電源が正常状態で接続される場合、すなわち、電源ライン101に+VB電位が、103に接地電位がそれぞれ供給される場合、トランジスタ501および502は共に非導通状態、503および504は共に導通状態となり、基準電圧ノード130には接地電位が出力される。

20

【0052】

電源が逆方向に接続された場合、すなわち、電源ライン101に-VB電位が、103に接地電位がそれぞれ供給される場合、トランジスタ501および502は共に導通状態、503および504は共に非導通状態となり、基準電圧ノード130には-VB電位が出力される。

【0053】

本発明のさらに他の実施の形態を図7に示す。図3と同一の構成要素については同じ番号で示し、それらの説明は省略する。

30

【0054】

本実施の形態による電力供給制御回路400は、スイッチトランジスタ121と出力端子106との間にダイオード151がさらに設けられていることが図3と大きく異なる。このダイオード151は、特に、電源の逆接続モードにおいて、スイッチトランジスタ121をより確実に非導通状態にする役割を果たしている。

【0055】

本構成によれば、電源が逆方向に接続された場合、すなわち、電源ライン101に-VB電位が、103に接地電位がそれぞれ供給される場合、基準電圧ノード130には-VB電位が出力され、ダイオード151のアノードには-VB電位が出力される。

40

【0056】

以上のとおり、本発明による電力供給制御回路は、ターンオフ時に発生する逆起電圧(負電圧サージ)に対し、電源逆接続保護回路に起因して起こる、過電圧保護機能部の誤動作が防止される。一方、電源が逆接続された場合は電源逆接続保護機能部が所期の動作を実行することができる。

【0057】

なお、本発明は上記各実施の形態に限定されないことは言うまでもない。特に、トランジスタやダイオードの数等は、要求される回路定数に応じて適宜設定することができる。

【図面の簡単な説明】**【0058】**

50

【図1】第1の従来例を示す回路図である。

【図2】第2の従来例を示す回路図である。

【図3】本発明の第1の実施の形態を示す回路図である。

【図4】図3のゲート電圧制御回路の一例を示す回路図である。

【図5】図3の電源電圧正常接続時における出力端子の電圧を示す波形図である。

【図6】図4のバイアス電圧制御回路の他の例を示す回路図である。

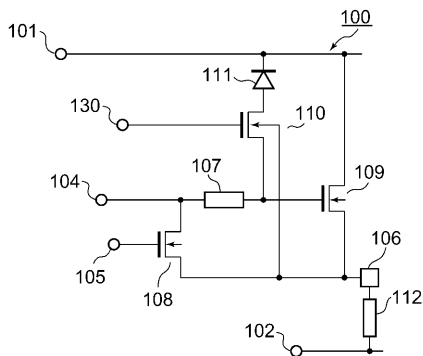
【図7】本発明の第2の実施の形態を示す回路図である。

【符号の説明】

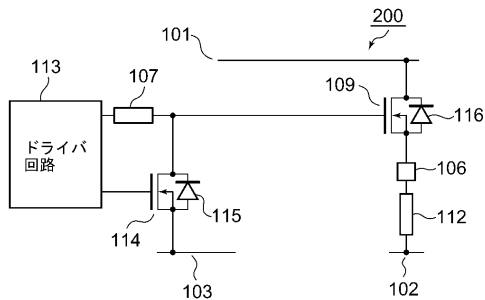
【0059】

109：出力トランジスタ、110：ダイナミッククランプ回路内スイッチトランジスタ、114、121：制御用トランジスタ、122：ゲート電圧制御回路、125：バイアス電圧制御回路

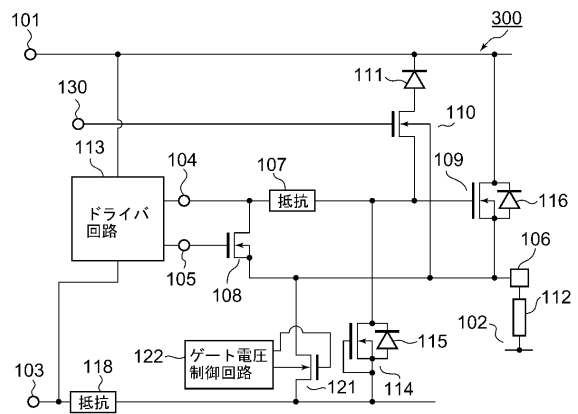
【図1】



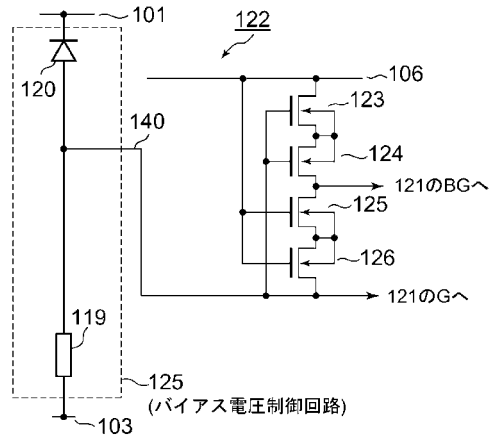
【図2】



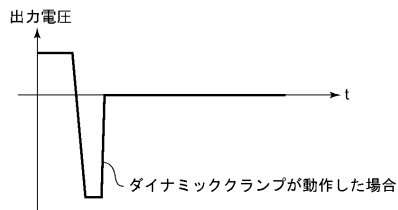
【図3】



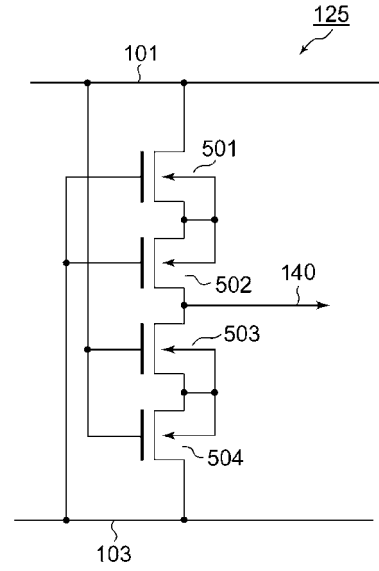
【図4】



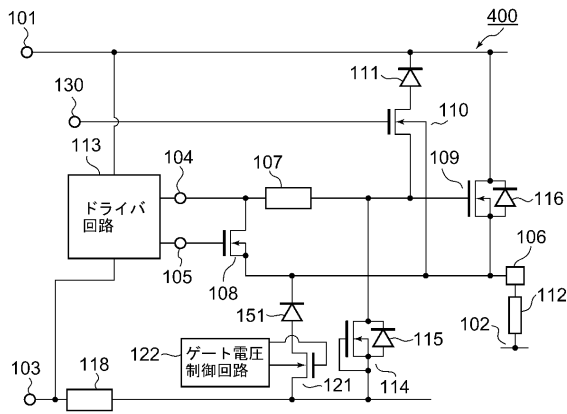
【図5】



【図6】



【図7】



フロントページの続き

- (56)参考文献 特開2007-28747(JP,A)
特開2007-19812(JP,A)
特開平8-288817(JP,A)
特開平8-275406(JP,A)
特開2001-160748(JP,A)
特開2007-312572(JP,A)
特開2006-148323(JP,A)
特開2005-236731(JP,A)
特開2005-223399(JP,A)
特開2005-109162(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/735,
H02H 3/20 - 3/22, 7/00, 11/00,
H02M 1/00, 1/08 - 1/096