



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월12일
(11) 등록번호 10-1285967
(24) 등록일자 2013년07월08일

(51) 국제특허분류(Int. Cl.)
G06F 17/30 (2006.01)
(21) 출원번호 10-2008-7014775
(22) 출원일자(국제) 2006년11월20일
심사청구일자 2011년11월18일
(85) 번역문제출일자 2008년06월18일
(65) 공개번호 10-2008-0080130
(43) 공개일자 2008년09월02일
(86) 국제출원번호 PCT/US2006/061113
(87) 국제공개번호 WO 2007/120280
국제공개일자 2007년10월25일
(30) 우선권주장
11/561,659 2006년11월20일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
US05578821 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
케이엘에이-텐코 코퍼레이션
미합중국, 캘리포니아 95035, 밀피타스, 윈 테크
놀로지 드라이브
(72) 발명자
쿨카니 아속
미국 캘리포니아주 95120 산 호세 밸리 퀘일 서클
1149
더피 브라이언
미국 캘리포니아주 95120 산 호세 크로스윈드 씨
티 1073
(뒷면에 계속)
(74) 대리인
신정건, 김태홍

전체 청구항 수 : 총 58 항

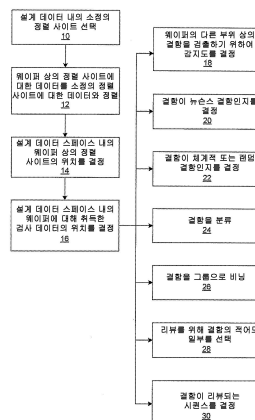
심사관 : 이복현

(54) 발명의 명칭 검사 데이터와 조합하여 설계 데이터를 활용하는 방법 및시스템

(57) 요약

검사 데이터와 조합하여 설계 데이터를 활용하는 각종 방법 및 시스템이 제공된다. 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하기 위한 하나의 컴퓨터-구현 방법은, 웨이퍼 상의 정렬 사이트에 대해 검사 시스템에 의해 취득된 데이터를 소정의 정렬 사이트에 대한 데이터와 정렬하는 단계를 포함한다. 상기 방법은 설계 데이터 스페이스 내의 소정의 정렬 사이트의 위치에 기초하여 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 사이트의 위치를 결정하는 단계를 또한 포함한다. 또한, 상기 방법은 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 사이트의 위치에 기초하여 설계 데이터 스페이스 내의 검사 시스템에 의해 웨이퍼에 대하여 취득된 검사 데이터의 위치를 결정하는 단계를 또한 포함한다. 일 실시예에서, 검사 데이터의 위치는 서브-픽셀 정확도로 결정된다.

대표도 - 도1



(72) 발명자

마야 카이스

미국 캘리포니아주 95014 쿠페르티노 포지 웨이
20667아파트먼트 334

로우즈 고든

미국 캘리포니아주 94568 더블린 샤논 씨티 7962

자파 쿠람

미국 캘리포니아주 95127 산 호세 록크웨이 드라이브 22

크케어 사가

미국 텍사스주 75024 플라노 이스트레이 드라이브
4112

창 엘리스

미국 캘리포니아주 75070 사라토가 파웰 애비뉴
19795

팍 알렌

미국 캘리포니아주 95136 산 호세 캐노아스 크릭
서클784

로즈 피터

미국 캘리포니아주 95006 보울더 크릭 미들톤 드라
이브1095

(30) 우선권주장

11/561,735 2006년11월20일 미국(US)

60/737,947 2005년11월18일 미국(US)

60/738,290 2005년11월18일 미국(US)

특허청구의 범위

청구항 1

컴퓨터 시스템을 사용하여 설계 데이터 스페이스(design data space) 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법에 있어서,

웨이퍼 상의 정렬 사이트(alignment site)에 대해 검사 시스템에 의해 취득된 데이터를 미리 결정된 정렬 사이트에 대한 데이터와 정렬하는 단계;

상기 설계 데이터 스페이스 내의 상기 미리 결정된 정렬 사이트의 위치에 기초하여, 상기 설계 데이터 스페이스 내의 상기 웨이퍼 상의 상기 정렬 사이트의 위치를 결정하는 단계;

상기 설계 데이터 스페이스 내의 상기 웨이퍼 상의 상기 정렬 사이트의 위치에 기초하여, 상기 설계 데이터 스페이스 내의 상기 검사 시스템에 의해 상기 웨이퍼에 대해 취득된 검사 데이터의 위치를 결정하는 단계; 및

상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치, 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성(attribute), 및 상기 검사 데이터의 하나 이상의 속성에 기초하여, 상기 웨이퍼의 상이한 부분 상의 결함을 검출하기 위한 감지도(sensitivity)를 결정하는 단계

를 포함하고,

상기 검사 데이터의 상기 하나 이상의 속성은, 하나 이상의 결함이 상기 상이한 부분에서 검출된 경우에 하나 이상의 이미지 노이즈 속성, 또는 상기 이미지 노이즈 속성의 일부 조합을 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 2

제1항에 있어서, 상기 검사 데이터의 위치는 서브-픽셀 정확도로 결정되는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 3

제1항에 있어서, 상기 미리 결정된 정렬 사이트에 대한 데이터는 데이터 구조(structure) 내에 저장된 설계 데이터를 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 4

제1항에 있어서, 상기 미리 결정된 정렬 사이트에 대한 데이터는 상기 미리 결정된 정렬 사이트가 상기 웨이퍼 상에 어떻게 인쇄될지를 나타내는 하나 이상의 시뮬레이션된 이미지를 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 5

제1항에 있어서, 상기 미리 결정된 정렬 사이트에 대한 데이터는 상기 미리 결정된 정렬 사이트의 하나 이상의 속성을 포함하고, 상기 웨이퍼 상의 정렬 사이트에 대한 데이터는 상기 웨이퍼 상의 정렬 사이트의 하나 이상의 속성을 포함하며, 상기 정렬하는 단계는, 상기 미리 결정된 정렬 사이트의 하나 이상의 속성을 상기 웨이퍼 상의 정렬 사이트의 하나 이상의 속성에 정렬하는 단계를 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 6

제5항에 있어서, 상기 미리 결정된 정렬 사이트의 하나 이상의 속성은 상기 미리 결정된 정렬 사이트의 중심(centroid)을 포함하고, 상기 웨이퍼 상의 정렬 사이트의 하나 이상의 속성은 상기 웨이퍼 상의 정렬 사이트의 중심을 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 7

제1항에 있어서, 상기 미리 결정된 정렬 사이트에 대한 데이터는 데이터 구조 내에 저장된 설계 데이터에 정렬된 검사 시스템에 의해 취득된 데이터를 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정

하는 컴퓨터-구현 방법.

청구항 8

제1항에 있어서, 상기 미리 결정된 정렬 사이트에 대한 데이터는 상기 설계 데이터 스페이스 내의 설계 좌표에 정렬된 표준 기준 다이 이미지(standard reference die image)의 적어도 일부분을 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 9

제1항에 있어서, 상기 미리 결정된 정렬 사이트는 x 방향 및 y 방향에서 유일한 하나 이상의 속성을 갖는 적어도 하나의 정렬 특성(feature) 또는 적어도 두 개의 정렬 특성을 포함하고, 상기 적어도 두 개의 정렬 특성 중 제1 정렬 특성은 상기 x 방향에서 유일한 하나 이상의 속성을 가지며, 상기 적어도 두 개의 정렬 특성 중 제2 정렬 특성은 상기 y 방향에서 유일한 하나 이상의 속성을 갖는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 10

제1항에 있어서, 상기 검사 시스템을 이용하여 상기 미리 결정된 정렬 사이트를 선택하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 11

제10항에 있어서, 상기 선택하는 단계에서 이용되는 검사 시스템의 이미징 모드는 상기 검사 데이터를 취득하는 데에 이용되는 검사 시스템의 이미징 모드와 상이한 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 12

제1항에 있어서, 상기 웨이퍼 상의 정렬 사이트의 위치를 결정하는 단계는 상기 웨이퍼에 대한 검사 전에 수행되고, 상기 검사 데이터의 위치를 결정하는 단계는 상기 웨이퍼에 대한 검사 동안에 수행되는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 13

제1항에 있어서, 상기 검사 데이터의 위치를 결정하는 단계는 상기 웨이퍼에 대한 검사에 후속하여 수행되고, 상기 검사 데이터의 위치를 결정하는 단계는 상기 웨이퍼 상에서 검출된 결함에 대응하는 검사 데이터의 일부분에 대해 수행되며, 상기 결함에 대응하지 않는 검사 데이터의 일부분에 대해서는 수행되지 않는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 14

제1항에 있어서, 상기 정렬 사이트에 대한 데이터는 상기 검사 데이터의 스왈스(swath) 내에 있고, 상기 검사 데이터의 위치를 결정하는 단계는, 상기 정렬 사이트의 위치에 기초하여 상기 설계 데이터 스페이스 내의 스왈스의 위치를 결정하는 단계와 상기 스왈스의 위치에 기초하여 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 추가 스왈스의 위치를 결정하는 단계를 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 15

제1항에 있어서, 상기 설계 데이터의 하나 이상의 속성은, 상이한 프로세스 계층들 또는 그것의 일부 조합에 대하여, 상기 웨이퍼에 대한 상기 검사 데이터가 취득된 프로세스 계층에 대하여, 설계 데이터, 상이한 설계 데이터, 또는 그것의 일부 조합에 대하여, 웨이퍼, 상이한 웨이퍼, 또는 그것의 일부 조합에 대하여 이전에 취득된 검사 데이터의 하나 이상의 속성에 기초하여 선택되는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 16

제1항에 있어서, 상기 설계 데이터의 하나 이상의 속성은, 상이한 부분들에서 이전에 검출된 결함의 수율 임계

(yield criticality), 상기 상이한 부분들에서 이전에 검출된 결함의 오류 확률(fault probability), 또는 그것의 일부 조합에 기초하여 선택되는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 17

제1항에 있어서, 상기 감지도를 결정하는 단계는, 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치 및 콘텍스트 맵(context map)에 기초하여, 상기 웨이퍼의 상이한 부분들 상의 결함을 검출하기 위한 감지도를 결정하는 단계를 포함하고, 상기 콘텍스트 맵은 상기 설계 데이터 스페이스에 걸친 상기 설계 데이터의 하나 이상의 속성에 대한 값을 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 18

제17항에 있어서, 상기 감지도를 결정하는 단계는, 상기 웨이퍼의 상이한 부분들 상의 결함을 검출하기 위해 상기 검사 데이터와 함께 사용되는 감지도 임계치를 결정하는 단계를 더 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 19

제17항에 있어서, 상기 감지도를 결정하는 단계는, 상기 웨이퍼의 검사 동안에 상기 검사 시스템에 의해 수행되는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 20

제17항에 있어서, 상기 감지도를 결정하는 단계는, 상기 웨이퍼에 대한 상기 검사 데이터의 취득이 완료된 후에 수행되는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 21

제1항에 있어서, 상기 웨이퍼 상에서 제조되고 있는 장치의 설계에 대한 개략적인 데이터(schematic data)의 하나 이상의 속성, 상기 장치에 대한 물리적 레이아웃의 기대되는(expected) 전기적 거동(behavior)의 하나 이상의 속성, 또는 그것의 일부 조합에 기초하여, 상기 웨이퍼 상의 결함을 검출하기 위한 하나 이상의 매개변수를 변경하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 22

제1항에 있어서, 상기 웨이퍼 상에서 수행될 전기 테스트 프로세스의 하나 이상의 매개변수에 기초하여, 상기 검사 데이터를 사용하여 상기 웨이퍼 상의 결함을 검출하기 위한 하나 이상의 매개변수를 변경하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 23

제1항에 있어서, 상기 검사 데이터를 사용하여 상기 웨이퍼 상에서 검출되는 결함에 기초하여 상기 웨이퍼 상에서 수행될 전기 테스트 프로세스의 하나 이상의 매개변수를 변경하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 24

제1항에 있어서, 피드백(feedback) 제어 기술을 사용하여, 상기 방법의 하나 이상의 단계의 결과에 기초하여, 상기 검사 시스템에 의해 수행되는 검사 프로세스의 하나 이상의 매개변수를 주기적으로 변경하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 25

제1항에 있어서, 피드백 제어 기술을 사용하여, 상기 방법의 하나 이상의 단계의 결과에 기초하여, 상기 검사 시스템에 의해 수행되는 검사 프로세스의 하나 이상의 매개변수를 자동으로 변경하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 26

제1항에 있어서, 상기 방법의 하나 이상의 단계의 결과를 사용하여 지식 베이스(knowledge base)를 생성하는 단계와, 상기 지식 베이스를 사용하여 상기 검사 시스템에 의해 수행되는 검사 프로세스를 생성하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 27

제1항에 있어서, 상기 설계 데이터 스페이스 내의 결함에 대응하는 검사 데이터의 부분들의 위치와 컨텍스트 맵에 기초하여, 상기 웨이퍼의 상이한 부분들 상에서 검출된 결함을 분류하는 단계를 더 포함하며, 상기 컨텍스트 맵은 상기 설계 데이터 스페이스에 걸친 상기 설계 데이터의 하나 이상의 속성에 대한 값을 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 28

제27항에 있어서, 상기 분류하는 단계는, 상기 웨이퍼의 검사 동안에 상기 검사 시스템에 의해 수행되는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 29

제27항에 있어서, 상기 분류하는 단계는, 상기 웨이퍼에 대한 상기 검사 데이터의 취득이 완료된 후에 수행되는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 30

제1항에 있어서, 상기 검사 데이터는 상기 웨이퍼 상의 결함에 대한 데이터를 포함하고, 상기 방법은, 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치에 기초하여 상기 설계 데이터 스페이스 내의 결함의 위치를 결정하는 단계와, 상기 설계 데이터 스페이스 내의 결함의 위치 및 설계 데이터 스페이스 내의 상기 설계 데이터의 하나 이상의 속성에 기초하여, 상기 결함이 뉴슨스(nuisance) 결함인지를 결정하는 단계를 더 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 31

제30항에 있어서, 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성에 기초하여, 뉴슨스 결함인 것으로 결정되지 않은 결함이 체계적(systematic) 또는 랜덤(random) 결함인지를 결정하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 32

제1항에 있어서, 상기 검사 데이터는 PWQ(process window qualification)에 대해 취득되는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 33

제1항에 있어서, 상기 검사 데이터는 상기 웨이퍼 상의 결함에 대한 데이터를 포함하고, 상기 방법은 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치와 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성에 기초하여, 상기 결함을 분류하는 단계를 더 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 34

제1항에 있어서, 상기 검사 데이터는 상기 웨이퍼 상의 결함에 대한 데이터를 포함하고, 상기 방법은 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치와 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성에 기초하여, 상기 결함을 그룹으로 비닝(binning) 하는 단계를 더 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 35

제1항에 있어서, 상기 검사 데이터는 상기 웨이퍼 상의 결함에 대한 데이터를 포함하고, 상기 방법은 상기 설계

데이터 스페이스 내의 상기 검사 데이터의 위치, 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성, 및 상기 설계 데이터가 위에 인쇄되는 레티클(reticle)에 대하여 취득된 레티클 검사 데이터의 하나 이상의 속성에 기초하여, 상기 결함을 그룹으로 비닝하는 단계를 더 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 36

제1항에 있어서, 상기 검사 데이터는 상기 웨이퍼 상의 결함에 대한 데이터를 포함하고, 상기 방법은 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치, 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성, 및 상기 검사 데이터의 하나 이상의 속성에 기초하여, 상기 결함을 그룹으로 비닝하는 단계를 더 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 37

제1항에 있어서, 상기 검사 데이터는 상기 웨이퍼 상의 결함에 대한 데이터를 포함하고, 상기 방법은 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치, 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성, 상기 검사 데이터의 하나 이상의 속성, 및 상기 설계 데이터가 위에 인쇄되는 레티클에 대하여 취득된 레티클 검사 데이터의 하나 이상의 속성에 기초하여, 상기 결함을 그룹으로 비닝하는 단계를 더 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 38

제1항에 있어서, 상기 검사 데이터는 상기 웨이퍼 상의 결함에 대한 데이터를 포함하고, 상기 방법은 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치, 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성, 상기 검사 데이터의 하나 이상의 속성, 및 상이한 프로세스 계층들 또는 그것의 일부 조합에 대하여, 상기 웨이퍼에 대한 검사 데이터가 취득된 프로세스 계층에 대하여, 설계 데이터, 상이한 설계 데이터 또는 그것의 일부 조합에 대하여, 웨이퍼, 상이한 웨이퍼 또는 그것의 일부 조합에 대해 이전에 취득된 검사 데이터의 하나 이상의 속성에 기초하여, 상기 결함을 그룹으로 비닝하는 단계를 더 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 39

제1항에 있어서, 상기 검사 데이터는 상기 웨이퍼 상의 결함에 대한 데이터를 포함하고, 상기 방법은 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치와, 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성에 기초하여, 리뷰를 위해 상기 결함의 적어도 일부를 선택하는 단계를 더 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 40

제1항에 있어서, 상기 검사 데이터는 상기 웨이퍼 상의 결함에 대한 데이터를 포함하고, 상기 방법은 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치와, 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성에 기초하여, 상기 결함이 리뷰되는 시퀀스(sequence)를 결정하는 단계를 더 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 41

제1항에 있어서, 상기 검사 데이터는 상기 웨이퍼 상의 결함에 대한 데이터를 포함하고, 상기 방법은 리뷰를 위해 상기 결함의 적어도 일부를 선택하는 단계를 더 포함하고, 상기 결함의 적어도 일부는 상기 설계 데이터의 하나 이상의 속성의 상이한 값들을 갖는 상기 설계 데이터 스페이스 내의 설계 데이터의 각각의 부분 내에 위치한 적어도 하나의 결함을 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 42

제1항에 있어서, 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치 및 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성에 기초하여, 상기 웨이퍼의 상이한 부분들에 대해 취득된, 상기 검사 시스템의 하나 이상의 검출기로부터의 출력의 하나 이상의 미리 결정된 속성을 추출하는 단계를 더 포함하는, 설계 데이

터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 43

제42항에 있어서, 상기 설계 데이터의 하나 이상의 속성은, 상이한 프로세스 계층들 또는 그것의 일부 조합에 대하여, 상기 웨이퍼에 대한 검사 데이터가 취득되는 프로세스 계층에 대하여, 설계 데이터, 상이한 설계 데이터 또는 그것의 일부 조합에 대하여, 상기 웨이퍼, 상이한 웨이퍼 또는 그것의 일부 조합에 대해 이전에 취득된 하나 이상의 속성에 기초하여 선택되는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 44

제1항에 있어서, 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치, 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성, 및 상기 검사 데이터의 하나 이상의 속성에 기초하여, 상기 웨이퍼의 상이한 부분에 대해 취득된, 상기 검사 시스템의 하나 이상의 검출기로부터의 출력의 하나 이상의 미리 결정된 속성을 추출하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 45

제1항에 있어서, 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치와, 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성에 기초하여, 상기 웨이퍼 상에서 검출된 하나 이상의 결함에 대한 오류 확률 값을 결정하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 46

제1항에 있어서, 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치에 기초하여 상기 설계 데이터 스페이스 내의 상기 웨이퍼 상에서 검출된 결함의 위치 좌표를 결정하는 단계와, 상기 설계 데이터의 평면도에 기초하여 상기 결함의 위치 좌표를 설계 셀 좌표로 옮기는(translate) 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 47

제46항에 있어서, 오버레이 공차(overlay tolerance)를 사용하여 상기 결함 주위의 상이한 영역을 결정하는 단계와, 하나 이상의 셀 유형이 체계적으로 결함 있는 셀 유형인지를 결정하고, 상기 체계적으로 결함 있는 셀 유형 내의 하나 이상의 체계적으로 결함 있는 구조(geometry)의 하나 이상의 위치를 결정하기 위해, 상기 영역을 사용하여, 상기 하나 이상의 셀 유형에 대하여 결함 리피터(repeater) 분석을 수행하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 48

제47항에 있어서, 상기 체계적으로 결함 있는 셀 유형에 인접하여(proximate) 위치한 셀에 대한 설계 데이터의 하나 이상의 속성, 구조, 또는 그것의 일부 조합에 기초하여, 공간적으로 체계적인 결함이 상기 체계적으로 결함 있는 셀 유형 내에서 발생하는지를 결정하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 49

제1항에 있어서, 상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치에 기초하여, 상기 설계 데이터 스페이스 내의 상기 웨이퍼 상에서 검출된 결함의 위치를 결정하는 단계와, 상기 설계 데이터의 하나 이상의 속성에 대한 미리 결정된 값이 상기 설계 데이터 스페이스 내의 위치의 함수로서 저장되는 데이터 구조를 사용하여, 상기 결함의 위치에 대응하는 상기 설계 데이터의 하나 이상의 속성에 대한 값을 결정하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 50

제1항에 있어서, 레티클 검사 시스템에 의해 생성된 레티클의 이미지는 상기 설계 데이터 스페이스 내의 설계 데이터로서 사용되고, 상기 레티클은 상기 설계 데이터를 상기 웨이퍼 상에 인쇄하는데 사용되는 것인, 설계 데

이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 51

제1항에 있어서, 레티클 이미지가 상기 웨이퍼 상에 어떻게 인쇄될지를 나타내는 시뮬레이션된 이미지는 상기 설계 데이터 스페이스 내의 설계 데이터로서 사용되는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 52

제1항에 있어서, 상기 웨이퍼 상에 상기 설계 데이터를 인쇄하는데 사용되는 레티클에 대해 취득된 레티클 검사 데이터에 기초하여, 상기 설계 데이터 스페이스 내의 설계 데이터에 대한 컨텍스트 맵을 생성하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 53

제1항에 있어서, 상기 설계 데이터 스페이스 내의 검사 데이터의 위치 및 컨텍스트 맵을 사용하여 상기 웨이퍼 상의 레티클 결함의 인쇄 가능성을 결정하기 위해, 웨이퍼 검사 프로세스를 최적화하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 54

제1항에 있어서, 상기 검사 데이터 및 표준 기준 다이(die) 기반 검사를 위한 표준 기준 다이를 사용하여, 상기 웨이퍼 상의 결함을 검출하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 55

제1항에 있어서, 상기 검사 데이터, 표준 기준 다이, 및 표준 기준 다이 기반 검사에 대한 섭동(perturbation) 매트릭스 내의 표준 기준 다이와 관련된 웨이퍼 노이즈의 표현(representation)을 사용하여, 상기 웨이퍼 상의 결함을 검출하는 단계를 더 포함하는, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 56

제1항에 있어서, 상기 웨이퍼 및 추가적인 웨이퍼는 웨이퍼 레벨 프로세스 매개변수 조정(modulation)을 사용하여 처리되며, 상기 방법은 상기 웨이퍼와 추가적인 웨이퍼 상의 다이에 대한 검사 데이터를 통상적인 표준 기준 다이와 비교함으로써, 상기 웨이퍼 및 추가적인 웨이퍼 상의 결함을 검출하는 단계를 더 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 컴퓨터-구현 방법.

청구항 57

설계 데이터 스페이스(design data space) 내의 검사 데이터의 위치를 결정하도록 구성된 시스템에 있어서,

설계 데이터를 포함하는 저장 매체; 및

상기 저장 매체와 연결된 프로세서를 포함하고,

상기 프로세서는,

웨이퍼 상의 정렬 사이트(alignment site)에 대해 검사 시스템에 의해 취득된 데이터를 미리 결정된 정렬 사이트에 대한 데이터와 정렬하고,

상기 설계 데이터 스페이스 내의 상기 미리 결정된 정렬 사이트의 위치에 기초하여, 상기 설계 데이터 스페이스 내의 상기 웨이퍼 상의 상기 정렬 사이트의 위치를 결정하고,

상기 설계 데이터 스페이스 내의 상기 웨이퍼 상의 상기 정렬 사이트의 위치에 기초하여, 상기 설계 데이터 스페이스 내의 상기 검사 시스템에 의해 상기 웨이퍼에 대해 취득된 검사 데이터의 위치를 결정하며,

상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치, 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성(attribute), 및 상기 검사 데이터의 하나 이상의 속성에 기초하여, 상기 웨이퍼의 상이

한 부분 상의 결함을 검출하기 위한 감지도(sensitivity)를 결정하도록 구성된 것이고,

상기 검사 데이터의 상기 하나 이상의 속성은, 하나 이상의 결함이 상기 상이한 부분에서 검출된 경우에 하나 이상의 이미지 노이즈 속성, 또는 상기 이미지 노이즈 속성의 일부 조합을 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하도록 구성된 시스템.

청구항 58

설계 데이터 스페이스(design data space) 내의 검사 데이터의 위치를 결정하도록 구성된 시스템에 있어서,

웨이퍼 상의 정렬 사이트(alignment site)에 대한 데이터 및 상기 웨이퍼에 대한 검사 데이터를 획득하도록 구성된 검사 시스템;

설계 데이터를 포함하는 저장 매체; 및

상기 검사 시스템과 상기 저장 매체에 연결된 프로세서를 포함하고,

상기 프로세서는,

상기 웨이퍼 상의 정렬 사이트에 대한 데이터를 미리 결정된 정렬 사이트에 대한 데이터와 정렬하고,

상기 설계 데이터 스페이스 내의 상기 미리 결정된 정렬 사이트의 위치에 기초하여, 상기 설계 데이터 스페이스 내의 상기 웨이퍼 상의 상기 정렬 사이트의 위치를 결정하고,

상기 설계 데이터 스페이스 내의 상기 웨이퍼 상의 상기 정렬 사이트의 위치에 기초하여, 상기 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하며,

상기 설계 데이터 스페이스 내의 상기 검사 데이터의 위치, 상기 설계 데이터 스페이스 내의 설계 데이터의 하나 이상의 속성(attribute), 및 상기 검사 데이터의 하나 이상의 속성에 기초하여, 상기 웨이퍼의 상이한 부분 상의 결함을 검출하기 위한 감지도(sensitivity)를 결정하도록 구성된 것이고,

상기 검사 데이터의 상기 하나 이상의 속성은, 하나 이상의 결함이 상기 상이한 부분에서 검출된 경우에 하나 이상의 이미지 노이즈 속성, 또는 상기 이미지 노이즈 속성의 일부 조합을 포함하는 것인, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하도록 구성된 시스템.

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

삭제

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

청구항 77

삭제

청구항 78

삭제

청구항 79

삭제

청구항 80

삭제

청구항 81

삭제

청구항 82

삭제

청구항 83

삭제

청구항 84

삭제

청구항 85

삭제

청구항 86

삭제

청구항 87

삭제

청구항 88

삭제

청구항 89

삭제

청구항 90

삭제

청구항 91

삭제

청구항 92

삭제

청구항 93

삭제

청구항 94

삭제

청구항 95

삭제

청구항 96

삭제

청구항 97

삭제

청구항 98

삭제

청구항 99

삭제

청구항 100

삭제

청구항 101

삭제

청구항 102

삭제

청구항 103

삭제

청구항 104

삭제

청구항 105

삭제

청구항 106

삭제

청구항 107

삭제

청구항 108

삭제

청구항 109

삭제

청구항 110

삭제

청구항 111

삭제

청구항 112

삭제

청구항 113

삭제

청구항 114

삭제

청구항 115

삭제

청구항 116

삭제

청구항 117

삭제

청구항 118

삭제

청구항 119

삭제

청구항 120

삭제

청구항 121

삭제

청구항 122

삭제

청구항 123

삭제

청구항 124

삭제

청구항 125

삭제

청구항 126

삭제

청구항 127

삭제

청구항 128

삭제

청구항 129

삭제

청구항 130

삭제

청구항 131

삭제

청구항 132

삭제

청구항 133

삭제

청구항 134

삭제

청구항 135

삭제

청구항 136

삭제

청구항 137

삭제

청구항 138

삭제

청구항 139

삭제

청구항 140

삭제

청구항 141

삭제

청구항 142

삭제

청구항 143

삭제

청구항 144

삭제

청구항 145

삭제

청구항 146

삭제

청구항 147

삭제

청구항 148

삭제

청구항 149

삭제

청구항 150

삭제

청구항 151

삭제

청구항 152

삭제

청구항 153

삭제

청구항 154

삭제

청구항 155

삭제

청구항 156

삭제

청구항 157

삭제

청구항 158

삭제

청구항 159

삭제

청구항 160

삭제

청구항 161

삭제

청구항 162

삭제

청구항 163

삭제

청구항 164

삭제

청구항 165

삭제

청구항 166

삭제

청구항 167

삭제

청구항 168

삭제

청구항 169

삭제

청구항 170

삭제

청구항 171

삭제

청구항 172

삭제

청구항 173

삭제

청구항 174

삭제

청구항 175

삭제

청구항 176

삭제

청구항 177

삭제

청구항 178

삭제

청구항 179

삭제

청구항 180

삭제

청구항 181

삭제

청구항 182

삭제

청구항 183

삭제

청구항 184

삭제

청구항 185

삭제

청구항 186

삭제

청구항 187

삭제

청구항 188

삭제

청구항 189

삭제

청구항 190

삭제

청구항 191

삭제

청구항 192

삭제

청구항 193

삭제

청구항 194

삭제

청구항 195

삭제

청구항 196

삭제

청구항 197

삭제

청구항 198

삭제

청구항 199

삭제

청구항 200

삭제

청구항 201

삭제

청구항 202

삭제

청구항 203

삭제

청구항 204

삭제

청구항 205

삭제

청구항 206

삭제

청구항 207

삭제

청구항 208

삭제

청구항 209

삭제

청구항 210

삭제

청구항 211

삭제

청구항 212

삭제

청구항 213

삭제

청구항 214

삭제

청구항 215

삭제

청구항 216

삭제

청구항 217

삭제

청구항 218

삭제

청구항 219

삭제

청구항 220

삭제

청구항 221

삭제

청구항 222

삭제

청구항 223

삭제

청구항 224

삭제

청구항 225

삭제

청구항 226

삭제

청구항 227

삭제

청구항 228

삭제

청구항 229

삭제

청구항 230

삭제

청구항 231

삭제

청구항 232

삭제

청구항 233

삭제

청구항 234

삭제

청구항 235

삭제

청구항 236

삭제

청구항 237

삭제

청구항 238

삭제

청구항 239

삭제

청구항 240

삭제

청구항 241

삭제

청구항 242

삭제

청구항 243

삭제

청구항 244

삭제

청구항 245

삭제

청구항 246

삭제

청구항 247

삭제

청구항 248

삭제

청구항 249

삭제

청구항 250

삭제

청구항 251

삭제

청구항 252

삭제

청구항 253

삭제

청구항 254

삭제

청구항 255

삭제

청구항 256

삭제

청구항 257

삭제

청구항 258

삭제

청구항 259

삭제

청구항 260

삭제

청구항 261

삭제

청구항 262

삭제

청구항 263

삭제

청구항 264

삭제

청구항 265

삭제

청구항 266

삭제

청구항 267

삭제

청구항 268

삭제

청구항 269

삭제

청구항 270

삭제

청구항 271

삭제

청구항 272

삭제

청구항 273

삭제

명세서

[0001] 우선권 주장

[0002] 본 출원은, "Methods and Systems for Utilizing Design data in Combination with Inspection Data"란 제하로 2005년 11월 18일자로 출원된 미국 가특허출원 제60/737,947호, 및 "Methods and Systems for Utilizing Design Data in Combination with Inspection Data"란 제하로 2005년 11월 18일자로 출원된 미국 가특허출원 제60/738,290호의 우선권을 주장하며, 이들 특허 문헌은 여기에 완전히 언급한 것과 같이 참고자료로 포함된다.

기술분야

[0003] 본 발명은 검사 데이터와 조합하여 설계 데이터를 이용하는 방법 및 시스템에 관한 것이다. 특정 실시예는 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하고 및/또는 검사 프로세스 동안에 웨이퍼 상의 설계 스페이스 장소의 위치를 실질적으로 정확히 결정하기 위한 컴퓨터-구현 방법에 관한 것이다.

배경 기술

[0004] 이하의 설명 및 예는 본 섹션에서의 그것의 포함으로 인하여 종래기술이 되는 것으로 허용되지는 않는다.

[0005] 집적 회로(IC) 설계는 EDA(electronic design automation), CAD(computer aided design), 및 다른 IC 설계 소프트웨어와 같은 방법 또는 시스템을 사용하여 개발될 수 있다. 회로 패턴 데이터베이스는 IC의 각종 층에 대한 복수의 레이어아웃을 표현하는 데이터를 포함한다. 회로 패턴 데이터베이스 내의 데이터는 복수의 레티클에 대한 레이어아웃을 결정하는데 사용될 수 있다. 레티클의 레이어아웃은 레티클 상의 일 패턴 내의 특징을 규정하는 복수의 다각형을 일반적으로 포함한다. 각각의 레티클은 IC의 각종 층의 하나를 제조하는데 사용될 수 있다. IC의 층은 예컨대, 반도체 기판 내의 연결 패턴, 게이트 절연체 패턴, 게이트 전극 패턴, 층간 절연체 내의 콘택 패턴, 및 금속화 층 상의 상호 접속 패턴을 포함할 수 있다.

[0006] 여기에 사용된 바와 같은 "설계 데이터"는 IC의 물리적 설계(레이아웃) 및 복잡한 시뮬레이션 또는 간단한 구조 및 불린(Boolean) 조작을 통하여 그 물리적 설계로부터 유도된 데이터를 일반적으로 칭한다.

[0007] 반도체 장치 설계는 IC의 제조 이전에 상이한 프로시저에 의해 입증된다. 예컨대, 반도체 장치 설계는 제조시 리소그래피 후에 모든 특징이 올바르게 인쇄될지를 입증하기 위하여 소프트웨어 시뮬레이션에 의해 체크된다. 그러한 체크는, DRC(design rule checking), ORC(optical rule checking), 및 특정 펌(fab) 및 프로세스에 대하여 측정된 프로세스 시뮬레이션을 포함하는 더욱 복잡한 소프트웨어 기반 입증 접근법과 같은 단계를 통상적으로 포함한다. 물리적 설계 입증 단계의 출력은 잠재적으로 다수의 중요 지점(설계에서는 때때로 "핫 스팟"이라 칭함)을 식별하는데 사용될 수 있다.

[0008] 로직 및 메모리 장치와 같은 반도체 장치를 제조하는 단계는, 반도체 장치의 각종 특징 및 복수의 층을 형성하기 위해, 다수의 반도체 제조 프로세스를 사용하여 반도체 웨이퍼와 같은 기판을 처리하는 단계를 통상적으로 포함한다. 예컨대, 리소그래피는 레티클로부터의 패턴을 반도체 웨이퍼 상에 정렬된 레지스트에 전달하는 단계를 포함하는 하나의 반도체 제조 프로세스이다. 반도체 제조 프로세스의 추가적인 예는, 화학적 기계적 연마(CMP), 에치, 퇴적 및 이온 주입을 비한정적으로 포함한다. 복수의 반도체 장치는 단일 반도체 웨이퍼 상의 배치로 제조되고 나서, 개별적인 반도체 장치로 분리된다.

[0009] 검사 프로세스는, 제조 프로세스의 높은 수율을 촉진하고 그리하여 높은 수익을 촉진하기 위하여 웨이퍼 상의 결함을 검출하기 위해, 반도체 제조 프로세스 동안의 각종 단계에서 사용된다. 검사는 IC와 같은 반도체 장치 제조의 중요한 부분이 되고 있다. 하지만, 반도체 장치의 치수가 감소함에 따라, 작은 결함이 장치가 고장 나도록 야기할 수 있기 때문에, 수용가능한 반도체 장치의 성공적인 제조에 있어서 검사가 더욱 중요해졌다. 예컨대, 반도체 장치의 치수가 감소함에 따라서, 심지어 비교적 작은 결함도 반도체 장치 내에서 원하지 않는 변형을 야기할 수 있기 때문에, 감소한 사이즈의 결함의 검출이 필요하게 된다.

[0010] 제조 수율 제어의 다른 중요한 부분은, 결함의 원인이 보정되어, 다른 웨이퍼 또는 레티클 상의 결함의 수를 줄일 수 있도록, 웨이퍼 또는 레티클 상의 결함의 원인을 결정하는 것이다. 종종, 결함의 원인을 결정하는 단계는 결함 유형과, 사이즈, 형태, 구성 등과 같은 결함의 다른 속성(attribute)을 식별하는 단계를 포함한다. 검사가 단지 웨이퍼 상의 결함을 검출하는 단계와, 웨이퍼 또는 레티클 상의 위치, 웨이퍼 또는 레티클 상의 결함

의 수, 및 때때로 결함 사이즈와 같은 결함에 관한 제한된 정보를 제공하는 단계를 통상적으로 포함하기 때문에, 결함 리뷰는 검사 결과로부터 결정될 수 있는 개별 결함에 관한 더 많은 정보를 결정하는데 종종 사용된다. 예컨대, 결함 리뷰 툴은 웨이퍼 또는 레티클 상에서 검출된 결함을 재방문하고, 자동 또는 수동의 추가의 방식으로 그 결함을 검사하기 위해 사용될 수 있다.

[0011] 결함 리뷰는 고 배율 광학 시스템 또는 주사형 전자 현미경(SEM)을 사용하여 높은 해상도로 결함에 대한 추가의 정보를 생성하는 단계를 통상적으로 포함한다. 결함 리뷰에 의해 생성된 고 해상도 데이터는 프로파일, 거칠기, 더욱 정확한 사이즈 정보 등과 같은 결함의 속성을 결정하는데 더욱 적합하다. 결함 분석은 전자 분산 x-선 분광학(EDS) 시스템과 같은 시스템을 사용하여 수행될 수 있다. 그러한 결함 분석은 결함의 구성과 같은 정보를 결정하기 위해 수행될 수 있다. 검사, 리뷰, 분석 또는 그것의 일부 조합에 의해 결정된 결함의 속성은 결함의 유형(즉, 결함 범주) 및 가능하게는 결함의 근본 원인을 식별하는데 사용될 수 있다. 이러한 정보는 결함을 줄이거나 제거하기 위해 1 이상의 반도체 제조 프로세스의 1 이상의 매개변수를 감시 및 변경하는데 사용될 수 있다.

[0012] 하지만, 설계 룰이 감소함에 따라, 반도체 제조 프로세스는 프로세스의 성능 능력에 대한 한계에 근접하여 조작될 수 있다. 또한, 설계 룰이 감소함에 따라 작은 결함이 장치의 전기적 매개변수에 영향을 미칠 수 있고, 이는 1 이상의 민감한 검사를 유도한다. 따라서, 설계 룰이 감소함에 따라, 검사에 의해 검출된, 잠재적으로 수율 관련적인 결함의 모집단이 극적으로 증가하고, 검사에 의해 검출된 뉴슨스 결함의 모집단 또한 극적으로 증가한다. 따라서, 점점 많은 결함이 웨이퍼 상에서 검출되고, 모든 결함을 제거하기 위해 프로세스를 교정하는 단계가 더욱 어렵고 고-비용적일 수 있다. 그와 같이, 장치의 전기적 매개변수 및 수율에 결함의 어느 것이 실제 영향을 미치는지를 결정하는 단계는, 프로세스 제어 방법이 다른 결함은 크게 무시하면서, 그 결함에만 집중되고 허용한다. 또한, 작은 설계 룰에서, 프로세스 유도 오류는 일부 경우에 체계적일 수 있다. 즉, 프로세스 유도 오류는 설계 내에서 종종 여러 회 반복되는 소정의 설계 패턴에서 오류가 되는 경향이 있다. 공간적으로 체계적이며, 전기적으로 관련적인 결함은, 그러한 결함의 제거가 수율에 대하여 현저한 전체적인 영향을 가질 수 있기 때문에 중요하다. 결함이 장치 매개변수 및 수율에 영향을 미치는지의 여부는 전술한 검사, 리뷰, 및 분석 프로세스로부터 종종 결정될 수 없는데, 이는 이들 프로세스가 전기적 설계에 대한 결함의 위치를 결정할 수 없기 때문이다.

[0013] 결함 정보를 전기적 설계에 정렬하기 위한 일부 방법 및 시스템이 개발되고 있다. 예컨대, SEM 리뷰 시스템은 결함의 샘플에 대하여 결함 위치의 더욱 정확한 좌표를 결정하는데 사용될 수 있고, SEM 리뷰 시스템에 의해 보고된 결함 좌표는 전기적 설계 내의 결함의 위치를 결정하는데 사용될 수 있다. 다른 방법은 검사 주의 영역(예컨대, 검사가 수행될 웨이퍼 상에 형성된 장치 패턴의 영역)을 웨이퍼 상에 인쇄된 패턴의 물리적 위치에 정렬시키는 단계를 포함한다. 하지만, 현재, 그 주의 영역은 시스템 에러 및 결점으로 인하여 불과 2 μ m의 정확도로 웨이퍼 상에 인쇄되는 패턴에 정렬될 수 있다. 예컨대, 일부 BF(bright field) 검사 시스템은 약 +/- 1 μ m의 좌표 정확도를 갖는다. 또한, 현재 사용되는 방법에서의 검사 주의 영역은 비교적 크고, 소망하는 주요 특징뿐만 아니라 여러 비-주요 특징을 포함한다. 설계와 프로세스 상호 의존성으로부터 기인하는 공간적으로 체계적인 DFM(design-for-manufacturability) 결함을 포착하기 위해 검사 시스템의 감지도를 최대화하려는 시도에서, 그 시스템은 CMP 충전 영역과 같은 비-주요 영역 내의 수백만 개의 이벤트에 의해 압도될 수 있다. 예컨대, 이들 뉴슨스 이벤트는 검사 데이터의 포스트-처리에 의해 검사 결과로부터 필터링될 필요가 있다. 또한, 뉴슨스 이벤트 검출은 DFM 애플리케이션에 대한 검사 시스템의 궁극적으로 달성가능한 감지도를 제한시킨다. 높은 비율의 뉴슨스 결함 데이터는 검사 시스템의 런 타임 데이터 처리 능력에 과부하를 걸 수 있어서, 처리량을 저하하고 및/또는 데이터의 손실을 야기한다.

[0014] 따라서, 설계 데이터의 실질적으로 매우 정확한 "컨텍스트"가 비한정적으로 결함 검출 알고리즘 또는 방법, 검출 감지도 테일링(tailoring), 뉴슨스 결함 필터링, 결함 분류, 결함 그룹화, 및 샘플링 기술의 일부로서 설계 컨텍스트 사용에 의한 리뷰를 위한 결함 샘플링과 같은 1 이상의 컨텍스트-기반 기능을 수행하도록 활용될 수 있도록, 검사 데이터를 설계 데이터에 서브-픽셀 정확도(픽셀의 사이즈는 검사되고 있는 구조의 크기 정도일 수 있다)로 정렬시키는 방법 및 시스템을 개발하는 것이 이로운 수 있다.

발명의 상세한 설명

[0015] **발명의 개요**

[0016] 방법 및 시스템의 각종 실시예의 이하의 설명은 첨부한 청구의 범위의 주안점을 한정하는 것으로서 간주하지 않

는다.

- [0017] 일 실시예는 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하기 위한 컴퓨터-구현 방법에 관한 것이다. 상기 방법은 웨이퍼 상의 정렬 사이트에 대해 검사 시스템에 의해 취득한 데이터를 소정의 정렬 사이트에 대한 데이터(예컨대, 설계 데이터)와 정렬시키는 단계를 포함한다. 소정의 정렬 사이트에 대한 데이터 및 웨이퍼 상의 정렬 사이트에 대해 검사 시스템에 의해 취득된 데이터는 개별적으로 얻어진다. 예컨대, 소정의 정렬 사이트에 대한 데이터는 그 위에 정렬 사이트가 인쇄되는 웨이퍼를 사용하여 취득되지 않는다. 상기 방법은 설계 데이터 스페이스 내의 소정의 정렬 사이트의 위치에 기초하여 설계 데이터 내의 웨이퍼 상의 정렬 사이트의 위치를 결정하는 단계를 또한 포함한다. 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 사이트의 위치를 결정하는 단계는 웨이퍼 상의 설계 레이아웃 및/또는 검사 동안의 웨이퍼의 배향에 기초하여 수행될 수 있다. 또한, 상기 방법은 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 사이트의 위치에 기초하여, 설계 데이터 스페이스 내의 검사 시스템에 의해 웨이퍼에 대해 취득된 검사 데이터의 위치를 결정하는 단계를 포함한다. 검사 데이터의 위치는 여기에 추가로 기술하는 바와 같이 저장 및 사용될 수 있다. 일 실시예에서, 검사 데이터의 위치는 서브-픽셀(sub-pixel) 정확도로 결정된다.
- [0018] 다른 실시예에서, 소정의 정렬 사이트에 대한 데이터는, 그래픽 데이터 스트림(GDS) 파일, 임의의 다른 표준 기계-판독 가능 파일, 당업계에 알려진 임의의 다른 적합한 파일, 및 설계 데이터베이스와 같은 데이터 구조에 저장되는 설계 데이터를 포함한다. GDSII 파일은 설계 레이아웃 데이터의 표현을 위해 사용된 파일의 일 범주이다. 그러한 파일의 다른 예는 GL1 및 OASIS 파일을 포함한다. 일부 실시예는 여기에서 GDS 또는 GDSII 파일에 대해서 기술되지만, 그 실시예는 데이터 구조 구성, 저장 포맷, 또는 저장 메커니즘에 관계없이 파일의 전체 범주에 동일하게 적용할 수 있다. 다른 실시예에서, 소정의 정렬 사이트에 대한 데이터는 소정의 정렬 사이트가 웨이퍼 상에 어떻게 인쇄될지를 나타내는 1 이상의 시뮬레이션된 이미지를 포함한다.
- [0019] 일부 실시예에서, 소정의 정렬 사이트에 대한 데이터는 소정의 정렬 사이트의 1 이상의 속성을 포함하고, 정렬 사이트에 대한 데이터는 정렬 사이트의 1 이상의 속성을 포함하고, 정렬 단계는 소정의 정렬 사이트의 1 이상의 속성을 정렬 사이트의 1 이상의 정렬 사이트에 정렬하는 단계를 포함한다. 그러한 일 실시예에서, 소정의 정렬 사이트의 1 이상의 속성은 소정의 정렬 사이트의 중심을 포함하고, 정렬 사이트의 1 이상의 속성은 정렬 사이트의 중심을 포함한다.
- [0020] 추가적인 실시예에서, 소정의 정렬 사이트에 대한 데이터는 검사 시스템 또는 다른 이미지 취득 시스템에 의해 취득되고, 설계 데이터에 대한 GDSII 파일과 같은 데이터 구조에 저장된 설계 데이터에 정렬된 데이터를 포함한다. 또 다른 실시예에서, 소정의 정렬 사이트에 대한 데이터는 설계 데이터 스페이스 내의 설계 좌표에 정렬된 표준 기준 다이 이미지의 적어도 일부를 포함한다. 표준 기준 다이 이미지는 취득되거나, 시뮬레이션 되거나, 확대되거나, 또는 그 조합이 이루어진 기준 이미지일 수 있다.
- [0021] 일부 실시예에서, 소정의 정렬 사이트는 x 및 y 방향에서 특유한 1 이상의 속성을 갖는 적어도 하나의 정렬 특징을 포함한다. 다른 실시예에서, 소정의 정렬 사이트는 적어도 두 개의 정렬 특징을 포함한다. 두 정렬 특징의 첫 번째는 x 방향에서 특유한 1 이상의 속성을 갖는다. 두 정렬 특징의 두 번째는 y 방향에서 특유한 1 이상의 속성을 갖는다.
- [0022] 추가적인 실시예에서, 상기 방법은 검사 시스템을 사용하여 소정의 정렬 사이트를 선택하는 단계를 포함한다. 그러한 일 실시예에서, 소정의 정렬 사이트를 선택하기 위해 사용된 검사 시스템 또는 다른 이미지 취득 시스템의 촬상 모드는 검사 데이터를 취득하기 위해 사용된 검사 시스템의 촬상 모드와는 상이하다. 일부 실시예에서, 정렬 사이트의 위치를 결정하는 단계는 웨이퍼의 검사 이전에 수행되며, 검사 데이터의 위치를 결정하는 단계는 웨이퍼의 검사 동안에 수행된다. 다른 실시예에서, 검사 데이터의 위치를 결정하는 단계는 웨이퍼의 검사에 후속하여 수행된다. 그러한 일 실시예에서, 검사 데이터의 위치를 결정하는 단계는, 결함에 대응하지 않는 검사 데이터의 부분에 대해서가 아니라, 웨이퍼 상에서 검출된 결함에 대응하는 검사 데이터의 부분에 대해 수행된다. 이러한 방식에서, 설계 데이터 스페이스 내의 검사 데이터의 위치는 웨이퍼 상의 결함 있는 장소에서 취득된 검사 데이터(예컨대, 패치 이미지)에 대해서만 결정된다.
- [0023] 다른 실시예에서, 정렬 사이트에 대한 데이터는 검사 데이터의 스왑스(swath) 내에 존재한다. 그러한 일 실시예에서, 설계 데이터 스페이스 내의 정렬 사이트의 위치에 기초하여 설계 데이터 스페이스 내의 스왑스의 위치를 결정하는 단계와, 스왑스의 위치에 기초하여 설계 데이터 스페이스 내의 검사 데이터의 추가적인 스왑스의 위치를 결정하는 단계를 포함한다.

- [0024] 일 실시예에서, 상기 방법은 설계 데이터 내의 검사 데이터의 위치와, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여, 웨이퍼의 다른 부위 상의 결함을 검출하기 위한 감지도(sensitivity)를 결정하는 단계를 포함한다. 그러한 일 실시예에서, 설계 데이터의 1 이상의 속성은 웨이퍼에 대한 검사 데이터가 취득되는 프로세스 계층, 다른 프로세스 계층 또는 그것의 일부 조합에 대하여, 설계 데이터, 다른 설계 데이터, 또는 그것의 일부 조합에 대하여, 웨이퍼, 다른 웨이퍼, 또는 그것의 일부 조합에 대하여 이전에 취득한 검사 데이터의 1 이상의 속성에 기초하여 선택된다. 그러한 다른 실시예에서, 설계 데이터의 1 이상의 속성은 다른 부위에서 이전에 검출된 결함의 수율 임계(yield criticality), 상기 다른 부위에서 이전에 검출된 결함의 오류 확률(fault probability), 또는 그것의 일부 조합에 기초하여 선택된다.
- [0025] 다른 실시예에서, 설계 데이터 스페이스 내의 검사 데이터의 위치 및 콘텍스트 맵(context map)에 기초하여, 웨이퍼의 다른 부위 상의 결함을 검출하기 위한 감지도를 결정하는 단계를 포함하며, 콘텍스트 맵은 설계 데이터 스페이스에 걸친 설계 데이터의 1 이상의 속성에 대한 값을 포함한다. 그러한 일 실시예에서, 감지도를 결정하는 단계는, 웨이퍼의 다른 부위 상의 결함을 검출하기 위해 검사 데이터에 사용되는 감지도 임계치를 결정하는 단계를 포함한다. 그러한 다른 실시예에서, 감지도를 결정하는 단계는 웨이퍼의 검사 동안에 검사 시스템에 의해 수행된다. 그러한 추가의 실시예에서, 감지도를 결정하는 단계는 웨이퍼에 대한 검사 데이터의 취득이 완료된 후에 수행된다.
- [0026] 추가적인 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성, 및 검사 데이터의 1 이상의 속성에 기초하여, 웨이퍼의 다른 부위 상의 결함을 검출하기 위한 감지도를 결정하는 단계를 포함한다. 그러한 일 실시예에서, 검사 데이터의 1 이상의 속성은, 1 이상의 이미지 노이즈 속성, 결함이 다른 부위에서 검출되었는지, 또는 그것의 일부 조합을 포함한다.
- [0027] 일부 실시예에서, 상기 방법은 웨이퍼 상에서 제조되고 있는 장치의 설계에 대한 개략적인 데이터(schematic data)의 1 이상의 속성, 장치에 대한 물리적 레이아웃의 기대되는 전기적 거동의 1 이상의 속성, 또는 그것의 일부 조합에 기초하여, 웨이퍼 상의 결함을 검출하기 위한 1 이상의 매개변수를 변경하는 단계를 더 포함한다. 다른 실시예에서, 상기 방법은 웨이퍼에 대해 수행되는 전기 테스트 프로세스의 1 이상의 매개변수에 기초하여, 검사 데이터를 사용하여 웨이퍼 상의 결함을 검출하기 위한 1 이상의 매개변수를 변경하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 검사 데이터를 사용하여 웨이퍼 상에서 검출되는 결함에 기초하여 웨이퍼 상에서 수행되는 전기 테스트 프로세스의 1 이상의 매개변수를 변경하는 단계를 포함한다.
- [0028] 추가의 실시예에서, 상기 방법은 피드백(feedback) 제어 기술을 사용하여, 상기 방법의 1 이상의 단계의 결과에 기초하여, 검사 시스템에 의해 수행되는 검사 프로세스의 1 이상의 매개변수를 주기적으로 변경하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 피드백 제어 기술을 사용하여, 방법의 1 이상의 단계의 결과에 기초하여, 검사 시스템에 의해 수행되는 검사 프로세스의 1 이상의 매개변수를 자동으로 변경하는 단계를 포함한다. 또 다른 실시예에서, 상기 방법은 그 방법의 1 이상의 단계의 결과를 사용하여 지식 베이스(knowledge base)를 생성하는 단계와, 그 지식 베이스를 사용하여 검사 시스템에 의해 수행되는 검사 프로세스를 생성하는 단계를 포함한다.
- [0029] 다른 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 결함에 대응하는 검사 데이터의 부분의 위치와 콘텍스트 맵에 기초하여, 웨이퍼의 다른 부위 상에서 검출된 결함을 분류하는 단계를 포함하며, 그 콘텍스트 맵은 설계 데이터 스페이스에 걸친 설계 데이터의 1 이상의 속성에 대한 값을 포함한다. 그러한 일 실시예에서, 분류 단계는 웨이퍼의 검사 동안에 상기 검사 시스템에 의해 수행된다. 그러한 다른 실시예에서, 분류 단계는 웨이퍼에 대한 상기 검사 데이터의 취득이 완료된 후에 수행된다.
- [0030] 다른 실시예에서, 검사 데이터는 상기 웨이퍼 상의 결함에 대한 데이터를 포함한다. 그러한 일 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치에 기초하여 설계 데이터 스페이스 내의 결함의 위치를 결정하는 단계와, 설계 데이터 스페이스 내의 결함의 위치 및 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여, 결함이 뉴슨스(nuisance) 결함인지를 판정하는 단계를 포함한다. 그러한 일 실시예에서, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여, 뉴슨스 결함인 것으로 판정되지 않은 상기 결함이 체계적(systematic) 또는 랜덤(random) 결함인지를 판정하는 단계를 포함한다. 결함이 공간적으로 체계적 결함 또는 랜덤 결함인지를 판정하는 단계는 이력 맵 데이터 또는 설계 데이터 내의 핫 스팟에 대응하는 다른 데이터와 같은 다른 정보와 조합하여, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여 수행할 수 있다. 그러한 일 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치와, 검사 데이터의 1 이상의 통계적으로 결정된 속성에 기초하여, 결함이 체계적 또는 랜덤 결함인지를 결정하는 단계

를 또한 포함할 수 있다. 일 실시예에서, 검사 데이터는 PWQ(process window qualification)에 대해 취득된다. 다른 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치와 상기 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여, 결함을 분류하는 단계를 포함한다.

[0031] 일 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치와 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여, 결함을 비닝(binning) 하는 단계를 포함한다. 일부 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성, 및 설계 데이터가 위에 인쇄되는 레티클에 대하여 취득된 레티클 검사 데이터의 1 이상의 속성에 기초하여, 결함을 그룹으로 비닝하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성, 및 검사 데이터의 1 이상의 속성에 기초하여, 결함을 그룹으로 비닝하는 단계를 포함한다. 일부 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성, 검사 데이터의 1 이상의 속성, 및 설계 데이터가 위에 인쇄되는 레티클에 대하여 취득한 레티클 검사 데이터의 1 이상의 속성에 기초하여, 결함을 그룹으로 비닝하는 단계를 포함한다. 추가의 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성, 검사 데이터의 1 이상의 속성, 및 웨이퍼에 대한 검사 데이터가 취득되는 프로세스 계층, 다른 프로세스 계층 또는 그것의 일부 조합에 대하여, 설계 데이터, 다른 설계 데이터 또는 그것의 일부 조합에 대하여, 웨이퍼, 다른 웨이퍼 또는 그것의 일부 조합에 대해 이전에 취득한 검사 데이터의 1 이상의 속성에 기초하여, 결함을 그룹으로 비닝하는 단계를 포함한다.

[0032] 전술한 바와 같이, 검사 데이터는 웨이퍼 상의 결함에 대한 데이터를 포함할 수 있다. 그러한 일 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치와, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여, 리뷰를 위해 상기 결함의 적어도 일부를 선택하는 단계를 포함한다. 그러한 추가의 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치와, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여, 결함이 리뷰되는 시퀀스(sequence)를 결정하는 단계를 포함한다. 또 다른 그러한 실시예에서, 상기 방법은 리뷰를 위해 결함의 적어도 일부를 선택하는 단계를 포함하고, 결함의 적어도 일부는 설계 데이터의 1 이상의 속성의 상이한 값을 갖는 설계 데이터 스페이스 내의 설계 데이터의 각각의 부분 내에 위치한 적어도 하나의 결함을 포함한다. 결함 리뷰 샘플링은 결함이 비닝되는 그룹의 1 이상의 속성에 기초하여 또한(또는 대안적으로) 수행될 수 있다. 결함은 여기에 추가로 기술하는 바와 같이 비닝될 수 있고, 그룹의 1 이상의 속성은 설계 데이터의 1 이상의 속성에 기초하여 또는 여기에 기술한 임의의 다른 방식으로 결정될 수 있다.

[0033] 다른 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치 및 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여, 웨이퍼의 다른 부위에 대해 취득한, 검사 시스템의 1 이상의 검출기로부터의 출력의 1 이상의 소정의 속성을 추출하는 단계를 포함한다. 그러한 일 실시예에서, 설계 데이터의 1 이상의 속성은, 웨이퍼에 대한 검사 데이터가 취득되는 프로세스 계층, 다른 프로세스 계층 또는 그것의 일부 조합에 대하여, 설계 데이터, 다른 설계 데이터 또는 그것의 일부 조합에 대하여, 웨이퍼, 다른 웨이퍼 또는 그것의 일부 조합에 대해 이전에 취득한 검사 데이터의 1 이상의 속성에 기초하여 선택된다.

[0034] 다른 실시예에서, 상기 방법은, 설계 데이터 스페이스 내의 검사 데이터의 위치, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성, 및 상기 검사 데이터의 1 이상의 속성에 기초하여, 웨이퍼의 다른 부위에 대해 취득한, 검사 시스템의 1 이상의 검출기로부터의 출력의 1 이상의 소정의 속성을 추출하는 단계를 포함한다. 그러한 일 실시예에서, 검사 데이터의 1 이상의 속성은 1 이상의 이미지 노이즈 속성, 1 이상의 결함이 상기 다른 부위에서 검출되었는지, 또는 그것의 일부 조합을 포함한다.

[0035] 일부 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치와, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여, 웨이퍼 상에서 검출된 1 이상의 결함에 대한 오류 확률 값을 결정하는 단계를 포함한다.

[0036] 다른 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치에 기초하여, 설계 데이터 스페이스 내의 웨이퍼 상에서 검출된 결함의 위치 좌표를 결정하는 단계와, 설계 데이터의 평면도에 기초하여, 결함의 위치 좌표를 설계 셀 좌표로 이동하는 단계를 포함한다. 그러한 일 실시예에서, 상기 방법은 오버레이 공차(overlay tolerance)를 사용하여 결함 주위의 상이한 영역을 결정하는 단계와, 1 이상의 셀 유형이 체계적으로 결함 있는 셀 유형인지를 결정하고, 체계적으로 결함 있는 셀 유형 내의 1 이상의 체계적으로 결함 있는 구조의

1 이상의 위치를 결정하기 위해, 상기 영역을 사용하여, 1 이상의 셀 유형에 대하여 결합 리피터(repeater) 분석을 수행하는 단계를 포함한다. 그러한 일 실시예에서, 상기 방법은 체계적으로 결합 있는 셀 유형에 가까이 위치한 셀에 대한 설계 데이터의 1 이상의 속성, 구조, 또는 그것의 일부에 기초하여, 공간적으로 체계적인 결합이 체계적으로 결합 있는 셀 유형 내에서 발생하는지를 결정하는 단계를 포함한다.

[0037] 다른 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치에 기초하여, 설계 데이터 스페이스 내의 웨이퍼 상에서 검출된 결합의 위치를 결정하는 단계와, 설계 데이터의 1 이상의 속성에 대한 소정 값이 설계 데이터 스페이스 내의 위치의 함수로서 저장되는 데이터 구조를 사용하여, 결합의 위치에 대응하는 설계 데이터의 1 이상의 속성에 대한 값을 결정하는 단계를 포함한다.

[0038] 추가의 실시예에서, 레티클 검사 시스템에 의해 생성된 레티클의 이미지는 설계 데이터 스페이스 내의 설계 데이터로서 사용된다. 레티클은 설계 데이터를 웨이퍼 상에 인쇄하는데 사용된다. 다른 실시예에서, 레티클 이미지가 웨이퍼 상에 어떻게 인쇄될지를 나타내는 시뮬레이션된 이미지는 설계 데이터 스페이스 내의 설계 데이터로서 사용된다. 추가의 실시예에서, 상기 방법은 웨이퍼 상에 설계 데이터를 인쇄하는데 사용되는 레티클에 대해 취득한 레티클 검사 데이터에 기초하여, 설계 데이터 스페이스 내의 설계 데이터에 대한 콘텍스트 맵을 생성하는 단계를 포함한다.

[0039] 일 실시예에서, 설계 데이터 스페이스 내의 검사 데이터의 위치 및 콘텍스트 맵을 사용하여 웨이퍼 상의 레티클 결합의 인쇄 가능성을 결정하기 위해, 웨이퍼 검사 프로세스를 최적화하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 표준 기준 다이 기반 검사에 대해 검사 데이터와, 표준 기준 다이 기반 검사를 위한 표준 기준 다이를 사용하여, 웨이퍼 상의 결합을 검출하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 검사 데이터, 표준 기준 다이, 및 표준 기준 다이 기반 검사에 대한 섭동(攝動) 매트릭스 내의 표준 기준 다이와 관련된 웨이퍼 노이즈의 표현(noise representation)을 사용하여 웨이퍼 상의 결합을 검출하는 단계를 포함한다.

[0040] 추가의 실시예에서, 웨이퍼 및 추가적인 웨이퍼는 웨이퍼 레벨 프로세스 매개변수 조절을 사용하여 처리되며, 상기 방법은 웨이퍼와 추가적인 웨이퍼 상의 다이에 대한 검사 데이터를 통상적인 표준 기준 다이에 비교함으로써, 웨이퍼 및 추가적인 웨이퍼 상의 결합을 검출하는 단계를 포함한다.

[0041] 전술한 각각의 단계는 설계 데이터 스페이스 내의 검사 데이터의 가까운 위치, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성, 이력 맵 데이터, 또는 설계 데이터 내의 핫 스팟에 대응하는 다른 데이터에 기초하여 수행할 수 있다. 일부 실시예에서, 상기 방법은 결합과, 그 결합이 비닝되는 그룹의 1 이상의 속성, 또는 여기에 기술한 임의의 방법의 임의의 다른 결과에 기초하여 통계적 프로세스 제어(SPC)를 수행하는 단계를 포함할 수 있다. 전술한 방법의 각각의 실시예는 여기에 기술한 임의의 방법의 임의의 다른 단계를 포함할 수 있다. 전술한 방법의 각각의 실시예는 여기에 기술한 임의의 시스템 실시예에 의해 수행할 수 있다.

[0042] 다른 실시예는 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하도록 구성된 시스템에 관한 것이다. 상기 시스템은 설계 데이터를 포함하는 저장 매체를 포함한다. 시스템은 저장 매체에 결합된 프로세서를 또한 포함한다. 프로세서는 웨이퍼 상의 정렬 사이트에 대해 검사 시스템에 의해 취득된 데이터를 소정의 정렬 사이트에 대한 데이터에 정렬하도록 구성된다. 프로세서는 설계 데이터 스페이스 내의 소정의 정렬 사이트의 위치에 기초하여, 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 사이트의 위치를 결정하도록 또한 구성된다. 또한, 프로세서는 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 사이트의 위치에 기초하여, 설계 데이터 스페이스 내의 검사 시스템에 의해 웨이퍼에 대해 취득한 검사 데이터의 위치를 결정하도록 구성된다. 시스템의 본 실시예는 여기에 기술하는 바와 같이 추가로 구성될 수 있다.

[0043] 추가의 실시예는 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하도록 구성된 시스템에 관한 것이다. 이러한 시스템은 웨이퍼 상의 정렬 사이트에 대한 데이터와, 웨이퍼에 대한 검사 데이터를 취득하도록 구성된 검사 시스템을 포함한다. 시스템은 설계 데이터를 포함하는 저장 매체를 또한 포함한다. 또한, 시스템은 검사 시스템 및 저장 매체에 결합되는 프로세서를 포함한다. 프로세서는, 웨이퍼 상의 정렬 사이트에 대한 데이터를 소정의 정렬 사이트에 대한 데이터와 정렬하도록 구성된다. 프로세서는 설계 데이터 스페이스 내의 소정의 정렬 사이트의 위치에 기초하여 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 사이트의 위치를 결정하도록 구성된다. 또한, 프로세서는 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 사이트의 위치에 기초하여 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하도록 구성된다.

[0044] 추가적인 실시예는 구동시(예컨대, 검사 프로세스 동안) 검사 스페이스 내의 설계 데이터-기반 주의 영역(예컨대, 검사 영역, 높은 감지도로 검사될 영역, 또는 낮은 감지도로 검사될 영역)의 위치를 결정하도록 구성된다.

또한, 시스템은 데이터의 취득된 픽셀을 검사 프로세스 동안에 정확한 주의 영역에 실질적으로 정확히 할당하도록 구성될 수 있다. 주의 영역의 사이즈 및 빈도는 다이 상의 설계 구조의 사이즈 및 빈도에 접근할 수 있다. 이러한 시스템은 여기에 기술하는 바와 같이 추가로 구성될 수 있다.

[0045] 추가의 실시예는 웨이퍼 상에서 검출된 결함을 비닝하는 컴퓨터-구현 방법에 관한 것이다. 그 방법은 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 부분을 비교하는 단계를 포함한다. 그 방법은 상기 비교 단계에 기초하여 그 부분 내의 설계 데이터가 적어도 유사한지를 판정하는 단계를 포함한다. 그 부분 내의 설계 데이터가 적어도 유사한지의 판정 단계는, 1 이상의 부분을 회전 및/또는 반사시키는 단계를 포함할 수 있다. 또한, 상기 방법은 각 그룹 내의 결함의 위치에 가까운 설계 데이터의 부분이 적어도 유사하도록, 결함을 그룹으로 비닝하는 단계를 포함한다. 그 방법은 비닝 단계의 결과를 저장 매체에 저장하는 단계를 추가로 포함한다.

[0046] 일 실시예에서, 부분의 치수는 결함을 검출하는데 사용된 검사 시스템에 의해 보고된 결함의 위치, 검사 시스템의 좌표 부정확성, 설계 데이터의 1 이상의 속성, 검사 시스템의 결함 사이즈 에러, 또는 그것의 일부 조합에 적어도 부분적으로 기초하여 결정된다. 다른 실시예에서, 그 부분의 적어도 일부의 치수는 상이하다.

[0047] 일 실시예에서, 그 부분 내의 설계 데이터는 1 이상의 설계 층에 대한 설계 데이터를 포함한다. 이러한 방식에서, 여기에 기술한 방법에 사용된 설계 데이터는 1 이상의 설계 층에 대한 설계 데이터를 포함할 수 있다. 여기에 기술한 방법에서 1 이상의 설계 층에 대한 설계 데이터를 사용하는 것은, 결함이 1 이상의 층 상의 결함을 검출할 수 있는 BF(bright field) 검사를 사용하여 검출되는 때와, 위치의 임계성이 설계의 이전 또는 이후의 층 상에서 무엇이 발생했는지에 의존할 수 있는지와 같은 인스턴스(instance)에서 유용할 수 있다. 전술한 방법은 관심 있는 데이터의 일부 또는 전부를 적어도 유사한 설계 데이터를 갖는 그룹으로 비닝하는 단계를 포함할 수 있다.

[0048] 다른 실시예에서, 비교 단계는 상기 부분의 적어도 일부 내의 설계 데이터의 전체를 그 부분의 다른 부위 내의 설계 데이터에 비교하는 단계를 포함한다. 다른 실시예에서, 비교 단계는 그 부분의 적어도 일부 내의 설계 데이터의 다른 영역을 그 부분의 다른 부위 내의 설계 데이터에 비교하는 단계를 포함한다.

[0049] 일 실시예에서, 상기 방법은 웨이퍼 상의 정렬 사이트에 대한 검사 시스템에 의해 취득된 데이터를 소정의 정렬 사이트에 대한 데이터와 비교함으로써 설계 데이터 스페이스 내의 결함의 위치를 결정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 결함 검사 동안에 검사 시스템에 의해 취득한 데이터를 리뷰에 의해 결정된 설계 데이터 내의 위치에 비교함으로써, 설계 데이터 스페이스 내의 결함의 위치를 결정하는 단계를 포함한다.

[0050] 정렬 정확도는 설계로부터 웨이퍼로의 좌표 변환 및 검사 시스템의 좌표 정확도 양쪽에 의존한다. 따라서, 바람직하게는, 검사 시스템에 의해 보고된 좌표는 실질적으로 정확하다. 또한, 정렬 사이트에 대한 측정은 논리 검사 좌표를 사용하여 수행될 수 있다. (검사 시스템은 논리 웨이퍼 좌표를 출력하지만, 주사형 전자 현미경(SEM)과 같은 결함 리뷰 툴은 물리적 웨이퍼 좌표를 측정한다. 따라서, 웨이퍼 상의 물리적 좌표는 기대되는 웨이퍼 레이아웃에의 비교시, 레티클 오프셋, 스케일링(scaling) 및 미소한 회전에서의 차이를 고려하기 위해 검사 시스템에 의해 보정될 수 있다. 그와 같이, 그러한 보정은 레티클로부터 레티클로의 두 좌표 시스템 사이의 에러를 줄이기 위해 SEM 측정에 인가될 수 있다.

[0051] 일 실시예에서, 비닝 단계는 각 그룹 내의 결함의 위치에 가까운 설계 데이터의 부분이 적어도 유사하고, 각 그룹 내의 결함의 1 이상의 속성이 적어도 유사하도록 결함을 그룹으로 비닝하는 단계를 포함한다. 그러한 실시예에서, 1 이상의 속성은 결함이 검출되는 검사 결과의 1 이상의 속성, 검사의 1 이상의 매개변수, 또는 그것의 일부 조합을 포함한다.

[0052] 일부 실시예에서, 결함의 위치에 가까운 설계 데이터의 부분은 결함이 위치하는 설계 데이터를 포함한다. 다른 실시예에서, 결함의 위치에 가까운 설계 데이터의 부분은 결함의 위치 주변의 설계 데이터를 포함한다.

[0053] 다른 실시예에서, 비닝 단계는 각 그룹 내의 결함의 위치에 가까운 설계 데이터의 부분이 적어도 유사하고, 그 부분 내의 다각형에 대한 각 그룹 내의 결함의 위치가 적어도 유사하도록 결함을 그룹으로 비닝하는 단계를 포함한다.

[0054] 추가의 실시예에서, 상기 방법은 1 이상의 결함에 대한 결함 임계 인덱스(DCI; defect criticality index)를 결정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 결함의 위치에 가까운 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성, 결함을 검출하기 위해 사용된 검사 시스템에 의해서 보고된 결함의 위치, 검사 시스템의 좌표 부정확도, 또는 그것의 일부 조합에 기초하여, 1 이상의 결함이 설계 데이터에 대해 제조되는 장치 내에서

1 이상의 전기 고장을 야기할 확률을 결정하는 단계를 포함한다. 그러한 일 실시예에서, 상기 방법은 그 확률에 기초하여 1 이상의 결함에 대한 DCI를 결정하는 단계를 또한 포함한다.

[0055] 일부 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 설계 데이터 내의 1 이상의 핫 스팟을 식별하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여, 리뷰를 위한 결함의 적어도 일부를 선택하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 리뷰를 위한 결함을 샘플링하기 위한 프로세스를 생성하는 단계를 포함한다. 추가의 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 웨이퍼를 검사하기 위한 프로세스를 변경하는 단계를 포함한다. 일부 실시예에서, 상기 방법은 검사 결과에 기초하여 검사 동안에 웨이퍼의 검사를 위한 프로세스를 변경하는 단계를 포함한다. 또 다른 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 웨이퍼에 대한 계측 프로세스를 변경하는 단계를 포함한다. 추가의 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 웨이퍼에 대한 계측 프로세스에 대한 샘플링 플랜을 변경하는 단계를 포함한다. 또 다른 실시예에서, 상기 방법은 비닝 단계의 결과를 사용하여 체계적 결함, 잠재적인 체계적 결함, 또는 그것의 일부 조합을 시간에 걸쳐 감시하는 단계를 포함한다.

[0056] 또 다른 실시예에서, 결함은 검사 프로세스에 의해 검출되며, 상기 방법은 설계 데이터 내의 1 이상의 관심 있는 패턴(POI; pattern of interest)이 인쇄되는 웨이퍼 상의 위치를 리뷰하는 단계와, 1 이상의 POI의 위치에서 결함이 검출되었어야 하는지를 리뷰 단계의 결과에 기초하여 결정하는 단계와, 1 이상의 결함 포착률을 향상시키기 위해 검사 프로세스를 변경하는 단계를 포함한다.

[0057] 일부 실시예에서, 상기 방법은 설계 데이터 내의 1 이상의 POI를 우선순위화하는 단계와, 그 우선순위화 단계의 결과에 기초하여, 설계 데이터가 인쇄된 웨이퍼 상에 수행될 1 이상의 프로세스를 최적화하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 설계 데이터 내의 1 이상의 POI를 우선순위화 하는 단계와, 그 우선순위화 단계의 결과에 기초하여 1 이상의 POI 중의 적어도 하나를 최적화하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 설계 데이터 내의 1 이상의 POI를 우선순위화하는 단계와, 그 우선순위화 단계의 결과에 기초하여, 1 이상의 POI의 해상도 향상 기술(RET; resolution enhancement technology) 특징을 최적화하는 단계를 포함한다.

[0058] 일 실시예에서, 결함은 광학적 검사에 의해 검출된다. 일부 실시예에서, 결함은 전자 빔 검사에 의해 검출된다. 다른 실시예에서, 결함은 PWQ(process window qualification) 방법에서 검출된다.

[0059] 일부 실시예에서, 상기 방법은 1 이상 그룹 내의 결함의 적어도 일부를 리뷰하여 1 이상 그룹의 결함이 뉴스스 결함에 대응하는지를 판정하는 단계와, 검사 프로세스의 결과의 S/N을 증가시키기 위해, 결함이 검출된 검사 프로세스의 결과로부터 뉴스스 결함에 대응하는 1 이상의 그룹을 제거하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 1 이상 그룹 내의 결함의 적어도 일부의 리뷰 결과, 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성, 또는 그것의 일부 조합에 기초하여 1 이상 그룹의 결함을 분류하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 1 이상 그룹 내의 결함의 적어도 일부의 리뷰 결과, 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성, 또는 그것의 일부 조합에 기초하여 결함의 1 이상 그룹의 근본 원인을 결정하는 단계를 포함한다.

[0060] 일 실시예에서, 상기 방법은 1 이상 그룹 내의 결함의 적어도 일부를 실험적 프로세스 창 결과에 매핑함으로써 1 이상 그룹의 결함의 근본 원인을 결정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 1 이상 그룹 내의 결함의 적어도 일부를 시뮬레이션된 프로세스 창 결과에 매핑함으로써 1 이상 그룹의 결함의 근본 원인을 결정하는 단계를 포함한다.

[0061] 일부 실시예에서, 상기 방법은 설계 데이터를 사용하여 제조되고 있는 장치의 전기적 특성을 결함 위치에 대하여 모델링하는 단계와, 그 모델링 단계의 결과에 기초하여, 결함 위치에서의 결함의 매개변수 관련성을 결정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 설계 데이터의 1 이상의 속성에 기초하여 1 이상의 결함의 KP(kill probability) 값을 감시하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 설계 데이터 내의 1 이상의 POI에 대한 KP 값을 감시하는 단계와, 1 이상의 그룹으로 비닝된 결함의 위치에 가까운 설계 데이터의 부분이 1 이상의 POI에 대응하는 경우 1 이상의 POI에 대한 KP 값을 1 이상의 그룹에 할당하는 단계를 포함한다.

[0062] 일부 실시예에서, 여기에 기술한 방법의 1 이상의 단계는 검사 시스템(즉, "온 툴(on tool)") 또는 물리적으로 분리되지만 전송 매체에 의해 검사 시스템에 결합되는 프로세서(즉, "오프 툴(off tool)")에 의해 수행될 수 있다. 예컨대, 일 실시예에서, 컴퓨터-구현 방법은 결함을 검출하는데 사용된 검사 시스템에 의해 수행된다. 대

안적인 실시예에서, 컴퓨터-구현 방법은 결함을 검출하는데 사용된 검사 시스템 이외의 시스템에 의해 수행된다.

[0063] 다른 실시예에서, 상기 결정 단계는 상기 부분 내의 설계 데이터 내의 공통 패턴이 적어도 유사한지를 결정하는 단계를 포함한다. 추가적인 실시예에서, 그 결정 단계는 상기 부분 내의 설계 데이터의 공통 속성이 적어도 유사한지를 결정하는 단계를 포함한다. 추가의 실시예에서, 상기 결정 단계는 상기 부분 내의 설계 데이터의 특징 스페이스 내의 공통 속성이 적어도 유사한지를 결정하는 단계를 포함한다.

[0064] 일 실시예에서, 상기 방법은 1 이상 그룹의 결함에 의해 영향을 받은 웨이퍼 상에 형성된 다이의 퍼센티지를 결정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 1 이상의 그룹에 대응하는 설계 데이터 내의 1 이상의 POI를 결정하는 단계와, 웨이퍼 상의 1 이상의 POI의 위치의 수에 대한 1 이상의 POI에 대응하는 적어도 하나의 그룹으로 비닝된 결함의 수의 비율을 결정하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 적어도 하나의 그룹에 대응하는 설계 데이터 내의 1 이상의 POI를 결정하는 단계와, 설계 데이터 내의 1 이상의 POI의 위치의 수에 대한 1 이상의 POI에 대응하는 적어도 하나의 그룹으로 비닝된 결함의 수의 비율을 결정하는 단계를 포함한다.

[0065] 추가의 실시예에서, 상기 방법은 적어도 하나의 그룹에 대응하는 설계 데이터 내의 POI를 결정하는 단계와, 적어도 하나의 그룹으로 비닝된 결함이 위치되는 웨이퍼 상에 형성된 다이의 퍼센티지를 결정하는 단계와, 그 퍼센티지에 기초하여 POI에 우선순위를 할당하는 단계를 포함한다. 일부 실시예에서, 상기 방법은 1 이상 그룹의 결함이 검출되는 웨이퍼 상의 전체 설계 인스턴스의 수로 1 이상 그룹을 우선순위화하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 1 이상 그룹 내의 결함이 적어도 한번 검출되는 웨이퍼 상의 설계 데이터를 인쇄하는데 사용되는 레티클 상의 설계 인스턴스의 수로 1 이상 그룹을 우선순위화하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 1 이상 그룹으로 비닝된 결함이 검출되는 레티클 상의 위치의 수와, 1 이상의 그룹으로 비닝된 결함의 위치에 가까운 설계 데이터의 부분에 적어도 유사한 레티클 상에 인쇄된 설계 데이터 부분의 전체 수에 기초하여, 1 이상의 그룹에 대한 레티클-기반 마진을 결정하는 단계를 포함한다.

[0066] 일 실시예에서, 상기 방법은 상기 비교 단계 이전에, 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 부분을 비트맵으로 변환하는 단계를 포함한다. 그러한 일 실시예에서, 비교 단계는 비트맵을 서로 비교한다.

[0067] 전술한 방법의 각각의 실시예는 여기에 기술한 임의의 방법의 임의의 단계를 포함할 수 있다. 또한, 전술한 방법의 각각의 실시예는 여기에 기술한 임의의 시스템에 의해 수행될 수 있다.

[0068] 다른 실시예는 웨이퍼 상에서 검출된 결함에 대한 DCI를 결정하기 위한 방법에 관한 것이다. 상기 방법은 설계 데이터 스페이스 내의 결함의 위치에 가까운 장치에 대해, 설계 데이터의 1 이상의 속성에 기초하여, 그 결함이 웨이퍼 상에서 제조되고 있는 장치의 1 이상의 전기적 속성을 변경할 확률을 결정하는 단계를 포함한다. 상기 방법은 결함이 1 이상의 전기적 속성을 변경할 확률에 기초하여 결함에 대한 DCI를 결정하는 단계를 또한 포함한다. 또한, 상기 방법은 저장 매체에 DCI를 저장하는 단계를 포함한다.

[0069] 일 실시예에서, 결함은 랜덤 결함을 포함한다. 다른 실시예에서, 결함은 체계적 결함을 포함한다. 추가적인 실시예에서, 1 이상의 전기적 속성은 장치의 기능성을 포함한다. 추가의 실시예에서, 1 이상의 전기적 속성은 장치의 1 이상의 전기적 매개변수를 포함한다.

[0070] 일 실시예에서, 설계 데이터의 1 이상의 속성은 용장도(redundancy), 네트 리스트(net list), 또는 그것의 일부 조합을 포함한다. 다른 실시예에서, 설계 데이터의 1 이상의 속성은 설계 데이터 내의 특징의 치수, 설계 데이터 내의 특징의 밀도, 또는 그것의 일부 조합을 포함한다.

[0071] 일 실시예에서, 확률을 결정하는 단계는, 설계 데이터에 대한 전기 테스트 결과와, 설계 데이터의 1 이상의 속성 사이의 상관관계를 사용하여 확률을 결정하는 단계를 포함한다. 다른 실시예에서, 확률을 결정하는 단계는, 설계 데이터 스페이스 내의 결함의 위치, 결함을 검출하기 위해 사용된 검사 시스템에 의해 보고된 결함의 위치, 검사 시스템의 좌표 부정확성, 결함의 사이즈, 검사 시스템의 결함 사이즈 에러, 또는 그것의 일부 조합과 조합하여, 설계 데이터의 1 이상의 속성에 기초하여, 그 확률을 결정하는 단계를 포함한다. 그러한 일 실시예에서, 그 결함은 랜덤 결함을 포함한다.

[0072] 일부 실시예에서, 확률을 결정하는 단계는 결함의 1 이상의 속성과 조합하여, 설계 데이터의 1 이상의 속성에 기초하여, 확률을 결정하는 단계를 포함한다. 그러한 일 실시예에서, 결함은 체계적 결함을 포함한다.

- [0073] 일 실시예에서, DCI를 결정하는 단계는, 결함에 할당되는 범주와 조합하여, 확률에 기초하여, 결함에 대한 DCI를 결정하는 단계를 포함한다. 다른 실시예에서, 설계 데이터의 1 이상의 결함은 장치의 1 이상의 설계 층에 대한 설계 데이터의 1 이상의 속성을 포함한다.
- [0074] 일 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하여, 결함의 위치에 가까운 설계 데이터를 결정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 결함 정렬에 의해 결함의 위치에 가까운 설계 데이터를 결정하는 단계를 포함한다. 일부 실시예에서, 상기 방법은 결함을 검출하기 위해 사용된 검사 시스템에 의해 보고된 결함의 위치, 검사 시스템의 좌표 부정확도, 설계 데이터의 1 이상의 속성, 결함 사이즈, 검사 시스템의 결함 사이즈 에러, 또는 그것의 일부 조합에 적어도 부분적으로 기초하여, 결함의 위치에 가까운 설계 데이터를 결정하는 단계를 포함한다.
- [0075] 일 실시예에서, 상기 방법은 결함에 대한 설계 데이터의 수율 감지도에 기초하여 DCI를 수정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 결함에 대해 결정된 DCI에 기초하여 결함에 대해 수행된 프로세스를 변경하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 결함에 대해 결정된 DCI에 기초하여 결함을 검출하기 위해 사용된 프로세스를 변경하는 단계를 포함한다. 추가의 실시예에서, 상기 방법은 결함에 대한 DCI에 기초하여, 장치가 위에서 제조될 추가적인 웨이퍼의 검사를 위한 프로세스를 생성하는 단계를 포함한다.
- [0076] 일 실시예에서, 컴퓨터-구현 방법은 결함을 검출하기 위해 사용된 검사 시스템에 의해 수행된다. 다른 실시예에서, 컴퓨터-구현 방법은 결함을 검출하기 위해 사용된 검사 시스템 이외의 시스템에 의해 수행된다.
- [0077] 전술한 각각의 실시예는 여기에 기술한 임의의 방법의 임의의 단계를 포함할 수 있다. 또한, 전술한 방법의 각각의 실시예는 여기에 기술한 임의의 시스템에 의해 수행될 수 있다.
- [0078] 다른 실시예는 웨이퍼 상에 형성된 메모리 뱅크에 대한 MRI(memory repair index)를 결정하는 컴퓨터 구현 방법에 관한 것이다. 상기 방법은 모리 뱅크의 어레이 블록 영역에 위치한 결함에 기초하여, 메모리 뱅크를 수리하는데 필요한 복수의 용장 열 및 복수의 용장 행을 결정하는 단계를 포함한다. 상기 방법은 메모리 뱅크를 수리하는데 필요한 용장 열의 수를 메모리 뱅크에 대해 이용가능한 용장 열의 수에 비교하는 단계를 또한 포함한다. 또한, 상기 방법은 메모리 뱅크를 수리하는데 필요한 용장 행의 수를 메모리 뱅크에 대해 이용가능한 용장 행의 양에 비교하는 단계를 포함한다. 상기 방법은 용장 열의 수를 비교하는 단계 및 용장 행의 수를 비교하는 단계의 결과에 기초하여, 메모리에 대한 MRI를 결정하는 단계를 더 포함한다. MRI는 메모리 뱅크가 수리가능한지를 지시한다. 상기 방법은 MRI를 저장 매체에 저장하는 단계를 또한 포함한다.
- [0079] 일 실시예에서, 상기 방법은 어레이 블록 영역 내에 위치한 결함의 어느 것이 메모리 뱅크 내의 비트가 고장이 나게 야기할 수 있는지를 결정하는 단계와, 그 비트가 고장이 나게 야기할 수 있는 결함의 위치에 기초하여, 고장이 날 비트의 위치를 결정하는 단계를 포함한다. 그러한 일 실시예에서, 메모리 뱅크를 수리하는데 필요한 용장 열의 수 및 용장 행의 수를 결정하는 단계는 고장 날 비트의 위치를 사용하여 수행된다.
- [0080] 다른 실시예에서, 상기 방법은 피드 포워드 제어 기술을 사용하여 MRI에 기초하여 전기 테스트 프로세스의 1 이상의 매개변수를 변경하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 메모리 뱅크가 수리 불가능한 경우, 메모리 뱅크가 위치하는 다이가 전기 테스트 프로세스 동안에 테스트 되지 않도록, 피드 포워드 기술을 사용하여 MRI에 기초하여 전기 테스트 프로세스의 1 이상의 매개변수를 변경하는 단계를 포함한다. 추가의 실시예에서, 상기 방법은 메모리 뱅크의 어레이 블록 영역 내에 위치한 결함의 1 이상의 속성, 메모리 뱅크의 어레이 블록 영역 내에 위치한 결함, 또는 그것의 일부 조합에 기초하여 수리 프로세스의 1 이상의 매개변수를 변경하는 단계를 포함한다.
- [0081] 일 실시예에서, 결함은 메모리 뱅크의 게이트 층에서 검출된 결함을 포함한다. 다른 실시예에서, 결함은 메모리 뱅크의 금속 층에서 검출된 결함을 포함한다.
- [0082] 일부 실시예에서, 상기 방법은 메모리 뱅크 내의 결함의 위치에 기초하여 결함의 비트 오류 모드를 예측하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 어레이 블록 영역 내에 위치한 1 이상의 결함에 대한 DCI를 결정하는 단계를 포함한다. 그러한 일 실시예에서, 메모리 뱅크의 수리를 위해 필요한 용장 열의 수를 결정하는 단계와, 용장 행의 수를 결정하는 단계는 1 이상의 결함에 대한 DCI를 사용하여 수행된다.
- [0083] 일 실시예에서, 용장 열의 수를 비교하는 단계는 메모리 다이의 각 뱅크에 대해 개별적으로 수행되고, 용장 행의 수를 비교하는 단계는 메모리 다이의 각 뱅크에 대해 개별적으로 수행된다. 일부 실시예에서, 상기 방법은 메모리 뱅크의 용장 열 및 용장 행 내에 위치한 결함에 기초하여, 가용 용장 열의 양 및 가용 용장 행의 양을

결정하는 단계를 포함한다.

- [0084] 일 실시예에서, 상기 방법은 다이 내에 형성된 1 이상의 메모리 बैं크에 대한 MRI를 결정하는 단계와, 1 이상의 메모리 बैं크에 대한 MRI에 기초하여 다이에 대한 수리 수율을 예측하는 단계를 포함한다. 다른 실시예에서, 상기 방법은, MRI에 기초하여, 메모리 बैं크 내의 가용 용장 행의 양, 가용 용장 열의 양, 또는 그것의 일부 조합이 메모리 बैं크 설계자에 의해 평가되어야 하는지를 결정하는 단계를 포함한다.
- [0085] 일부 실시예에서, 상기 방법은 웨이퍼 상의 1 이상의 다이 내의 각 메모리 बैं크에 대한 MRI를 결정하는 단계와, 각 메모리 बैं크에 대한 MRI에 기초하여 1 이상의 다이에 대한 메모리 수리 수율을 결정하는 단계를 포함한다. 그러한 일부 실시예에서, 상기 방법은 웨이퍼 상의 1 이상의 다이에 대한 1 이상의 메모리 수리 수율에 기초하여 웨이퍼 배치를 수행하는 단계를 포함한다.
- [0086] 일 실시예에서, 용장 열의 수를 비교하는 단계는 메모리 बैं크를 수리하는데 필요한 용장 열의 분율을 결정하는 단계를 포함하고, 용장 행의 수를 비교하는 단계는 메모리 बैं크를 수리하는데 필요한 용장 행의 분율을 결정하는 단계를 포함하며, 메모리 बैं크에 대한 MRI를 결정하는 단계는 용장 열의 분율 및 용장 행의 분율에 기초하여 MRI를 결정하는 단계를 포함한다. 그러한 일부 실시예에서, 상기 방법은 웨이퍼 상의 1 이상의 다이 내의 각 메모리 बैं크에 대한 MRI를 결정하는 단계와, 각각의 메모리 बैं크에 대한 MRI에 기초하여 1 이상의 다이에 대한 메모리 수리 수율을 결정하는 단계를 포함한다. 추가적인 그러한 실시예에서, 상기 방법은 1 이상의 다이 각각에 대한 메모리 수리 수율에 기초하여 웨이퍼에 대한 메모리 수리 수율을 결정하는 단계를 포함한다.
- [0087] 일 실시예에서, MRI는 메모리 수리 बैं크가 수리될 수 없는 확률을 또한 지시한다. 그러한 일 실시예에서, 상기 방법은 웨이퍼 상의 1 이상의 다이 내의 각 메모리 बैं크에 대한 MRI를 결정하는 단계와, 1 이상의 다이 내의 각각의 메모리 बैं크에 대한 MRI에 기초하여, 1 이상의 다이에 대한 MRI를 결정하는 단계를 포함하며, 1 이상의 다이에 대한 MRI는 1 이상의 다이가 수리될 수 없게 될 확률을 지시한다. 그러한 일 실시예에서, 상기 방법은 웨이퍼 상의 1 이상의 다이에 대한 MRI의 임계에 기초하여 웨이퍼 기반 수율 예측을 결정하는 단계를 포함한다.
- [0088] 일 실시예에서, 상기 방법은, 메모리 बैं크의 디코더 영역 내에 위치한 결함의 수, 메모리 बैं크의 센스 앰프 영역 내에 위치한 결함의 수, 또는 그것의 일부 조합에 기초하여 메모리 बैं크 내의 수리 불가능한 결함의 수를 결정하는 단계를 포함한다.
- [0089] 일부 실시예에서, 용장 열의 수 및 용장 행의 수를 결정하는 단계는, 메모리 बैं크의 어레이 블록 영역 내에 위치한 각각의 결함에 대한 DCI를 결정하는 단계와, 그 DCI를 소정의 임계치와 비교하는 단계와, 소정의 임계치 이상의 DCI를 갖는 모든 결함을 수리하는데 필요한 용장 열의 수 및 용장 행의 수를 결정하는 단계를 포함한다.
- [0090] 일 실시예에서, 상기 방법은 메모리 बैं크의 어레이 블록 영역 내에 위치한 결함으로 인한 메모리 बैं크의 오류에 대한 MRI를 결정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 메모리 बैं크의 용장 열 및 용장 행에 위치한 결함으로 인한 메모리 बैं크의 오류에 대한 MRI를 결정하는 단계를 포함한다.
- [0091] 일부 실시예에서, 상기 방법은 메모리 बैं크 내에서 검출된 결함 사이의 공간적 상관관계를 나타내는 유사 메모리 बैं크 설계의 적층 맵을 생성하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 다이 기반으로 MRI를 결정하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 웨이퍼 상의 다이가 어레이 블록 영역에 위치한 결함으로 인하여 고장이 날지를 지시하는 인덱스를 결정하는 단계를 포함한다.
- [0092] 일 실시예에서, 상기 방법은 웨이퍼 상의 다이 내의 메모리 बैं크에 대한 MRI를 결정하는 단계와, 수리 불가능한 것으로 MRI에 의해 지시된 2 이상의 메모리 बैं크 사이의 공간적 상관관계를 나타내는 다이의 적층 맵을 생성하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 웨이퍼 상의 다이 내의 메모리 बैं크에 대한 MRI를 결정하는 단계와, 수리 불가능한 것으로 MRI에 의해 지시된 2 이상의 메모리 बैं크 사이의 공간적 상관관계를 나타내는 웨이퍼 상의 메모리 बैं크를 형성하는데 사용된 레티클의 적층 맵을 생성하는 단계를 포함한다.
- [0093] 일부 실시예에서, 상기 방법은 다이 내에서 검출된 결함에 의해 영향을 받은 다이의 메모리 बैं크를 식별하는 단계와, 메모리 बैं크에 대한 결함의 영향에 기초하여 메모리 बैं크의 등급을 매기는 단계를 포함한다. 다른 실시예에서, 상기 방법은 메모리 बैं크의 수리 불가능한 영역 내의 결함에 의해 영향받은 웨이퍼 상에 형성된 메모리 बैं크의 퍼센티지를 결정하는 단계를 포함한다. 일부 실시예에서, 상기 방법은 가능한 오류 사이의 공간적 상관관계를 나타내는 웨이퍼 상에 형성된 메모리 बैं크 내의 가능한 오류의 적층 웨이퍼 맵을 생성하는 단계를 포함한다. 추가의 실시예에서, 상기 방법은 웨이퍼 상에 형성된 1 이상의 다이에 대한 MRI를 결정하는 단계와, 그 MRI에 기초하여 1 이상의 다이의 등급을 매기는 단계를 포함한다.

- [0094] 전술한 방법의 각 실시예는 여기에 기술한 임의의 방법의 임의의 단계를 포함할 수 있다. 또한, 전술한 방법의 각 실시예는 여기에 기술한 임의의 시스템에 의해 수행될 수 있다.
- [0095] 다른 실시예는 웨이퍼 상에서 검출된 결함을 비닝하기 위한 다른 컴퓨터-구현 방법에 관한 것이다. 상기 방법은 설계 데이터 스페이스 내의 결함의 위치를 설계 데이터 내의 핫 스폿의 위치에 비교하는 단계를 포함한다. 적어도 유사한 설계 데이터에 가까이 위치한 핫 스폿은 서로 상호 연관지어진다. 상기 방법은 적어도 유사한 위치를 갖는 핫 스폿과 결함을 관련시키는 단계를 또한 포함한다. 또한, 상기 방법은 각 그룹 내의 결함이 서로 상호 연관지어진 핫 스폿과만 관련되도록 결함을 그룹으로 비닝하는 단계를 포함한다. 상기 방법은 그 비닝 단계의 결과를 저장 매체에 저장하는 단계를 더 포함한다.
- [0096] 일 실시예에서, 상기 방법은 체계적 결함과 연관된 설계 데이터 내의 POI의 위치를 식별하여 핫 스폿을 상호 연관짓는 단계와, 설계 데이터 내의 유사한 패턴을 갖는 POI를 상호 연관짓는 단계와, 상호 연관지어진 핫 스폿의 위치로서 설계 데이터 내의 유사한 패턴의 위치와 POI의 위치를 상호 연관짓는 단계를 포함한다.
- [0097] 일부 실시예에서, 상기 방법은 상기 방법은 DBC를 1 이상의 그룹에 할당하는 단계를 포함한다. 다른 실시예에서, 컴퓨터-구현 방법은 웨이퍼 상의 결함을 검출하는데 사용된 검사 시스템에 의해 수행된다. 추가의 실시예에서, 상기 방법은 설계 데이터가 인쇄되는 1 이상의 웨이퍼의 검사 결과를 사용하여 핫 스폿을 감시하는 단계를 포함한다.
- [0098] 일 실시예에서, 상기 방법은 핫 스폿 사이의 상관관계에 기초하여 웨이퍼를 검사하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 체계적 결함, 잠재적인 체계적 결함, 또는 그것의 일부 조합을 시간에 걸쳐 감시하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 결함의 리뷰를 수행하는 단계를 포함한다. 추가의 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 리뷰를 위한 결함을 선택하기 위한 프로세스를 생성하는 단계를 포함한다.
- [0099] 일 실시예에서, 상기 방법은 비닝 단계의 결과와, 시간에 걸친 체계적 결함 및 잠재적인 체계적 결함의 출현의 감시 결과에 기초하여, 설계 데이터 내의 체계적 결함 및 잠재적인 체계적 결함을 식별하는 단계를 포함한다. 다른 실시예에서, 비닝 단계의 결과에 기초하여, 설계 데이터가 그 위에 인쇄된 웨이퍼를 검사하기 위한 프로세스를 생성하는 단계를 포함한다. 추가적인 실시예에서, 비닝 단계의 결과에 기초하여 설계 데이터가 그 위에 인쇄된 웨이퍼를 검사하기 위한 프로세스를 변경하는 단계를 포함한다.
- [0100] 일부 실시예에서, 상기 방법은 1 이상 그룹의 결함에 의해 영향을 받은 웨이퍼 상에 형성된 다이의 퍼센티지를 결정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 1 이상의 결함에 대한 DCI를 결정하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 적어도 하나의 그룹으로 비닝된 결함이 위치하는 웨이퍼 상에 형성된 다이의 퍼센티지를 결정하는 단계와, 그 퍼센티지에 기초하여 적어도 하나의 그룹에 우선순위를 할당하는 단계를 포함한다.
- [0101] 일 실시예에서, 상기 방법은 1 이상 그룹 내의 결함과 관련된 핫 스폿과 상호 연관지어진 전체 핫 스폿의 수와, 1 이상 그룹 내의 결함의 수에 의해 1 이상의 그룹을 우선순위화하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 1 이상 그룹 내의 결함이 적어도 한번 검출되는 웨이퍼 상에 설계 데이터를 인쇄하는데 사용된 레티클 상의 대응하는 핫 스폿 위치의 수에 의해 1 이상 그룹을 우선순위화하는 단계를 포함한다.
- [0102] 일부 실시예에서, 상기 방법은 1 이상의 그룹으로 비닝된 결함이 검출된 레티클 상의 위치의 수와, 1 이상 그룹 내의 결함과 관련된 핫 스폿과 상호 연관지어진 레티클 상의 핫 스폿 위치의 전체 수에 기초하여, 1 이상의 그룹에 대한 레티클-기반 마진을 결정하는 단계를 포함한다.
- [0103] 전술한 방법의 각 실시예는 여기에 기술한 임의의 방법의 임의의 다른 단계를 포함할 수 있다. 또한, 전술한 방법의 각 실시예는 여기에 기술한 임의의 시스템에 의해 수행될 수 있다.
- [0104] 다른 실시예는 웨이퍼 상에서 검출된 결함을 비닝하기 위한 다른 컴퓨터-구현 방법에 관한 것이다. 상기 방법은 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 1 이상의 속성을 비교하는 단계를 포함한다. 상기 방법은 그 비교 결과에 기초하여, 결함의 위치에 가까운 설계 데이터의 1 이상의 속성이 적어도 유사한지를 판정하는 단계를 또한 포함한다. 또한, 상기 방법은, 각 그룹 내의 결함의 위치에 가까운 설계 데이터의 1 이상의 속성이 적어도 유사하도록, 결함을 그룹으로 비닝하는 단계를 포함한다. 상기 방법은 비닝 단계의 결과를 저장 매체에 저장하는 단계를 더 포함한다.
- [0105] 일 실시예에서, 1 이상의 속성은 패턴 밀도를 포함한다. 다른 실시예에서, 상기 방법은 1 이상의 속성을 사용

하여 결함이 랜덤 또는 체계적 결함인지를 판정하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 1 이상의 속성을 사용하여 1 이상 그룹의 등급을 매기는 단계를 포함한다. 추가의 실시예에서, 상기 방법은 1 이상의 속성을 사용하여 적어도 하나의 그룹 내의 결함의 등급을 매기는 단계를 포함한다. 일부 실시예에서, 1 이상의 속성은 특징 스페이스 내의 1 이상의 속성을 포함한다.

[0106] 일 실시예에서, 상기 방법은 1 이상의 속성을 사용하여 적어도 하나의 그룹을 서브-그룹으로 비닝하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 1 이상의 속성을 사용하여 적어도 하나의 그룹 내의 결함을 분석하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 1 이상의 속성을 사용하여 1 이상의 결함의 수율 관련성을 결정하는 단계를 포함한다. 추가의 실시예에서, 상기 방법은 1 이상의 속성을 사용하여 전체 수율 관련성을 결정하는 단계를 포함한다. 또 다른 실시예에서, 상기 방법은 1 이상의 속성을 사용하여 DCI를 1 이상의 결함에 할당하는 단계를 포함한다.

[0107] 일부 실시예에서, 상기 방법은 결함의 위치에 가까운 설계 데이터를 결함 주위 영역 내의 설계 데이터와, 결함이 위치한 영역 내의 설계 데이터로 분리하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 물 및 1 이상의 속성을 사용하여 비닝 또는 필터링하기 위한 설계 데이터 내의 구조를 식별하는 단계를 포함한다.

[0108] 일 실시예에서, 상기 방법은 결함의 검출 동안 생성된 검사 결과와, 체계적 결함으로 식별된 결함에 기초하여, 리뷰, 측정, 테스트 또는 그것의 일부 조합이 수행될 웨이퍼 상의 위치를 결정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 결함의 검출 동안 생성된 검사 결과, 체계적 결함으로 식별된 결함, 및 결함의 수율 관련성에 기초하여, 리뷰, 측정, 테스트 또는 그것의 일부 조합이 수행될 웨이퍼 상의 위치를 결정하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 결함의 검출 동안 생성된 검사 결과, 체계적 결함으로 식별된 결함, 및 프로세스 창 매핑에 기초하여, 리뷰, 측정, 테스트 또는 그것의 일부 조합이 수행될 웨이퍼 상의 위치를 결정하는 단계를 포함한다.

[0109] 일 실시예에서, 상기 방법은 비닝 단계 및 유저-보조 리뷰의 결과를 사용하여 체계적 탐색을 수행하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 비교 단계 이전에, 비닝 단계의 결과에서의 S/N을 향상시키기 위해, 결함이 위치하는 기능 블록에 기초하여 결함을 분리하는 단계를 포함한다.

[0110] 일부 실시예에서, 설계 데이터는 설계에 의해 계층 셀로 조직화되고, 상기 방법은, 비교 단계 이전에, 비닝 단계의 결과에서의 S/N을 향상시키기 위해, 결함이 위치되는 계층 셀에 기초하여 결함을 분리하는 단계를 포함한다. 다른 실시예에서, 설계 데이터는 설계에 의해 계층 셀로 조직화되고, 결함이 1 이상의 계층 셀 내에 위치될 수 있는 경우, 상기 방법은 계층 셀의 영역, 결함 위치 확률, 또는 그것의 일부 조합에 기초하여 결함이 각각의 계층 셀 내에 위치하는 확률에 기초하여, 결함을 각각의 계층 셀에 상호 연관짓는 단계를 포함한다.

[0111] 일 실시예에서, 결함은 검사 프로세스에 의해 검출되며, 그 방법은 설계 데이터 내의 1 이상의 POI가 인쇄되는 웨이퍼 상의 위치를 리뷰하는 단계와, 결함이 1 이상의 POI의 위치에서 검출되었어야 하는지를 리뷰 단계의 결과에 기초하여 결정하는 단계와, 1 이상의 결함 포착물을 향상시키기 위해 검사 프로세스를 변경하는 단계를 포함한다.

[0112] 전술한 방법의 각각의 실시예는 여기에 기술한 임의의 방법의 임의의 다른 단계를 포함할 수 있다. 또한, 전술한 각각의 실시예는 여기에 기술한 임의의 시스템에 의해 수행할 수 있다.

[0113] 다른 실시예는 웨이퍼 상에서 검출된 결함에 범주를 할당하기 위한 컴퓨터-구현 방법에 관한 것이다. 상기 방법은 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 부분을 상이한 DBC(예컨대, 상이한 DBC 비 규정)에 대응하는 설계 데이터(예컨대, POI 설계 예)에 비교하는 단계를 포함한다. 상이한 DBC에 대응하는 설계 데이터와 그 상이한 DBC는 데이터 구조에 저장된다. 상기 방법은 비교 단계의 결과에 기초하여, 상기 부분 내의 설계 데이터가 상이한 DBC에 대응하는 설계 데이터와 적어도 유사한지를 판정하는 단계를 또한 포함한다. 또한, 상기 부분 내의 설계 데이터에 적어도 유사한 설계 데이터에 대응하는 DBC를 결함에 할당하는 단계를 포함한다. 상기 방법은 그 할당 단계의 결과를 저장 매체에 저장하는 단계를 또한 포함한다.

[0114] 일 실시예에서, 컴퓨터-구현 방법은 결함을 검사하기 위해 사용된 검사 시스템에 의해 수행된다. 다른 실시예에서, 컴퓨터-구현 방법은 결함을 검출하기 위해 사용된 검사 시스템 이외의 시스템에 의해 수행된다.

[0115] 일 실시예에서, 상기 방법은 그 할당 단계의 결과에 기초하여 설계 데이터 내의 핫 스팟을 감시하는 단계를 포함한다. 다른 실시예에서, 상이한 DBC에 대응하는 설계 데이터는, 설계 데이터 스페이스 내의 1 이상의 다른 웨이퍼 상에서 검출된 결함의 위치에 가까운 설계 데이터의 부분에 기초하여, 1 이상의 다른 웨이퍼 상에서 검

출된 결함을 그룹화하여 식별된다.

- [0116] 일부 실시예에서, 결함은 검사 프로세스에서 검출되며, 상기 방법은 설계 데이터 내의 1 이상의 POI가 인쇄되는 웨이퍼 상의 위치를 리뷰하는 단계와, 그 리뷰 결과에 기초하여, 결함이 1 이상의 POI의 위치에서 검출되었어야 하는지를 결정하는 단계와, 결함 포착률을 향상하기 위해 검사 프로세스를 변경하는 단계를 포함한다.
- [0117] 일 실시예에서, 상기 방법은 결함에 할당된 DBC에 기초하여 결함이 뉴슨스 결함인지를 결정하는 단계와, 검사 프로세스의 결과의 S/N을 증가시키기 위해서 결함이 검출된 검사 프로세스의 결과로부터 뉴슨스 결함을 제거하는 단계를 포함한다.
- [0118] 다른 실시예에서, 상기 방법은 1 이상의 결함에 대한 KP 값을 결정하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 결함에 할당된 DBC가 리뷰 시스템에 가시적인 체계적 결함에 대응하는지를 판정하는 단계와, 리뷰 시스템에 가시적인 결함만을 리뷰를 위해 선택하여 리뷰를 위한 결함을 샘플링하는 단계를 포함한다. 추가의 실시예에서, 상기 방법은 패턴 의존적 결함을 지시하는 설계 데이터 내의 1 이상의 특징을 식별하여 설계 데이터 내의 1 이상의 POI를 결정하는 단계를 포함한다.
- [0119] 일 실시예에서, DBC는 결함이 위치하거나 결함이 근처에 위치하는 설계 데이터 내의 1 이상의 다각형을 식별한다. 다른 실시예에서, DBC는 설계 데이터 내의 1 이상의 다각형의 위치를 식별한다. 추가적인 실시예에서, 데이터 구조는 기술, 프로세스, 또는 그것의 일부 조합에 의해 조직화된 설계 데이터의 예(예컨대, DBC 빈 규정에 대한 POI 설계 예)를 함유하는 라이브러리를 포함한다.
- [0120] 일부 실시예에서, 상기 방법은 결함의 위치에 가까운 설계 데이터를 결함 주위 영역 내의 설계 데이터와 결함이 위치한 영역 내의 설계 데이터로 분리하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 상기 할당 단계의 결과를 사용하여 체계적 결함, 잠재적인 체계적 결함, 또는 그것의 일부 조합을 시간에 걸쳐 감시하는 단계를 포함한다. 추가적인 실시예에서, DBC에 대응하는 설계 데이터의 1 이상의 속성에 기초하여 1 이상의 DBC에 대한 KP 값을 결정하는 단계를 포함한다. KP 값은 DBC에 대응하는 전기 테스트 데이터 및 설계 데이터의 1 이상의 속성에 기초하여 결정할 수 있다. 추가의 실시예에서, 상기 방법은 1 이상의 결함에 할당된 DBC에 대응하는 설계 데이터의 1 이상의 속성에 기초하여 1 이상의 결함에 대한 KP 값을 결정하는 단계를 포함한다. 또 다른 실시예에서, 상기 방법은 1 이상의 DBC에 대한 KP 값을 감시하는 단계와, 결함에 할당된 DBC에 대한 KP 값을 결함에 할당하는 단계를 포함한다.
- [0121] 일 실시예에서, 상기 부분의 적어도 일부의 치수는 상이하다. 다른 실시예에서, 그 부분 내의 설계 데이터는 1 이상의 설계 층에 대한 설계 데이터를 포함한다. 다른 실시예에서, 상기 방법은 웨이퍼 상의 정렬 사이트에 대해 검사 시스템에 의해 취득한 데이터와, 소정의 정렬 사이트에 대한 데이터를 비교함으로써, 설계 데이터 스페이스 내의 결함의 위치를 결정하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 결함의 검출 동안에 검사 시스템에 의해 취득한 데이터를 리뷰를 위해 결정된 설계 데이터 내의 위치에 비교함으로써 설계 데이터 내의 결함의 위치를 결정하는 단계를 포함한다.
- [0122] 일 실시예에서, 상기 할당 단계는 상기 부분 내의 설계 데이터에 적어도 유사하며, 상기 부분 내의 설계 데이터의 1 이상의 속성에 적어도 유사한 1 이상의 속성을 갖는 설계 데이터에 대응하는 DBC를 결함에 할당하는 단계를 포함한다. 그러한 일 실시예에서, 1 이상의 속성은 결함이 검출된 검사의 1 이상의 속성, 검사의 1 이상의 매개변수, 또는 그것의 일부 조합을 포함한다.
- [0123] 일 실시예에서, 결함의 위치에 가까운 설계 데이터는 결함이 위치하는 설계 데이터를 포함한다. 다른 실시예에서, 결함의 위치에 가까운 설계 데이터는 결함의 위치 주변의 설계 데이터를 포함한다. 추가적인 실시예에서, 상기 방법은 결함의 위치에 가까운 설계 데이터의 부분 내의 다각형에 대한 각 그룹 내의 결함의 위치가 적어도 유사하도록, 1 이상의 DBC가 할당된 결함을 그룹으로 비닝하는 단계를 포함한다.
- [0124] 일 실시예에서, 상기 방법은 할당 단계의 결과에 기초하여 리뷰를 위한 결함의 적어도 일부를 선택하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 할당 단계의 결과에 기초하여 리뷰를 위한 결함을 샘플링하기 위한 프로세스를 생성하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 할당 단계의 결과에 기초하여 웨이퍼를 검사하기 위한 프로세스를 변경하는 단계를 포함한다. 일부 실시예에서, 상기 방법은 검사 결과에 기초하여 검사 동안 검사를 위한 프로세스를 변경하는 단계를 포함한다. 추가의 실시예에서, 상기 방법은 할당 단계의 결과에 기초하여 웨이퍼에 대한 계측 프로세스를 변경하는 단계를 포함한다. 또 다른 실시예에서, 상기 방법은 할당 단계의 결과에 기초하여 웨이퍼에 대한 계측 프로세스를 위한 샘플링 플랜을 변경하는 단계를 포함한다. 또한, 상기 방법은 측정, 테스트, 리뷰, 또는 그것의 일부 조합이 구동시 수행될 웨이퍼 상의 위치를 할당

단계의 결과에 기초하여 결정하는 단계를 포함할 수 있다.

- [0125] 다른 실시예에서, 상기 방법은 1 이상의 DBC를 우선순위화하는 단계와, 그 우선순위화 단계의 결과에 기초하여, 설계 데이터가 인쇄될 웨이퍼에 대해 수행될 1 이상의 프로세스를 최적화하는 단계를 포함한다.
- [0126] 일 실시예에서, 상기 방법은 결함에 할당된 DBC에 기초하여 결함의 근본 원인을 결정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 결함의 적어도 일부를 실험적 프로세스 창 결과에 매핑함으로써 결함의 적어도 일부의 근본 원인을 결정하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 결함의 적어도 일부를 시뮬레이션된 실험적 프로세스 창 결과에 매핑함으로써 결함의 적어도 일부의 근본 원인을 결정하는 단계를 포함한다. 추가의 실시예에서, 상기 방법은 1 이상의 DBC에 대응하는 근본 원인을 결정하는 단계와, 결함에 할당된 DBC에 대응하는 근본 원인에 기초하여 결함에 근본 원인을 할당하는 단계를 포함한다.
- [0127] 일 실시예에서, 상기 방법은 1 이상의 DBC가 할당되는 결함에 의해 영향을 받는 웨이퍼 상에 형성된 다이의 퍼센티지를 결정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 적어도 하나의 DBC에 대응하는 설계 데이터 내의 POI를 결정하는 단계와, 웨이퍼 상의 위치의 수에 대한 적어도 하나의 DBC가 할당된 결함의 수의 비율을 결정하는 단계를 포함한다.
- [0128] 일부 실시예에서, 상기 방법은 적어도 하나의 DBC에 대응하는 설계 데이터 내의 1 이상의 POI를 결정하는 단계와, 설계 데이터 내의 1 이상의 POI의 위치의 수에 대한 DBC가 할당된 적어도 하나의 결함의 수의 비율을 결정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 적어도 하나의 DBC에 대응하는 설계 데이터 내의 POI를 결정하는 단계와, 적어도 하나의 DBC가 할당된 결함이 위치되는 웨이퍼 상에서 형성된 다이의 퍼센티지를 결정하는 단계와, 그 퍼센티지에 기초하여 POI에 우선순위를 할당하는 단계를 포함한다.
- [0129] 일 실시예에서, 상기 방법은 1 이상의 DBC가 할당된 결함이 검출된 웨이퍼 상의(예컨대, 웨이퍼의 검사 영역 상의) 전체 설계 인스턴스(예컨대, DBC 빈 규정으로부터의 POI 설계 예의)의 수에 의해 1 이상의 DBC를 우선순위화하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 1 이상의 DBC가 할당된 결함이 적어도 한번 검출된 웨이퍼 상에 설계 데이터를 인쇄하는데 사용된 레티클 상의(예컨대, 레티클의 검사 영역 상의) 설계 인스턴스의 수에 의해 1 이상의 DBC를 우선순위화하는 단계를 포함한다.
- [0130] 다른 실시예에서, 상기 방법은 1 이상의 DBC가 할당된 결함이 검출된 레티클 상의(예컨대, 레티클의 검사 영역 상의) 위치의 수와, 1 이상의 DBC가 할당된 결함의 위치에 가까운 설계 데이터의 부분에 유사한 레티클 상에 인쇄된 설계 데이터(예컨대, DBC 빈 규정으로부터의 POI 설계 예)의 부분의 전체 수에 기초하여, 1 이상의 DBC에 대한 레티클-기반 마진을 결정하는 단계를 포함한다.
- [0131] 일부 실시예에서, 상기 방법은 상기 비교 단계 이전에, 여기에 기술하는 바와 같이 수행될 수 있는, 결함의 위치에 가까운 설계 데이터의 부분을 제 1 비트맵으로 변환하는 단계와, 상기 비교 단계 이전에, 여기에 기술하는 바와 같이 수행할 수 있는, DBC에 대응하는 설계 데이터를 제 2 비트맵으로 변환하는 단계를 포함한다. 그러한 일 실시예에서, 상기 비교 단계는 제 1 비트맵과 제 2 비트맵을 비교하는 단계를 포함한다.
- [0132] 전술한 방법의 각각의 실시예는 여기에 기술한 임의의 방법의 임의의 다른 단계를 포함할 수 있다. 또한, 전술한 방법의 각각의 실시예는 여기에 기술한 임의의 시스템에 의해서 수행할 수 있다.
- [0133] 추가의 실시예는 웨이퍼에 대한 검사 프로세스를 변경하는 방법에 관한 것이다. 상기 방법은 설계 데이터 내의 1 이상의 POI가 인쇄되는 웨이퍼 상의 위치를 리뷰하는 단계를 포함한다. 상기 방법은 1 이상의 POI의 위치에서 결함이 검출되었어야 하는지를 리뷰 단계의 결과에 기초하여 판정하는 단계를 또한 포함한다. 또한, 상기 방법은 1 이상의 POI의 적어도 일부에 위치한 결함에 대한 1 이상의 결함 포착률을 향상하기 위해 검사 프로세스를 변경하는 단계를 포함한다.
- [0134] 일 실시예에서, 상기 변경 단계는 검사 프로세스를 수행하는데 사용된 검사 시스템의 광학 모드를 변경하는 단계를 포함한다. 다른 실시예에서, 상기 변경 단계는 판정 단계의 결과에 기초하여 검사 프로세스를 수행하기 위해 사용된 검사 시스템의 광학 모드를 변경하는 단계를 포함한다. 추가적인 실시예에서, 변경 단계는 검사 프로세스의 결과에서의 노이즈를 억제하기 위해 검사 프로세스를 변경하는 단계를 포함한다. 추가의 실시예에서, 상기 변경 단계는 관심없는 결함의 검출을 줄이기 위해 검사 프로세스를 변경하는 단계를 포함한다. 또 다른 실시예에서, 변경 단계는 검사 프로세스에 사용된 알고리즘을 변경하는 단계를 포함한다. 또 다른 실시예에서, 변경 단계는 검사 프로세스에 사용된 알고리즘의 1 이상의 매개변수를 변경하는 단계를 포함한다.
- [0135] 전술한 방법의 각각의 실시예는 여기에 기술한 임의의 방법의 임의의 단계를 포함할 수 있다. 또한, 전술한 각

각의 실시예는 여기에 기술한 임의의 시스템에 의해 수행될 수 있다.

- [0136] 추가적인 실시예는 설계 및 결함 데이터를 표시하고 분석하도록 구성된 시스템에 관한 것이다. 시스템은 반도체 장치에 대한 설계 레이아웃, 반도체 장치의 적어도 일부가 형성된 웨이퍼에 대해 취득된 인라인 검사 데이터, 웨이퍼에 대해 취득된 전기 테스트 데이터를 표시하도록 구성되는 유저 인터페이스를 포함한다. 유저 인터페이스는 반도체 장치에 대한 모델링된 데이터 및/또는 웨이퍼에 대한 오류 분석 데이터를 표시하도록 구성될 수 있다. 시스템은 유저 인터페이스를 통하여 유저로부터 분석을 수행하라는 지령을 수신시, 1 이상의 설계 레이아웃, 인라인 검사 데이터, 및 전기 테스트 데이터를 분석하도록 구성된 프로세서를 또한 포함한다. 프로세서는 전술한 바와 같이 모델링된 데이터 및/또는 오류 분석 데이터를 분석하도록 구성될 수 있다.
- [0137] 일 실시예에서, 전기 테스트 데이터는 로직 비트맵 데이터를 포함한다. 다른 실시예에서, 유저 인터페이스는, 가능하게는 여기에 기술한 임의의 다른 데이터와 조합하여, 설계 레이아웃, 인라인 검사 데이터 및 전기 테스트 데이터의 적어도 2가지의 오버레이를 표시하도록 구성된다. 그러한 일 실시예에서, 전기 테스트 데이터는 로직 비트맵 데이터를 포함한다. 일부 실시예에서, 프로세서는 유저 인터페이스를 통하여 유저로부터 결함 밀도 결정 단계를 수행하라는 지령을 수신 시, 설계 데이터 스페이스 내의 결함 밀도를 결정하도록 구성된다. 추가의 실시예에서, 유저 인터페이스를 통하여 유저로부터 결함 샘플링 단계를 수행하라는 지령을 수신시 리뷰를 위한 결함 샘플링을 수행하도록 구성된다. 추가의 실시예에서, 유저 인터페이스를 통하여 유저로부터 그룹화 단계를 수행하라는 지령을 수신시, 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 레이아웃의 유사도에 기초하여, 결함을 그룹화하도록 구성된다. 여기에 기술한 시스템의 각각의 실시예는 여기에 기술하는 바와 같이 추가로 구성될 수 있다.
- [0138] 추가의 실시예는 웨이퍼 상에서 검출된 전기적 결함의 근본 원인을 결정하기 위한 컴퓨터-구현 방법에 관한 것이다. 상기 방법은 설계 데이터 스페이스 내의 전기적 결함의 위치를 결정하는 단계를 포함한다. 상기 방법은 전기적 결함의 부분의 위치가 1 이상의 프로세스 조건에 대응하는 공간적 시그니처(spatial signature)를 규정하는지를 판정하는 단계를 또한 포함한다. 전기적 결함의 부분의 위치가 1 이상의 프로세스 조건에 대응하는 공간적 시그니처를 규정하는 경우, 상기 방법은 전기적 결함의 부분의 근본 원인을 1 이상의 프로세스 조건으로서 식별하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 전기 테스트 결과에 대한 공간적 시그니처 분석을 수행하는 단계를 포함한다. 상기 방법은 식별 단계의 결과를 저장 매체에 저장하는 단계를 포함한다. 전술한 방법의 실시예는 여기에 기술한 임의의 다른 단계를 포함할 수 있다. 전술한 방법의 실시예는 여기에 기술한 임의의 시스템 실시예에 의해 수행될 수 있다.
- [0139] 또 다른 실시예는 웨이퍼 상에서 검출된 결함을 리뷰를 위해 선택하는 컴퓨터-구현 방법에 관한 것이다. 상기 방법은 웨이퍼의 1 이상의 영역을 식별하는 단계를 포함한다. 1 이상의 영역은 웨이퍼 상의 1 이상의 결함 유형(예컨대, 가능하게는 체계적 결함)의 위치와 관련된다. 상기 방법은 리뷰를 위해 1 이상의 영역에서만 검출된 결함을 선택하는 단계를 포함한다. 또한, 상기 방법은 선택 단계의 결과를 저장 매체에 저장하는 단계를 포함한다. 이러한 방법 실시예는 여기에 기술한 임의의 다른 단계를 포함할 수 있다. 이러한 방법 실시예는 여기에 기술한 임의의 시스템 실시예에 의해 수행될 수 있다.
- [0140] 전술한 바와 같은 방법이 사용될 수 있는 복수의 리뷰 이용 케이스가 있다. 예컨대, 전술한 방법은 잠재적인 체계적 결함의 리스트로부터의 체계적 결함 입증을 위해 사용될 수 있고, 이는 탐색 단계 또는 감시 단계의 유지 동안에 수행될 수 있다. 또한, 전술한 방법은 알려진 핫 스팟(탐색 단계 또는 레시피 셋업 동안에 수행될 수 있는, 임의의 패턴 검색에 의해 식별될 수 있는)에 유사한 로컬 패턴(즉, 로컬 설계 데이터)를 갖는 알려진 핫 스팟 또는 위치를 리뷰함으로써 체계적 결함 포착을 위해 사용할 수 있다. 상기 방법은 핫 스팟에서 또는 그 근처에서 검출된 결함의 입증 또는 분류를 위해 사용될 수 있으며, 이는 감시 동안에 수행될 수 있다.
- [0141] 전술한 영역 정보는 특정 영역으로부터의 결함을 샘플링하기 위해서뿐만 아니라, 웨이퍼의 모든 영역으로부터의 결함을 일부 지능적 방식으로 샘플링하고 및/또는 설계로부터 설계-결정 주요 영역의 특정 유형을 발견하거나 위치시킬 확률이 높은 웨이퍼의 특정 영역으로 추출된 주요 영역을 보정하기 위해 사용될 수 있다. 설계 데이터로부터 추출된 주요 영역은 단일 장치를 위한 것일 수 있지만, 주요 영역에 기인한 실제 검사 결함을 발견할 확률은 다른 영역보다는 특정 웨이퍼 영역에서 더욱 현저할 수 있다. 이러한 방식에서, 상기 방법은 전술한 영역 분석을 사용하여 다이로부터의 결함 정보를 웨이퍼로 보외(補外)하는 단계를 포함할 수 있다. 이러한 실시예는 여기에 기술한 임의의 다른 정보를 사용할 수 있다.
- [0142] 또 다른 실시예는 설계 데이터에 대한 1 이상의 수율 관련 프로세스를 평가하기 위한 컴퓨터-구현 방법에 관한 것이다. 상기 방법은 룰 체크 또는 여기에 기술한 임의의 적합한 단계 또는 방법을 사용하여 설계 데이터 내의

잠재적 오류를 식별하는 단계를 포함한다. 상기 방법은 잠재적 오류의 1 이상의 속성을 결정하는 단계를 또한 포함한다. 또한, 상기 방법은 1 이상의 속성에 기초하여 잠재적 오류가 검출가능한지를 결정하는 단계를 포함한다. 상기 방법은 1 이상의 속성에 기초하여, 복수의 상이한 검사 시스템 중에서 어느 것이 잠재적 오류를 검출하는데 가장 적합한지를 결정하는 단계를 포함한다. 또한, 상기 방법은 복수의 상이한 검사 시스템 중에서 어느 것이 잠재적 오류를 검출하는데 가장 적합한지의 결정 결과를 저장 매체에 저장하는 단계를 포함한다.

[0143] 일 실시예에서, 상기 방법은 가장 적합하다고 결정된 검사 시스템의 1 이상의 매개변수를 선택하는 단계를 포함한다. 매개변수는 1 이상의 속성에 기초하여 선택된다. 이러한 방식에서, 최선의 검사 시스템 유형은 관심 있는 결함의 속성에 기초하여 추정되거나 선택될 수 있다. 다른 실시예에서, 상기 방법은 설계 데이터에 의해 제조되는 장치의 수율에 대한 잠재적 오류의 영향을 결정하는 단계를 포함한다. 전술한 방법 실시예의 각각은 여기에 기술한 임의의 방법의 임의의 다른 단계를 포함할 수 있다. 또한, 전술한 방법 실시예의 각각은 여기에 기술한 임의의 시스템 실시예에 의해 수행할 수 있다.

[0144] 추가의 실시예는 전술한 임의의 컴퓨터-구현 방법을 수행하기 위해 프로세서상에서 실행가능한 프로그램 지령을 포함하는 캐리어 매체(carrier medium)에 관한 것이다. 추가적인 실시예는 여기에 기술한 임의의 컴퓨터-구현 방법을 수행하도록 구성된 시스템에 관한 것이다. 상기 시스템은 여기에 기술한 1 이상의 컴퓨터-구현 방법을 수행하기 위한 컴퓨터 지령을 실행하도록 구성된 프로세서를 포함할 수 있다. 일 실시예에서, 상기 시스템은 독립 시스템일 수 있다. 다른 실시예에서, 상기 시스템은 웨이퍼 검사 시스템과 같은 검사 시스템의 일부이거나 그것에 결합될 수 있다. 다른 실시예에서, 상기 시스템은 결함 리뷰 시스템의 일부이거나 그것에 결합될 수 있다. 또 다른 실시예에서, 상기 시스템은 웹 데이터베이스에 결합될 수 있다. 상기 시스템은 와이어, 케이블, 무선 통신 패쓰, 및/또는 네트워크와 같은 전송 매체에 의해 검사 시스템, 리뷰 시스템, 및/또는 웹 데이터베이스에 결합될 수 있다. 전송 매체는 "유선" 또는 "무선" 부분을 포함할 수 있다.

실시예

[0174] 여기에 사용된 바와 같이, 용어 "웨이퍼"는 반도체 또는 비-반도체 재료로 형성된 기판을 일반적으로 칭한다. 그러한 반도체 또는 비-반도체 재료의 예는 단결정 실리콘, 갈륨 비소, 및 인화 인듐을 비한정적으로 포함한다. 그러한 기판은 반도체 제조 설비 내에서 통상적으로 발견 및/또는 처리될 수 있다.

[0175] 웨이퍼는 기판상에 형성된 1 이상의 층을 포함할 수 있다. 예컨대, 그러한 층은 레지스트, 유전 재료, 및 도전 재료를 비한정적으로 포함할 수 있다. 그러한 층의 여러 가지 다른 유형은 당업계에서 공지되며, 여기에 사용된 바와 같은 용어인 웨이퍼는 그러한 층의 모든 유형을 포함하는 웨이퍼를 포함하도록 의도된다.

[0176] 웨이퍼 상에 형성된 1 이상의 층은 패터닝되거나 패터닝되지 않을 수 있다. 예컨대, 웨이퍼는 반복가능한 패턴 특징을 각각 갖는 복수의 다이(die)를 포함할 수 있다. 재료의 그러한 층의 형성 및 처리는 궁극적으로 완성된 장치의 결과를 낳을 수 있다. 집적 회로(IC)와 같은 여러 다른 유형의 장치가 웨이퍼 상에 형성될 수 있고, 여기에 개시한 바와 같은 용어인 웨이퍼는 당업계에서 알려진 임의의 유형의 장치가 그 위에 형성되는 웨이퍼를 포함하도록 의도된다.

[0177] 여기에서, 웨이퍼에 대하여 실시예를 기술하였지만, 실시예는 통상적으로 마스크 또는 포토마스크라 칭해질 수 있는 레티클과 같은 다른 시편에 대하여 사용될 수 있다는 것을 이해해야 한다. 여러 다른 유형의 레티클이 당업계에서 공지되며, 여기에 개시된 용어 "레티클", "마스크", 및 "포토마스크"는 당업계에 알려진 모든 유형의 레티클을 포함하도록 의도된다.

[0178] 여기에 사용된 바와 같은 용어 "설계 데이터"는 IC의 물리적 설계(레이아웃)와, 복잡한 시뮬레이션 또는 간단한 불 연산(boolean operation)을 통하여 물리적 설계로부터 유도된 데이터를 일반적으로 칭한다. 또한, 레티클 검사 시스템 및/또는 그 유도품에 의해 취득한 레티클의 이미지가 설계 데이터의 "프록시(proxy)" 또는 "프록시들(proxies)"로서 사용될 수 있다. 레티클 이미지 또는 그 유도품은 설계 데이터를 사용하는 여기에 개시한 임의의 실시예에서의 설계 레이아웃의 대체물로서 작용할 수 있다.

[0179] 예컨대, 일 실시예에서, 레티클 검사 시스템에 의해 생성된 레티클의 이미지는 설계 데이터 스페이스 내의 설계 데이터로서 사용된다. 레티클은 웨이퍼 상에 설계 데이터를 인쇄하기 위해 사용된다. 이러한 방식에서, 레티클 검사 시스템에 의해 생성된 레티클의 이미지는 설계 데이터의 대체물로서 사용될 수 있다. 이러한 실시예에서 사용된 레티클의 이미지는 당업계에 공지된 임의의 레티클 검사 시스템에 의해 임의의 적합한 방식으로 생성된 임의의 적합한 레티클 이미지를 포함할 수 있다. 예컨대, 레티클의 이미지는 고배율 광학적 레티클 검사 시스템 또는 전자 빔 기반 레티클 검사 시스템 각각에 의해 취득한 레티클의 고배율 광학 또는 전자 빔 이미지일

수 있다. 대안적으로, 레티클의 이미지는 에어리얼(aerial) 촬상 레티클 검사 시스템에 의해 취득한 레티클의 에어리얼 이미지일 수 있다. 레티클의 이미지는 1 이상의 단계를 수행하기 위해 설계 데이터를 사용하는 여기에 기술한 임의의 실시예에서 설계 데이터를 위한 프록시로서 사용될 수 있다.

[0180] 추가적인 실시예에서, 방법은 웨이퍼 상에 설계 데이터를 인쇄하는데 사용되는 레티클에 대하여 취득한 레티클 검사 데이터에 기초한 설계 데이터 스페이스 내의 설계 데이터에 대한 컨텍스트 맵(context map)을 생성하는 단계를 포함한다. 이러한 방식에서, 레티클 검사 데이터는 컨텍스트 맵의 생성에 입력으로서 포함될 수 있다. 컨텍스트 맵은 여기에 추가로 기술하는 바와 같이 구성될 수 있다(예컨대, 컨텍스트 맵은 설계 데이터 스페이스에 걸친 설계 데이터의 1 이상의 속성(attribute)에 대한 값을 포함할 수 있다). 컨텍스트 맵을 생성하기 위해 사용된 레티클 검사 데이터는 전술한 레티클 이미지의 1 이상과 같은 당업계에 공지된 임의의 적합한 레티클 검사 데이터를 포함할 수 있다. 따라서, 본 실시예에서, 레티클 검사 데이터는 레티클에 걸쳐 레티클 상에 인쇄된 설계 데이터의 1 이상의 속성에 대한 값을 결정하는데 사용될 수 있고, 그 값은 컨텍스트 맵을 생성하기 위해 설계 데이터 스페이스에 매핑(mapping)될 수 있다. 레티클 상에 인쇄된 설계 데이터의 1 이상의 속성에 대한 값을 결정하는 단계는 여기에 기술한 바와 같이 또는 임의의 적합한 방식으로 수행될 수 있다. 설계 데이터의 1 이상의 속성은 여기에 기술한 임의의 속성을 포함할 수 있다. 레티클 스페이스로부터 설계 데이터 스페이스로의 1 이상의 속성에 대한 값의 매핑은 여기에 추가로 기술한 바와 같이 수행될 수 있다. 그러한 컨텍스트 맵은 1 이상의 단계를 수행하기 위해 컨텍스트 맵을 사용하는 단계를 포함하는 여기에 기술한 임의의 실시예에서 사용될 수 있다. 또한, 그러한 컨텍스트 맵은 여기에 기술한 바와 같이 및/또는 여기에 기술한 임의의 다른 정보에 기초하여 추가로 생성될 수 있다.

[0181] 레티클 이미지로부터 유도된 이미지는 설계 데이터에 대한 "프록시"로서 역할할 수 있다. 예컨대, 레티클 검사 시스템 또는 임의의 다른 적합한 촬상 시스템에 의해 생성된 레티클 이미지는 설계 데이터에 대한 "프록시"로서 사용될 수 있는, 레티클 이미지가 어떻게 웨이퍼 상에 인쇄될 수 있는지를 설명하는 시뮬레이션된 이미지를 생성하는데 사용될 수 있다. 일 실시예에서, 레티클 이미지가 어떻게 웨이퍼 상에 인쇄되는지를 나타내는 시뮬레이션된 이미지는 설계 데이터 스페이스 내의 설계 데이터로서 사용될 수 있다. 이러한 방식에서, 레티클 이미지가 웨이퍼 표면에 어떻게 나타나는지의 시뮬레이션은 설계 데이터의 대체물로서 역할할 수 있다. 시뮬레이션된 이미지는 당업계에서 공지된 임의의 적합한 방법 또는 시스템을 사용하는 임의의 방식으로 생성될 수 있다. 시뮬레이션된 이미지는 1 이상의 단계를 수행하기 위해 설계 데이터를 사용하는 여기에 제시한 임의의 실시예에서 설계 데이터에 대한 프록시로서 사용될 수 있다.

[0182] 1 이상의 단계를 수행하기 위해 적어도 부분적으로 설계 데이터가 사용되는 여기에 기술한 실시예에서, 설계 데이터는 전술한 임의의 설계 데이터 또는 설계 데이터 프록시 또는 그것의 임의의 조합을 포함할 수 있다.

[0183] 도면에 있어서, 도면은 축척대로 도시되지 않은 것을 유념해야 한다. 특히, 도면의 일부 요소의 축척은 그 요소의 특징을 강조하기 위해서 매우 과장되어 있다. 또한, 도면은 동일한 축척으로 도시되지 않은 것을 유념해야 한다. 유사하게 구성될 수 있는 1 이상의 도면에서 도시한 요소는 동일한 참조부호를 사용하여 지시된다.

[0184] 도 1은 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하기 위한 컴퓨터 구현 방법의 일 실시예를 도시한다. 도 1에 도시한 모든 단계는 방법의 실시를 위해서 필수적인 것이 아님을 유념해야 한다. 1 이상의 단계가 도 1에 나타난 방법으로부터 생략되거나 그 방법에 부가될 수 있으며, 그 방법은 여전히 본 실시예의 범주 내에서 실시할 수 있다.

[0185] 일반적으로, 상기 방법은 데이터 준비 단계와, 레시피(recipe) 셋업 단계(예컨대, 웨이퍼 검사 레시피 셋업)와, 웨이퍼 검사 단계 자체를 포함할 수 있다. 상기 방법은 리뷰(review) 및 분석 단계를 또한 포함할 수 있다. 데이터 준비 단계는 웨이퍼 상에 제조되고 있거나 웨이퍼 상에 제조될 장치의 물리적 설계 레이아웃을 반영하는 설계 데이터(예컨대, 그래픽 데이터 스트림(GDS) 파일, GDSII 파일, 또는 다른 표준 파일이나 데이터베이스와 같은 데이터 구조로부터 획득된 정보)를 생성하거나 취득하는 단계를 포함할 수 있다. GDS 파일, 다른 파일, 또는 데이터베이스로부터의 정보는 물리적 설계 레이아웃 프리-데코레이션(pre-decoration)을 기술할 수 있다(즉, 설계에 부가된 OPC(optical proximity correction; 광 근접 보정) 특징 및 임의의 다른 RET(resolution enhancement technology; 해상도 향상 기술) 특징이 없이).

[0186] 도 1에 도시한 방법은 여기에 추가로 기술하는 바와 같이 서브-픽셀(sub-pixel) 정밀도 내에서 검사 데이터 스트림을 설계 데이터에 정렬시키는 단계를 일반적으로 포함한다. 이러한 방식에서, 여기에 기술한 방법은 검사(예컨대, 웨이퍼 검사)를 위한 "설계에 정렬하는(align to design)" 방법이라고 일반적으로 칭해질 수 있다. 상기 방법은 설계 데이터와 선택적으로 웨이퍼 검사를 위한 컨텍스트 데이터를 활용한다. 이러한 방식에서, 여

기에 기술한 방법은 "컨텍스트 기반 검사(CBI)" 방법이라도 또한 칭할 수 있다. 장치 설계 데이터 및 컨텍스트 데이터는 웨이퍼 검사 감도를 증가시키고, 뉴슨스 이벤트(nuisance event) 검출을 극적으로 줄이고, 결함 분류 정밀도를 증가시키고, PWQ(process window qualification)와 같은 검사 시스템에 대한 적용을 향상하기 위해 사용될 수 있다. 컨텍스트 데이터는 여기에 추가로 기술하는 바와 같은 결함 리뷰 프로세스 및 시스템에 장점을 제공하기 위해 사용될 수 있다. 또한, 설계 데이터 및 컨텍스트 데이터를 사용하는 방법의 예는 미국 특허 6,886,153호(Devis)와, 미국 특허 출원 공개번호 2005/0004774호(Volk 등)로서 2005년 1월 6일자로 공개된 미국 특허 출원 일련번호 10/883,372호(2004년 1월 1일 출원)에 개시되고, 여기에 완전히 언급된 것과 같이 참고 자료로 포함된다. 여기에 기술한 방법은 그러한 특허 및 특허 출원에 기술한 임의의 방법의 임의의 단계를 포함할 수 있다.

[0187] 여기에 기술한 방법은 핫 스팟(hot spot) 탐색 단계를 포함할 수 있다. 핫 스팟 탐색은 기술 조사 및 전개, 제품 설계, RET 설계, 레티클 설계 및 제조, 및 제품 램프(ramp) 동안에 수행될 수 있다. 핫 스팟 탐색 단계는 레티클 설계 향상과 결함 감시 및 분류를 위해 핫 스팟을 식별하는 단계를 포함할 수 있다. 핫 스팟 탐색 단계는 핫 스팟 데이터베이스와 같은 핫 스팟에 대한 정보를 포함하는 데이터 구조를 생성하는 단계를 또한 포함할 수 있다. 일부 실시예에서, 핫 스팟 탐색은 다중 소스를 사용하여 수행될 수 있다. 예컨대, 핫 스팟 탐색은 설계 스페이스 핫 스팟 탐색과, 웨이퍼 스페이스 핫 스팟 탐색과, 레티클 핫 스팟 탐색과, 테스트 스페이스 핫 스팟 탐색과, 프로세스 스페이스 핫 스팟 탐색 중에서 임의의 것 사이의 상관관계를 사용하여 수행될 수 있다. 일 예에서, 핫 스팟의 탐색은 설계, 모델링 결과, 검색 결과, 계측 결과, 및 테스트 및 오류 분석(FA) 결과의 다중 소스를 상호 연관지어 수행될 수 있다. 여기에 기술한 임의의 단계는 핫 스팟을 탐색하기 위하여 임의의 조합으로 사용될 수 있다.

[0188] 설계 스페이스에서, 핫 스팟은 설계 데이터 내의 임계점 목록을 생성하기 위해 설계 룰 점검(DRC)의 결과를 사용하여 식별될 수 있다. DRC는 마스크 제조(프리-마스크(pre-mask)) 이전의 레티클 레이아웃 데이터의 품질 제어(QC; quality control)를 위해 통상적으로 수행된다. 그리하여, DRC는 핫 스팟을 생성하지 않을 수 있다. 대신에, DRC의 결과는 DRC 룰의 부분이 아닌 설계 매뉴얼에 있거나 새롭게 탐색된 새로운 마진 핫 스팟을 식별하는데 사용될 수 있다. 또한, 핫 스팟은 전자 설계 자동화(EDA; electron design automation)를 사용하여 탐색될 수 있다. 이러한 방식에서, 핫 스팟 탐색 단계 동안에, 설계 룰(마진 체커(marginality checker)로서 사용된 DRC) 및/또는 EDA 설계 툴(tool)이 핫 스팟의 소스로서 사용될 수 있다. 또한, 핫 스팟은 컴퓨터 보조 설계(TCAD) 툴 및 프록시를 위한 기술을 사용하여 탐색될 수 있다. TCAD 툴은 캘리포니아주 마운티 뷰 소재의 시놉시스(Synopsis, Inc.)로부터 상업적으로 입수가능하다. 또한(또는, 대안적으로), 캘리포니아주 산 요세 소재의 KLA-Tencor사로부터 상업적으로 입수가능한 디자인 스캔(Design Scan) 분석 소프트웨어, 임의의 패턴 검색, 및 설계 컨텍스트(예컨대, 기능 블록, 설계 라이브러리 요소, 셀, 패턴이 중복적인지 아닌지, 패턴 밀도, 더미/충전(fill) 대(對) 활성 등)가 핫 스팟의 소스로서 사용될 수 있다. 다른 예에서, 결함의 설계 데이터 기반 그룹화(파레토(pareto) 분석과 함께 또는 없이)가 핫 스팟을 탐색하고 그룹화하는데 사용될 수 있으며, 그것은 여기에 기술한 바와 같이 수행될 수 있다.

[0189] 추가적인 예에서, 설계 스페이스에서, 핫 스팟 탐색 단계는 설계 데이터 스페이스 내의 실제 결함 위치를 식별하기 위해, 웨이퍼 상에 인쇄된 설계 데이터의 주사형 전자 현미경(SEM) 이미지를 설계 데이터에 정렬하거나 중첩시키는 단계(여기에 기술한 바와 같이 수행될 수 있다)를 포함할 수 있고, 설계 데이터 스페이스 내의 결함의 위치에 근접한 설계 데이터에 기초한 임의의 패턴 검색은 설계에서 유사한 가능한 핫 스팟을 식별하기 위해 수행될 수 있다. 그 후, 체계적 결함 및 설계 데이터 내의 그것의 설계 그룹을 식별하기 위해, 여기에 기술한 바와 같이 수행될 수 있는, 웨이퍼에 대한 오리지널 검사 결과에 대하여 수행된 리피터(repeater) 분석이 사용될 수 있다. 이러한 접근 방식의 하나의 이점은 타깃 결함이 설계 데이터 스페이스 내에 실질적으로 정밀하게 위치되는 경우, 임의적인 패턴 검색 및/또는 체계적 결함 식별을 위해 사용된 패턴 검색창이 결함마다 조정될 수 있다는 것이다.

[0190] 웨이퍼 스페이스에서, 핫 스팟은 각각 여기에 추가로 기술하는 바와 같이 수행될 수 있는 리피터 분석, 체계적(예컨대, 프로세스 마진) 결함의 구역적/공간적 시그네처(signature) 분석, 체계적 결함의 일시적 시그네처 분석, 레티클/다이 스페이스 내에서의 탐색을 위해 신호 대 잡음비(S/N)를 향상하기 위한 설계 오버레이에 의한 적층 다이(또는 레티클) 결과, 및 체계적 결함 또는 체계적 결함 그룹을 우선시키기 위한 결함의 속성로서 결함 스페이스에 상호 연관지어진 수율(또는 KP(kill probability))의 1 이상을 사용하여 탐색될 수 있다.

[0191] 레티클/다이 스페이스에서, 핫 스팟은 여기에서 추가로 기술하는 바와 같이 수행될 수 있는 리피터 분석, 결함 밀도 매핑, 설계 패턴 기반 그룹화 분석, S/N을 향상시키기 위한 설계 컨텍스트(예컨대, 기능 블록)에 의한 필

터링, 설계 내의 콜드 스팟(cold spot)을 탐색하기 위한 레티클 검사로부터 관심없는 결함의 식별중의 1 이상을 이용하여 탐색될 수 있다.

- [0192] 테스트 스페이스에서, 핫 스팟은 매핑을 설계하기 위한 비트 오류(bit failure)와 매핑을 설계하기 위한 로직 비트맵 밀도 중의 1 이상을 사용하여 탐색될 수 있으며, 그 양쪽은 관심없는 결함(또는 설계에서의 콜드 스팟)을 식별하기 위하여 리피터 분석(웨이퍼 스페이스에서 수행) 또는 설계 데이터 기반 그룹화(레티클/다이 스페이스에서 수행)와 결합될 수 있다. 이들 단계의 각각은 여기에 추가로 기술하는 바와 같이 수행될 수 있다.
- [0193] 프로세스 스페이스에서, 핫 스팟은 핫 스팟의 소스로서의 PWQ(다이-다이, 표준 기준 다이, 또는 다이-데이터베이스 방법을 사용)와, 핫 스팟으로서 임계 설계 특징 및 프로세스 창을 결정하기 위한 프로세스의 DOE(design of experiment)(다이-다이, 표준 기준 다이, 또는 다이-데이터베이스 방법을 사용)를 사용하여 탐색될 수 있고, 그 각각은 여기에 추가로 기술하는 바와 같이 수행될 수 있다.
- [0194] 일부 실시예에서, 도 1의 단계 10에 도시한 바와 같이, 상기 방법은 설계 데이터 내의 소정의 정렬 사이트를 선택하는 단계를 포함한다. 소정의 정렬 사이트 선택 단계는 검사 시스템을 사용하여 수행될 수 있다. 소정의 정렬 사이트는 검사 프로세스 레시피의 셋업 동안에 선택될 수 있다. "레시피"는 일반적으로 검사와 같은 프로세스를 수행하기 위한 지령 세트로서 규정된다. 여기에 기술하는 바와 같이 웨이퍼 검사를 위한 레시피 셋업은 자동, 반-자동(예컨대, 유저-지원), 또는 수동으로 수행될 수 있다.
- [0195] 일 예에서, 검사 시스템에 의해 수행되는 검사 프로세스의 셋업 동안에, 설계 데이터에 부가하여, 웨이퍼 스와칭(swathing) 정보, 검사 시스템 모델 넘버, 검사를 위해 사용될 광학 모드, 및 픽셀 사이즈와 같은 검사 시스템 매개변수에 관한 정보가 소정의 정렬 사이트를 선택하기 위해 사용될 수 있다. 소정의 정렬 사이트는 검사될 웨이퍼의 1 이상의 속성에 기초하여 선택될 수 있다. 소정의 정렬 사이트(또는 이 데이터를 칭하는 표식)에 대한 데이터 및/또는 그것의 이미지는 검사 프로세스를 위한 레시피에 저장될 수 있다. 예컨대, 웨이퍼 상의 층에 대한 소정의 정렬 사이트에 관한 정보는 웨이퍼 상의 층에 대한 검사 프로세스 레시피 내에 정렬 데이터로서 저장될 수 있고, 그 정렬 데이터는 검사 시스템이 이러한 특정 장치 및 층의 웨이퍼를 검사할 때마다 사용할 수 있다.
- [0196] 일부 실시예가 웨이퍼에 대한 데이터 및/또는 이미지를 취득하기 위한 "웨이퍼 스캐닝 단계"를 포함할지라도, 그러한 데이터 및/또는 이미지는 당업계에 공지된 임의의 적절한 기술 및/또는 시스템을 사용하여 취득될 수 있다는 것을 이해해야 한다. 예컨대, 웨이퍼에 대한 데이터 및/또는 이미지는 여기에 기술한 검사 시스템 또는 필드별 이미지 취득을 수행하도록 구성된 다른 검사 시스템에 의해 취득할 수 있다. 이러한 방식에서, 웨이퍼에 걸친 스캐닝 대신에, 검사 시스템은 스텝핑(steppping) 방식으로 데이터 및/또는 이미지를 취득할 수 있다. 다른 예에서, 웨이퍼에 대한 데이터 및/또는 이미지는 여기에 기술한 검사 시스템 또는 통상적으로 자동화 프로세스 검사(API)라고 칭하는 포인트별 검사를 수행하도록 구성된 다른 검사 시스템에 의해 취득할 수 있다.
- [0197] 소정의 정렬 사이트를 선택하기 위해 몇몇 방법이 사용될 수 있다. 일 실시예에서, 상기 방법은 소정의 정렬 사이트에 대응하는 설계 데이터를 취득하는 단계를 포함한다. 여기에 기술한 방법에서 사용할 수 있는 소정의 정렬 사이트에 대한 데이터 또는 이미지는 렌더드(rendered) GDS 클립(여기에 사용된 용어 "클립"은 설계 레이아웃의 비교적 작은 부위를 칭한다)과, 렌더드 GDS 클립에 정렬된 검사 시스템에 의해서 생성된 이미지를 포함한다. 소정의 정렬 사이트에 대응하는 설계 데이터를 시뮬레이션(또는 "렌더링")하는 단계는 설계 데이터가 웨이퍼 상에 어떻게 인쇄되는지를 설명하는 이미지를 생성하는데 사용할 수 있다. 상기 방법은 시뮬레이션된("렌더링된") 이미지와 설계 데이터 또는 GDS 클립의 교차-상호연관을 수행하는 단계와, 시뮬레이션된 이미지의 위치를 설계 데이터 스페이스에 (즉, 설계 데이터 스페이스 내의 좌표에) 기록하는 단계를 포함한다. 소정의 정렬 사이트에 대응하는 설계 데이터가 전술한 바와 같이 웨이퍼 상에 어떻게 인쇄되는지를 설명하는 이미지 시뮬레이션은 임의의 적합한 방법, 알고리즘, 또는 KLA-Tencor 사로부터 상업적으로 입수가능한 PROLITH와 같은 당업계에 공지된 소프트웨어를 사용하여 수행할 수 있다.
- [0198] 또한, 1 이상의 프로세스가 웨이퍼에 대하여 수행된 후에, 소정의 정렬 사이트가 웨이퍼 상에 어떻게 인쇄될지를 설명하는 시뮬레이션 이미지가 전술한 바와 같이 생성될 수 있다. 1 이상의 프로세스는, 예컨대, 리소그래피, 리소그래피 및 에치(etch)의 조합, 다른 리소그래피 프로세스 등을 포함할 수 있다. 이러한 방식에서, 여기에 기술한 방법에 사용된 소정의 정렬 사이트에 대한 데이터는 검사 이전에 웨이퍼에 대하여 수행된 1 이상의 프로세스에 기초하여 선택되거나 생성되는 1 이상의 시뮬레이션된 이미지를 포함할 수 있다. 다른 프로세스가 웨이퍼에 대하여 수행된 후에 취득된 검사 데이터의 정렬을 위한 소정의 정렬 사이트에 대하여 다른 데이터를 사용하는 것은 여기에 기술한 방법의 정밀도를 증가시킬 수 있다.

- [0199] 소정의 정렬 사이트를 선택하는 단계는 검사 프로세스 및 시스템과 양립할 수 있는 소정의 정렬 사이트를 선택하기 위하여 설계 데이터(예컨대, GDS 데이터)를 전-처리하는 단계를 포함할 수 있다. 예컨대, 일부 예에서, 렌더링 된 GDS 클립은 그 GDS 클립이 웨이퍼 제조 프로세스에 의해 야기된 변동(예컨대, 컬러 변동)에 영향을 받지 않기 때문에, 여기에 기술한 방법에서의 소정의 정렬 사이트에 대한 데이터로서 사용하는데 이점이 있다. 하지만, 렌더링 된 GDS 클립 "오프-라인"에 대하여 정렬된, 검사 시스템에 의해 취득된 소정의 정렬 사이트의 이미지는, 그 이미지가 렌더링 된 GDS 클립보다는 검사 시스템에 의해 생성된 웨이퍼 상의 정렬 사이트의 이미지와 더욱 유사할 수 있고 이에 의해 더욱 정밀한 정렬을 제공할 수 있기 때문에, 장치 제조의 나중의 단계에서 생성된 검사 데이터와 함께 사용하는 것이 유리하다. 따라서, 일부 실시예에서, 여기에 기술한 방법에서 사용된 정렬 데이터는, 웨이퍼 상의 정렬 사이트를 위한 데이터에의 적합한 매치가 검사 구동시 발견될 수 있는 것을 보장하기 위해, GDS 클립과 그 GDS 클립에 정렬된 이미지 양쪽을 포함할 수 있다. 대안적으로, 소정의 정렬 사이트의 중심과 같이 설계 데이터 내의 소정의 정렬 사이트의 1 이상의 속성이 결정될 수 있고, 검사 시스템에 의해 취득된 정렬 사이트의 이미지의 대응하는 중심이 검사 픽셀 데이터를 설계 데이터에 정렬시키기 위해 결정되고 사용될 수 있다.
- [0200] 다이마다 선택된 소정의 정렬 사이트의 수는 크게 변할 수 있다. 예컨대, 비교적 드문드문한 세트의 소정의 정렬 사이트가 선택될 수 있다. 또한, 소정의 정렬 사이트는 다이에 걸친 소정의 빈도로 선택될 수 있다. 소정의 정렬 사이트가 다이 자체에 포함될 수 있기 때문에, 소정의 정렬 사이트는 다이 내의 장치 특징 및/또는 다이의 장치 영역 내에 위치한 특징을 포함하도록 선택될 수 있다. 이러한 방식에서, 소정의 정렬 사이트는 설계 데이터의 사전-존재하는 특징을 포함하도록 선택될 수 있다. 그러한 소정의 정렬 사이트는, 설계 데이터가 정렬 특징을 포함하도록 수정되지 않아도 되고 정렬 특징이 다이의 사이즈를 증가시키지 않기 때문에 유리하다.
- [0201] 상기 방법은 검사 시스템에 의해 취득된 데이터 또는 이미지 내에서 특유하게 식별될 수 있는(일부 비-정렬 공차 창 내에서) 설계 데이터 내의 소정의 정렬 사이트를 선택하는 단계를 또한 포함할 수 있다. 예컨대, 소정의 정렬 사이트는 소정의 검색 범위 불확실성 내에서 특유한 정렬 특징(즉, 타깃)을 포함하도록 선택될 수 있다. 이러한 방식에서, 웨이퍼 상의 정렬 사이트의 위치의 특징의 위치적 불확실성이 이미지 또는 데이터에 주어지면, 임의의 모호한 점이 없이 두 정렬 사이트의 비교적 강한 매치를 식별하기 위해 정렬 데이터와, 이미지 또는 데이터에 대하여 보정이 수행될 수 있다.
- [0202] 일 실시예에서, 소정의 정렬 사이트는 x 및 y 방향에서 특유한 1 이상의 속성을 갖는 적어도 하나의 정렬 특징을 포함한다. 그러한 소정의 정렬 사이트의 하나의 실시예가 도 2에 도시된다. 도 2에 도시한 바와 같이, 소정의 정렬 사이트(32)는 정렬 특징(34)을 포함한다. 정렬 특징(34)은 x 및 y 방향에서 특유한 1 이상의 속성을 갖는다. 예컨대, 정렬 특징의 코너는 다이 내의 다른 특징에 대하여 x 및 y 방향에서 특유한 정렬 특징을 부여하고, 정렬 특징을 근접화한다. 소정의 정렬 사이트는 유사하거나 상이하게 구성될 수 있는 1 이상의 그러한 정렬 특징을 또한 포함할 수 있다. 이러한 방식에서, 정렬 특징은 x 및 y 방향에서 특유할 수 있다.
- [0203] 대안적인 실시예에서, 소정의 정렬 사이트는 적어도 2개의 정렬 특징을 포함한다. 두 정렬 특징의 첫 번째는 x 방향에서 특유한 1 이상의 속성을 갖는다. 두 정렬 특징의 두 번째는 y 방향에서 특유한 1 이상의 속성을 갖는다. 그러한 소정의 정렬 사이트의 실시예는 도 2에 도시한다. 도 2에 도시한 바와 같이, 소정의 정렬 사이트(32)는 정렬 특징(38)을 포함한다. 정렬 특징(38)은 x 방향에서는 특유하지만, y 방향에서의 정렬에 관한 정보는 제공하지 않는 1 이상의 속성을 갖는다. 예컨대, 정렬 특징(38)의 수직 예지는 다이 내의 다른 특징에 대하여 x 방향에서 특유한 정렬 특징을 부여하고, 정렬 특징을 근접화할 수 있다. 소정의 정렬 사이트는 1 이상의 그러한 특징을 포함할 수 있다.
- [0204] 소정의 정렬 사이트(36)는 정렬 특징(40)을 포함한다. 정렬 특징(40)은 y 방향에 특유하지만 x 방향에서의 정렬 정보를 제공하지 않는 1 이상의 속성을 갖는다. 예컨대, 정렬 특징(40)의 수평 예지는 다이 내의 다른 특징에 대하여 y 방향에서 특유한 정렬 특징을 부여하고, 정렬 특징을 근접화할 수 있다. 소정의 정렬 사이트는 1 이상의 그러한 특징을 또한 포함할 수 있다. 또한, 소정의 정렬 사이트는 x 및/또는 y 방향에 특유한 2 이상의 정렬 특징을 포함할 수 있다. 이러한 방식에서, 소정의 정렬 사이트는 "라이브(live)" 이미지 또는 데이터(예컨대, 검사 동안 검사 시스템에 의해 취득한 이미지 또는 데이터)와 소정의 정렬 사이트에 대한 데이터 사이의 절대 (x , y) 오프셋을 결정하기 위하여, 조합하여 충분한 x 및 y 정렬 정보를 제공하는 특징(38 및 40)과 같은 정렬 특징 세트를 포함하도록 선택될 수 있다.
- [0205] 소정의 정렬 사이트의 선택은 수동, 자동, 또는 그 둘의 임의의 조합(즉, 반-자동 또는 유저-지원)으로 수행할 수 있다. 수동, 자동 또는 그 양쪽으로 수행되는지 간에, 소정의 정렬 사이트 선택은 설계 데이터, 웨이퍼의

광학 또는 전자 빔 이미지, 또는 그 양쪽을 사용하여 수행할 수 있다. 소정의 정렬 사이트의 유저-지원 선택에서, 유저는 전술한 특유 기준을 만족하는 1 이상의 소정 정렬 사이트를 결정하기 위해서, 컴퓨터 보조 설계(CAD) 레이아웃, 웨이퍼의 라이브 또는 저장된 광학 또는 전자 빔 이미지, 또는 그 양쪽을 검사할 수 있다.

[0206] 소정의 정렬 사이트의 자동 또는 반-자동 선택에서, 상기 방법은 검사 시스템을 사용하여 웨이퍼 상의 다이 열을 스캐닝하는 단계와, 특유의 정렬 사이트를 식별하기 위해 다이의 각 프레임을 처리하는 단계(예컨대, 알고리즘 실행에 의해)를 포함할 수 있다. 용어 "프레임"은 일반적으로 웨이퍼의 스캐닝 동안에 취득한 검사 데이터 또는 이미지의 스와스 내의 다이의 일부에 대한 데이터 또는 이미지로서 여기에 규정된다. 프레임을 처리하는 단계는 프레임 내의 특징의 x 및 y 구배를 결정하는 단계와, 소정의 정렬 사이트에 사용하기 위하여 x 및/또는 y 방향에서의 비교적 강한 구배를 갖는 1 이상의 특징을 선택하는 단계를 포함한다. 상기 방법은 구배의 단지 하나의 비교적 강한 피크가 소정의 검색 범위 내에 위치하는지를 결정하기 위해 그러한 특징을 포함하는 패치 이미지(patch image) 및 프레임의 교차-상호 연관을 수행하는 단계를 포함한다. 이러한 방식에서, 패턴 검색창 내에서 특유한 정렬 특징이 소정의 정렬 사이트에 대하여 식별되고 선택될 수 있다. 상기 방법은 설계 데이터에 접속하는 단계와, 설계 데이터의 1 이상의 비교적 작은 영역을 1 이상의 이미지로서 부여하는 단계와, 적합한 정렬 사이트를 식별하기 위해 전술한 단계를 수행하는 단계를 포함한다. 상기 방법은 그 방법에 의해 식별된 1 이상의 잠재적 정렬 사이트(예컨대, 잠재적 정렬 사이트에 대한 광학 또는 전자 빔 및 CAD 이미지 쌍)를 표시하는 단계와, 소정의 최소의 간격 거리에서 다이에 걸쳐 분포된 1 이상의 적합한 정렬 사이트를 유저가 선택하게 허용하는 단계를 포함한다.

[0207] 다른 실시예에서, 소정의 정렬 사이트를 선택하기 위해 사용된 검사 시스템 또는 다른 이미지 취득 시스템의 촬상 모드는 검사 데이터를 취득하기 위해 사용된 검사 시스템의 촬상 모드와는 상이하다. 이러한 방식에서, 상기 방법은 정렬 사이트 선택 및 웨이퍼 검사를 위해 다른 촬상 모드를 사용하는 단계를 포함할 수 있다. 정렬 사이트 선택 단계는 웨이퍼를 검사하기 위해 사용될 수 있는 각종 촬상 모드에 기초하여 수행될 수 있다. 예컨대, 검사 시스템은 밝은 필드(BF) 모드, 어두운 필드(DF) 모드, 에지 콘트라스트(Edge Contrast)(KLA-Tencor사의 상표) 모드, 각종 어퍼처(aperture) 모드, 및/또는 전자 빔 촬상 모드와 같은 1 이상의 검사용 광학 촬상 모드를 사용하도록 구성될 수 있다. 에지 콘트라스트(EC) 검사는 일반적으로 상보적 촬상 어퍼처와 함께 원형의 대칭적 조명 어퍼처를 사용하여 수행된다. 웨이퍼 상의 특정 층의 검사를 위한 최선의 촬상 모드는 결함 S/N을 최대화하는 촬상 모드이며, 최선의 촬상 모드는 층 유형에 따라 변할 수 있다. 또한, 검사 시스템은 1 이상의 촬상 모드를 동시에 또는 순차적으로 사용하여 웨이퍼를 검사하도록 구성될 수 있다. 웨이퍼 검사 동안에 수행된 정렬 사이트 이미지 또는 데이터 취득이 웨이퍼 검사를 위한 최선의 촬상 모드를 사용하기 때문에, 정렬 사이트 선택은 적절한 정렬 사이트 및 정렬 특징을 선택하기 위해 그 모드를 사용하는 것이 바람직하다.

[0208] 하지만, 설계 데이터 스페이스 내의 선택된 소정의 정렬 사이트의 위치를 정밀하게 결정하기 위해서, 소정의 정렬 사이트(웨이퍼 상의)의 광학적 패치 이미지는 GDSII 클립 또는 전술한 바와 같은 설계 데이터로부터 유도된 시뮬레이션된 이미지와 정렬될 수 있다. 광학적 이미지와 시뮬레이션된 이미지의 정렬에 대하여 적합한 품질을 갖는 시뮬레이션된 이미지를 획득하는 것은 모든 촬상 모드에 대하여 어려울 수 있다. 하지만, 시뮬레이션된 이미지와 광학적 이미지의 최선의 매치가 특정 촬상 모드(예컨대, BF 모드)에 대하여 획득될 수 있다. 따라서, 상기 방법은 적합한 소정의 정렬 사이트를 선택하기 위하여 검사용 최선의 촬상 모드를 사용하여 웨이퍼를 스캐닝하는 단계를 또한 포함할 수 있다. 상기 방법은 시뮬레이션된 이미지 또는 GDSII 클립에 가장 잘 매치할 수 있는 이미지를 제공하는 모드를 사용하여 광학적 패치 이미지를 취득하기 위해서, 검사 시스템을 사용하여 웨이퍼 상의 선택된 소정의 정렬 사이트를 재방문하는 단계를 또한 포함할 수 있다.

[0209] 시뮬레이션된 이미지 또는 GDSII 클립과 매치시키기 위해 최선의 모드를 사용하여 취득한 이미지는 설계 데이터 내의 대응하는 정렬 사이트에 대한 시뮬레이션된 이미지 또는 GDSII 클립에 정렬될 수 있다. 매치를 위해 최선의 모드를 사용하여 취득한 이미지를 시뮬레이션된 이미지 또는 GDSII 클립에 정렬시켜 결정된 설계 데이터 스페이스 내의 선택된 정렬 사이트의 (x, y) 위치를 사용함으로써, 그러한 x 및 y 위치는 검사를 위해 최선의 모드를 사용하여 취득한 패치 이미지와 연관될 수 있다. 다른 모드(검사 모드와, 시뮬레이션된 이미지 또는 GDSII 클립에 매치시키기 위한 최선의 모드)에서 동일한 사이트에 대하여 수집된 이미지들 사이에 일부 고정된 오프셋이 존재하는 경우, 이러한 오프셋은 적합한 보정 타깃을 사용하여 검사의 개시(또는 이후)에 측정 및/또는 수정할 수 있다.

[0210] 그러한 일 실시예에서, 상기 방법은 매핑을 결정하기 위해(즉, 설계 데이터 스페이스 내의 광학적 또는 전자 빔 이미지의 개별 픽셀의 위치를 결정하기 위해), 소정의 정렬 사이트의 광학 또는 전자 빔 이미지에의 CAD 시뮬레이션된 이미지 또는 GDSII 클립의 오프-라인 정렬을 포함할 수 있다. 예컨대, 소정의 정렬 사이트를 선택하고,

시물레이션된 이미지와의 매치를 위한 최선의 이미지를 제공할 수 있는 촬상 모드를 사용하여 웨이퍼 상의 이들 사이트의 이미지를 취득한 후에, 소정의 정렬 사이트에 대응하는 설계 데이터는 (다각형 표현과 같은 임의의 포맷으로) 취득된 후, 적절한 변환 함수를 사용하여 적절한 픽셀 사이즈의 시물레이션된 이미지로서 부여될 수 있다. 광학적(또는 전자 빔) 이미지 및 시물레이션된 이미지는 당업계에 공지된 임의의 적절한 방법 및/또는 알고리즘을 사용하여 서로 정렬될 수 있다. 광학적(또는 전자 빔) 이미지 및 시물레이션된 이미지를 서로 정렬하는 단계는, 이전의 층 구조가 광학적 이미지로부터 제거되거나 충분히 정밀한 정렬을 달성하기 위해 달리 고려될 수 있도록, 광학적 이미지 내의 노이즈의 소스일 수 있는 이전의 층 구조와 같은 설계 데이터에 관한 다른 정보(예컨대, 설계 데이터베이스 내의)를 사용하여 수행될 수 있다.

[0211] 검사용 레시피를 셋업하는 프로세스의 결과는 소정의 정렬 사이트를 나타내는 1 이상의 광학 또는 전자 빔 패치 이미지와, 설계 데이터 스페이스 내의 소정의 정렬 사이트의 각각의 위치(예컨대, x 및 y 좌표)와, 후속 웨이퍼 검사 동안에 실질적으로 정밀한 정렬을 수행하기 위해 검사 시스템에 의해 활용될 수 있는 임의의 부가적인 정보를 포함할 수 있다.

[0212] 도 1의 단계 12에 도시한 바와 같이, 상기 방법은 웨이퍼 상의 정렬 사이트에 대하여 검사 시스템에 의해 취득한 데이터를 소정의 정렬 사이트에 대한 데이터와 정렬시키는 단계를 포함한다. 소정의 정렬 사이트에 대한 데이터는 전술한 임의의 데이터를 포함할 수 있다. 예컨대, 소정의 정렬 사이트에 대한 데이터는 GDSII 파일 또는 다른 표준 기기-판독가능한 파일 포맷과 같은 데이터 구조로 저장된 설계 데이터를 포함할 수 있다. 다른 실시예에서, 소정의 정렬 사이트에 대한 데이터는 소정의 정렬 사이트가 웨이퍼 상에 어떻게 인쇄될지를 설명하는 1 이상의 시물레이션된 이미지를 포함한다. 1 이상의 시물레이션된 이미지는 여기에 추가로 기술하는 바와 같은 설계 데이터 스페이스에 매핑되어서, 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 사이트의 위치는 설계 데이터 스페이스 내의 소정의 정렬 사이트의 위치에 기초하여 여기에 추가로 기술하는 바와 같이 결정할 수 있다.

[0213] 추가적인 실시예에서, 소정의 정렬 사이트에 대한 데이터는 소정의 정렬 사이트의 1 이상의 속성을 포함하고, 웨이퍼 상의 정렬 사이트에 대한 데이터는 정렬 사이트의 1 이상의 속성을 포함하고, 정렬 단계는 소정의 정렬 사이트의 1 이상의 속성을 정렬 사이트의 1 이상의 속성에 정렬시키는 단계를 포함한다. 본 실시예에서 사용된 웨이퍼 상의 정렬 사이트와, 소정의 정렬 사이트의 1 이상의 속성은 여기에 기술한 임의의 속성을 포함할 수 있다. 예컨대, 일 실시예에서, 소정의 정렬 사이트의 1 이상의 속성은 소정의 정렬 사이트의 중심을 포함하고, 웨이퍼 상의 정렬 사이트의 1 이상의 속성은 정렬 사이트의 중심을 포함한다. 웨이퍼 상의 정렬 사이트와 소정의 정렬 사이트의 중심은 사이트 내의 1 이상의 정렬 특징에 대한 중심일 수 있다. 이러한 방식에서, 상기 방법은 웨이퍼 상의 정렬 사이트를 소정의 정렬 사이트에 정렬시키기 위해서, 웨이퍼 상의 정렬 사이트와 소정의 정렬 사이트의 중심을 매치시키는 단계를 포함할 수 있다. 그와 같이, 소정의 정렬 사이트에 대한 데이터는 웨이퍼 상의 정렬 사이트에 대한 데이터의 대응하는 특징에 정렬될 수 있는 중심과 같은 소정의 정렬 사이트의 일부 특징을 포함할 수 있다. 웨이퍼 상의 정렬 사이트 및 소정의 정렬 사이트의 중심과 같은 1 이상의 속성은 당업계에서 공지된 임의의 방식으로 또는 여기에 기술한 바와 같이 결정될 수 있다.

[0214] 추가의 실시예에서, 소정의 정렬 사이트에 대한 데이터는 GDSII 파일과 같은 데이터 구조로 저장된 설계 데이터에 정렬된 검사 시스템에 의해 취득한 데이터를 포함한다. 소정의 정렬 사이트에 대하여 검사 시스템에 의해 취득한 데이터는 여기에 기술한 바와 같이 설계에 정렬될 수 있다. 일부 실시예에서, 소정의 정렬 사이트에 대한 데이터는 설계 데이터 스페이스 내의 설계 좌표에 정렬된 표준 기준 다이 이미지의 적어도 일부를 포함한다. 표준 기준 다이 이미지는 여기에 기술한 임의의 표준 기준 다이 이미지를 포함할 수 있고, 표준 기준 다이 이미지는 여기에 기술한 바와 같이 설계 좌표에 정렬될 수 있다. 예컨대, 표준 기준 다이 이미지는 설계 스페이스에 매핑된 후, 정렬을 위해 사용될 수 있다.

[0215] 정렬 사이트에 대한 데이터를 소정의 정렬 사이트에 대한 데이터에 정렬시키는 단계는 당업계에 공지된 임의의 적합한 정렬 방법 및/또는 정렬 알고리즘을 사용하여 수행할 수 있다.

[0216] 일 실시예에서, 단계 12는 웨이퍼 검사 동안에 수행될 수 있다. 또한, 이러한 단계는 검사 프로세스 레시피를 사용하여 웨이퍼가 검사될 때마다 수행할 수 있다. 예컨대, 다수의 웨이퍼 검사 개시시와 로트(lot) 내의 각 웨이퍼의 검사 개시시에 수행할 수 있는 초기화 단계를 포함할 수 있다. 초기화 단계 동안에, 소정의 정렬 사이트와, 설계 데이터 스페이스 내의 소정의 정렬 사이트의 (x , y 또는 2차원) 매핑은 레시피 셋업 결과로부터 접속될 수 있고, 검사되고 있는 웨이퍼에 대하여 검사 시스템에 의해 취득한 라이브 패치 이미지와 저장된 정렬 패치 이미지의 정렬을 수행하는데 사용될 수 있는 이미지 컴퓨터 처리 노드에 다운 로드될 수 있다. 이미지 컴

퓨터 및 처리 노드는 당업계에 공지된 임의의 적합한 구성을 가질 수 있다.

[0217] 검사 프로세스 동안에, 상기 방법은 검사 데이터의 스와스를 취득하기 위해 검사 시스템을 사용하여 웨이퍼를 스캐닝하는 단계를 포함할 수 있다. 각각의 스와스는 검사 시스템이 웨이퍼 상의 열 또는 행으로 다이에 걸쳐 스캔시(x 방향에서), 일부 높이(H)(y 방향에서)의 픽셀 스트림으로서 취득될 수 있다. 이미지 컴퓨터 내의 각각의 처리 노드는 스와스의 일부를 처리할 수 있다. 예컨대, 스와스는 부분 또는 "페이지(page)"로 분리될 수 있고, 스와스의 각 부분은 다른 처리 노드로 향해질 수 있다. 처리 노드는 처리 노드에 의해 수신된 스와스의 부분 내의 픽셀을 사용하여 결함 검출을 수행하도록 구성될 수 있다. 상기 방법 및 이미지 컴퓨터는 웨이퍼 상의 정렬 사이트의 위치(예컨대, 각 다이 내의 위치)에 관한 정보와, 이미지 컴퓨터 저장 매체로부터 취득한 소정의 정렬 사이트의 패치 이미지(예컨대, 초기화 단계 동안에 다운로드 된)를 사용하여 소정의 정렬 사이트를 웨이퍼 상의 정렬 사이트에 대한 라이브 스트림 데이터에 정렬시킬 수 있다.

[0218] 일부 실시예에서, 콘텍스트 맵(예컨대, 데이터베이스와 같은 데이터 구조로 저장된)이 접속되어 처리 노드에 다운로드 될 수 있다. 이러한 콘텍스트 데이터는 당업계에 공지된 임의의 적합한 포맷으로 저장될 수 있다. 이러한 콘텍스트 데이터는 이미지 포맷보다는 콤팩트한 다각형 포맷으로 저장 및/또는 사용될 수 있다. 하지만, 콘텍스트 맵은 그 콘텍스트 맵이 결함 검출 목적으로 사용될 수 있도록 이미지에 부여될 수 있다. 이러한 부여는 초기화 동안에 한번 또는 검사 동안 콘텍스트 맵이 사용될 때마다 수행될 수 있다. 전자의 접근 방식의 이점은 초기화 동안에 콘텍스트 맵을 부여하는 것은 검사 프로세스 동안에 수행되는 데이터 처리 사이클을 줄인다는 것이다. 하지만, 이러한 접근 방식의 단점은 전체 콘텍스트 맵의 부여된 이미지를 저장하는 것은 비교적 다량의 메모리를 필요로 할 수 있다는 것이다.

[0219] 도 1의 단계 14에 나타난 바와 같이, 상기 방법은 설계 데이터 스페이스 내의 소정의 정렬 사이트의 위치에 기초하여 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 위치를 결정하는 단계를 포함한다. 예컨대, 설계 데이터 좌표(즉, 설계 데이터 스페이스 내)에 대한 소정의 정렬 사이트의 (x, y) 위치가 결정되고, 소정의 정렬 사이트에 대한 데이터가 정렬 사이트에 대한 데이터에 정렬되기 때문에, 웨이퍼 상의 정렬 사이트의 라이브 픽셀 좌표의 절대 위치는 설계 데이터 스페이스 내에서 결정될 수 있다. 다른 실시예에서, 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 사이트의 위치를 결정하는 단계는 미가공 데이터 스트림(raw data stream)(예컨대, 라이브 이미지)을 소정의 정렬 사이트에 대한 데이터(예컨대, 기준 이미지)에 정렬시키는 단계를 포함할 수 있다. 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 사이트의 위치를 결정하는 단계는 웨이퍼의 검사 이전에 수행되거나 웨이퍼에 대한 검사 데이터의 취득 후에 수행될 수 있다.

[0220] 도 1의 단계 16에 나타난 바와 같이, 상기 방법은 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 위치에 기초하여 설계 데이터 스페이스 내의 검사 시스템에 의해 웨이퍼에 대하여 취득한 검사 데이터의 위치를 결정하는 단계를 포함한다. 설계 데이터가 결정되는 위치에 대한 검사 데이터는 검사 동안에 검사 시스템에 의해 웨이퍼에 대하여 취득한 임의의 데이터(예컨대, 이미지 데이터)를 포함할 수 있다. 예컨대, 검사 데이터의 위치는 웨이퍼의 검사 동안에 검사 시스템에 의해 취득한 데이터의 일부 또는 전부에 대하여 결정될 수 있다. 예컨대, 검사 데이터의 위치는 웨이퍼 상의 주의 영역에 대하여 취득한 검사 데이터에 대해서만 결정될 수 있다.

[0221] 일 실시예에서, 웨이퍼 상의 정렬 사이트에 대응하는 새로운 데이터 스트림의 위치를 전송한 바와 같이 소정의 정렬 사이트의 기준 이미지에 정렬한 후에, 상기 방법은 검사 데이터 스트림과 설계 데이터 사이의 좌표 오프셋을 서브-픽셀 정밀도 내에서 측정하는 단계를 포함할 수 있다. 또한, 라이브 검사 데이터와 설계 데이터 사이의 좌표 에러는, 웨이퍼 상의 정렬 사이트가 다이에 걸친 모든 지점에 대한 소정의 정렬 사이트에 실질적으로 정확히 정렬되도록, 새로운 검사 데이터 이미지를 소정의 정렬 사이트에 대한 기준 이미지에 대하여 이동시킴으로써 보정될 수 있다. 여기에 기술한 상기 방법 및 시스템의 하나의 현저한 이점은 설계 데이터 스페이스 내의 검사 데이터의 위치가 서브-픽셀 정밀도로 결정될 수 있다는 것이다. 이러한 방식에서, 웨이퍼 상의 보호 및 비-주의 영역은 여기에 추가로 기술하는 바와 같이 100nm 이하 정확도의 비교적 높은 정밀도로 결정될 수 있다.

[0222] 다른 실시예에서, 소정의 정렬 사이트에 대한 데이터는 라이브 이미지 픽셀 스페이스를 설계 데이터 스페이스에 매핑하기 위해 사용될 수 있는 2-차원 매핑 변환을 결정하는데 사용될 수 있다. 예컨대, 전송한 바와 같이, 상기 방법은 다운로드 한 소정의 정렬 사이트 패치 이미지(검사 프로세스의 셋업 동안에 취득된)와 소정의 범위에 걸친 라이브 이미지 데이터를 상호 연관짓는 단계와, 다운로드 한 이미지와 라이브 이미지 사이의 오프셋을 결정하는 단계를 포함할 수 있다. 상기 방법은, 설계 데이터 스페이스 내의 소정의 정렬 사이트의 (x, y) 위치가 셋업 동안에 결정되기 때문에, 그러한 오프셋을 이용하여 라이브 이미지 픽셀 위치와 설계 데이터 좌표를 사이의 대응성을 결정하는 단계를 또한 포함할 수 있다. 상기 방법은 라이브 이미지 픽셀 위치와 설계 데이터 좌표

사이의 대응성을 사용하여 라이브 픽셀 좌표 스페이스를 설계 데이터 스페이스에 매핑시키기 위한 2-차원 함수를 결정하는 단계를 포함할 수 있다.

[0223] 그러한 일 예에서, 설계 데이터 스페이스 내의 절대 좌표에 대한 정렬 사이트의 그리드의 적합한 다항식 피트를 사용함으로써, 검사 데이터(예컨대, 라이브 픽셀 스트림) 내의 임의의 픽셀을 설계 데이터 스페이스 내의 대응하는 위치에 매핑하는데 사용할 수 있는 매핑 함수를 결정할 수 있다. 유사한 방식으로, 검사 데이터 내의 임의의 픽셀은 후술하는 바와 같이 콘텍스트 스페이스 내의 그것의 대응하는 위치에 매핑될 수 있다. 실질적으로 정확한 매핑을 제공하기 위해 몇몇 다른 보정이 사용될 수 있다. 예컨대, 보정은 스테이지(stage) 보정 데이터와, 검사 시스템의 런타임 정렬(RTA) 서브시스템에 의해 취득할 수 있는 x 방향에서의 픽셀 사이즈와 같이 검사 시스템에 의해 제공되는 데이터에 기초하여 수행할 수 있다. 매핑은 다이-다이 검사 모드에 사용할 수 있다. 전술한 바와 같은 라이브 픽셀 스트림의 매핑은 웨이퍼의 검사 동안에 실시간으로 수행되거나, 웨이퍼에 대한 검사 데이터의 취득 이후에 수행할 수 있다. 이러한 방식에서, 설계 데이터 스페이스 내의 검사 데이터의 위치 결정은 웨이퍼의 검사 동안에 수행할 수 있다. 대안적으로, 설계 데이터 스페이스 내의 검사 데이터의 위치 결정은 웨이퍼의 검사에 후속하여 수행할 수 있다.

[0224] 설계 데이터 스페이스 내의 검사 데이터의 위치는 여기에 기술한 임의의 방식으로 저장 및 사용할 수 있다.

[0225] 일 실시예에서, 상기 방법은 검사 데이터와, 표준 기준 다이 기반 검사를 위한 표준 기준 다이를 사용하여 웨이퍼 상의 결함을 검출하는 단계를 포함한다. 이러한 방식에서, 여기에 기술한 상기 방법의 실시예는 표준 기준 다이 기반 검사를 수행하는 단계를 포함할 수 있다. 그러한 일부 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 표준 기준 다이 이미지의 매핑을 표준 기준 다이-다이 검사 모드에서 웨이퍼에 대한 검사 시스템에 의해 취득한 라이브 이미지에 인가하는 단계를 포함할 수 있다. 용어 "표준 기준 다이"는 일반적으로 검사되고는 있지만, 다이-다이 검사에 대해 취득된 "테스트" 다이에 대한 통상의 인접 구축을 충족하지 않는 기준 다이를 칭한다. 일부 상업적으로 입수가 가능한 검사 시스템은 표준 기준 다이-다이 검사 모드의 일부 버전을 사용하도록 구성된다. 표준 기준 다이-다이 검사 모드의 일 구현은 일 다이를 다이열 내의 임의의 다이와 비교하는 단계를 포함한다. 다른 구현에서, 표준 기준 다이 이미지는 저장된 이미지일 수 있다. 따라서, 저장된 표준 기준 다이-다이 검사 모드는 웨이퍼 상의 기준 다이를 사용하는 구축이 제거된 것을 제외하면, 표준 기준 다이-다이 검사 모드와 유사하다. 이러한 검사 모드의 하나의 이점은 저장된 기준 다이 이미지가 "실질적으로 결함이 없는" 표준 기준 다이 이미지를 만들도록 변형될 수 있다는 것이다. 또한, 이러한 검사 모드는 다른 웨이퍼로부터의 표준 기준 다이 이미지를 사용하는 것을 가능하게 하고, 이에 의해, 여기에 추가로 기술하는, iPWQ 애플리케이션의 가장 단순한 구현을 가능하게 한다.

[0226] 표준 기준 다이-다이 검사 모드에 사용할 수 있는 일 실시예에서, 검사되고 있는 다이에 대하여 취득한 라이브 이미지는 다른 웨이퍼 상의 알려진 양호한 다이(표준 기준 다이)로부터 획득한 저장된 다이 이미지에 정렬되고 그것과 비교된다. 그러한 정렬 및 비교는 여기에 기술하는 바와 같이 수행할 수 있다. 이 경우, 설계 데이터 좌표 스페이스로의 표준 기준 다이 픽셀의 매핑은 완전히 오프라인으로 수행할 수 있다. 예컨대, 표준 기준 다이 내의 정렬 사이트는 전술한 바와 같이 설계 데이터 스페이스 내에서 매핑될 수 있고, 매핑된 표준 기준 다이 픽셀은 검사 동안에 오프라인 저장되고, 검사 시스템에 공급될 수 있다. 이러한 방식에서, 표준 기준 다이-다이 검사 모드에 대해, 설계 데이터 좌표 스페이스 내의 라이브 검사 데이터의 위치 결정은 라이브 데이터를 표준 기준 다이 이미지 또는 설계 스페이스에 자체가 매핑된 데이터에 정렬함으로써 수행할 수 있다.

[0227] 다른 실시예에서, 표준 기준 다이-다이 검사에 대해, 기준 웨이퍼 상의 알려진 양호한 다이는 선택된 픽셀 사이즈와 활상 모드에서 스캐닝되고, 전체의 알려진 양호한 다이 이미지는 적절한 저장 매체(예컨대, 디스크)에 저장할 수 있다. 웨이퍼의 검사 동안에, 적절한 표준 기준 다이 이미지의 스와스는 검사 시스템 이미지 컴퓨터에 다운로드 되고, 각각의 다이가 스캐닝될 때, 타겟 다이(즉, 검사되고 있는 다이)의 프레임은 대응하는 표준 기준 다이 프레임과 정렬된다. 프레임 사이의 정렬 불량은 서브-픽셀의 보간(補間)을 사용하여 정정될 수 있다. 그 후, 표준 기준 다이 이미지는 웨이퍼 상의 결함을 검출하기 위해(즉, 결함 있는 픽셀을 검출하기 위해) 웨이퍼의 이미지와 비교될 수 있다. 이러한 방식에서, 검사 데이터를 설계 데이터 스페이스 좌표에 정렬하기 위해 그리고 결함 검출을 위해 동일한 이미지가 사용될 수 있다.

[0228] 다른 실시예에서, 상기 방법은 실시간으로 에러를 보정하기 위해서, 검사 데이터 스트림 내의 웨이퍼 상의 정렬 사이트에 대한 정렬 데이터를, 소정의 정렬 사이트에 대하여 랜더링된 GDS 클립에 정렬시키는 단계를 포함한다. 예컨대, 상기 방법은 설계 데이터 스페이스 내의 랜더링된 GDSII 클립의 매핑을 다이-다이 검사 모드에 대해 웨이퍼 상의 정렬 사이트에 대한 데이터에 인가하는 단계를 포함할 수 있다. 상기 방법은 소정의 검색 범위에 결

쳐 라이브 이미지 데이터와 다운로드 한 정렬 사이트 패치 이미지(검사 프로세스의 셋업 동안에 선택된)를 상호 연관짓는 단계를 포함할 수 있다. 다른 예에서, 검사 데이터 스트림 내의 웨이퍼 상의 정렬 사이트에 대한 데이터를 소정의 정렬 사이트에 대한 데이터에 정렬하는 단계는, 여기에 추가로 기술하는 바와 같이 수행할 수 있는, 정렬 사이트 내의 1 이상의 특징의 중심 또는 다른 속성을 정렬함으로써 수행할 수 있다.

[0229] 일 실시예에서, 다이-다이 검사 모드에서의 결함 검출에 대해, 각각의 스캐닝된 다이 프레임은 스와스 내의 후속 다이 프레임에 대한 데이터와 정렬된다. 이 경우, 소정의 정렬 사이트와 웨이퍼 상의 정렬 사이트의 매핑은, 검사 데이터 스트림 내의 각 다이에 대한 데이터의 위치가 검사 시스템의 기계적 에러 소스 및 다른 에러 소스에 치해지기 때문에, 오프라인으로 수행되지 않을 수 있다. 따라서, 이 경우, 상기 방법은 검사 데이터의 취득 동안에 각 다이 내의 정렬 사이트를 식별하는 단계(예컨대, 이미지 컴퓨터를 사용하여)를 포함할 수 있다.

[0230] 다른 실시예에서, 결함 검출은 웨이퍼간 검사 모드로 수행될 수 있다. 그러한 일 실시예에서, 일 웨이퍼 상의 정렬 사이트에 대한 데이터는 소정의 정렬 사이트에 대한 데이터에 정렬될 수 있고, 그러한 웨이퍼 상의 정렬 사이트에 대한 데이터는 다른 웨이퍼 상의 정렬 사이트에 대한 데이터에 정렬될 수 있다. 대안적으로, 양쪽의 웨이퍼 상의 정렬 사이트에 대한 데이터는 여기에 기술한 임의의 데이터를 포함하는 소정의 정렬 사이트에 대한 데이터에 정렬될 수 있다. 이러한 방식에서, 웨이퍼 상의 정렬 사이트에 대한 데이터가 소정의 정렬 사이트에 대한 데이터에 정렬된 후에, 웨이퍼에 대한 검사 데이터는 서로 효과적으로 정렬될 수 있고, 결함 검출을 위해 중첩되거나 비교될 수 있다. 일부 실시예에서, 웨이퍼간 검사 모드는 검사되고 있는 웨이퍼의 외측에 존재하는 기준 다이를 사용하는 것을 포함한다(즉, 오프 웨이퍼 기준). 이러한 방법의 구현은, 적절한 감지도의 결과를 달성하기 위해, 검사 시스템이 다이-다이 레벨 오버레이 공차(예컨대, 0.1 픽셀)를 달성할 수 있도록 현재 사용된 런타임 피드백 개념을 분리하는 단계를 포함하기 때문에, 결코 용이하지 않다.

[0231] 그러한 일 실시예에서, 상기 방법은 검사되고 있는 웨이퍼의 오프-웨이퍼 기준 이미지에의 RTA를 포함한다. 오프-웨이퍼 이미지에의 RTA는 다이-다이 비교 및 셀-셀 비교와 같은 웨이퍼 "자기-참조(self-referencing)" 접근 방식으로부터 패터닝된 웨이퍼 상의 결함을 검출하기 위한 웨이퍼간 검사로의 스캐닝 검사 기술의 연장을 가능하게 하도록 사용될 수 있는 이미지 정렬 접근 방식이다. 예컨대, RTA는 검사 시스템의 1 이상의 검출기에 의해 생성된 신호를 디지털화하기 이전에 서브-픽셀 정밀도의 위치 결정을 얻기 위하여 이전에 취득한 이미지와 취득한 라이브 이미지를 전기-기계적으로 정렬하는 단계를 포함할 수 있다. RTA가 여기에 기술한 실시예에서 어떻게 수행될 수 있는지의 예는 미국 특허 제7,061,625호(Hwang et al)에 개시되며, 여기에 완전히 언급된 것과 참고자료로 포함된다.

[0232] 웨이퍼의 이미지와 오프-웨이퍼 이미지를 비교하는 단계를 포함하는 현재 이용가능한 하나의 접근 방식은 일본의 "Nanogeometric Research"에 의해 사용된 다이-데이터베이스 검사 모드이다(NGR). 다이-데이터베이스 검사 접근 방식은 복잡한 일련의 에지 기반 이미지 처리, 프로세스 시뮬레이션, 및 검출 알고리즘 단계가 후속하는 "단계 및 반복" 이미지 취득 및 스티칭(stitching)을 수반한다. 하지만, 이러한 방법은 다른 웨이퍼의 이미지를 직접적으로 비교하는데 사용될 수 없다. 특히, 다이-데이터베이스 검사 모드는 웨이퍼 이미지와, 설계 레이아웃 데이터베이스로부터 도출된 시뮬레이션된 기준과 비교한다. 이러한 접근 방식의 시뮬레이션 단계는 테스트하의 웨이퍼를 제조하는데 사용된 특정 제조 프로세스에 따라 주위 깊게 교정되어야만 한다. 이러한 교정은 고비용이며 시간 소모적인 프로세스이다. 그 보정은 다중 단계의 통합 프로세스 플로우에 대해서는 특히 복잡하다. 또한, "단계 및 반복" 이미지 취득 검사 프로세스는 스테이지 관성, 스테이지 진동, 정적 이미지 취득, 이미지 스티칭 등의 실제 제한으로 인하여 스캐닝 기반 검사 프로세스에 비하여 통상적으로 느리다.

[0233] 대안적인 다이-데이터베이스 검사 모드는 전술한 "오프-웨이퍼" 기준 다이를 사용하는 검사 모드의 논리적 연장이다. 이 경우, "데이터베이스"는 전술한 바와 같이 설계 데이터 및 프로세스 시뮬레이션으로부터 생성된 랜더링된 이미지이다. 따라서, 웨이퍼간 검사가 취득된 이미지(가능하게는 여기에 기술한 바와 같이 수행될 수 있는 통계적 증대)로부터 생성된 "표준 기준 다이"와, 중점적으로 설계 데이터 및 프로세스 모델링으로부터 생성된 "표준 기준 다이"를 사용하여 수행될 수 있기 때문에, 데이터베이스 기반 검사는 "오프-웨이퍼" 기준 검사 모드의 논리적 연장으로 간주될 수 있다. 중점적으로 설계 데이터 및 프로세스 모델링으로부터 생성된 표준 기준 다이를 사용하는 것은 구현하기가 가장 복잡한 웨이퍼 검사 모드이다. 이러한 검사 모드를 구현하기 위해 여러 시도가 이루어지고 있지만, 그러한 애플리케이션의 연산 강도(모델링 및 검출), 이미지 취득 속도, 및 이미지 품질 도전으로 인하여, 시도된 구현의 현재 성능은 적합하지 않다. 하지만, 여기에 기술한 방법은 통상적인 절대 기준(예컨대, 설계 데이터)이 오프-웨이퍼 기준과 테스트하의 웨이퍼에 대한 검사 데이터의 정렬을 위

해 사용될 수 있기 때문에, 구현이 더욱 실질적이다.

[0234] 따라서, 여기에 기술한 방법은, 잠재적으로 매우 유용한 애플리케이션인, 웨이퍼의 서로에 대한 비교를 가능하게 하도록 사용될 수 있다. 웨이퍼-웨이퍼 비교를 사용하는 결함 검사에 대한 하나의 모티베이션은 웨이퍼 제조 프로세스의 누적 공차와 특정 회로 레이아웃의 상호작용으로부터 기인할 수 있는 "체계적 결함 메커니즘"을 탐색하는 것이다. 이러한 탐색 프로세스는 동일한 장치 설계가 그 위에 인쇄되지만 상이하게 처리되는 웨이퍼들을 비교하는 단계를 포함할 수 있다. 가장 결정적인 접근 방식은 단일 또는 다중 변수 실험에서의 프로세스 매개변수를 모듈화하는 것이다(예컨대, 체계적인 DOE 접근 방식을 사용하여). 일 실시예에서, 웨이퍼와 추가적인 웨이퍼(예컨대, 2 이상의 웨이퍼)는 웨이퍼 레벨 프로세스 매개변수 조정을 사용하여 처리되며, 이는 전술한 바와 같이 또는 임의의 다른 적합한 방식으로 수행할 수 있다. 프로세스 매개변수는 결과적인 웨이퍼의 측정가능한 물리적 및/또는 전기적 속성이 그것의 허용가능한 한계에 접근하게 하도록 조정될 수 있다. 또한, 상기 방법은 웨이퍼와 추가적인 웨이퍼 상의 다이에 대한 검사 데이터를 통상적인 표준 기준 다이에 비교함으로써, 웨이퍼 및 추가적인 웨이퍼 상의 결함을 검출하는 단계를 포함할 수 있다. 이러한 방식에서의 웨이퍼 상의 결함 검출은 여기에 추가로 기술하는 바와 같이 수행될 수 있다. 그러한 일 실시예에서, 상기 방법은 "결함"의 검출에 의해 측정되는 바와 같이, 웨이퍼 사이에 구조적 차이가 발생하는지를 판정하는 단계를 포함할 수 있다. 그러한 접근 방식은 통합된 PWQ(iPWQ)라 칭할 수 있다. 이러한 방식에서, 여기에 기술한 상기 방법은 iPWQ의 구현을 가능하게 하도록 사용될 수 있다(예컨대, iPWQ에 대한 표준 기준 다이 접근 방식을 사용하여). 그와 같이, PWQ 방법론은 iPWQ 방법론의 구현을 목적으로 다른 웨이퍼 상의 다이와 통상적 표준 기준 다이의 비교 및 웨이퍼 레벨 프로세스 매개변수 조정을 포함하도록 연장될 수 있다.

[0235] 대조적으로, 리소그래피 유도 "체계적 결함 메커니즘"의 탐색은, 여기에 완전히 언급된 것과 같이 참고자료로 포함되는 미국 특허 제6,902,855호(Peterson et al)에 개시된 방법과, KLA-Tencor사로부터 상업적으로 입수가능한 PWQ 제품을 사용하여 수행할 수 있다. PWQ는 설계-리소그래피 상호작용을 결정하기 위한 변수로서 초점 및 노출을 사용하여 레티클 샷(shot) 레벨에서의 리소그래피 노광 프로세스 변수를 조정하기 위하여 리소그래피 툴의 특유의 능력에 영향을 준다. 이러한 애플리케이션은 OPC 입증을 위해 종종 사용된다. 하지만, PWQ는 인쇄된 웨이퍼 상의 다이와 조정된 초점 및/또는 노출 매개변수와의 직접 비교에 제한된다. 에치, 퇴적, 열 처리, 화학적-기계적 연마(CMP) 등과 같은 프로세스 단계와 관련된 다른 프로세스 변수의 영향은, 이들 변수를 단지 웨이퍼 레벨에서 조정할 수 있기 때문에, 직접적으로 평가할 수 없다. 하지만, 이들 프로세스 변수와 관련되거나 그것에 의해 기인하는 체계적 결함 메커니즘은 여기에 기술한 방법을 사용하여 탐색할 수 없다. 특히, 여기에 기술한 방법은 웨이퍼-웨이퍼 비교에 의해 PWQ 타입 애플리케이션에서의 비-리소그래피 프로세스 조정을 검사하기 위해 사용할 수 있다.

[0236] 스캐닝 기반 결함 검출 시스템에서, 다이-다이 이미지 감산(image subtraction)은 차분 이미지 레지스트레이션(difference image registration) 노이즈를 줄여서 결함에 대한 더 양호한 감지도를 가능하게 하기 위한 "서브-픽셀" 이미지 정렬에 의해 수행할 수 있다. 결함은 1 이상의 임계치를 초과하는 차분 이미지에서의 픽셀을 검출함으로써 식별할 수 있다. 스캐닝 기반 이미지 취득 프로세스는 RTA라 종종 칭하는 피드백 메커니즘을 포함한다. 이러한 메커니즘은 취득되고 있는 이미지와, 현재의 이미지 이전에 종종 동일한 웨이퍼로부터 취득한 이미지를 정밀하게 정렬한다. 검사 시스템의 구성에 따라, 피드백 메커니즘은 광-기계적 접근 방식, 전기-기계적 접근 방식, 및 전자/알고리즘 접근 방식의 조합을 포함할 수 있다.

[0237] 일 실시예에서, 여기에 기술한 방법은 테스트하의 웨이퍼에 대하여 취득한 이미지보다 저장된 이미지를 기준으로 사용하는 RTA를 포함한다. 저장된 이미지는 "표준 기준 웨이퍼" 또는 기준 웨이퍼의 이미지일 수 있다. 테스트 하 웨이퍼 상의 각 다이는 표준 기준 웨이퍼 상의 대응하는 다이와 비교될 수 있다. 여기에 기술한 실시예가 두 웨이퍼 또는 웨이퍼의 이미지의 비교를 포함하는 것으로 기술하지만, 실시예는 2 이상의 웨이퍼의 검사에 의해 취득한 임의의 데이터를 비교하는 단계를 포함할 수 있다.

[0238] 도 4는 웨이퍼-웨이퍼 비교를 수행하기 위한 컴퓨터 구현 방법의 각종 실시예를 도시한다. 도 4에 도시한 단계는 방법을 수행하는데 필수적인 것은 아니다. 1 이상의 단계가 도 4에 도시한 방법으로부터 생략될 수 있으며, 그 방법은 여전히 본 실시예의 범주 내에서 실시할 수 있다.

[0239] 단계 220에 나타난 바와 같이, 본 방법은 웨이퍼-웨이퍼 비교를 포함한다. 일 실시예에서, 웨이퍼-웨이퍼 비교는 단계 222에 나타난 바와 같이 기준 웨이퍼 이미지를 테스트 웨이퍼 이미지와 비교하는 단계를 포함한다. 예컨대, 여기에 기술한 방법에 사용된 기준 웨이퍼 이미지는 전체 기준 웨이퍼의 저장된 이미지일 수 있다. 기준 웨이퍼 이미지와 테스트 웨이퍼 이미지의 비교는 여기에 기술한 바와 같이 수행할 수 있다. 대안적으로, 단계

224에 나타난 바와 같이, 웨이퍼-웨이퍼 비교는 표준 기준 다이 이미지와 웨이퍼(예컨대, 기준 또는 테스트 웨이퍼) 상의 모든 다이의 이미지와 비교하는 단계를 포함할 수 있다.

- [0240] 일 실시예에서, 상기 방법은 검사 데이터, 표준 기준 다이, 및 표준 기준 다이 기반 검사에 대한 섭동(擾動) 매트릭스 내의 표준 기준 다이와 관련된 웨이퍼 노이즈의 표현(noise representation)을 사용하여 웨이퍼 상의 결함을 검출하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 표준 기준 다이와 연관된 웨이퍼 노이즈의 비교적 콤팩트한 표현을 섭동 매트릭스의 형태로 사용하는 것을 포함할 수 있다. 예컨대, 기준 웨이퍼 상의 기준 다이의 이미지는 섭동 매트릭스, 또는 다이 픽셀이 기준 웨이퍼 상의 다이로부터 다이로 어떻게 변하는지를 보여주는 다른 적합한 데이터 구조에 부가하여 저장될 수 있다. 전체 기준 웨이퍼 이미지 대신에 섭동 매트릭스에 부가하여 기준 다이의 이미지를 저장하는 것은 기준 웨이퍼의 더욱 콤팩트한 표현이 저장되게 허용한다. 이러한 방식에서, 섭동 매트릭스는 기준 웨이퍼 이미지 사이즈를 실질적이고 허용가능한 방식으로 구현될 수 있는 레벨까지 저감시키기 위하여 기준 웨이퍼의 표현에 포함될 수 있다. 그와 같이, 상기 방법은 노이즈 시그니처의 섭동 매트릭스 표현을 사용하는 것을 포함하는 표준 기준 다이 기반 검사를 포함할 수 있다.
- [0241] 기준 웨이퍼 이미지 및 대응하는 섭동 매트릭스를 생성하는 단계는 기준 웨이퍼로부터 취득한 표준 기준 다이를 사용하는 표준 기준 다이 기반 검사를 포함할 수 있다(즉, 일종의 자기 참조). 기준 웨이퍼 상의 단일의 표준 기준 다이 이미지는, 기준 웨이퍼 상의 각각의 다이에 대하여 저장된 압축된 차분 데이터로 섭동된 베이스라인 이미지뿐만 아니라, 감지도에 대하여 RTA 성능이 갖는 임의의 영향을 저감하기 위하여 구동시 RTA 기준으로서 사용될 수 있다. 저장된 차분 데이터는 다이 스와스 당 전체 주의 영역 크기에 대한 제한 부가뿐만 아니라, 압축 알고리즘을 통하여 저감될 수 있다. 구동시, 차분 이미지 데이터의 섭동 매트릭스는 로드되는 각각의 대응하는 표준 기준 다이 스와스에 대한 스와스로 전체 기준 웨이퍼에 대하여 로드될 수 있다. 전체 웨이퍼에 대한 섭동 매트릭스 데이터 용적은 약 1Gb 내지 약 3Gb 정도일 수 있으며, 표준 기준 다이에 대한 데이터 용적은 1Gb 정도일 수 있다. 표준 기준 다이 비교를 포함하는 여기에 기술한 모든 다른 방법은 전술한 바와 같은 섭동 매트릭스를 사용할 수 있다.
- [0242] 섭동 매트릭스는 열에 m 개의 다이가 있는 경우, $P_1(x, y)$, $D_x(1, 2)$, $D_y(1, 2)$ Diff $_{1,2}(x, y)$; $P_2(x, y)$, $D_x(2, 3)$, $D_y(2, 3)$ Diff $_{2,3}(x, y)$; $\dots$ $P_{m-1}(x, y)$, $D_x(m-1, m)$, $D_y(m-1, m)$ Diff $_{m-1,m}(x, y)$ 로 규정할 수 있고, 여기에서 $P_i(x, y)$ 는 위치 (x, y) 에서의 i 번째 다이에서의 픽셀 값이며, $D_x(i, i+1)$, $D_y(i, i+1)$ 은 다이 $(i+1)$ 에 대한 다이 (i) 의 각각 x 및 y 에서의 오프셋이며, Diff $_{i,i+1}(x, y)$ 은 다이 $(i+1)$ 가 그것을다이 (i) 의 프레임과 정렬시키기 위해 x 및 y 오프셋으로 시프된 후, 위치 x, y 에서의 다이 (i) 에 대한 다이 $(i+1)$ 의 차분 그레이(gray) 레벨이다. 하지만, 보간 에러 경계 내에서, $P_2(x, y)$ 는 $P_1(x, y)$, $D_x(1, 2)$, $D_y(1, 2)$ 및 Diff $_{1,2}(x, y)$ 로부터 재구성될 수 있다. 또한, $P_i(x, y)$ 는 각각의 다이에 대하여 이들 단계를 연속적으로 인가하여 임의의 다른 다이에 대하여 재구성될 수 있다. 물론, 이는 보간 에러 및 다이로부터 다이로의 이미지의 점진적인 블러(blur)를 혼합할 수 있다.
- [0243] 하지만, 표준 기준 다이가 저장되고, 모든 보간이 각각의 다이에 대하여 수행되는 경우에는, 전술한 이행(移行) 에러 축적은 발생하지 않는다. 오히려, 에러는 오프셋 및 차분 이미지가 주어지면, 표준 기준 다이로부터 웨이퍼 상의 임의의 다이를 재구성하는 것과 관련된 단순한 보간 에러이다. 따라서, 단계 226에 나타난 바와 같이, 상기 방법은 표준 기준 다이에 대하여 각 다이의 차분 이미지를 보존하는 단계를 포함할 수 있다.
- [0244] 도 5는 비교를 위한 기준으로서 차분 이미지를 사용하는 웨이퍼-웨이퍼 비교를 수행하는 방법의 일 실시예를 도시한다. 예컨대, 기준 웨이퍼(250)는 복수의 다이 $[(0,0), (0,1), \dots (4,2)]$ 를 포함하고, 그것의 하나(예컨대, 다이 $(2,2)$)가 표준 기준 다이로서 지정된다. 테스트 웨이퍼에 대한 비교를 위해 사용되는 기준 웨이퍼(252)는 표준 기준 다이 이미지(254)에 대하여 각각의 다이에 대한 차분 이미지 [Diff $(0,0)$, Diff $(0,1)$ $\dots$ Diff $(4,2)$]를 저장하여 생성된다. 그 후, 테스트 웨이퍼(256)는 기준 웨이퍼(252)와 비교될 수 있다. 예컨대, 도 5에 도시한 바와 같이, 테스트 다이 $(1,3)$ 에 대한 결함 검출은, 표준 기준 다이 이미지(254)와 대응하는 차분 이미지 (Diff $(1,3)$)를 부가한 후, 테스트 다이 $(1,3)$ 및 기준 다이 $(1,3)$ 사이의 차분(258)을 생성하기 위해 테스트 다이 $(1,3)$ 를 감산하여 수행할 수 있다.
- [0245] 따라서, 임의의 다이(테스트 하)와 표준 기준 다이 사이의 차분 이미지는 콤팩트 방식으로 표현될 수 있다. 손실 압축(lossy compression) 알고리즘은 더 높은 압축도를 달성하기 위해 채택될 수 있다. 그러한 압축 기술에 의해 손실될 수 있는 정보는 기술 자체에 의존한다. 예컨대, 도 4의 단계 228에 나타난 바와 같이, 상기 방법은 차분 이미지의 중요하지 않은 영역에 대해서는 손실 압축을, 차분 이미지의 중요한 영역에 대해서는 손실 없

는 압축을 수행하는 단계를 포함할 수 있다. 이러한 방식에서, 덜 중요한 장치 영역이 더 중요한 영역보다 손실이 크게 허용하도록 "지능적" 압축 기술을 사용할 수 있다. 기준 웨이퍼 이미지에 대하여 유사한 압축 기술을 사용할 수 있다. 예컨대, 단계 230에 나타난 바와 같이, 상기 방법은 웨이퍼 이미지의 중요하지 않은 영역에 대해서는 손실 압축을 그리고 웨이퍼 이미지의 중요한 영역에 대해서는 손실 없는 압축을 수행하는 단계를 포함할 수 있다.

[0246] 대안적으로, 상기 방법은 단계 232에 나타난 바와 같이, 표준 기준 다이에 대하여 픽셀당 차분 통계치를 보존하는 단계를 포함할 수 있다. 예컨대, 단계 234에 나타난 바와 같이, 상기 방법은 콘텍스트 유형마다 다이당 통계치를 보존하는 단계를 포함할 수 있다. 각각의 다이는 1 이상의 콘텍스트 유형으로 분리될 수 있고, 이는 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 그러한 일 예에서, 상기 방법은 다른 그룹의 다이에 대하여 표준 기준 다이 내의 각각의 (x,y) 위치에서의 차분에 대하여 통계치를 기록하는 단계를 포함할 수 있다. 단계 236에 나타난 바와 같이, 콘텍스트는 다이 영역일 수 있다. 대안적으로, 단계 238에 나타난 바와 같이, 콘텍스트는 백그라운드 타입일 수 있다. 픽셀당 차분 통계치는 임의의 적합한 방식으로 결정할 수 있다.

[0247] 다른 예에서, 웨이퍼는 N개의 반경 방향 섹터 및/또는 M 개의 환형 링으로 분리할 수 있다. 예컨대, 도 6에 도시한 바와 같이, 웨이퍼(260)는 환형 링(1, 2 및 3)으로 분리할 수 있다. 웨이퍼(260)를 3개의 환형 링으로 분리한 것으로 도시하였지만, 웨이퍼는 임의의 적합한 수의 환형 링으로 분리할 수 있다는 것을 이해해야 한다. 또한(또는 대안적으로), 도 7에 도시한 바와 같이, 웨이퍼(260)는 웨이퍼 섹터(A, B, C, D, E, F, G 및 H)로 분리할 수 있다. 웨이퍼(260)를 8개 섹터로 분리한 것으로 도시하였지만, 웨이퍼는 임의의 적합한 수의 섹터로 분리할 수 있다는 것을 이해해야 한다. 상기 방법은, 도 4의 단계 240에 나타난 바와 같이, 웨이퍼 섹터 및/또는 환형 링마다 픽셀당 통계치를 보존하는 단계를 포함한다. 그러한 일 예에서, (N+M) 구획 각각에 대하여, (x, y) 위치에서의 표준 기준 다이 이미지에 대한 차분의 평균 및 표준 편차가 기록될 수 있다. 8 비트 평균 및 8 비트 표준 편차는 각각의 (x, y) 위치에서 $2 \times (N+M)$ 바이트를 저장하는 것 대(對) 웨이퍼 상의 다이당 차분의 바이트를 저장하는 것을 포함한다. 이러한 방식에서, 웨이퍼 상에 100개의 다이가 있는 경우, 8개의 섹터 및 8개의 환형 링을 사용하는 것은 (x, y) 위치당 32 바이트 대 (x, y) 위치당 100 바이트를 필요로 한다. 추가의 예에서, 상기 방법은, 단계 242에 나타난 바와 같이, 콘텍스트 타입마다 전술한 바와 같은 웨이퍼 섹터 및/또는 환형당 통계치를 보존하는 것을 포함한다. 콘텍스트 타입은 단계 244에 나타난 바와 같이, 다이 영역에 기초할 수 있다. 대안적으로, 콘텍스트 타입은 단계 246에 나타난 바와 같이 백그라운드 타입에 기초할 수 있다. 콘텍스트 타입당 통계치 및 콘텍스트 타입은 여기에 기술하는 바와 같이 결정할 수 있다.

[0248] 도 8은 환형 링당 기초로 표준 기준 다이 상의 각각의 (x, y) 위치에 대하여 통계치가 저장되는 경우 그러한 기술이 어떻게 수행되는지를 도시한다. 특히, 도 8은 기준으로서의 환형에 의해 차분 통계치를 사용하여 웨이퍼-웨이퍼 비교를 수행하기 위한 방법의 일 실시예를 도시한다. 예컨대, 도 8에 도시한 바와 같이, 기준 웨이퍼(262)는 복수의 다이 [(0,0), (0,1) ... (4,2)]를 포함하고, 그것의 하나(예컨대, 다이(2,2))가 표준 기준 다이로서 지정된다. 테스트 웨이퍼에 대한 비교를 위해 사용된 기준 웨이퍼(264)는 픽셀(x, y)에서의 평균 차분과, 각 환형에 대한 표준 기준 다이 이미지(266)에 대한 픽셀(x, y)에서의 차분의 표준 편차를 결정하여 생성된다. 테스트 웨이퍼(268)(환형이 테스트 웨이퍼 상에 오버레이된 도 8에 도시된)는 기준 웨이퍼(264)와 비교될 수 있다. 예컨대, 테스트 다이(1,3) 및 표준 기준 다이 이미지(266) 사이의 차분(270)을 생성하기 위해서, 테스트 다이(1,3)를 표준 기준 다이 이미지(266)로부터 감산한다. 도 8에 추가로 도시한 바와 같이, 테스트 다이(1,3)는 환형(1) 및 환형(2) 내부에 위치한다. 따라서, 단계 272에서, 차분 이미지(270)는 환형 기초로 테스트 다이 내의 각각의 (x, y) 위치에서의 통계치(274)(예컨대, 평균 차분 $\pm k \times$ 차분의 표준 편차)와 비교된다. 즉, 환형(1) 내부에 위치된 테스트 다이의 부분에 대한 차분(270)은 환형(1)에 대한 통계치와 비교되고, 환형(2) 내부에 위치한 테스트 다이의 부분에 대한 차분(270)은 환형(2)에 대한 통계치와 비교된다.

[0249] 표준 기준 다이의 더욱 콤팩트한 저장은 표준 기준 다이 데이터를 통계적 기초로 저장(예컨대, 다이를 프레임으로 분리, 프레임을 다른 구조로(비닝(binning)된 콘텍스트) 함으로써 실현될 수 있고, 각각의 프레임/콘텍스트에 대하여, 다이-다이 차분의 평균/표준 편차를 저장한다. 예컨대, 도 4의 단계 248에 나타난 바와 같이, 상기 방법은 표준 기준 다이에 대한 콘텍스트 통계치마다 프레임마다의 다이당 보존하는 단계를 포함할 수 있다. 예컨대, 도 9에 도시한 바와 같이, 다이의 배열[(0,0), (0,1) ... (M,N)](276)이 웨이퍼(278) 상에 형성될 수 있다. 또한, 도 10에 도시한 바와 같이, 다이(276)는 프레임(280)으로 분리될 수 있다. 다이는 프레임(280)으로 분리될 수 있고, 각 프레임의 픽셀은 콘텍스트에 기초하여 분리될 수 있다(도 10에서는 도시 생략). 각 다이 내의 각 프레임의 각각의 다른 콘텍스트에 대한 차분 통계치는 여기에 기술한 바와 같이 결정할 수 있다.

[0250] 도 11은 콘텍스트에 의해 분리된 차분 프레임 통계치를 사용하여 웨이퍼-웨이퍼 비교를 수행하는 방법을 도시한

다. 도 11에 도시한 바와 같이, 기준 웨이퍼(282)는 다수의 다이[(0,0), (0,1) ... (4,2)]를 포함하고, 그것의 하나(예컨대, 다이(2,2))가 표준 기준 다이로서 지정된다. 테스트 웨이퍼(286)와의 비교를 위해 사용된 기준(284)은 프레임(280)으로 분리된 다이(276)와 표준 기준 다이 이미지(288)를 포함한다. 프레임(280)은 전술한 바와 같이 구성할 수 있다. 기준(284)은 각각의 다이에 대한 각각의 프레임 내의 각각의 콘텍스트와 각각의 프레임에 대한 차분의 평균과 표준편차와 같은 통계치(290)를 결정하여 생성할 수 있다. 테스트 웨이퍼(286) 상의 결함을 검출하기 위해, 테스트 웨이퍼는 기준(284)과 비교된다. 예컨대, 테스트 다이(1,3) 내의 결함을 검출하기 위해, 테스트 다이(1,3)는 표준 기준 다이 이미지(288)로부터 감산되어, 테스트 다이와 표준 기준 다이 이미지 사이의 차분(292)을 생성한다. 단계 294에서, 차분(292)은 콘텍스트 마다의 프레임당 기초로, 기준 웨이퍼(282)의 다이(1,3)에 대한 통계치(290)(예컨대, 각각의 프레임 및 콘텍스트에 대한 차분의 평균 및 표준편차)와 비교된다.

[0251] "표준 기준 다이"가 결함 프리(free)인 알려지지 않으면, 단일 조정이 "폴리싱" 기술을 사용하여 수행될 수 있다(결함 검출은 진정으로 결함 프리한 기준 다이와의 1회 비교를 이용하여 수행할 수 있다). 또한, "폴리싱"은 "고유적이거나" 기대되는 프로세스 변동으로 인하여, 웨이퍼에 걸쳐 기대되는 이미지 변동을 반영하도록 수행할 수 있다. 따라서, "결함 프리" 기준 웨이퍼를 생성하기 위해, 표준 기준 다이 "폴리싱"을 기준 웨이퍼 상의 모든 다이에 대하여 수행할 수 있다.

[0252] 표 1은, 40mm × 40mm인 최대 다이 사이즈, 90nm인 가장 작은 검사 픽셀 사이즈, 44개인 웨이퍼 상의 최대 사이즈 다이의 수, 1.975E+11인 최대 사이즈 다이 내의 픽셀 수, 512×512 픽셀인 프레임 사이즈, 7.535+0.5인 최대 사이즈 다이당 프레임, 2바이트인 차분의 평균 차분 및 표준 편차를 저장하기 위한 바이트, 0.91 G픽셀인 최대 사이즈 다이의 스와스당 픽셀, 217인 최대 사이즈 다이당 스와스, 및 2048 픽셀 높이 스와스를 상정하여, 전술한 바와 같은 각종 웨이퍼-웨이퍼 비교에 대한 기준 데이터의 대략의 사이즈를 나타낸다. 표준 기준 다이는 2K 높이 센서를 상정하여, 스와스당 197 G픽셀 또는 0.91 G픽셀을 포함한다. 또한, 기준 웨이퍼 상의 각 다이에 대한 차분 이미지 또는 그것의 일부 압축된 형태가 저장되어야 한다.

표 1

방법	데이터 사이즈(Gbytes)
저장된 차분 이미지(압축 없음)	8727.8
전체 픽셀의 0.1%에서의 차분 이미지	8.7
픽셀 섹터 기반 통계당: 8섹터	3160.5
픽셀 링 기반 통계당: 8개의 환형 링	3160.5
픽셀 섹터 + 링기반 통계당: 8개 섹터, 8개 링	6321.0
프레임 기반 통계: 512×512 프레임	0.0666
프레임 + 콘텍스트 기반 통계: 8 콘텍스트/프레임	0.5327

[0254] 표 1은 차분 이미지를 저장하기 위한 데이터 사이즈가 다이당 콘텍스트 기반 통계 및 프레임을 저장하기 위한 데이터 사이즈보다 훨씬 크다는 것을 보여준다. 하지만, 최대 차분을 갖는 일부의 차분 픽셀(예컨대, 0.1%)과 중요 영역에 있는 것을 저장하면, 데이터 사이즈 요건을 8727.7 기가바이트로부터 8.7기가바이트로 저감한다.

[0255] 테스트 웨이퍼 상의 다이는 검사 데이터의 복수의 스와스를 생성하기 위해, 서펜타인(serpentine) 스캔 경로를 사용하여 복수의 스캐닝될 수 있다. 그러한 서펜타인 스캔의 일 실시예는 도 12에 도시된다. 도 12에 도시한 바와 같이, 테스트 웨이퍼(296)는 다이[(0,0), (0,1) ... (4,2)]의 배치를 포함한다. 테스트 웨이퍼(296)는 서펜타인 스캔(298) 및 서펜타인 스캔(300)에 의해 스캐닝된다. 도 12에 두 가지의 서펜타인 스캔을 도시하였지만, 테스트 웨이퍼는 임의의 적합한 회수를 사용하여 스캐닝될 수 있다는 것을 이해해야 한다. 다이당 217 스와스와, 모든 다이열에서 동일한 서펜타인 스캔을 수행하는 것을 상정하면, 표준 기준 다이 스와스와, 스와스 1, 스와스 2 등에 대하여 모든 다이에 대한 압축 차분을 로드할 수 있다. 이 경우, 테스트 웨이퍼 스캔에 대하여 기준 데이터를 저장하기 위한 메모리 요건은 스와스당 $(197+8.7)/217 = 0.95$ G픽셀이다.

[0256] 표준 기준 다이-다이 검사의 구현에서의 한 가지 고려 사항은 디스크 입력/출력(I/O) 속도이며, 그 속도가 처리량에 영향을 끼칠 수 있다. 디스크 I/O 트래픽(traffic)은 "표준 기준 다이"의 각각의 스와스를 한 번에 로딩함으로써 저감할 수 있다. 그러한 로딩은 웨이퍼 스캔 사이에 다이 레벨 단차(대 인접 웨이퍼 스캔의 서펜타인 패턴)를 갖는, 전체 웨이퍼에 걸친 서펜타인 스캐닝에 사용될 수 있다.

- [0257] 물론, 여기에 기술한 모든 검사 모드에 있어서, 디스크에 저장된 하나의 이미지 대 디스크에 저장된 다른 이미지 또는 실시간으로 웨이퍼로부터 막 취득한 메모리 내의 이미지를 사용하여, 검사를 수행할 수 있다. 전술한 모든 데이터는 여기에 추가로 기술하는 바와 같이 저장될 수 있으며, 여기에 기술한 모든 저장 단계는 여기에 기술한 임의의 방식으로 수행할 수 있다.
- [0258] 전술한 바와 같이, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 단계는 웨이퍼의 검사에 후속하여 수행할 수 있다. 그러한 일 실시예에서, 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하는 단계는 웨이퍼 상에서 검출된 데이터에 대응하지 않는 검사 데이터의 부분이 아닌 웨이퍼 상에서 검출된 결함에 대응하는 검사 데이터의 부분에 대하여 수행된다. 이러한 방식에서, 픽셀 또는 웨이퍼 스페이스로부터 설계 데이터 스페이스로의 매핑 변환은 결함이 발견된 위치에만 인가된다. 즉, 상기 방법은 웨이퍼 상에서 검출된 결함의 설계 데이터 스페이스로의 포스트(post)-프로세스 매핑을 포함할 수 있다. 또한, 결함 검출이 포스트-처리 단계에서 완료된 후에, 정렬(예컨대, 정렬 에러 측정)이 수행될 수 있을지라도, 각각의 다이 내의 정렬 사이트는 검사 동안에 식별될 수 있다. 그 후, 매핑은 설계 데이터 스페이스 내의 결함의 위치를 찾기 위해 인가된다.
- [0259] 설계 데이터 스페이스 내의 검사 데이터의 위치 결정이 언제 또는 어떻게 수행되는지에 관계없이, 웨이퍼 상에 1 이상의 결함이 존재하면, 검사 데이터는 웨이퍼 상의 결함 또는 결함들에 대한 데이터를 포함한다. 따라서, 설계 데이터 스페이스 내의 1 이상의 결함의 위치는 설계 데이터 스페이스 내의 검사 데이터의 위치로부터 결정될 수 있다. 또한, 설계 데이터 스페이스 내의 1 이상의 결함의 위치는 설계 데이터 스페이스 내의 검사 데이터의 위치와 동일한 실질적으로 높은(예컨대, 서브-픽셀) 정밀도로 유리하게 결정될 수 있다.
- [0260] 여기에 추가로 기술하는 바와 같이, 일부 실시예에서, 검사 데이터는 웨이퍼를 스캐닝함으로써 스왑스 내에서 취득된다. 그러한 일 실시예에서, 각각의 스왑스 내의 정렬 사이트를 소정의 정렬 사이트에 대한 데이터에 정렬시킴으로써, 검사 데이터의 각각의 스왑스는 설계 데이터 스페이스에 개별적으로 정렬될 수 있으며, 이는 전술한 바와 같이 수행될 수 있다.
- [0261] 다른 실시예에서, 검사 데이터의 위치를 결정하는 단계는 설계 데이터 스페이스 내의 정렬 사이트의 위치에 기초하여 설계 데이터 스페이스 내의 검사 데이터의 스왑스의 위치를 결정하는 단계와, 설계 데이터 스페이스 내의 스왑스의 위치에 기초하여 설계 데이터 스페이스 내의 검사 데이터의 추가적인 스왑스의 위치를 결정하는 단계를 포함한다. 이러한 방식에서, 검사 데이터의 일 스왑스는 전술한 바와 같이 설계 데이터 스페이스에 정렬될 수 있고(예컨대, 소정의 정렬 사이트에 대한 데이터와, 검사 데이터의 스왑스 내의 웨이퍼 상의 정렬 사이트에 대한 데이터를 정렬시킴으로써), 검사 데이터의 그러한 스왑스에 검사 데이터의 추가적인 스왑스가 정렬될 수 있다.
- [0262] 예컨대, 도 13에 도시한 바와 같이, 스왑스(예컨대, 스왑스 #N+1)는 스왑스간 이미지 정렬을 사용하여 이전의 스왑스(예컨대, 스왑스 #N)에 정렬될 수 있다. 특히, 도 13에 도시한 바와 같이, 스왑스 #N+1, #N은 웨이퍼 스페이스 내의 영역(41)에서 부분적으로 중첩한다. 따라서, 양쪽 스왑스는 영역(41) 내에 형성된 특징들에 대한 검사 데이터를 포함할 수 있다. 그와 같이, 이들 특징에 대한 검사 데이터는 하나의 스왑스를 다른 스왑스에 정렬하는데 사용될 수 있다. 그러한 일 예에서, 도 14는 두 개의 연속적인 스캔에 대한 검사 데이터가 중첩하는 웨이퍼 스페이스 내의 스왑스간 오버랩 영역(41)에 형성된 특징(41a 및 41b)을 도시한다. 특징(41a 및 41b)은 스왑스-스왑스 등록을 위해 사용할 수 있다. 특징(41a 및 41b)은 다른 정렬 특징에 대하여 여기에 기술한 바와 같이 추가로 구성될 수 있다.
- [0263] 이러한 방식에서, 다이 열 내의 정렬 사이트(들)에 대한 데이터를 디자인 데이터 베이스로부터의 제공된 이미지 또는 여기에 기술한 다른 소정의 정렬 사이트 데이터에 정렬함으로써, 다이 열에 대한 제 1 스왑스가 설계 데이터 스페이스에 정렬되면, 다이 열의 후속 스왑스는 여기에 기술한 기술을 사용하여 정렬할 수 있다. 특히, 스왑스 내의 정렬 특징의 위치와 설계 데이터 스페이스에 대한 스왑스 #N의 위치를 사용함으로써, 설계 데이터 스페이스에 대한 스왑스 #N+1의 위치를 결정할 수 있다. 예컨대, 스왑스 #N+1의 위치를 결정하는 단계는, 스왑스 #N 취득 스캔 동안에 취득한 정렬 특징 이미지를 저장하고, 정렬 특징 이미지를 스왑스 #N+1의 취득 동안에 취득한 동일한 특징의 이미지에 정렬함으로써 수행된다. 두 정렬 특징 이미지 사이의 비정렬 오프셋을 결정함으로써, 설계 데이터 스페이스에 대한 스왑스 #N+1의 절대 위치를 결정할 수 있다.
- [0264] 검사 레시피의 셋업 동안에, 웨이퍼는 스왑스간 오버랩 영역 내의 적합한 정렬 사이트를 결정하기 위해 연속적인 스왑스 사이의 비교적 큰 오버랩(예컨대, 50% 오버랩)으로 스캐닝될 수 있다. 이들 사이트 위치를 사용하여, 대응하는 이전의 스왑스에 대한 각각의 스왑스의 위치를 결정할 수 있다. 소정의 정렬 사이트를 웨이퍼 상의 정렬 사이트에 정렬시키기 위하여 전술한 방법을 사용하여 결정된 설계 데이터 스페이스에 대한 제 1

스와스의 위치와, 제 1 및 제 2 스와스 사이의 오버랩 영역 내의 정렬 사이트를 사용하여 결정된 것에 대한 제 2 스와스의 시프트를 사용하여, 설계 데이터 스페이스에 대한 제 2 스와스의 절대 위치를 결정할 수 있다. 각각의 후속 스와스에 대하여 이러한 프로시저를 반복함으로써, 전체 다이에 대한 픽셀이 설계 데이터 스페이스로 매핑될 수 있다.

[0265] 그 후, 각각의 검사 스와스(즉, 스와스 사이의 오버랩이 다이가 완전히 스캐닝되는 것을 보장하는 최소 오버랩인 검사 동안에 사용된 스와스) 내에 적어도 하나의 사이트가 존재하도록 적합한 정렬 사이트가 선택될 수 있다(전술한 방법을 사용하여). 설계 데이터 스페이스 내의 이들 정렬 사이트의 위치는 각각의 정렬 사이트의 패치 이미지와 함께 검사 레시피 내에 저장된다. 검사 동안에, 각각의 스와스에 대하여, 대응하는 정렬 사이트가 레시피로부터 탐색되고, 그것의 위치는 검사 시스템에 의해 취득된 픽셀 스트림 내에서 결정된다. 정렬 사이트가 픽셀 스트림 내에 일단 위치되면, 교차-상호 연관 또는 다른 이미지 매칭 기술을 사용하여, 검사 스와스 내의 픽셀의 위치를 설계 데이터 좌표 스페이스 내에서 서브-픽셀 정밀도로도 결정할 수 있다. 이 방법의 하나의 이점은 검사 스와스는 비교적 작은 오버랩으로 취득할 수 있다(그리하여 속도를 향상함)는 것이지만, 전체 다이에 대한 픽셀을 설계 데이터 좌표 스페이스에 매핑하기 위해 사용되는 스와스 "스티칭"을 수행하고, 각각의 검사 스와스 내에서 발생하는 스페이스 내의 적절한 정렬 사이트를 찾기 위해서, 셋업 스와스(레시피 셋업을 위해서만 사용됨)는 비교적 큰 오버랩으로 취득된다. 스와스 스티칭 기술은 다른 스캐닝 패턴, 예컨대, 영역 센서를 사용하는 필드별 취득에 인가될 수 있다는 것을 이해해야 한다. 필드는 전술한 것과 유사한 방식으로 서로 스티치될 수 있다.

[0266] 설계 데이터 스페이스에 대한 각각의 스와스 정렬에 대한 전술한 실시예의 다른 이점은, 이러한 기술은 더 소수의 정렬 사이트에 대한 데이터가 설계 데이터로부터 렌더링 되는 것을 필요로 한다는 것이다. 또한, 설계 데이터로부터 정렬 사이트에 대하여 렌더링 데이터는, 특히 웨이퍼가 그 위에 형성된 다중 층을 갖는 경우, 주어진 특징이 웨이퍼 상에 어떻게 인쇄될지를 예측하기 위해 사용될 수 있는 모델의 복잡도로 인하여 도전(challenge)을 갖는다. 하지만, 전술한 바와 같이, 소정의 정렬 사이트에 대한 데이터는 복수의 다른 방식으로 취득할 수 있으며, 그 방식은 검사되고 있는 층에 기초하여 선택되고, 이에 의해 검사되는 층에 관계없이 소정의 정렬 사이트에 대하여 적합한 데이터를 제공한다.

[0267] 전술한 바와 같이, 커버리지 모드에서 "짧은 스와스"를 사용하는 스와스 스티칭이 검사 데이터를 설계 데이터에 정렬하기 위해 사용될 수 있다. 하지만, 일부 실시예에서, 도 14a에 도시한 바와 같이, 정렬 사이트(302)는 제 1 검사 스와스(304a)에 대응하는 웨이퍼 상의 영역으로부터 이격된(예컨대, 멀리 떨어진) 웨이퍼 상에 위치될 수 있다. 이러한 상황은 단지 적합한 정렬 사이트가 제 1 검사 스와스에 대하여 스캐닝되는 웨이퍼의 영역으로부터 분리되는 경우에 발생할 수 있다. 제 1 검사 스와스의 위치는 주의 영역 규정(예컨대, 자동으로 규정되거나 유저에 의해 규정됨)으로부터 결정할 수 있다. 그러한 상황에서, 여기에 기술한 방법 또는 시스템은 웨이퍼 상에서 일련의 "미니(mini)-스캔"(306)을 수행할 수 있고, 각각의 다이는 도 14a에 도시한 바와 같이 넓다. 미니-스캔에 의해 취득한 스와스는 전술한 스와스간 정렬 방법을 사용하여 제 1 검사 스와스(304a)와 함께 정렬 사이트를 함유하는 스와스를 "스티치"하는데 사용된다. 후속 검사 스와스(304b 및 304c)는 위에서 추가로 기술한 바와 같이 제 1 검사 스와스(304a)에 정렬될 수 있다.

[0268] 여기에 기술한 방법 및 시스템은 복수의 다른 방식으로 웨이퍼에 대한 검사 스와스를 취득할 수 있다. 예컨대, 도 14b에 도시한 바와 같이, 시스템은 100% 검사 모드에서 웨이퍼에 대한 검사 스와스(308)를 취득할 수 있다. 특히, 시스템은 영역의 100%를 검사하는데 사용될 수 있는 오픈래핑 스와스를 취득하기 위해 웨이퍼를 앞뒤로 스캔한다. 다른 예에서, 도 14c에 도시한 바와 같이, 시스템은 표준 커버리지 모드에서 웨이퍼에 대한 검사 스와스(310)를 취득할 수 있다. 이러한 커버리지 모드에서, 스와스가 취득되는 웨이퍼 상의 영역은 다이 영역의 약 25% 내지 약 50%일 수 있다. 도 14c에 도시한 스와스는 교호적인 스와스가 검사를 위해 사용되는 50% 커버리지 모드에 대응한다. 다른 예에서, 도 14d에 도시한 바와 같이, 시스템은 "스마트 스캐닝(smart scanning)" 모드에 대하여 검사 스와스(312)를 취득할 수 있다. 이러한 모드에서, 다이 영역의 약 50%가 스캐닝되고, 스캐닝된 영역은 설계에 대한 정보 또는 설계와 프로세스 사이의 기대되는 상호작용에 기초하여 선택할 수 있다. 또한, 여기에 기술한 시스템은 전술한 임의의 각종 스캐닝 방법(예컨대, 다른 웨이퍼에 대한 다른 스캐닝 방법)을 수행하도록 구성될 수 있다. 또한, 여기에 기술한 상기 방법(또는 설계 분석 툴)은 웨이퍼에 대한 최적 "커버리지" 기술을 결정하기 위해 검사 시스템의 지식(예컨대, 스캐닝 용량)을 사용하는 것을 포함할 수 있다.

[0269] 다른 실시예에서, 상기 방법은 검사 데이터를 설계 데이터에 정렬하는 단계와, 이러한 다이 정렬 단계에 의해 결정된 다이 대응 설계 데이터 스페이스 좌표를 사용하여 추가적인 검사 데이터의 좌표를 설계 데이터 스페이스 좌표로 변환하는 단계를 포함할 수 있다. 변환은, 유저 입력에 기초하여 또는 적절한 설계 파일 및/또는 프로

세스 레시피(스테퍼 레시피)로부터 관련 정보를 추출하여 수행할 수 있다. 유저로부터의 입력 없이 변환을 결정하기 위한 대안적인 접근 방식은, 정렬 사이트를 수동으로 선택하거나, 알고리즘 오버레이 최적화 접근 방식을 사용하여 검사 데이터를 설계 데이터에 정렬시키는(예컨대, 오버레이 하는) 단계를 포함할 수 있다. 이는 다이 정렬 기술임을 유념해야 한다. 다이 대응 좌표가 사용되는 경우(즉, 검사 시스템이 각각의 다이에 대하여 정렬 사이트가 존재하는 곳을 이미 알고 있는 경우), 웨이퍼 정렬 기술은 사용되지 않을 수 있다.

[0270] 여기에 기술한 방법은 웨이퍼의 검사를 수행하여 검사 데이터를 취득하는 단계를 포함하거나 포함하지 않을 수 있다. 즉, 여기에 기술한 방법은 광학 또는 전자 검사 서브시스템을 포함하지 않는 시스템(여기에 추가로 기술하는 바와 같은 시스템)에 의해 수행할 수 있다. 대신에, 그 시스템은 검사 시스템으로부터 검사 데이터를 수신하도록 구성되는 "독립" 시스템으로서 구성할 수 있다. 이러한 방식에서, 독립 시스템은 검사 시스템으로부터 검사 데이터를 취득할 수 있다. 독립 시스템은 당업계에 알려진 임의의 방식으로(예컨대, "유선" 및/또는 "무선" 부분을 포함할 수 있는 전송 매체를 통하여) 검사 데이터를 취득할 수 있다. 대안적으로, 상기 방법은 검사 시스템을 포함하는 시스템에 의해 수행할 수 있다. 이러한 방식에서, 검사 시스템은 시스템의 일부를 구성할 수 있고, 검사 데이터는 웨이퍼의 검사를 수행함으로써 그 시스템에 의해 취득할 수 있다. 또한, 검사 데이터가 취득되는 방식에 무관하게, 여기에 기술한 상기 방법은 당업계에 알려진 임의의 타입의 검사 데이터를 당업계에 알려진 임의의 포맷으로 사용하여 수행할 수 있다. 검사 데이터는 웨이퍼 상의 검출된 결함에 대한 데이터를 포함할 수 있다. 다른 예에서, 일 실시예에서, 검사 데이터는 여기에 추가로 기술되는 PWQ에 대하여 취득된다.

[0271] 여기에 기술한 방법은 비교적 높은 정밀도로 검사 스페이스를 설계 데이터 스페이스에 상호 연관짓기 위해 이롭게 사용될 수 있고, 그러한 상호연관은 여기에 추가로 기술하는 바와 같이 복수의 단계로 사용될 수 있다. 예컨대, 설계 데이터 스페이스 내의 검사 데이터의 위치는 검사 데이터가 웨이퍼 상의 주의 영역 또는 비-주의 영역에 대응하는지를 결정하는데 이롭게 사용될 수 있고, 검사 프로세스는 검사 데이터에 대응하는 영역 또는 검사 데이터의 다른 부위의 유형에 기초하여 수행할 수 있다. 예컨대, 주의 영역이 다이에 걸친 모든 지점에 대하여 설계 또는 CAD 데이터베이스 내의 소정의 특징에 실질적으로 정확히 정렬되도록, 새로운 이미지 데이터를 검사 주의 영역에 대하여 이동시킴으로써, 여기에 기술한 상기 방법 및 시스템은 CMP 패턴 충전 영역과 같이 중요하지 않은 영역은 무시되는 동안 비어(via) 위치와 같은 다이 상의 중요 위치에만 검사가 수행될 수 있도록, 실질적으로 정확한 주의 영역을 생성한다. 이들 중요 위치, 또는 "검사할" 영역은 레시피 셋업에 입력될 수 있고, CAD DRC, DFM 분석 예컨대, 디자인 스캔 및/또는 PWQ 분석, 전기 테스트, FA, 또는 그것의 일부 조합의 결과를 사용하여 수행되는 "핫 스팟" 분석에 의해 결정될 수 있다.

[0272] 예컨대, 일부 실시예에서, 여기에 기술한 방법은 레이아웃 분석 소프트웨어 툴로부터 생성된 표준 EDA 레이아웃 포맷(예컨대, GDSII, OASIS 등)으로 저장된 주의 영역과 같은 설계 데이터에 대한 정보 및 설계 데이터를 검사 시스템에 의해 사용할 수 있는 포맷으로 변환하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 주의 영역 정보를 설계 툴로부터 검사 시스템으로 전달하는 단계를 포함할 수 있다. 예컨대, 변환 모듈(도시 생략)은 GDS 또는 OASIS와 같은 표준 설계 포맷으로부터 검사 보호 영역을 생성하도록 구성될 수 있다. 따라서, 그러한 설계 포맷 내의 파일은 설계가 아니라 EDA 툴에 의해 수행된 설계 분석으로부터의 결과적인 다각형을 포함한다. 따라서, 변환 모듈은 두 스페이스(즉, 설계 및 검사) 사이의 효율적인 변환을 허용한다.

[0273] 다른 실시예에서, 상기 방법은, 여기에 기술한 바와 같이 수행될 수 있는, 설계 데이터 스페이스 내의 검사 데이터의 위치에 기초하여 설계 데이터 스페이스 내의 웨이퍼 상에서 검출된 결함의 위치를 결정하는 단계와, 설계 데이터의 1 이상의 속성에 대한 소정의 값이 설계 데이터 스페이스 내의 위치 함수로서 저장되는 데이터 구조를 사용하여 결함의 위치에 대응하는 설계 데이터의 1 이상의 속성에 대한 값을 결정하는 단계를 포함한다. 이러한 방식에서, 결함 위치에 대응하는 설계 데이터 속성에 대한 값은, 예컨대, 구조 내의 다각형으로부터 1 이상의 속성에 대한 값을 결정함으로써(예컨대, 다각형 상의 구조적 구동의 함수로서), 설계의 구조에 기초하여 이전에 계산된 속성로부터 결정될 수 있다. 이러한 방식에서, 설계는 다각형 레벨로 처리되고, 결정될 수 있는 다각형 레벨에서의 임의의 속성은 데이터 구조에 저장될 수 있다. 그와 같이, 데이터 구조에 저장된 설계 데이터의 1 이상의 속성의 값에 대한 데이터의 "슈퍼세트(superset)"를 포함할 수 있다. 설계 데이터 스페이스 내의 위치의 함수로서 설계 데이터의 1 이상의 속성에 대한 소정의 값은 EDA 레이아웃 분석 툴 또는 당업계에 알려진 임의의 다른 방법 또는 시스템을 사용하여 생성할 수 있다. 이러한 방식에서, 설계는 설계 데이터 스페이스에 걸친 위치의 함수로서 설계 데이터의 1 이상의 속성 값을 결정하기 위해 전처리될 수 있고, 1 이상의 속성에 대한 값은, 설계 데이터 스페이스 내의 결함 위치를 사용하여 "작동중" 데이터 구조 내의 1 이상의 속성의 값을 조회하여 결함별 기초로 결정될 수 있다. 소정의 값이 설계 데이터 스페이스 위치의 함수로서 저장되는

데이터 구조는 당업계에 알려진 임의의 적합한 데이터 구조를 포함할 수 있다. 유사한 방식에서, 데이터 구조는 설계에 대한 설계 레이아웃의 1 이상의 속성, 설계의 평면도의 1 이상의 속성, 설계 내의 셀의 1 이상의 속성, 설계에 대한 임의의 다른 정보, 또는 그것의 임의의 조합에 대한 소정의 값을 설계 데이터 스페이스 내의 위치의 함수로서 포함할 수 있다.

[0274] 일 실시예에서, 상기 방법은 도 1의 단계 18에 도시한 바와 같이, 웨이퍼의 다른 부위 상의 결함을 검출하기 위하여 감지도를 결정하는 단계를 포함할 수 있다. 그러한 일 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치와, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여 웨이퍼의 다른 부위 상의 결함을 검출하기 위해 감지도를 결정하는 단계를 포함한다. 그러한 일 실시예에서, 상기 방법은 주의 영역 정보를 설계 톨로부터 검사 시스템에 전달함으로써 설계 기반 검사를 수행하는 것을 포함할 수 있다. 예컨대, 주의 영역 정보는 웨이퍼 상의 다른 부위와, 그 다른 부위 내의 결함을 검출하도록 사용되는 감지도를 식별하도록 사용될 수 있다. 그와 같이, 설계 데이터의 1 이상의 속성은 주의 영역 정보를 포함할 수 있다. 하지만, 설계 데이터의 1 이상의 속성은 또한(또는 대안적으로) 여기에 기술한 설계 데이터의 임의의 속성을 또한 포함할 수 있다.

[0275] 데이터 준비 단계를 설계 데이터의 1 이상의 속성에 대한 데이터를 생성하거나 취득하는 단계를 포함할 수 있다. 웨이퍼의 다른 부위 상의 결함을 검출하기 위하여 감지도를 결정하는데 사용되는 설계 데이터의 1 이상의 속성은 설계 데이터와 관련된 프로세스 또는 수율 정보를 포함할 수 있다. 예컨대, 일 실시예에서, 설계 데이터의 1 이상의 속성은, 웨이퍼에 대한 검사 데이터가 취득되는 프로세스 계층, 다른 프로세스 계층 또는 그것의 일부 조합에 대하여, 설계 데이터, 다른 설계 데이터, 또는 그것의 일부 조합에 대하여, 웨이퍼, 다른 웨이퍼, 또는 그것의 일부 조합에 대하여 이전에 취득한 검사 데이터의 1 이상의 속성에 기초하여 선택된다. 이러한 방식에서, 웨이퍼의 다른 부위 상의 결함을 검출하기 위한 감지도를 결정하는데 사용되는 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성은, 동일하거나 다른 프로세스 계층 상의 동일하거나 다른 설계에 대한 동일한 웨이퍼 또는 다른 웨이퍼로부터의 이전에 수집된 검사 데이터의 속성과의 상관관계에 기초하여 선택될 수 있다. 이전에 수집된 검사 데이터는 팹 데이터베이스 또는 임의의 다른 적합한 데이터베이스, 파일 등과 같은 데이터 구조에 저장될 수 있거나, 여기에 기술하는 바와 같이 구성될 수 있는 지식 베이스(knowledge base)에 포함될 수 있다. 이러한 방식에서, 본 실시예에서는 설계 데이터의 1 이상의 속성은 누적 학습, 이력 데이터 또는 데이터의 트레이닝 세트에 기초하여 선택될 수 있다.

[0276] 다른 실시예에서, 설계 데이터의 1 이상의 속성은 다른 부위에서 이전에 검출된 결함의 수율 임계, 해당 부위에서 이전에 검출된 결함의 오류 확률, 또는 그것의 일부 조합에 기초하여 선택된다. 이러한 방식에서, 결함을 검출하는 감지도는 다른 부위에서 검출된 결함의 수율 임계 및/또는 오류 확률에 기초하여 선택된 설계 데이터의 1 이상의 속성에 적어도 부분적으로 기초할 수 있다. 프로세스 또는 수율 임계 정보는 예컨대, PWQ에 의해 결정된 중요 결함, 핫 스팟(예컨대, 검사로부터 결정된)에 기초한 관심 있는 결함(DOI)의 위치, 로직 비트맵으로부터 결정된 핫 스팟 정보, 핫 스팟에서 검출된 결함에 대하여 테스트 결과로부터 결정된 KP 값, 여기에 기술한 임의의 다른 프로세스 또는 수율 정보, 또는 그것의 일부 조합을 포함할 수 있다. KP 값은 여기에 추가로 기술하는 바와 같이 결정될 수 있다. 또한, 오류 확률은 결함에 대한 KP 값을 결정하기 위해 여기에 기술한 것과 유사한 방식으로 결정할 수 있다. 수율 임계값은 결함의 수율 관련성을 결정하기 위하여 여기에 추가로 기술하는 것과 유사한 방식으로 결정할 수 있다.

[0277] 설계 데이터의 1 이상의 속성에 대한 데이터는 1 이상의 속성(예컨대, 콘택 영역 또는 더미 충전 영역, "검사할 장소"의 정보 또는 "주의 영역", 프로세스 오류가 가능한 "중요" 영역, 또는 그것의 일부 조합과 같은 영역 내의 특징의 유형)의 다른 값을 갖는 장치 설계 내의 구조적 영역을 규정하는 "컨텍스트" 데이터라 칭할 수 있다. 용어 컨텍스트 데이터는 용어 "컨텍스트 정보" 및 "컨텍스트 맵"과 여기에서 상호 교환가능하게 사용된다. 컨텍스트 정보는 KLA-Tencor사로부터 입수가 가능한 시뮬레이션, 모델링, 및/또는 분석 소프트웨어 제품, DRC 소프트웨어와 같은 다른 소프트웨어, 또는 그것의 일부 조합을 포함하는 각종 소스로부터 취득될 수 있다. 또한, 추가적인 컨텍스트 데이터가 결정되고, 설계 데이터의 속성에 대한 데이터와 결합될 수 있다. 설계 데이터 및/또는 컨텍스트 데이터를 포함하는 데이터베이스 또는 파일과 같은 데이터구조는 당업계에 알려진 임의의 적합한 포맷을 가질 수 있다.

[0278] 전술한 바와 같이 감지도를 결정하는 단계는 설계 데이터의 1 이상의 속성의 다른 값을 갖는 설계 데이터에 대응하는 웨이퍼의 다른 부위에서 검출된 결함이 다른 감지도로 검출되도록 수행될 수 있다. 이러한 방식에서, 상기 방법은 설계 데이터 스페이스 위치의 함수로서 1 이상의 설계 데이터 속성의 값에 기초하여 다른 부위를 결정하고, 식별하고, 및/또는 선택하는 단계를 또한 포함할 수 있다. 다른 부위의 전체 또는 일부의 치수는 상

이할 수 있고, 설계 데이터의 속성의 값이 이용가능하거나 취득되는 해상도에 의존하여 변할 수 있다. 예컨대, 여기에 추가로 기술하는 바와 같이 다른 부위에 대한 감지도를 결정하기 위해 콘텍스트 맵을 사용하면, 다른 부위의 치수는 콘텍스트 맵의 해상도에 따라 변할 수 있다.

[0279] 그러한 일 실시예에서, 감지도는 콘텍스트 맵 및 설계 데이터 스페이스 내의 검사 데이터의 위치에 기초하여 결정되며, 여기에 추가로 기술하는 바와 같이, 설계 데이터 스페이스에 걸친 설계 데이터의 1 이상의 속성에 대한 값을 포함할 수 있다. 예컨대, 상기 방법은 콘텍스트의 임계에 기초하여 가변 감지도 영역 및 중요 영역에 대하여 웨이퍼 상의 다이 내의 비교적 높은 감지도 영역을 규정하기 위해 콘텍스트 맵을 사용하는 것을 포함할 수 있다. 일 예에서, 설계 데이터의 세그먼트는 조밀한 어레이(dense array) 및 로직, 오픈 영역, 및 그레이니 메탈(grainy metal)을 고립시키기 위해 규정될 수 있다. 설계 데이터 내의 1 이상의 세그먼트를 규정하기 위해 이미지 그레이(gray) 레벨 및 콘텍스트의 조합이 또한 사용될 수 있다. 예컨대, 중간 그레이 레벨을 갖는 픽셀은 하나의 세그먼트로 조합될 수 있다. 이미지 그레이 레벨은 검사 시스템 또는 다른 이미지 취득 시스템에 의해 취득된 이미지 또는 시뮬레이션된 이미지를 사용하여 결정할 수 있다.

[0280] 일부 실시예에서, 콘텍스트 맵 및 설계 데이터 스페이스 내의 검사 데이터의 위치에 기초하여 웨이퍼의 다른 부위 상의 결함을 검출하기 위하여 감지도를 결정하는 단계는 웨이퍼의 검사 동안에 검사 시스템에 의해 수행될 수 있다. 예컨대, 콘텍스트 맵은 웨이퍼의 검사시 여기에 기술한 바와 같은 검사 시스템에 의해 사용될 수 있다. 다른 실시예에서, 콘텍스트 맵 및 설계 데이터 스페이스 내의 검사 데이터의 위치에 기초하여 웨이퍼의 다른 부위 상의 결함을 검출하기 위해 감지도를 결정하는 단계는 웨이퍼에 대한 검사 데이터의 취득이 완료된 후에 검사 시스템에 의해 수행된다. 예컨대, 콘텍스트 맵은 검사 데이터가 오프라인으로 이용가능해진 후에 전술한 바와 같은 검사 시스템에 의해 사용될 수 있다. 이들 실시예의 양쪽에서, 상기 방법은 웨이퍼 상의 다이의 더미 영역(비 검사 영역)을 자동으로 규정하고, 다른 감지도 임계치가 사용되는 다이의 거친 영역을 규정하기 위해 콘텍스트 맵을 사용할 수 있다. 예컨대, 콘텍스트 맵(예컨대, 더미 충전 영역을 규정하는 콘텍스트 맵)은 검사를 필요로 하지 않는, 따라서, 결함 검출 목적에서 배제되는 비-주의 영역을 자동으로 규정하기 위해 사용될 수 있다. 그러한 영역은 통상적으로 덜 제어되고, 그리하여 비교적 다량의 노이즈를 생성한다(다이-다이와 비교하여). 따라서, 그러한 영역의 배제는 검사의 전체 S/N을 증가시킬 수 있다.

[0281] 일 실시예에서, 콘텍스트 맵 및 설계 데이터 스페이스 내의 검사 데이터의 위치에 기초하여 웨이퍼의 다른 부위 상의 결함을 검출하기 위해 감지도를 결정하는 단계는, 웨이퍼의 다른 부위 상의 결함을 검출하기 위하여 검사 데이터와 함께 사용되는 감지도 임계치를 결정하는 단계를 포함한다. 이러한 방식에서, 결함 검출을 위해 사용되는 1 이상의 임계치를 변경하여 영역-영역으로부터 변경될 수 있으며, 이는 SAT(segmented automatic threshold) 방법과 유사하다. 예컨대, 낮은 임계(고 감지도) 검출은 중요 영역에 대하여 사용할 수 있고, 높은 임계(저 감지도) 검출은 중요하지 않은 영역에 대하여 사용할 수 있다. 설계 데이터의 1 이상의 속성에 기초하여, 설계 데이터를 세그먼트화 하고, 결함 검출을 위해 사용된 임계치를 변경함으로써, 검사 프로세스의 전체 감지도가 증가할 수 있다. 따라서, 여기에 기술한 상기 방법 및 시스템은 개선된 결함 검출을 제공한다.

[0282] 상기 방법은 복수의 다른 단계를 수행하기 위해 전술한 콘텍스트 맵을 사용하는 것을 또한 포함할 수 있다. 예컨대, 콘텍스트 맵(결함 검출을 위해 다이-다이 검사 모드, 표준 기준 다이-다이 검사 모드 등이 사용되는지에 관계없이)은 감지도를 결정하는 단계, 뉴스스 결함을 필터링하는 단계, 결함을 분류하는 단계, 온라인 또는 오프라인 리뷰를 위해 리뷰 샘플을 생성하는 단계와 같은 각종 단계를 수행하는데 사용할 수 있으며, 그러한 단계에 한정되지 않는다. 여기에 추가로 기술하는 바와 같은 설계 또는 콘텍스트 정보를 사용하기 위해, 검사 프로세스 동안에 취득한(예컨대, 웨이퍼를 스캐닝하여) 다른 검사 데이터 또는 이미지 픽셀의 절대 위치가 설계 데이터 스페이스(예컨대, 설계 데이터베이스 좌표) 내에서 결정된다. 검사 픽셀 사이즈의 절반 이내로 검사 데이터를 설계 데이터에 매핑하는 단계는 검사 임계치의 실질적으로 정확한 세팅(중요 영역을 중요하지 않은 영역으로부터 실질적으로 정확히 분리하여), 실제 결함으로부터 뉴스스 결함의 필터링, 및 임의의 다른 단계를 허용하며, 여기에 추가로 기술하는 바와 같이 수행할 수 있다.

[0283] 또한, 비교적 높은 밴드 폭, 픽셀-레벨 콘텍스트 정보는 폭넓은 애플리케이션에 대하여 설계 스페이스 좌표로의 검사 스페이스의 실질적으로 매우 정확한 매핑에 사용할 수 있다. 예컨대, 비교적 높은 해상도 콘텍스트 맵은 다른 감지도로 검사될 수 있는 픽셀-레벨 영역을 자동으로 규정하는데 사용될 수 있다. 여기에 기술하는 바와 같은 비교적 높은 해상도 콘텍스트는 주의 영역 경계에서의 모호(예컨대, 약 $5\mu\text{m}$ 이상의 퍼짐)로 인하여 비교적 거칠고(약, $50\mu\text{m} \times 50\mu\text{m}$) 부정확한 유저 규정 영역 기반 다중-임계치(RBMT)보다 일반적으로 더욱 정확하다.

[0284] 일 실시예에서, 콘텍스트 맵은 각 픽셀에서의 검출 감지도를 제어하기 위해 픽셀 레벨에서 사용할 수 있다. 하

지만, 더 단순한 접근 방식(시스템 복잡성 관점으로부터)은 콘텍스트 정보를 사용하여 결함을 검출하지 않는 검출 방법을 사용하여 검출된 결함의 포스트-처리를 위해서만 콘텍스트 맵을 사용한다. 이러한 방식에서, 설계 데이터 스페이스로의 검사 또는 웨이퍼 스페이스의 매핑은 검출된 결함에 대응하는 검사 데이터에만 인가될 수 있다. 다이-다이, 및 표준 기준 다이-다이 검사에 대하여 전술한 바와 같이, 결함의 위치는 설계 데이터 스페이스 내에서 결정된다. 따라서, 설계 데이터 스페이스 내의 결함의 위치에서의 설계 데이터의 패치 이미지를 취득할 수 있고, 이러한 패치 이미지는 결함에 대응하는 설계 콘텍스트를 결정하는데 사용될 수 있다. 대안적으로, 설계 데이터에 정렬된 콘텍스트 맵은 설계 데이터 스페이스 내의 결함의 위치에 기초하여 결함에 대응하는 설계 데이터 콘텍스트를 결정하는데 사용할 수 있다.

[0285] 표준 기준 다이-다이 검사에 있어서, 검사 데이터 내의 각 픽셀의 콘텍스트를 결정하는 단계는 각각의 표준 기준 다이 픽셀의 콘텍스트를 결정하는 단계를 포함할 수 있다. 표준 기준 다이 이미지가 레시피 셋업 단계 동안에 취득되기 때문에, 상기 방법은 표준 기준 다이 이미지 내의 정렬 사이트(전술한 바와 같이 선택된)에 대한 데이터를 소정의 정렬 사이트에 대한 데이터에 정렬시키는 단계와, 설계 데이터 스페이스 내의 각각의 표준 기준 다이 픽셀의 위치를 결정하기 위해 매핑 변환을 수행하는 단계를 포함할 수 있다. 이들 단계는 레시피 셋업 단계 동안에 수행할 수 있다. 또한, 표준 기준 다이는 설계 데이터 스페이스로의 표준 기준 다이의 매핑에 기초하여 콘텍스트 데이터에 매핑될 수 있고, 각 픽셀에 대응하는 콘텍스트와 함께 표준 기준 다이 픽셀이 오프라인으로 저장되고, 검사 동안 검사 시스템에 제공되거나 그것에 의해 취득될 수 있다. 이 처리는 오프라인으로 수행될 수 있고, 레시피 셋업 단계 동안에 단 1회 수행될 수 있다.

[0286] 그러한 일 실시예에서, 각각의 표준 기준 다이 픽셀은 콘텍스트 정보와 연관지어질(태그) 수 있다. 이러한 방식에서, 콘텍스트 정보는 표준 기준 다이 픽셀에 "부가"될 수 있다. 일 예에서, 16개의 다른 가능한 콘텍스트가 있는 경우, 4비트 태그가 각 픽셀에 부가될 수 있다. 대안적으로, 콘텍스트 데이터는 적절한 압축 알고리즘 또는 방법을 사용하여 압축할 수 있거나, 콘텍스트 데이터는 다각형 형태로 표현될 수 있다. 이러한 방식에서, 검사 동안에, 표준 기준 다이 픽셀 데이터 및 표준 기준 다이 픽셀 데이터와 연관지어진 매핑된(변환된) 콘텍스트 데이터는 이미지 컴퓨터나 검사 시스템의 다른 프로세스에 제공되거나 그것에 의해 취득될 수 있다. 따라서, 검사 데이터 픽셀에 대응하는 콘텍스트는 표준 기준 다이 이미지 내의 대응하는 픽셀의 콘텍스트 정보에 기초하여 결정될 수 있다. 그와 같이, 검사 데이터 픽셀에 대응하는 콘텍스트 정보는, 여기에 추가로 기술하는 바와 같이 수행할 수 있는, 결함 검출 및 분류(및/또는 비닝) 애플리케이션에 이용가능할 수 있다.

[0287] 다른 실시예에서, 상기 방법은 웨이퍼 검사를 보조하기 위해서 임의의 해상도에서 콘텍스트 맵을 사용할 수 있다. 예컨대, 웨이퍼 검사 및 결함의 비닝에서의 보조를 위해 웨이퍼 가변 해상도 콘텍스트 맵을 사용할 수 있다. 콘텍스트 맵의 해상도는, 라이브 픽셀 스트림이 설계 데이터에 정렬될 수 있는 정확도 및 애플리케이션의 정확도 요건에 따라 변할 수 있다. 다른 해상도에서의 콘텍스트 맵은 복수의 다른 방식으로 표현할 수 있다. 예컨대, 픽셀 레벨 콘텍스트 맵을 생성하기 위해 적절한 픽셀 사이즈에서 다각형 형태의 콘텍스트 맵의 절대 표현(즉, 마이크론의 여러 소수자리)이 검사 시스템에 부여될 수 있다. 또한(또는 대안적으로), 거친 콘텍스트 맵은 예컨대, 약 $1\mu\text{m} \times \text{약 } 1\mu\text{m}$ 의 측면 치수를 갖는 비교적 거친 영역에 대한 콘텍스트를 포함할 수 있다. 거친 영역은 설계 데이터를 분리하는 "타일(tile)" 형태일 수 있다. 특징 타입(예컨대, 더미 특징, 콘택, 라인 단부), 특징 속성(예컨대, 구조 사이의 최소 라인 폭/스페이스 등), 또는 그것의 일부 조합과 같은 콘텍스트 데이터가 각 타일에 연관될 수 있다.

[0288] 일 실시예에서, 상기 방법은 가능한 설계 룰 위반과 중요 영역에 대한 설계를 분석하는데 사용될 수 있는 임의의 소프트웨어 프로그램으로부터 취득할 수 있는 설계에 대한 속성 정보 및 위치를 사용하여 비교적 높은 해상도 콘텍스트 맵을 생성하는 단계를 포함한다. 그러한 콘텍스트 맵은 KLA-Tencor사로부터 상업적으로 입수가능한 분석 소프트웨어(예컨대, 디자인 스캔), 또는 검사, 계측, 또는 리뷰 시스템에 의한 사용을 위한 포맷으로 변환될 수 있는 각 위치의 일부 속성(또는 라벨) 및 위치의 리스트를 생성하는 DRC 소프트웨어와 같은 다른 소프트웨어를 사용하여 생성할 수 있다.

[0289] 다른 실시예에서, 상기 방법은 CAD 레이아웃으로부터 특징 벡터를 추출하고, 동등한 콘텍스트 그룹을 규정하기 위해 비-관리 클러스터링(clustering)을 사용하여, 비교적 낮은 해상도인 거친 콘텍스트 맵을 생성하는 단계를 포함한다. 예컨대, 비교적 거친 콘텍스트 맵(예컨대, 약 $1\mu\text{m} \times \text{약 } 1\mu\text{m}$)을 생성하기 위한 방법은 CAD 레이아웃 파일을 처리하는 단계와, 타일을 렌더링하거나 분석하는 단계, 및 각 타일에 대하여 특정 속성 또는 특징 벡터를 추출하는 단계를 포함할 수 있다. 각각의 영역에 대하여, 다중 특징이 미리 규정한 특징 세트로부터 추출될 수 있다. 각 특징의 값은 그것의 특징 벡터이다. 각 영역에 대한 특징 벡터는 특징 스페이스 내의 클러스터링을 평가하여 영역의 유사성을 결정하는데 사용할 수 있는 일련의 특징 벡터로 결합될 수 있다. 이들 특징 벡터

(타일당 1 이상의 벡터)는 임의의 비-감독 클러스터링 알고리즘 및/또는 벡터의 클러스터(즉, 유사한 속성을 갖는 타일)를 찾는 데 사용할 수 있는 당업계에서 알려진 방법을 사용하여 특징 스페이스 내에서 클러스터링될 수 있다. 여기에 기술한 방법에서 사용할 수 있는 그러한 알고리즘 및 방법의 예는 여기에 완전히 언급한 것과 같이 참고자료로 포함되는 미국 특허 제6,104,835호(Han)에 개시된다. 그러한 각각의 클러스터는 특유의 콘텍스트 또는 아이덴티티(identity)가 할당될 수 있다. 각각의 타일이 이러한 코드 또는 아이덴티티로 표현되는 다이의 맵은 여기에 추가로 기술하는 바와 같은 검사 시스템에 의해 사용될 수 있다.

[0290] 다른 실시예에서, 상기 방법은 동등한 콘텍스트 그룹(여기에 추가로 기술하는 바와 같이 비닝을 위해 사용될 수 있는)을 식별하기 위해 CAD 레이아웃 패치 이미지를 렌더링하고 CAD 레이아웃 패치 이미지를 교차-상호연관 지음으로써, 비교적 낮은 해상도인 거친 콘텍스트 맵을 생성하는 단계를 포함할 수 있다. 콘텍스트 맵(예컨대, 비교적 거친 콘텍스트 맵)을 생성하기 위한 다른 방법은 CAD 레이아웃 파일을 패치 이미지로 렌더링하고, 설계 데이터를 패치 이미지로 분리하고, 패치 이미지 사이의 이미지 교차-상호연관을 식별하여, 비교적 높은 교차-상호연관을 갖는 패치 이미지가 동일한 텍스트 타입에 대응하는 패치 이미지의 그룹으로 비닝될 수 있게 하는 단계를 포함한다.

[0291] 일부 실시예에서, 여기에 사용된 방법에 사용된 콘텍스트 데이터는 웨이퍼 상에 존재하거나 형성될 수 있는 1 이상의 층에 대한 콘텍스트 데이터를 포함할 수 있다. 예컨대, 일부 결함은 결함이 검출된 층 내의 중요 영역에는 위치하지 않을 수 있다. 하지만, 중첩층 내의 중요 영역이 웨이퍼 상에 형성될 수 있는 웨이퍼 상의 영역에 결함이 위치하는 경우, 그러한 중요하지 않은 결함은 중요해질 수 있다. 여기에 기술한 임의의 단계에서 사용되는 콘텍스트 맵은 웨이퍼 상의 다중 층을 위한 콘텍스트 맵일 수 있다.

[0292] 다른 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치와, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성과, 검사 데이터의 1 이상의 속성에 기초하여 웨이퍼 상의 다른 부위 상의 결함을 검출하기 위해 감지도를 결정하는 단계를 또한 포함할 수 있다. 이러한 단계에서 사용되는 설계 데이터의 속성은 여기에 기술한 임의의 속성을 포함할 수 있다. 그러한 실시예에서, 결함이 다른 부위에서 검출되는 경우, 검사 데이터의 1 이상의 속성은 1 이상의 이미지 노이즈 속성 또는 그것의 일부 조합을 포함한다. 이러한 방식에서, 본 실시예에서 사용된 검사 데이터의 1 이상의 속성은 이미지 노이즈 속성 및/또는 검사 데이터의 다른 영역에서의 결함의 검출 또는 비-검출을 포함할 수 있다. 이러한 단계에서 사용된 검사 데이터의 속성은 여기에 기술한 검사 데이터의 임의의 다른 속성을 포함할 수 있다. 본 실시예에서 감지도를 결정하는 단계는 설계 데이터에 상호 연관지어진 이미지 노이즈에 기초하여 검사 프로세스에 대한 PBMT 셋업을 위해 수행될 수 있다. 본 실시예에서 감지도를 결정하는 단계는 여기에 추가로 기술하는 바와 같이 수행할 수 있다.

[0293] 다른 실시예에서, 상기 방법은 웨이퍼 상에서 제조되고 있는 장치의 설계에 대한 개략적인 데이터(schematic data)의 1 이상의 속성, 장치에 대한 물리적 레이아웃의 기대되는 전기적 거동의 1 이상의 속성, 또는 그것의 일부 조합에 기초하여 웨이퍼 상의 결함을 검출하기 위한 1 이상의 매개변수를 변경하는 단계를 포함한다. 이러한 방식에서, 디자인 개략 데이터 속성 및 다른 물리적 설계(레이아웃)의 기대되는 거동의 다른 전기적 디스크립션(description)은 결함을 검출하기 위한 1 이상의 매개변수 또는 검사 프로세스의 임의의 다른 매개변수를 변경하는데 사용할 수 있다. 예컨대, 중요 경로 및 비-중요 경로, 활성 및 비-활성 구조, 및 물리적 설계(레이아웃)의 기대되는 전기적 거동 또는 개략 데이터에 관한 그러한 다른 정보는, 결함을 검출하기 위한 감지도를 변경하고, 웨이퍼의 어느 부위에서 결함을 검출할지를 결정하고(예컨대, 주의 영역 및 비-주의 영역), 결함을 검출하기 위해 검사 데이터의 어느 부위를 사용할지를 결정하고(예컨대, 설계 데이터 스페이스에 대한 웨이퍼 스페이스로부터의 상호연관), 검사 프로세스의 1 이상의 다른 매개변수를 변경하는데 사용할 수 있다.

[0294] 다른 예에서, 데이터 포착 속도 및 전기적 거동 감시는 설계/이미지 콘텍스트에 기초하여 수행될 수 있다. 예컨대, 전기적 거동은 전기 테스트, FA, 또는 당업계에 알려진 임의의 다른 테스트 또는 분석을 수행하거나, 그러한 테스트나 분석 결과를 사용하여 감시할 수 있다. 전기 테스트, FA, 또는 다른 테스트나 분석의 결과는 개략적인 데이터 및 장치의 물리적 레이아웃에 관한 콘텍스트 정보에 상호 연관지어질 수 있다. 감시된 결함 포착 속도 및 전기적 거동은, 웨이퍼 상의 검출 결함에 관한 정보, 결함을 검출하기 위해 사용된 검사 프로세스에 관한 정보, 및 설계에 관한 정보를 결정하기 위해 설계/이미지 콘텍스트에 상호 연관지어질 수 있다. 예컨대, 결함 포착 속도 및 전기적 거동 감시 결과는 웨이퍼 상에서 어느 유형의 결함이 검출되는지, 어느 결함은 검출되어야 하지만(예컨대, 온라인 검사 프로세스에서) 어느 결함은 검출되지 않는지, 그리고 설계 내의 워크 지점을 결정하기 위해 사용될 수 있다. 그러한 정보는 여기에 추가로 기술하는 바와 같이 검사 프로세스를 변경하는데 사용될 수 있다.

- [0295] 추가적인 실시예에서, 상기 방법은 웨이퍼 상에 수행되는 전기 테스트 프로세스의 1 이상의 매개변수에 기초한 검사 데이터를 사용하여 웨이퍼 상의 데이터를 검출하기 위한 1 이상의 매개변수를 변경하는 단계를 포함한다. 예컨대, 웨이퍼 상의 결함을 검출하기 위한 1 이상의 매개변수 또는 검사 프로세스의 임의의 다른 매개변수는 대응(물리적) 설계 데이터 스페이스에 연관된 전기 테스트 규정에 기초하여 변경할 수 있다. 이러한 방식에서, 검사 프로세스는 전기 테스트를 어떻게 수행되는지에 기초하여 변경할 수 있다. 그러한 일 예에서, 전기 테스트 프로세스에 의해서 분석될 웨이퍼 상의 영역은 전기 테스트 프로세스의 1 이상의 매개변수에 기초하여 결정할 수 있고, 결함을 검출하기 위한 1 이상의 매개변수 또는 검사 프로세스의 임의의 다른 매개변수는 전기 테스트 프로세스에서 분석되지 않을 웨이퍼 상의 영역 내의 결함이 적절한 감지도로 검사될 수 있도록 변경할 수 있다.
- [0296] 또한, 전기 테스트 프로세스의 1 이상의 매개변수 및 설계 데이터 스페이스 또는 웨이퍼 스페이스 내의 결함의 위치는 전기 테스트 프로세스에 의해 테스트 되지 않을(또는 "전기 테스트 배제") 결함을 식별하는데 사용될 수 있다. 그러한 일 예에서, 전기 테스트 프로세스에서 테스트 될 웨이퍼 상의 영역 및 웨이퍼 상의 결함의 위치는 전기 테스트 프로세스에 의해 어느 결함을 테스트할지를 결정하는데 사용할 수 있다. 다른 예에서, 전기 테스트 프로세스에서 테스트 될 설계 내의 영역 및 설계 데이터 스페이스 내의 결함의 위치는 전기 테스트 프로세스에 의해 어느 결함을 검출하지 않을지를 결정하는데 사용할 수 있다. 유사한 방식에서, 전기 테스트 프로세스의 1 이상의 매개변수 및 설계 데이터 스페이스 또는 웨이퍼 스페이스 내의 결함의 위치는, 결함이 전기 테스트 프로세스에 의해서 테스트 될지 테스트 되지 않을지에 따라서 결함을 다른 그룹으로 분리하거나 비닝 하기 위해 사용할 수 있다.
- [0297] 웨이퍼 스페이스에서, 핫 스팟에 관한 정보(예컨대, 핫 스팟 데이터베이스로부터의 정보) 및 설계 데이터의 속성은 감시 단계에서 검사 레시피를 셋업하는데 사용할 수 있다. 예컨대, 주의 영역은 감시 단계에서 웨이퍼 스페이스 내에서 자동으로 규정될 수 있다. 자동으로 규정된 영역은 매크로 및 마이크로 보호 영역을 포함할 수 있다. 자동으로 규정된 보호 영역은 비-보호 영역을 또한 포함할 수 있다. 또한, 검사 레시피는 감지도를 자동으로 변경하고, 뉴슨스 결함을 필터링하고, 알려진 체계적 결함의 포착을 강화하고(예컨대, 핫 스팟 또는 핫 스팟 영역에 대한 감지도를 강화), 콜드 스팟(cold spot) 영역에 대응하는 결함 신호 또는 데이터를 억제하기 위해 셋업될 수 있다. 또한, 핫 스팟에 관한 정보 및 설계 데이터의 속성은 검사 레시피를 더 낮은 그룹으로 셋업하고, GDS(즉, GDS 패턴 그룹화) 및/또는 GDS 패턴 그룹화 파레토(pareto)를 사용하는 설계 데이터 기반 비닝을 포함할 수 있는 결함 및 샘플 결함 분류 또는 비닝을 위해 사용할 수 있다.
- [0298] 추가의 실시예에서, 상기 방법은 피드백 제어 기술을 사용하여 상기 방법의 1 이상의 단계의 결과에 기초하여 검사 시스템에 의해 수행되는 검사 프로세스의 1 이상의 매개변수를 주기적으로 변경하는 것을 포함할 수 있다. 다른 실시예에서, 상기 방법은 피드백 제어 기술을 사용하여 상기 방법의 1 이상의 단계의 결과에 기초하여 검사 시스템에 의해서 수행되는 검사 프로세스의 1 이상의 매개변수를 자동으로 변경하는 것을 포함할 수 있다. 또한, 감시 단계는 프로세스 영역 차이의 이전의 지식과 조합하여 이전의 계측에 기초하여 검사 레시피 또는 매개변수를 변경하는 단계를 포함하는 검사 프로세스에 대한 자동 프로세스 제어(APC)를 포함할 수 있다. 계측 프로세스에 대한 APC는, 후속 계측에서 수행될 측정에 부가하여 측정이 수행될 위치를 결정하기 위해, 여기에 기술한 임의의 실시예에 따라 식별될 수 있는 체계적 결함에 기초하여 수행될 수 있다. 테스트 프로세스에 대한 APC는, 후속 전기 테스트에서 테스트 될 전기적 매개변수 및 테스트가 수행될 위치를 결정하기 위해, 여기에 기술한 임의의 실시예에 따라 식별될 수 있는 체계적 결함에 기초하여 수행할 수 있다.
- [0299] 추가적인 실시예에서, 상기 방법은 그 방법의 1 이상의 단계의 결과를 사용하여 지식 베이스를 생성하는 단계와, 그 지식 베이스를 사용하여 검사 시스템에 의해 수행되는 검사 프로세스를 생성하는 단계를 포함한다. 지식 베이스는 1 이상의 이미지 속성 및/또는 설계 데이터의 1 이상의 속성을 적합한 데이터 구조에 저장함으로써 생성할 수 있다. 또한, 지식 베이스는 검사 프로세스를 생성하기 위해 사용될 수 있는 검사 시스템에 의해 취득한 누적 학습을 포함할 수 있다. 예컨대, 검사 프로세스에 있어서, 지식 베이스는 결함 검출 빈도 및 뉴슨스 결함인 검출 결함의 퍼센티지와 같은 검사의 누적 결과를 결정하는데 사용될 수 있으며, 그러한 누적 결과는 결함이 뉴슨스 결함일 확률과 같은 부가적인 정보를 결정하는데 사용할 수 있다.
- [0300] 그러한 지식 베이스는 여기에 추가로 기술하는 바와 같은 검사 프로세스를 생성하는데 사용할 수 있다. 이러한 방식에서, 지식 베이스는 새로운 검사 레시피를 생성하기 위해 사용할 수 있다. 또한, 지식 베이스는 레시피 셋업 및/또는 웨이퍼-리스(wafer-less) 레시피 셋업을 위한 검사 프로세스를 생성하는데 사용할 수 있다. 검사 프로세스를 생성하는 단계는 검사 프로세스의 임의의 1 이상의 매개변수를 선택하는 단계를 포함할 수 있다. 또한, 지식 베이스는 레시피 최적화 및 자동 레시피 최적화에 의해 검사 프로세스를 변경하는데 사용할 수

있다. 예컨대, 상기 방법은 존재하는 검사 프로세스의 1 이상의 매개변수의 주기적 또는 자동 최적화를 위한 지식 베이스의 트레이닝을 위해 피드백 메커니즘을 사용하는 단계를 포함할 수 있다. 검사 프로세스를 변경하는 단계는 검사 프로세스의 임의의 1 이상의 매개변수를 변경하는 단계를 포함할 수 있다.

[0301] 다른 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치 및 콘텍스트 맵을 사용하여 웨이퍼 상의 레티클 결함의 인쇄 적성을 결정하기 위해 웨이퍼 검사 프로세스를 최적화하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 콘텍스트 맵과 조합하여 CBI를 사용하여 레티클 상에서 검출된 결함의 인쇄 적성을 결정할 목적으로 웨이퍼 검사 프로세스의 최적화를 포함할 수 있다. 웨이퍼 검사 프로세스를 최적화하는 단계는 여기에 기술한 임의의 웨이퍼 검사 프로세스의 임의의 매개변수를 포함할 수 있는, 웨이퍼 검사 프로세스의 임의의 1 이상의 매개변수를 변경하는 단계를 포함할 수 있다. 일반적으로, 웨이퍼 상의 레티클 결함의 인쇄 적성을 결정하는 단계는 레티클 상의 결함에 대응할 수 있는 웨이퍼 상의 결함을 검출하기 위해 웨이퍼를 검사하는 단계를 포함할 수 있다. 이러한 방식에서, 레티클 결함의 인쇄 적성을 결정하기 위해 웨이퍼 검사 프로세스를 최적화하는 단계는 레티클 상의 결함에 대응할 수 있는 웨이퍼 상의 결함을 결정하기 위하여 웨이퍼 검사 프로세스를 최적화하는 단계를 포함할 수 있다.

[0302] 일 예에서, 상기 방법은 레티클 결함의 인쇄 적성을 결정하는데 사용될 수 있는 검사 데이터의 위치를 식별하기 위해서, 여기에 기술하는 바와 같이 결정할 수 있는, 설계 데이터 스페이스 내의 웨이퍼에 대해 취득한 검사 데이터의 위치와, 설계 데이터 스페이스 내의 1 이상의 레티클 결함의 위치를 사용하는 것을 포함할 수 있다. 이러한 방식에서, 웨이퍼에 대해 취득한 검사 데이터 및 레티클 결함의 설계 데이터 스페이스 위치는 레티클 결함에 대응할 수 있는 웨이퍼 상의 결함을 검출하기 위해 사용할 수 있는 검사 데이터의 부위를 결정하기 위해 사용할 수 있다. 콘텍스트 맵에 포함되는 설계 데이터의 임의의 속성은 레티클 결함의 인쇄 적성을 결정하기 위해 웨이퍼 검사 프로세스의 1 이상의 매개변수를 선택하는데 사용할 수 있다. 예컨대, 콘텍스트 맵은 전술한 바와 같이 식별된 검사 데이터의 부위에 대응하는 설계 데이터의 1 이상의 속성을 결정하는데 사용될 수 있다. 이러한 방식에서, 전술한 바와 같이 식별된 검사 데이터의 다른 부위에 대해 사용된 웨이퍼 검사 프로세스의 1 이상의 매개변수는 그 다른 부위에 대응하는 설계 데이터의 1 이상의 속성에 기초하여 선택할 수 있다. 그와 같이, 1 이상의 속성의 다른 값을 갖는 설계 데이터에 대응하는, 전술한 바와 같이 식별된 검사 데이터의 다른 부위는 레티클 결함에 대응할 수 있는 웨이퍼 결함을 검출하기 위해 1 이상의 다른 매개변수에 의해 처리할 수 있다. 그러한 일 예에서, 텍스트 맵은 전술한 바와 같이 식별된 웨이퍼에 대하여 취득한 검사 데이터의 다른 부위에 대응하는 설계 데이터의 임계를 결정하는데 사용할 수 있고, 그 임계는 검사 데이터의 다른 부위 내의 결함을 검출하기 위해 감지도를 결정하는데 사용할 수 있다. 그러한 특정 예에서, 웨이퍼 검사 프로세스의 다른 매개변수가 검사 데이터의 다른 부위에 대해 선택될 수 있어서, 1 이상의 레티클 결함의 인쇄 적성은 설계 데이터의 중요하지 않은 영역보다 설계 데이터의 중요 영역에서 더 높은 정확도로 결정될 수 있다.

[0303] 웨이퍼 검사 프로세스의 1 이상의 매개변수는 설계 데이터 스페이스 내의 검사 데이터의 위치, 콘텍스트 맵, 및 여기에 기술한 임의의 다른 정보에 기초하여 변경 및/또는 최적화될 수 있다. 예컨대, 1 이상의 레티클 결함이 검출되는 설계 데이터의 다른 부위의 1 이상의 속성은 콘텍스트 맵을 사용하여 결정될 수 있고, 레티클 결함이 검출되는 설계 데이터의 다른 부위에 대응하는 검사 데이터의 다른 부위에 대한 웨이퍼 검사 프로세스 매개변수를 선택하기 위해, 다른 부위의 1 이상의 설계 데이터 속성은 레티클 검사 데이터의 1 이상의 속성(예컨대, 1 이상의 레티클 결함의 속성)과 조합하여 사용될 수 있다. 그러한 예에서, 웨이퍼 검사 프로세스의 1 이상의 매개변수는, 실질적으로 동일한 속성을 갖는 설계 데이터의 부위에 위치된 다른 유형의 레티클 결함의 인쇄 적성이 웨이퍼 검사 프로세스의 1 이상의 다른 매개변수에 의해 결정될 수 있도록 선택할 수 있다. 다른 예에서, 웨이퍼 검사 프로세스의 1 이상의 매개변수는, 속성의 다른 값을 갖는 부위에 위치한 동일한 유형의 레티클 결함의 인쇄 적성이 웨이퍼 검사 프로세스의 1 이상의 다른 매개변수에 의해 결정될 수 있도록 선택할 수 있다.

[0304] 레티클 결함의 인쇄 적성을 결정하기 위하여 웨이퍼 검사 프로세스를 최적화하기 위하여 전술한 바와 같은 실시예에서 사용된 콘텍스트 맵은 여기에 기술한 바와 같이 구성되고, 여기에 기술한 임의의 콘텍스트 맵을 포함할 수 있다. 또한, 콘텍스트 맵에 포함된 임의의 정보는 웨이퍼 검사 프로세스의 1 이상의 매개변수를 변경하기 위해 전술한 실시예에서 사용할 수 있다.

[0305] 일부 실시예에서, 상기 방법은 검사 데이터를 사용하여 웨이퍼 상에서 검출되는 결함에 기초하여 웨이퍼에 대하여 수행되는 전기 테스트 프로세스의 1 이상의 매개변수를 변경하는 단계를 포함한다. 예컨대, 테스트 스페이스에서, 감시 단계는 테스트 패턴 및/또는 다른 테스트 매개변수를 규정 또는 수정하기 위해 여기에 기술한 임의의 실시예에 따라 식별된 체계적 결함을 사용하는 단계를 포함할 수 있다. 또한, 검사 데이터를 사용하여 웨이퍼 상에서 검출된 결함은 1 이상의 결함을 전기 테스트 프로세스에 의해 테스트하지 않을지(또는 "전기 테스트

트 회피")를 결정하고, 1 이상의 결함이 전기 테스트 프로세스에 의해 테스트 되도록 전기 테스트 프로세스가 수행되는 웨이퍼 상의 영역을 규정하는 1 이상의 매개변수를 변경하는데 사용할 수 있다. 이러한 방식에서, 검사 프로세스의 결과는 전기 테스트 프로세스에서 테스트 되지 않은 복수의 결함을 줄이기 위해 전기 테스트 프로세스에 공급될 수 있다. 또한, 전기 테스트 프로세스의 1 이상의 매개변수는, 검사 데이터를 사용하여 웨이퍼 상에서 검출된 결함, 여기에 기술한 바와 같이 결정할 수 있는 설계 데이터 스페이스 또는 웨이퍼 스페이스 내의 결함의 위치, 여기에 기술한 방식으로 결정된 여기에 기술한 결함의 임의의 속성을 포함할 수 있는 결함의 1 이상의 속성, 여기에 기술한 임의의 방식으로 결정된 여기에 기술한 임의의 설계 데이터 속성을 포함할 수 있는 설계 데이터의 1 이상의 속성, 여기에 기술한 임의의 다른 정보, 또는 그것의 일부 조합에 기초하여 변경할 수 있다. 예컨대, 결함의 위치, 결함의 속성, 및 설계 데이터의 속성은 여기에 기술한 1 이상의 결함에 대한 오류 확률 값을 결정하기 위해 사용할 수 있다. 존재하는 전기 테스트 프로세스에 의해 테스트 되지 않을 결함이 비교적 낮은 오류 확률 값을 갖는 경우, 전기 테스트 프로세스의 1 이상의 매개변수는 상기 방법에 의해 변경되지 않을 수 있다. 대조적으로, 존재하는 전기 테스트 프로세스에 의해 테스트 되지 않을 결함이 비교적 높은 오류 확률 값을 갖는 경우, 전기 테스트 프로세스의 1 이상의 매개변수는 비교적 높은 오류 확률 값을 갖는 결함이 전기 테스트 프로세스에 의해 테스트 되도록 변경될 수 있다. 유사한 방식에서, 계측 프로세스의 샘플링과 같은 계측 프로세스의 1 이상의 매개변수가 전술한 바와 같이 선택되거나, 결정되거나, 변경될 수 있다.

[0306] 설계 데이터에 대한 검사 데이터의 정렬은 웨이퍼 상의 "핫 스팟"의 검사를 가능하게 한다. "핫 스팟"은 킬러 결함(killer defect)이 존재할 수 있는 웨이퍼 상에 인쇄된 설계 데이터 내의 위치로서 일반적으로 규정될 수 있다. 대조적으로, "콜드 스팟"은 뉴슨스 결함이 존재할 수 있는 웨이퍼 상에 인쇄된 설계 데이터 내의 위치로서 일반적으로 규정될 수 있다. 뉴슨스 결함의 일 예는 웨이퍼 상에 형성된 장치의 수율에 실질적으로 영향을 미치지 않지만, 그 위치에 결함이 존재한다는 것을 검사 시스템이 지시하게 야기하는 특징의 임계 치수(CD) 내의 변동이다. 일부 결함은, 결함이 웨이퍼의 다른 층에 형성된 장치 구조에 의해 접촉되는 경우와 같은 특정 상황하에서만 킬러 결함일 수 있다. 따라서, 웨이퍼 상에 인쇄되는 설계 데이터 내에 그러한 결함이 존재할 수 있는 위치는 일반적으로 "조정적 핫 스팟"이라 칭할 수 있다.

[0307] 추가의 실시예에서, 도 1의 단계 20에 나타난 바와 같이, 상기 방법은 웨이퍼 상에서 검출된 결함이 뉴슨스 결함인지를 결정하는 단계를 포함한다. 결함이 뉴슨스 결함인지의 여부는 설계 데이터 스페이스 내의 검사 데이터의 위치와 설계 데이터의 1 이상의 속성에 기초하여 결정된다. 예컨대, 일부 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치에 기초하여 설계 데이터 스페이스 내의 결함의 위치를 결정하는 단계와, 설계 데이터 스페이스 내의 결함의 위치 및 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여 결함이 뉴슨스 결함인지를 결정하는 단계를 포함한다. 이러한 단계에서 뉴슨스 결함을 식별하기 위해 사용된 설계 데이터의 1 이상의 속성은 여기에 기술한 임의의 속성을 포함할 수 있다. 예컨대, 설계 데이터의 1 이상의 속성이 콘택트 맵 내에 규정될 수 있다. 이러한 방식에서, 상기 방법은 비한정적으로 예컨대, PWQ와 같은 애플리케이션에서 중요하지 않은 것으로 간주된 결함(예컨대, 뉴슨스 결함)을 필터링하기 위해 결함 데이터에 콘택트 맵을 인가하는 단계를 포함할 수 있다. 그와 같이, 제조 프로세스의 용량의 한계에 근접하는 설비의 부위는 콘택트에 기초하여, 중요한 부위와 중요하지 않은 부위로 분리된다. 다른 예에서, 이러한 단계에서 뉴슨스 결함을 식별하기 위해 사용된 설계 데이터의 속성은 설계 데이터에 대한 핫 스팟 정보를 포함한다. 이러한 방식에서, 설계 데이터 스페이스 내의 결함의 위치 및 핫 스팟 정보는 설계 데이터 내의 콜드 스팟에서 검출된 결함을 뉴슨스 결함으로 식별하는데 사용할 수 있다.

[0308] 리소그래피를 위한 PWQ 애플리케이션은 다른 노광량 및 초점 오프셋(즉, 조정된 조사량 및 초점)에서 웨이퍼 상의 다이를 노광시키는 단계와, 설계 취약점 영역을 결정하고, 프로세스 창을 결정하는데 사용될 수 있는 다이 내의 체계적 결함을 식별하는 단계를 일반적으로 포함한다. 리소그래피를 위한 PWQ 애플리케이션의 예는 통상적으로 양도된 미국 특허 출원 일련번호 11/005,658호(2004년 12월 7일 출원; Wu et al.)호 개시되며, 그것은 여기에 완전히 언급한 것과 같이 참고자료로 포함된다. 초점 및 노광 조정의 여러 인공요소는 결함(다이-표준 기준 다이 차분)으로서 나타낼 수 있지만, 실제로 뉴슨스 결함이다. 그러한 인공 요소의 예는 CD 변동 및 라인-단부 풀백(pullback) 또는 그러한 인공 요소가 장치의 수율 또는 성능에 영향을 미치지 않거나 적게 미치는 영역의 단축화를 포함할 수 있다. 하지만, 결함의 위치는 여기에 기술한 방법을 사용하여 설계 레이아웃에 대하여 실질적으로 정확히 결정할 수 있다. 또한, 여기에 기술한 방법은 전술한 바와 같이 비교적 높은 정확도로 보호 영역을 결정하는데 사용할 수 있다. "마이크로" 보호 영역은 알려진 핫 스팟에 집중되어 비교적 높은 감지도로 검사될 수 있거나, 비-주의 영역 또는 비교적 낮은 감지도로 검사되는 영역으로서 알려진 콜드-스팟(체계적 뉴슨스)에 집중될 수 있다.

- [0309] 따라서, 전술한 바와 같이, 상기 방법은 설계 데이터 스페이스에 대한 결함의 위치 및 그 위치가 주의 영역 내에 있는지의 여부에 기초하여 결함이 뉴슨스 결함인지를 결정하는 단계를 포함할 수 있다. 결함은 콘텍스트, 사이즈, 용장, PWQ "를", 또는 그것의 일부 조합에 따라 필터링될 수 있다. 예컨대, 프로세스 스페이스에서, PWQ 분석 및 DOE 분석은 감시 단계에서 핫 스팟을 사용하여 수행할 수 있다. 또한, 여기에 기술한 방법은 제한된 해상도로 인하여 현재 사용되는 노이즈 필터가 오류가 나는 65nm 설계 룰 이하의 PWQ 애플리케이션까지 연장하는데 사용할 수 있다. 따라서, 여기에 기술한 방법의 하나의 장점은, 상기 방법이 체계적 결함 및 DFM 결함을 검출하기 위하여 BF 검사를 연장시키는데 사용될 수 있다는 것이다. 특히, 여기에 기술한 바와 같이, CBI는 체계적 결함 검사 및/또는 65nm 설계 룰 이하에서의 DFM 애플리케이션과 같은 BF 검사 시스템에 대한 추가적인 기능성을 가능하게 할 수 있다. 상기 방법은 DFM 체계적 결함의 근본 원인의 비교적 신속한 결정을 제공하거나 지원할 수 있다. 근본 원인의 결정은 여기에 추가로 기술하는 바와 같이 수행할 수 있다.
- [0310] 다른 실시예에서, 단계 22에 나타난 바와 같이, 상기 방법은 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성(전술한 바와 같이 콘텍스트 맵 내에 규정될 수 있는)에 기초하여, 또는 결함의 위치를 목록이나 데이터 베이스와 같은 데이터 구조 내에 저장될 수 있는 핫 스팟의 위치와 비교하여, 뉴슨스 결함으로 결정되지 않은 결함이 체계적 또는 랜덤 결함인지를 결정하는 단계를 포함한다. 또한, 관심이 없는 모든 결함이 뉴슨스 결함은 아닐 수 있다. 예컨대, 수율에 대한 영향이 비교적 낮거나 없는 체계적 결함은 뉴슨스 결함이 아니라 관심이 없는 결함일 수 있다. 그러한 결함은 활성 패턴 상에 또는 웨이퍼의 장치 영역에 나타날 수 있다. 여기에 기술한 방법은 그러한 결함을 식별하는 단계를 포함할 수 있다. 그러한 결함, 또는 콜드 스팟에 위치한 결함은 설계 콘텍스트(예컨대, 용장 비어), 모델링(예컨대, 디자인스캔), PWQ, 검사 및 리뷰, 및 테스트와 결함의 상관관계(예컨대, 비교적 낮은 적층 전기적 오류 위치를 갖는 위치에서의 비교적 높은 적층 결함 밀도 등)으로부터 식별될 수 있다. 또한, 이들 결함의 감시는 결함의 위치와 핫 스팟 및 콜드 스팟의 위치를 비교함으로써 수행될 수 있다. 이들 결함이 위치한 패턴이 공통적인 경우, 여기에 기술한 설계 데이터 기반 그룹화 방법을 사용하여 다른 체계적 결함으로부터 개별적으로 비닝될 수 있다. 또한, 체계적 결함의 탐색은 설계로부터의 복수의 입력 소스, 모델링된 결과, 검사 결과, 예측 결과, 및 테스트 및 FA 결과를 상호 연관지음으로써 수행될 수 있다.
- [0311] 체계적 DOI는 모든 패턴 의존적 결함 유형을 포함할 수 있다. 체계적 결함을 식별하는 것은, 결함이 장치에 끼칠 수 있는 영향이 분석될 수 있어서 유리하다. 랜덤 DOI는 중요한 유형의 랜덤 결함의 통계적 샘플을 포함할 수 있다. 중요한 유형의 랜덤 결함을 분석하여 그 결함이 장치에 대하여 끼치는 영향을 결정할 수 있기 때문에, 랜덤 결함을 분석하는 것은 이롭다. 또한, 랜덤 결함을 분석함으로써, 1 이상의 검사 프로세스 매개변수는 뉴슨스 결함으로 고려할 수 있는 랜덤 결함의 검출을 억제하도록 변경될 수 있다. 또한, 검사 프로세스 매개변수는 뉴슨스 결함을 체계적 원인(콜드 스팟)으로부터 구분하도록 변경될 수 있다.
- [0312] 웨이퍼 상에서 검출된 결함의 유형과, 다른 유형의 결함이 갖는 수율에의 관련성에 기초하여 수율을 더욱 정확히 예측할 수 있기 때문에, 결함이 뉴슨스 결함, 체계적 결함, 또는 랜덤 결함인지의 결정은 이롭다. 또한, 가능하게는 수율 예측과 조합하여, 여기에 기술한 방법의 결과는 설계 데이터 및 제조 프로세스에 관한 1 이상의 결정을 하는데 사용될 수 있다. 예컨대, 여기에 기술한 방법의 결과는 IC 설계를 입증하는데 사용될 수 있다. 다른 예에서, 여기에 기술한 방법의 결과는 IC 설계 프로세스에 피드백될 수 있어서, 프로세스에 의해 생성된 IC 설계는 더 적은 체계적 결함 및/또는 더 적은 유형의 체계적 결함에 민감할 수 있다. 그러한 일 예에서, 여기에 기술한 방법의 결과는 IC 설계 프로세스에서 사용된 설계 및/또는 광학적 룰을 변경하는데 사용할 수 있다. 또 다른 예에서, 여기에 기술한 방법은 검사되고 있는 웨이퍼 레벨을 제조하기 위해 사용되는 프로세스의 1 이상의 매개변수를 변경하는데 사용될 수 있다. 바람직하게는, 더 적은 체계적 결함 및/또는 더 적은 유형의 체계적 결함, 그리고 가능하게는 더 적은 중요한 랜덤 결함 및/또는 더 적은 유형의 중요한 랜덤 결함이 프로세스에 의해 야기되도록, 프로세스의 1 이상의 매개변수가 변경된다.
- [0313] 일부 실시예에서, 단계 24에 나타난 바와 같이, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치 및 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여, 1 이상의 결함을 분류하는 단계를 포함한다. 예컨대, 설계 데이터 스페이스 내의 결함의 위치는 설계 데이터 스페이스 내의 검사 데이터의 위치로부터 결정할 수 있다. 또한, 설계 데이터 스페이스 내의 결함의 위치와 연관된 설계 데이터의 1 이상의 속성은 콘텍스트 맵으로부터 또는 여기에 기술한 임의의 다른 방식으로 결정할 수 있으며, 결함의 위치와 연관된 1 이상의 속성은 결함을 분류하는데 사용할 수 있다. 다른 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 결함에 대응하는 검사 데이터의 부위의 위치와, 여기에 추가로 기술하는 바와 같이, 설계 데이터 스페이스에 걸친 설계 데이터의 1 이상의 속성에 대한 값을 포함할 수 있는 콘텍스트 맵에 기초하여, 웨이퍼의 다른 부위에서 검출된

결함을 분류하는 단계를 포함할 수 있다. 이러한 방식에서, 상기 방법은 결함을 콘텍스트에 의해 분류하기 위해 콘텍스트 맵을 사용할 수 있다. 이러한 단계로 결함을 분류하는 것은 여기에 기술한 임의의 다른 방식으로 수행할 수 있다.

[0314] 그러한 일 예에서, 결함 분류는 웨이퍼의 검사 동안에 검사 시스템에 의해서 수행된다. 예컨대, 콘텍스트 맵은 웨이퍼 검사시 여기에 기술한 바와 같이 결함을 분류하기 위해 검사 시스템에 의해 사용될 수 있다. 그러한 다른 실시예에서, 결함 분류는 웨이퍼에 대한 검사 데이터 취득이 완료된 후에 수행된다. 예컨대, 검사 데이터가 오프라인으로 이용가능한 후에, 콘텍스트 맵은 여기에 후술하는 바와 같이, 결함을 분류하기 위해 검사 시스템에 의해 사용될 수 있다. 이러한 방식에서, 상기 방법은 제 2 패스 고 해상도 결함 분류(HRDC)에서 온라인으로(예컨대, 검사 시스템을 사용하여), 또는 HRDC에서 오프라인으로(예컨대, SEM 리뷰 스테이션을 사용하여) 결함을 분류하기 위해 콘텍스트 맵을 사용하는 것을 포함할 수 있다. 통상적으로, 검사 시스템에 의해 온라인으로 수행되든지 또는 리뷰 시스템(광학적 또는 SEM)에서 오프라인으로 수행되든지, 제 2 패스 결함 분류는 결함의 재검출 및 분류를 포함한다. 재검출 및 분류 양쪽은 유저에 의해 수동으로 또는 자동으로(즉, 자동 결함 분류; ADC) 수행할 수 있다. 설계 룰이 축소함에 따라, 오류 물체를 리뷰 프로세스에서 결함으로 식별할 가능성이 증가한다. 설계 데이터 및 콘텍스트 맵은 재검출 및 분류 양쪽에서 유용할 수 있다.

[0315] 재검출에서, 콘텍스트 맵은 정정한 결함을 유저 또는 시스템이 리뷰 시스템의 시야에 위치시키게 허용하는 결함 근방의 로컬 배경 정보를 제공한다. 예컨대, 리뷰 시스템에 의해 생성된 웨이퍼의 로컬 이미지는 설계 데이터에 정렬될 수 있고, 이에 의해 설계 데이터 스페이스 내의 결함의 위치가 정렬된 로컬 이미지 내에서 실질적으로 정확히 식별되게 허용한다. 또한, 설계 데이터의 시뮬레이션된 이미지는(예컨대, 그레이 스케일 이미지)는 로컬 이미지에 대한 정렬을 위해 리뷰 시스템에 의해 사용될 수 있고, 설계 데이터 스페이스 내의 결함의 위치는 로컬 이미지 내의 결함의 위치를 결정하는데 사용될 수 있다. 그러한 시뮬레이션된 이미지는 리뷰 프로세스에서 미세 정렬 및 결함의 재검출을 위해 사용될 수 있다. 그러한 시뮬레이션의 예는 여기에 완전히 언급된 것과 같이 참고자료로 포함되는 미국 특허 6,581,193호(McGhee et al.)에 개시된다. 여기에 개시된 방법은 그러한 특허문헌에 개시된 방법의 임의의 단계를 포함할 수 있다. 따라서, 여기에 개시된 방법 및 시스템은 비교적 높은 정확도의 결함 검출을 수행하는데 사용할 수 있다.

[0316] 분류에 있어서, 콘텍스트 맵은 결함이 속한 부류를 결정하기 위해 사용될 수 있는(리뷰에 의해 획득한 데이터와 함께) 부가적인 정보를 제공할 수 있다. 리뷰는 또한 콘텍스트 맵, 리뷰에 의해 획득한 데이터, 및 검사 데이터를 사용하여 수행할 수 있다. 예컨대, 검사 시스템의 시간 지연 통합(TDI) 카메라에 의해 취득한 패치 이미지, 및/또는 검사 시스템에 의해 취득한 패치 이미지는 결함 샘플과 함께 리뷰에 전송될 수 있다. 패치 이미지는 광학적 또는 SEM 리뷰 및 분류를 위한 콘텍스트 맵과 조합하여 사용할 수 있다. 이러한 방식에서, 결함 위치가 전술한 바와 같이 결정될 수 있는 좌표 정밀도는 시스템이 설계 콘텍스트 및/또는 DRC 오류 코드에 기초하여 결함을 실질적으로 정확히 분류할 수 있게 한다.

[0317] 전술한 1 이상의 단계는 검사 결과 및 여기에 기술한 임의의 다른 결과를 사용하여 체계적 결함이 식별되고 분류되는(또는 비닝되는) 감시 단계에서 수행될 수 있다. 감시 단계는 편위 감시 및 베이스라인 향상을 포함할 수 있다. 감시 단계는 제품 램프 및 제조 동안에 수행할 수 있다. 다중 소스 스페이스(설계, 웨이퍼, 레티클, 테스트, 및 프로세스 스페이스의 임의의 것 사이의 상관관계를 포함할 수 있다)에서, 검사에 의해 검출된 체계적 결함을 식별 및 분류하는 단계는 여기에 기술한 단계들의 임의의 조합을 사용할 수 있다. 또한, 1 이상의 다중 소스 스페이스 단계는 그것의 임의의 조합으로 체계적 결함 식별을 입증하는데 사용할 수 있다.

[0318] 또한, 설계 데이터 스페이스 내의 결함의 위치는 감시 단계에서 체계적 결함(예컨대, 핫 스팟 또는 콜드 스팟에 위치한 결함)을 식별하기 위해 검사 데이터, 설계 데이터, 또는 분류 데이터와 결합되어 사용할 수 있다. 식별된 핫 스팟은 핫 스팟 위치에 "히트(hit)"가 존재하는 검사 결과에 대하여 설계 콘텍스트를 결정하기 위해 또한 사용될 수 있으며, 그것은 포스트-처리에서 온(on)-틀, 또는 오프(off)-틀로 수행할 수 있다. 설계 데이터 스페이스와 연관된 수율(또는 KP 값)은 체계적 결함을 감시하기 위한 속성로서 사용될 수 있다. 또한, 1 이상의 결함 속성은 복수의 핫 스팟 후보가 있는 경우 핫 스팟에 대한 연관을 추정하도록 사용할 수 있다.

[0319] 레티클 스페이스에서, 감시 단계는 랜덤 결함으로부터 알려진 체계적 결함을 분리하기 위해 결함 결과와 비교될 수 있는 핫 스팟(예컨대, 핫 스팟 리스트의 생성)에 관한 정보를 생성하는 단계를 포함할 수 있다. 또한, 핫 스팟에 대한 콘텍스트 정보와 같은 1 이상의 핫 스팟 속성은 핫 스팟이 복수의 기술, 층, 장치에 걸쳐 공유될 수 있는지, 그리고 그러한 경우, 어느 기술, 층, 또는 장치인지를 결정하기 위해 사용될 수 있다. 또한, 검사에 의해 식별된 체계적 결함은 계측 사이트 위치, 측정치 또는 다른 매개변수와 같은 계측 프로세스의 1 이상의

매개변수를 규정 또는 수정하는데 사용할 수 있다.

- [0320] 일부 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치와, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여 웨이퍼 상에서 검출된 1 이상의 결함에 대한 오류 확률 값을 결정하는 단계를 포함한다. 또한, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치와, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여 웨이퍼의 다른 위치상에서 검출된 결함의 오류 확률 속성 값을 결정하는 단계를 포함할 수 있다. 여기에 추가로 기술하는 바와 같이, 결함에 대한 오류 확률 값은 결함에 대응하는 검사 데이터의 설계 데이터 스페이스 위치와, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여 결정할 수 있다.
- [0321] 다른 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치에 기초하여 설계 데이터 스페이스 내의 웨이퍼 상에서 검출된 결함의 위치 좌표를 결정하는 단계와, 그 결함의 위치 좌표를 설계 데이터에 대한 평면도에 기초하여 설계 셀 좌표로 변환하는 단계를 포함한다. 그러한 일 실시예에서, 상기 방법은 오버레이 공차(overlay tolerance)를 사용하여 결함 주위의 다른 영역을 결정하는 단계와, 그 영역을 사용하여 1 이상의 셀 유형에 대하여 결함 리피터 분석을 수행하여, 1 이상의 셀 유형이 체계적으로 결함 있는 셀 유형인지를 결정하고, 체계적으로 결함 있는 셀 유형 내의 1 이상의 체계적으로 결함 있는 구조의 1 이상의 위치를 결정하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 리피터 분석을 위하여 셀-기반 좌표를 사용하는 것을 포함할 수 있다. 특히, 결함 리피터 분석은 오버레이 공차를 사용하여(예컨대, 각 결함 주위의 2차원 영역) 각각의 셀 유형에 대하여 수행되어, 체계적으로 결함 있는 셀 유형의 존재와, 그 셀 내의 체계적으로 결함 있는 구조의 위치를 결정할 수 있다. 또한, 상기 방법은 셀 콘텍스트에 기초한 결함의 셀-기반 비닝을 포함할 수 있다. 그러한 비닝은 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 그러한 일 실시예에서, 상기 방법은 체계적으로 결함 있는 셀 유형에 가까이 위치한 셀에 대한 설계 데이터의 1 이상의 속성, 구조 또는 그것의 일부 조합에 기초하여, 체계적으로 결함 있는 셀 유형 내에 공간적으로 체계적인 결함이 발생하는지를 결정하는 단계를 포함한다. 이러한 방식에서, 공간적으로 체계적인 결함 있는 셀의 설계 콘텍스트(주변 셀 또는 구조)는 공간적으로 체계적인 결함의 출현을 추가로 특정하기 위한 속성로서 사용할 수 있다.
- [0322] 다른 실시예에서, 단계 26에 나타난 바와 같이, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치와, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여, 결함(예컨대, 결함의 전부 또는 일부)을 그룹으로 비닝하는 단계를 포함한다. 예컨대, 설계 데이터 스페이스 내의 결함의 위치는 여기에 기술한 바와 같이 설계 스페이스 내의 검사 데이터의 위치로부터 결정할 수 있다. 결함을 비닝 하는데 사용된 설계 데이터의 1 이상의 속성은 설계 데이터 스페이스 내의 결함의 위치에 기초하여 결정할 수 있다. 본 실시예에서 사용된 설계 데이터의 1 이상의 속성은 다른 검사 결과(예컨대, iDO(integrated defect organizer) 결과 및 iADC(integrated automatic defect classification) 결과)와 조합하여, 설계 데이터(예컨대, 수율 영향)와 연관된 값과 같은 여기에 기술한 설계 데이터의 임의의 속성을 포함할 수 있다. 또한, 설계 데이터의 결함의 위치와 연관된 설계 데이터의 1 이상의 속성은 콘텍스트 맵으로부터 결정할 수 있다. 이러한 방식에서, 상기 방법은 결함을 콘텍스트로 분류하기 위해 웨이퍼 검사 동안에 검출된 결함에 콘텍스트 맵을 인가하는 단계를 포함할 수 있다.
- [0323] 따라서, 여기에 기술한 상기 방법은 웨이퍼 검사에 대해 콘텍스트-기반 백그라운드 비닝을 포함할 수 있다. 예컨대, 전술한 바와 같이, 상기 방법은 콘텍스트에 의해 결함을 비닝하기 위해 콘텍스트 맵을 사용할 수 있다. 그러한 일 예에서, 뉴스스 필터링 후에 남아 있는 결함은 랜덤 결함보다 체계적 결함인 결함을 식별하기 위해 콘텍스트 또는 여기에 기술한 다른 정보에 의해 분류될 수 있다. 콘텍스트는 비닝 및 분류를 수행하기 위해 결함과 연관된 다른 이미지-유도 속성과 연계하여 사용될 수 있다.
- [0324] 또한, 결함은 결함의 기대되는 전기적 매개변수 및/또는 설계 데이터 스페이스 내의 결함 위치에 가까운 장치 특징의 기대되는 전기적 매개변수에 기초하여 비닝될 수 있다. 결함 및 장치 특징의 기대되는 전기적 매개변수는 이전의 전기 테스트, 결함의 전기적 매개변수의 시뮬레이션, 결함의 리뷰, 또는 것의 일부 조합에 기초하여 결정될 수 있다. 또한, 1 이상의 결함에 대한 오류 시뮬레이션(fault simulation)은 결함이 비닝되는 그룹 및/또는 설계 데이터 스페이스 내의 결함의 위치에 기초할 수 있다.
- [0325] 일부 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성, 및 설계 데이터가 인쇄되는 레티클에 대해 요구되는 레티클 검사 데이터의 1 이상의 속성에 기초하여 결함을 그룹으로 비닝하는 단계를 포함한다. 이러한 방식에서, 레티클 검사 데이터는 비닝 속성로서 사용할 수 있다. 특히, 레티클 검사 데이터 속성은 웨이퍼 상에서 검출된 결함의 비닝에 사용할 수

있다. 본 실시예에서, 설계 데이터의 1 이상의 속성은 여기에 기술한 설계 데이터의 임의의 속성을 포함할 수 있다. 레티클 검사 데이터의 1 이상의 속성은 레티클 상에서 검출된 결함, 레티클 스페이스 내의 레티클 상에서 검출된 결함의 위치, 레티클 상에서 검출된 1 이상의 속성, 레티클 상에 인쇄된 설계 데이터의 1 이상의 속성, 또는 그것의 일부 조합과 같은 레티클 검사 데이터의 임의의 속성을 포함할 수 있다. 레티클 상에서 검출된 결함의 1 이상의 속성은 여기에 기술한 임의의 결함 속성을 포함할 수 있다. 또한, 레티클 상에 인쇄된 설계 데이터의 1 이상의 속성은 여기에 기술한 임의의 설계 데이터 속성을 포함할 수 있다.

[0326] 레티클 검사 데이터의 속성은 여기에 기술한 방법 및 시스템 실시예에 의해 임의의 적합한 방식으로 결정할 수 있다(예컨대, 레티클 검사 시스템의 출력을 사용하여). 대안적으로, 또는 추가하여, 레티클 검사 데이터의 속성은 속성이 저장되는 저장 매체 및/또는 속성을 결정한 레티클 검사 시스템으로부터 여기에 기술한 방법 및 시스템에 의해 취득할 수 있다.

[0327] 레티클 검사 데이터의 1 이상의 속성에 적어도 부분적으로 기초하여 결함을 비닝하는 단계는, 결함이 레티클 상의 결함, 웨이퍼 상의 결함을 야기한 레티클 결함의 1 이상의 속성, 및 웨이퍼 상의 결함을 야기할 수 있는 레티클 상에 인쇄된 설계 데이터의 1 이상의 속성에 야기되는지에 기초하여 결함을 분리하는데 사용할 수 있다. 그와 같이, 결과의 비닝은 결함의 원인 및/또는 레티클이 결함 및/또는 웨이퍼 상에 인쇄된 설계 데이터에 어떻게 영향을 끼치는지에 관한 추가적인 정보를 제공할 수 있다. 그러한 비닝 결과는 레티클 제조 프로세스의 1 이상의 매개변수, 레티클 검사 프로세스의 1 이상의 매개변수, 임의의 다른 레티클-관련 또는 설계-관련 프로세스의 1 이상의 매개변수, 여기에 기술한 임의의 다른 프로세스의 1 이상의 매개변수, 또는 그것의 일부 조합을 변경하기 위해 사용하는 데 이롭다. 본 실시예에서의 결함의 비닝은 설계 데이터 스페이스 내의 검사 데이터의 위치, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성, 레티클 검사 데이터의 1 이상의 속성, 및 여기에 기술한 임의의 다른 정보에 기초하여 수행할 수 있다.

[0328] 다른 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성, 및 검사 데이터의 1 이상의 속성에 기초하여 결함을 그룹으로 비닝하는 단계를 포함할 수 있다. 이러한 방식에서, 검사 데이터로부터 도출된 1 이상의 속성은 비닝 연산에 사용할 수 있다. 본 실시예에서, 설계 데이터의 1 이상의 속성은 여기에 기술한 설계 데이터의 임의의 속성을 포함할 수 있다. 또한, 비닝을 위해 사용된 검사 데이터의 1 이상의 속성은 여기에 기술한 검사 데이터의 임의의 속성을 포함할 수 있다. 결함은 여기에 기술한 임의의 다른 정보를 사용하여 본 실시예에서 비닝될 수 있다. 본 실시예에서의 비닝은 여기에 추가로 기술하는 바와 같이 수행할 수 있다.

[0329] 추가의 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성, 검사 데이터의 1 이상의 속성, 및 설계 데이터가 그 위에 인쇄되는 레티클에 대하여 요구되는 레티클 검사 데이터의 1 이상의 속성에 기초하여 결함을 그룹으로 비닝하는 단계를 포함한다. 이러한 방식에서, 레티클 검사 데이터는 비닝 속성로서 사용할 수 있다. 특히, 레티클 검사 데이터 속성은 웨이퍼 상의 결함 비닝에 사용할 수 있다. 본 실시예에서의 비닝을 위해 사용된 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성은 여기에 기술한 설계 데이터의 임의의 속성을 포함할 수 있다. 본 실시예에서의 비닝을 위해 사용된 검사 데이터의 1 이상의 속성은 여기에 기술한 검사 데이터의 임의의 속성을 포함할 수 있다. 본 실시예에서의 비닝을 위해 사용된 레티클 검사 데이터의 1 이상의 속성은 여기에 기술한 레티클 검사 데이터의 임의의 속성을 포함할 수 있다. 본 실시예에서의 비닝은 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 또한, 본 실시예의 비닝 결과는 여기에 기술한 임의의 방법의 임의의 단계를 수행하는데 사용할 수 있다.

[0330] 일부 실시예에서, 상기 방법은, 설계 데이터 스페이스 내의 검사 데이터의 위치, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성, 검사 데이터의 1 이상의 속성, 및 웨이퍼에 대한 검사 데이터가 취득된 프로세스 계층, 다른 프로세스 계층 또는 그것의 일부 조합에 있어서, 설계 데이터, 다른 설계 데이터 또는 그것의 일부 조합에 대하여, 웨이퍼, 다른 웨이퍼 또는 그것의 일부 조합에 대하여 이전에 취득한 검사 데이터의 1 이상의 속성에 기초하여, 결함을 그룹으로 비닝하는 단계를 포함한다. 이러한 방식에서, 동일하거나 다른 웨이퍼, 동일하거나 다른 설계, 및 동일하거나 다른 프로세스 계층에 대하여 이전에 수집된 검사 데이터로부터 결정된 속성이 비닝 연산에 포함될 수 있다. 이전에 수집된 검사 데이터는 데이터 구조에 저장되거나, 여기에 추가로 기술하는 바와 같이 구성될 수 있는 지식 베이스에 포함될 수 있다. 이러한 방식에서, 이전에 취득한 검사 데이터의 1 이상의 속성은 누적 학습 데이터, 이력 데이터, 또는 데이터의 트레이닝 세트로부터 결정될 수 있다. 본 실시예에서, 설계 데이터의 1 이상의 속성은 여기에 기술한 설계 데이터의 임의의 속성을 포함할 수 있다. 또한, 비닝을 위해 사용된 검사 데이터의 1 이상의 속성은 여기에 기술한 검사 데이터의 임의의 속성을 포함할

수 있다. 결함은 여기에 기술한 임의의 다른 정보를 사용하여 본 실시예에서 비닝될 수 있다. 본 실시예에서의 비닝은 여기에 추가로 기술하는 바와 같이 수행할 수 있다.

[0331] 전술한 임의의 실시예에서 비닝은 온-툴, 오프-툴, 또는 그것의 임의의 조합으로 수행할 수 있다.

[0332] 추가적인 실시예에서, 단계 28에 나타난 바와 같이, 상기 방법은 설계 데이터 스페이스 내의 설계 데이터의 위치와, 다른 검사 결과(예컨대, iDO 결과 및 iADC 결과)와 조합하여, 설계 데이터와 연관된 수율 영향과 같은 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여, 리뷰를 위해 결함의 적어도 일부를 선택하는 단계를 포함할 수 있다. 리뷰를 위한 결함을 선택하는데 사용된 설계 데이터의 1 이상의 속성은 여기에 기술한 설계 데이터의 임의의 속성을 포함할 수 있다. 또한, 설계 데이터 스페이스 내의 검사 데이터의 위치는, 여기에 기술하는 바와 같이 결함에 대응하는 설계 데이터의 속성 결정에 사용할 수 있는, 여기에 기술하는 바와 같은 설계 데이터 스페이스 내의 결함의 위치 결정에 사용할 수 있다. 그러한 일부 실시예에서, 뉴스스 결함은 여기에 기술한 바와 같이 다른 결함으로부터 필터링할 수 있으며, DOI(또는 비-뉴스스 결함)는 리뷰 또는 추가의 분석을 위해 유지될 수 있다. 다른 실시예에서, 결함 리스트 및 식별된 핫 스팟, 결함 및 핫 스팟의 분류, 및 설계 콘텍스트는 감시 단계에서 리뷰 샘플링(서브-샘플링을 포함할 수 있다)을 개선하는데 사용될 수 있으며, 이는 온-툴 또는 포스트-처리 동안 오프-툴로 수행할 수 있다.

[0333] 다른 실시예에서, 리뷰를 위한 결함 선택은 비닝 결과의 함수로서 수행된다. 예컨대, 일부 그룹에서의 결함은 리뷰를 위해 선택할 수 있지만, 다른 그룹에서의 결함은 리뷰를 위해 선택되지 않을 수 있다. 다른 예에서, 결함의 일부 그룹은 다른 그룹보다 더욱 과도하게 샘플링될 수 있다(즉, 일부 그룹으로부터 더 많은 결함이 리뷰를 위해 선택될 수 있다). 샘플링된 결함의 그룹 및 그룹이 샘플링되는 정도는 예컨대, 각 그룹과 연관된 설계의 1 이상의 속성 또는 결함의 그룹과 연관된 여기에 기술한 임의의 다른 정보에 기초하여 결정될 수 있다. 리뷰를 위한 결함의 선택은 결함 또는 결함 빈(defect bin)과 연관된 수율 관련성의 함수로서 수행할 수 있다. 예컨대, 결함의 모집단(population)은 랜덤 결함 및 체계적 결함으로 분할되고, 각각의 다른 결함 유형에 대하여 다른 샘플 플랜이 사용될 수 있다. 이러한 방식에서, 다른 유형의 결함에 대한 샘플링 전략은 매우 상이할 수 있다.

[0334] 일부 실시예에서, 상기 방법은, 설계 데이터의 1 이상의 속성의 다른 값을 갖는 설계 데이터 스페이스 내의 설계 데이터의 각 부위 내에 위치한 적어도 하나의 결함을 포함하는, 리뷰를 위한 결함의 적어도 일부를 선택하는 단계를 포함할 수 있다. 이러한 방식에서, 설계 데이터의 각각의 다른 부위 내의 결함이 리뷰를 위해 샘플링될 수 있다. 예컨대, 각각의 결함의 콘텍스트는, 결함이 검출된 모든 콘텍스트가 리뷰 샘플로 표현되는 것을 보장하는 리뷰 샘플을 생성하기 위해서, 리뷰를 위한 결함을 분류하는데(예컨대, 콘텍스트의 임계에 의해) 사용될 수 있다.

[0335] 추가의 실시예에서, 단계 30에 나타난 바와 같이, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치와, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여, 결함이 리뷰되는 시퀀스를 결정하는 단계를 포함한다. 예컨대, 상기 방법은 오프라인 리뷰(예컨대, 광학적 또는 SEM 리뷰)를 위한 우선순위에 기초하여 결함을 분류하기 위해 콘텍스트 맵을 사용하는 것을 포함할 수 있다. 각 결함의 콘텍스트는 체계적 결함 및 잠재적인 체계적 결함이 다른 결함 유형보다 더 높은 우선 순위가 주어지도록 리뷰를 위한 결함을 분류할 수 있다(예컨대, 콘텍스트의 임계에 의해).

[0336] 웨이퍼 상의 모든 지점에서의 검사 데이터의 서브-픽셀 정렬을 제공하기 위해, 웨이퍼 상의 다이에 걸친 샘플 지점에서 검사 데이터 스트림을 소정의 정렬 사이트에 정렬하는 것은 여러 이점을 제공한다. 예컨대, 미가공 데이터 스트림은 설계 데이터에 실질적으로 정확히 정렬되기 때문에, 설계 데이터 스페이스 내의 결함 위치는 서브-픽셀 정확도(예컨대, 100nm 이하 정확도 대 현재 달성가능한 1000nm 정확도)로 결정될 수 있다. 실질적으로 높은 정확도의 결함 위치는 임의의 후속 리뷰 프로세스의 정밀도와, SEM 또는 FIB 시스템에서 결함이 위치되고, 관찰되고, 분석될 수 있는 속도를 크게 개선할 수 있다. 또한, 결함과 관련된 콘텍스트 정보는, 제 2 패스 리뷰에서의 검사 시스템 또는 오프라인에서의 SEM 또는 광학적 리뷰 스테이션에서 수행할 수 있는 HRDC 단계에서 사용할 수 있다. 그러한 정보는, 자동 또는 수동으로 결함을 위치시키는 것을 도울 수 있는 결함에 관한 다른 로컬 콘텍스트 정보에 부가하여, ADL(automatic defect location)과 같은 다른 시스템에 제공되거나 그것에 의해 취득될 수 있다. 또한, 리뷰 시스템은 측정 매개변수 하의 시스템 및 웨이퍼에 대해 적절한 물리적 좌표 변환에 대한 로직을 생성하는데 그러한 정보를 사용할 수 있다.

[0337] 일부 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치 및 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여, 웨이퍼의 다른 부위에 대해 취득한, 검사 시스템의 1 이상의 검출기

로부터의 출력의 1 이상의 소정의 속성을 추출하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치 및 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성에 기초하여 검사 데이터 영역(예컨대, 검사되는 영역의 특정 서브세트)에 대한 소정의 신호 또는 이미지 속성을 추출하는 단계를 포함할 수 있다. 1 이상의 검출기로부터의 출력의 추출 속성은 예컨대, 다른 부위에서의 픽셀에 대한 신호 또는 이미지의 휘도 또는 표준 편차를 포함할 수 있다. 또한, 웨이퍼는 설계 데이터에 대응하는 패턴이 그 위에 인쇄된 패턴링된 웨이퍼일 수 있다. 따라서, 출력의 속성은 웨이퍼 상에 형성된 패턴에 대응하는 출력에 관한 정보에 기초하여 추출할 수 있다. 또한, 웨이퍼 상에 형성된 패턴 내의 구조에 관한 정보는 1 이상의 검출기로부터의 출력으로부터 추출할 수 있다.

[0338] 검출기로부터의 출력의 추출된 속성은 웨이퍼의 다른 부위에 걸친 속성의 이미지를 생성하는데 사용할 수 있다. 이러한 방식에서, 상기 방법은 웨이퍼의 표면의 "설계 인식 이미지(design aware image)"를 생성하는 단계를 포함할 수 있다. 이미지는 계측에 의해 결정할 수 있는 웨이퍼의 속성과 같은 웨이퍼의 1 이상의 속성을 결정하는데 사용할 수 있다. 이러한 방식에서, 검사 시스템은 설계 데이터 또는 설계 데이터에 대한 레이아웃에 기초하여 실질적으로 정확히 규정된 위치에서의 1 이상의 검출기로부터의 출력의 속성을 추출함으로써 계측 도구와 유사하게 사용될 수 있다. 따라서, 웨이퍼의 다른 부위는 본 실시예에서는 계측 사이트로서 본질적으로 처리될 수 있다. 또한, 검사 시스템의 1 이상의 검출기로부터의 출력의 1 이상의 추출된 소정 속성은 공동 소유된 미국 특허 출원 일련번호 제60/772,418호(Kirk et al.; 2006년 2월 9일 출원)에 기재된 단계와 같은 1 이상의 단계를 수행하는데 사용할 수 있으며, 그 특허 문헌은 여기에 완전히 언급한 것과 같이 참고자료로 포함된다.

[0339] 본 실시예에서 사용된 설계 데이터의 1 이상의 속성은 여기에 기술한 설계 데이터의 임의의 속성을 포함할 수 있다. 그러한 일 실시예에서, 설계 데이터의 1 이상의 속성은, 웨이퍼에 대한 검사 데이터가 취득된 프로세스 계층, 다른 프로세스 계층, 또는 그것의 일부 조합에 있어서, 설계 데이터, 다른 설계 데이터, 또는 그것의 일부 조합에 대하여, 웨이퍼, 다른 웨이퍼, 또는 그것의 조합에 대한 이전에 취득한 검사 데이터의 1 이상의 속성에 기초하여 선택된다. 이러한 방식에서, 본 실시예에서 사용된 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성은 동일하거나 다른 프로세스 계층에 대한 동일하거나 다른 설계에 대해 동일한 웨이퍼 또는 다른 웨이퍼로부터의 이전에 수집된 검사 데이터의 속성과의 상관관계에 기초하여 선택할 수 있다. 이전에 수집한 설계 데이터는 데이터 구조에 저장되거나, 여기에 기술한 바와 같이 구성될 수 있는 지식 베이스에 포함될 수 있다. 이러한 방식에서, 설계 데이터의 1 이상의 속성은 누적 학습, 이력 데이터, 또는 데이터의 트레이닝 세트에 기초하여 본 실시예에서 선택될 수 있다.

[0340] 다른 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치, 설계 데이터 스페이스 내의 설계 데이터의 1 이상의 속성, 및 검사 데이터의 1 이상의 속성에 기초하여 웨이퍼의 다른 부위에 대해 취득된 검사 시스템의 1 이상의 검출기로부터의 출력의 1 이상의 소정의 속성을 추출하는 단계를 포함한다. 본 실시예에 사용된 설계 데이터의 1 이상의 속성은 여기에 기술한 설계 데이터의 임의의 속성을 포함할 수 있다. 또한, 검사 데이터의 1 이상의 속성은 여기에 기술한 검사 데이터의 임의의 속성을 포함할 수 있다. 예컨대, 일 실시예에서, 검사 데이터의 1 이상의 속성은 1 이상의 이미지 노이즈 속성, 1 이상의 결함이 다른 부위에서 검출되었는지, 또는 그것의 일부 조합을 포함한다. 이러한 방식에서, 검사 데이터의 1 이상의 속성은 비한정적으로 이미지 노이즈 특징 및/또는 검사 데이터 영역에서의 결함의 검출/비-검출을 포함할 수 있다. 출력의 1 이상의 소정의 속성을 추출하는 것은 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 또한, 출력의 추출된 속성은 여기에 추가로 기술하는 바와 같이 사용할 수 있다.

[0341] 여기에 기술한 상기 방법의 각각의 실시예는 여기에 기술한 임의의 방법의 임의의 다른 단계를 포함할 수 있다. 또한, 전술한 방법의 각각의 실시예는 여기에 기술한 임의의 다른 시스템에 의해 수행할 수 있다.

[0342] 도 15는 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하기 위한 컴퓨터-구현 방법의 다른 실시예를 도시한다. 도 15에 도시된 단계는 상기 방법의 실시예 필수적인 것이 아님을 유념해야 한다. 도 15에 도시한 방법으로부터 1 이상의 단계가 배제될 수 있고, 그 방법은 여전히 본 실시예의 범주 내에서 실시할 수 있다.

[0343] 도 15에 도시한 방법은 CBI에 대해 일반적으로 사용될 수 있다. 본 실시예에서, 데이터 준비 단계(42)는 데이터베이스(44)를 생성하는 단계를 포함한다. 데이터베이스(44)는 설계 데이터에 대한 CAD 레이아웃과, 설계 데이터에 대한 컨텍스트 계층을 포함한다. 데이터베이스(44)는 당업계에서 알려진 임의의 적합한 구성을 가질 수 있고, 여기에 기술한 임의의 다른 데이터 또는 정보를 포함할 수 있다. 또한, 데이터베이스(44) 내의 데이터는 임의의 다른 적합한 데이터 구조 내에 저장될 수 있다. 데이터베이스(44)는 GDSII 파일(48) 및 컨텍스트 계층(50)을 입력으로 사용하여 소프트웨어(46)에 의해 생성될 수 있다. 소프트웨어(46)는 당업계에서 알려진 임의의

적합한 소프트웨어를 포함할 수 있다. 일반적으로, 소프트웨어는 GDSII 파일 및 콘텍스트 계층을 사용하여 데이터베이스를 생성하기 위해 프로세서(도 15에서는 도시 생략되었지만, 여기에 추가로 기술하는 바와 같이 구성될 수 있는) 상에서 실행될 수 있는 프로그램 명령어(도 15에는 도시 생략)로서 구성될 수 있다. 콘텍스트 계층(50)은 당업계에서 알려진 임의의 방식으로 취득 또는 생성될 수 있고, 여기에 기술한 임의의 콘텍스트 정보 또는 데이터를 포함할 수 있다. 또한, GDSII 파일(48)은 설계 데이터가 저장되는 임의의 다른 적합한 데이터 구조로 대체할 수 있다.

[0344] 도 15에 도시한 방법은 레시피 셋업 단계(52)를 또한 포함한다. 레시피 셋업 단계(52)는 정렬 정보(56)를 결정하기 위해 수행될 수 있는 단계(54)를 포함한다. 단계(54)는 여기에 추가로 기술하는 바와 같이 구성되는 검사 시스템에 의해 수행될 수 있는, 웨이퍼 상의 다이를 스캐닝하는 단계를 포함할 수 있다. 단계(54)는 웨이퍼를 스캐닝하여 취득한 정보를 사용하여 웨이퍼 상의 정렬 사이트를 선택하는 단계를 또한 포함할 수 있다. 웨이퍼 상의 정렬 사이트는 여기에 기술하는 바와 같이 선택된다. 또한, 웨이퍼 상의 정렬 사이트는 검사 스와스 레이아웃 정보(58) 및 여기에 추가로 기술하는 바와 같은 임의의 다른 적합한 정보에 기초하여 선택될 수 있다. 검사 스와스 레이아웃 정보는 여기에 기술한 임의의 스와스 정보를 포함할 수 있고, 여기에 기술하는 바와 같이 결정할 수 있다. 웨이퍼 상의 정렬 사이트의 선택은 여기에 추가로 기술하는 바와 같이 자동, 반-자동 (또는 유저-지원) 또는 수동으로 수행할 수 있다.

[0345] 단계(54)는 이미지를 렌더링하는 단계 또는 데이터베이스(44) 내의 CAD 레이아웃 정보로부터 웨이퍼 상의 정렬 사이트에 대응하는 다른 적합한 데이터를 취득하는 단계를 포함할 수 있다. 예컨대, 단계(54)는, 적합한 데이터 또는 이미지를 렌더링하거나, 웨이퍼 상의 정렬 사이트에 정렬될 수 있는 특정 특징의 중심과 같은 구조 특징 속성의 값을 연산하기 위하여, 웨이퍼 상의 선택된 정렬 사이트에 대응하는 CAD 패치(60)를 사용하는 단계를 포함할 수 있다. 단계(54)는 웨이퍼 상의 정렬 사이트의 CAD 레이아웃 정보로부터 획득한 정보로의 (x, y) 매핑을 연산하는 단계를 또한 포함할 수 있다. 정렬 정보(56)는 소정의 정렬 사이트에 대한 데이터 및 설계 데이터 스페이스 내의 소정의 정렬 사이트의 (x, y) 위치를 포함한다.

[0346] 도 15에 도시한 방법은 웨이퍼 검사 단계(62)를 포함할 수 있다. 웨이퍼 검사 단계(62)는 초기화 단계(64) 및 구동 단계(66)를 포함할 수 있다. 단계(68)에 나타난 바와 같이, 초기화 단계(64) 동안에, 상기 방법은 소정의 정렬 사이트에 대한 정보 및 설계 데이터 스페이스 내의 소정의 정렬 사이트의 (x, y) 위치를 포함하는 정렬 정보(56)를 프리로딩(preloading) 하는 단계를 포함할 수 있다. 단계(70)에 나타난 바와 같이, 초기화 단계는 데이터베이스(44)로부터 콘텍스트 계층(72)을 프리로딩하는 단계를 또한 포함할 수 있다. 초기화 단계는 단계(74)에 도시한 바와 같이, 다각형으로부터 픽셀로 소정의 정렬 사이트에 대한 데이터를 렌더링하는 단계를 또한 선택적으로 포함할 수 있으며, 이는 여기에 기술하는 바와 같이 수행될 수 있다. 콘텍스트 계층(72)은 여기에 기술한 임의의 콘텍스트 정보를 포함할 수 있다.

[0347] 구동 단계(66) 동안에, 단계(76)에 나타난 바와 같이, 상기 방법은 설계 데이터 스페이스로의 검사 데이터의 정렬 및 매핑을 수행하는 단계를 포함한다. 이러한 단계는 웨이퍼의 검사 동안에 수행할 수 있다. 정렬 및 매핑은 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 구동 단계는, 단계(78)에 도시한 바와 같이 콘텍스트 맵에 매핑을 인가하는 단계를 또한 포함할 수 있다. 콘텍스트 데이터는 여기에 추가로 기술하는 바와 같이 매핑될 수 있다. 구동 단계는, 단계(80)에 나타난 바와 같이, 콘텍스트 맵을 검사 동안에 검사 데이터에 인가하는 단계를 포함할 수 있고, 이는 여기에 기술하는 바와 같이 수행할 수 있다. 또한, 구동 단계는, 단계(82)에 나타난 바와 같이, 결함 좌표를 콘텍스트 맵에 매핑하는 단계를 포함할 수 있고, 이는 여기에 기술하는 바와 같이 수행할 수 있다. 구동 단계는, 검출 데이터를 콘텍스트에 의해 필터링하는 단계, 결함을 분류하는 단계, 리뷰 샘플을 생성하는 단계, 여기에 기술한 다른 단계, 또는 그것의 일부 조합을 포함할 수 있는 추가적인 단계(84)를 포함할 수 있다. 각각의 추가적인 단계(84)는 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 도 15에 도시한 방법의 각각의 실시예는 여기에 기술한 임의의 다른 단계를 포함할 수 있다. 또한, 도 15에 도시한 방법의 각각의 실시예는 여기에 기술한 임의의 시스템에 의해 수행할 수 있다.

[0348] 여기에 기술한 것과 같은 방법을 구현하는 프로그램 명령어는 캐리어 매체(carrier medium)를 통해 전송되거나 그것에 저장될 수 있다. 캐리어 매체는 ROM, RAM, 자기 또는 광 디스크, 또는 자기 테이프와 같은 저장 매체일 수 있다.

[0349] 도 16은 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하도록 구성된 시스템의 각종 실시예를 도시한다. 일 실시예에서, 시스템은 설계 데이터(도 16에서는 도시 생략)를 포함하는 저장 매체(86)를 포함한다. 저장 매체(86)는 여기에 기술한 임의의 다른 데이터 및 정보를 또한 포함할 수 있다. 저장 매체는 전술한

저장 매체 또는 당업계에 알려진 임의의 다른 적합한 저장 매체를 포함할 수 있다. 본 실시예에서, 시스템은 저장 매체(86)에 결합되는 프로세서(88)를 또한 포함한다. 프로세서(88)는 당업계에서 알려진 임의의 방식으로 저장 매체에 결합될 수 있다. 본 실시예에서, 시스템은 프로세서, 검사, 계측, 리뷰 또는 다른 툴의 일부를 구성하지 않는 독립 시스템으로서 구성될 수 있다. 그러한 실시예에서, 프로세서(88)는 "유선" 및/또는 "무선" 부분을 포함할 수 있는 전송 매체에 의해, 다른 시스템으로부터 데이터를 수신 및/또는 취득하도록 구성할 수 있다. 이러한 방식에서, 전송 매체는 프로세서와 다른 시스템 사이의 데이터 링크(link)로서 작용할 수 있다. 또한, 프로세서(88)는 전송 매체를 통하여 다른 시스템에 데이터를 전송할 수 있다. 그러한 데이터는 예컨대, 설계 데이터, 콘텍스트 데이터, 여기에 기술한 방법의 결과, 검사 레시피 또는 다른 레시피, 또는 그것의 일부 조합을 포함할 수 있다.

[0350] 프로세서(88)는 퍼스널 컴퓨터 시스템, 메인프레임 컴퓨터 시스템, 워크스테이션, 이미지 컴퓨터, 병렬식 프로세서, 또는 당업계에 알려진 임의의 다른 장치를 포함하는 각종 형태를 취할 수 있다. 일반적으로, 용어 "컴퓨터 시스템"은 메모리 메체로부터의 명령어를 실행하는 1 이상의 프로세서를 갖는 임의의 장치를 포함하도록 넓게 규정될 수 있다.

[0351] 하지만, 다른 실시예에서, 시스템은 검사 시스템(90)을 포함한다. 검사 시스템(90)은 웨이퍼(92) 상의 정렬 사이트에 대한 데이터와, 웨이퍼에 대한 검사 데이터를 취득하도록 구성된다. 검사 시스템을 포함하는 시스템의 실시예에서, 프로세서(88)는 당업계에 알려진 임의의 방식으로 검사 시스템에 결합될 수 있다. 예컨대, 프로세서(88)는 그 프로세서가 검출기에 의해 생성된 검사 데이터 및 웨이퍼 상의 정렬 사이트에 데이터를 수신할 수 있도록, 검사 시스템(90)의 검출기(94)에 결합될 수 있다. 또한, 프로세서는 이미지 데이터 및 신호와 같은 검출기의 임의의 다른 출력을 수신할 수 있다. 또한, 검사 시스템이 이상의 검출기를 포함하는 경우, 프로세서는 전술한 바와 같이 각각의 검출기에 결합될 수 있다.

[0352] 프로세서(88)는 웨이퍼 상의 정렬 사이트에 대하여 검사 시스템에 의해 취득한 데이터를 소정의 정렬 사이트에 대한 데이터에 정렬하도록 구성된다. 프로세서는 여기에 기술한 임의의 실시예에 따라 데이터를 정렬하도록 구성될 수 있다. 프로세서(88)는 설계 데이터 스페이스 내의 소정의 정렬 사이트의 위치에 기초하여 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 사이트의 위치를 결정하도록 또한 구성된다. 프로세서는 여기에 기술한 임의의 실시예에 따라 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 사이트의 위치를 결정하도록 구성될 수 있다. 또한, 프로세서(88)는 설계 데이터 스페이스 내의 웨이퍼 상의 정렬 사이트의 위치에 기초하여, 설계 데이터 스페이스 내의 검사 시스템에 의해 웨이퍼에 대하여 취득한 검사 데이터의 위치를 결정하도록 구성된다. 프로세서는 여기에 기술한 임의의 실시예에 따라 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하도록 구성될 수 있다. 프로세서는 여기에 기술한 임의의 방법 실시예의 다른 단계를 수행하도록 구성될 수 있다.

[0353] 일 실시예에서, 검사 시스템(90)은 광원(96)을 포함한다. 광원(96)은 당업계에 알려진 임의의 적합한 광원을 포함할 수 있다. 광원(96)은 광을 빔 스플리터(98)로 진행시키도록 구성될 수 있다. 빔 스플리터(98)는 광원(96)으로부터의 광을 실질적으로 수직인 입사각도에서 웨이퍼(92)로 진행시키도록 구성될 수 있다. 빔 스플리터(98)는 당업계에 알려진 임의의 적합한 광학 요소를 포함할 수 있다. 웨이퍼(92)로부터 반사된 광은 빔 스플리터(98)를 통과하여 검출기(94)로 진행한다. 검출기(94)는 당업계에 알려진 임의의 적합한 검출기를 포함할 수 있다. 검출기(94)에 의해 생성된 출력은 웨이퍼(92) 상의 결함을 검출하는데 사용될 수 있다. 예컨대, 프로세서(88)는 검출기에 의해 생성된 출력을 사용하여 웨이퍼(92) 상의 결함을 검출하도록 구성될 수 있다. 프로세서는 웨이퍼 상의 결함을 검출하기 위해 당업계에서 알려진 임의의 방법 및/또는 알고리즘을 사용할 수 있다. 검사 동안에, 웨이퍼(92)는 스테이지(100) 위에 배치된다. 스테이지(100)는 당업계에 알려진 적합한 기계적 및/또는 로봇 어셈블리를 포함할 수 있다. 도 16에 도시한 검사 시스템은 당업계에 알려진 임의의 다른 적합한 요소(도시 생략)를 포함할 수 있다.

[0354] 도 16에 도시한 바와 같이, 검사 시스템은 웨이퍼로부터 거울 반사된 광을 검출하도록 구성된다. 이러한 방식에서, 도 16에 도시한 검사 시스템은 BF 검사 시스템으로서 구성된다. 하지만, 검사 시스템은 DF 검사 시스템, EC 검사 시스템, 어퍼쳐 모드 검사 시스템, 또는 당업계에 알려진 임의의 다른 광학 검사 시스템으로서 구성된 검사 시스템으로 대체할 수 있다. 또한, 도 16에 도시한 검사 시스템은 웨이퍼로 향하는 광의 입사각도 및/또는 웨이퍼로부터 광이 수집되는 각도를 변경함으로써 DF 검사를 수행하도록 구성될 수 있다. 다른 예에서, 검사 시스템은, 그 검사 시스템은 EC 모드 검사 및/또는 검사의 어퍼쳐 모드를 수행할 수 있도록, 어퍼쳐와 같은 1 이상의 광학 요소(도시 생략)가 조명 경로 및 수집 경로 내에 위치할 수 있도록 구성될 수 있다.

[0355] 또한, 도 16에 도시한 광학적 검사 시스템은 KLA-Tencor사로부터 입수가 가능한 2360, 2365, 2371 및 23xx와 같은

상업적으로 입수가 가능한 검사 시스템을 포함할 수 있다. 다른 실시예에서, 도 16에 도시한 광학 검사 시스템은 전자 빔 검사 시스템으로 대체할 수 있다. 도 16에 도시한 시스템에 포함될 수 있는, 상업적으로 입수가 가능한 전자 빔 검사 시스템의 예는 KLA-Tencor로부터의 eS25, eS30 및 eS31 시스템을 포함한다. 도 16에 도시한 시스템의 실시예는 여기에 기술하는 바와 같이 추가로 구성할 수 있다. 또한, 시스템은 여기에 기술한 임의의 방법 실시예의 임의의 다른 단계를 수행하도록 구성될 수 있다. 도 16에 도시한 시스템의 실시예는 전술한 방법 실시예의 모든 이점을 갖는다.

[0356] 전술한 방법 및 시스템은 웨이퍼 상의 정렬 사이트에 대하여 취득한 데이터(예컨대, BF 패치 이미지)를 소정의 정렬 사이트(예컨대, GDSII 파일)에 대한 데이터와 정렬함으로써, 검사 데이터와 설계 데이터의 정렬을 일반적으로 수행한다. 여기에 기술한 추가적인 방법 및 시스템은 검사 데이터와 설계 데이터 사이의 정렬을 일반적으로 수행하고, 통계적 기술(예컨대, 패치 이미지 또는 SEM 이미지를 사용하지 않은)과 같은 기술을 사용하여 다른 결함 사이의 유사성을 결정한다.

[0357] 여기에 기술한 실시예는 콘텍스트-기반 셋업, 검사, 비닝, 리뷰, 측정, 테스트, 분석, 또는 그것의 일부 조합에 대하여 사용될 수 있다. 실시예에 사용된 콘텍스트 데이터는 설계 데이터베이스 또는 파일(예컨대, GDS 파일, OASIS 파일, 오픈 액세스(open access) 파일, 넷-리스트(net-list) 등); 프로세스 시뮬레이션 결과; 전기적 시뮬레이션 결과; POI(pattern of interest); 핫 스팟 정보(예컨대, OPC, 전기 테스트 결과, 검사 결과); 프로세스 툴 데이터(워크 인 프로그레스(work in progress)); 또는 그것의 일부 조합과 같은 데이터 구조로 저장된 설계에 관한 정보 또는 설계 데이터를 포함할 수 있다. 또한, 실시예는 여기에 기술한 실시예에 의해 생성된 결과에 기초하여 1 이상의 결함 및/또는 1 이상 그룹의 결함의 수율 영향을 예측하는 단계를 포함할 수 있다. 수율 영향을 예측하는 단계는 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 또한, 여기에 기술한 실시예는 실행가능한, 수율 관련 정보를 비교적 빠르게 제공하기 위해 유리하게 사용될 수 있다.

[0358] 여기에 기술한 정보는 결함 위치 좌표를 정밀하지 않게 결정(즉, 실제 결함은 보고된 좌표 근방에 위치할 수 있지만 보고된 좌표에 정확히 위치하지는 않음)하는 검사 시스템에 의해 검출된 결함을 그룹화하는데 사용될 수 있다. 예컨대, 여기에 기술한 방법 및 시스템은 패턴을 서로에 대하여 정렬시키는 것을 시도함으로써, 보고된 결함 위치에 가까운 것과 적어도 유사한 패턴을 검색하는데 사용할 수 있고, 이에 의해 검사 시스템에 의해 보고된 결함 좌표가 완벽하게 정확하지 않은 경우에도 결함의 개선된 그룹화를 허용한다. 다른 예에서, 보고된 결함 위치에 가까운 취득된 리뷰 이미지(예컨대, SEM 이미지) 또는 검사 이미지는, 웨이퍼 스페이스 내의 결함의 실제 위치(검사에 의해 보고된 결함의 위치와 대조적인)와 결함에 가까운 설계 데이터의 정확한 표현을 결정하기 위해, 설계 데이터와 비교되거나 그것과 오버레이될 수 있다. 적어도 유사한 패턴의 모든 인스턴스는 설계 데이터 내에서 식별되고(패턴의 회전되고, 플립(flip)되고, 또는 다르게는 기울어진 인스턴스를 포함하여), 패턴 그룹으로 비닝된다. 전술한 바와 같이 결정된 웨이퍼 스페이스 내의 실제 결함 위치는 패턴 그룹에 대한 위치와 비교되고, 소정의 공차 내에서 패턴 그룹에 대한 위치에 위치되는 결함은 그룹으로 비닝된다. 결함의 그러한 그룹화는 온-툴 또는 오프-툴로 수행될 수 있고, 여기에 기술한 방법의 성능을 향상시킬 수 있다(예컨대, 검사에 의해 보고된 결함 위치 좌표에 좌표 부정확성이 존재하는 경우 검색 범위를 줄인다) 특히, 좌표 부정확성에서, 보고된 검사 좌표에 기초하여 결정된 소스 패턴은 대략적인 소스 패턴(패턴이 고립되거나, 결함의 좌표가 실질적으로 정확히 존재하지 않는 한)이다. 물론, 여기에 기술한 실시예는 고정밀도 검사 시스템에 의해 생성된 검사 결과로 사용될 수 있다.

[0359] 일 실시예는 웨이퍼 상에서 검출된 결함을 비닝하는 컴퓨터-구현 방법에 관한 것이다. 일반적으로, 여기에 기술한 방법에서, 결함의 모집단은 소스 결함을 선택하고, 설계 데이터 스페이스 내의 소스 결함의 위치에 가까운 설계 데이터("소스 설계 데이터")를 타깃 결함의 설계 데이터 스페이스 내의 위치에 가까운 설계 데이터("타깃 설계 데이터")에 비교하고(예컨대, 결함 모집단의 전부 또는 일부), 비교된 설계 데이터 사이에 매치 또는 적어도 유사성이 존재하는 경우, 타깃 결함을 타깃 설계 데이터에 할당함으로써, 설계 데이터(예컨대, GDS 설계 데이터)에 기초하여 그룹화될 수 있다. 비교는 소스 및 타깃 설계 데이터의 직접 비교에 기초할 수 있다. 또한, 비교는 소스 결함과 타깃 결함의 설계 데이터 스페이스 내의 위치 사이에 사소한 좌표 부정확성이 정정된 후에 수행할 수 있다. 또한, 비교는 소스 및 타깃 결함 위치에서의 좌표 부정확성을 고려하기 위해 타깃 설계 데이터 내의 소스 설계 데이터를 검색하는 단계를 포함할 수 있다. 정렬 및 검색은 여기에 기술하는 바와 같이 수행할 수 있는 서브-픽셀 정렬 기술을 사용함으로써 개선될 수 있다. 또한, 소스 및 타깃 설계 데이터의 비교는 소스 및 타깃 설계 데이터 사이에 정확한 매치, 또는 소스 및 타깃 설계 데이터 사이에 유사하지만 정확하지 않은 매치가 존재하는지를 결정하기 위해 수행될 수 있다. 전술한 각각의 단계는 여기에 기술하는 바와 같이 추가로 수행할 수 있다.

- [0360] 타깃 결함 모집단이 소스 결함에 대하여 테스트된 후, 다음의 소스 결함이 선택될 수 있다. 아직 그룹화되지 않은 결함이 다음 소스 결함으로서 선택된다. 전술한 단계는 모든 결함이 그룹화(또는 적어도 테스트)될 때까지 반복될 수 있다. 여기에 기술한 방법에 사용된 결함 모집단은 웨이퍼 상에서 검출된 모든 결함을 포함할 수 있고, 복수의 웨이퍼 상에서 검출된 모든 결함, 또는 1 이상의 웨이퍼 상에서 검출된 결함의 서브세트(예컨대, 1 이상의 웨이퍼 상에서 검출되고 핫 스팟에 근접한 것으로 식별된 결함)를 포함할 수 있다. 또한, 여기에 기술한 방법은 전체 결함 모집단 또는 전체 결함 모집단 내의 결함의 서브세트(로직, 메모리 등과 같은 설계 기능 블록에 기초하여 선택될 수 있는)에 대하여 수행할 수 있다. 비닝은 자동 단일-패스 또는 다중-패스 그룹화로 수행될 수 있다.
- [0361] 상기 방법은 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터 부분을 비교하는 단계를 포함한다. 예컨대, 도 17에 도시한 바와 같이, 상기 방법은 설계 데이터 스페이스(106) 내의 결함(104)의 위치에 가까운 설계 데이터(도시 생략)의 부분(102)을 설계 데이터 스페이스(106) 내의 결함(110)의 위치에 가까운 설계 데이터(도시 생략)의 부분(108)과 비교하는 단계를 포함할 수 있다. 결함(104)은 여기에서는 "소스 결함"이라 칭하며, 결함(110)은 여기에서 "타깃 결함"이라 칭한다. 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터는 백그라운드 패턴 데이터 또는 결함에 대한 백그라운드 정보를 규정한다.
- [0362] 도 17에 도시한 바와 같이, 부분(102)은 결함(104)보다 크다. 부분(102)의 치수(x 및 y 방향에서의)는 유저에 의해 선택될 수 있다. 또한, 부분(108)은 결함(110)보다 크다. 부분(108)의 치수 또한 유저에 의해 선택할 수 있다. 부분(108)의 치수는 여기에 추가로 기술하는 바와 같이 부분(102)의 치수보다 통상적으로 크다. 대안적으로, 부분의 치수는 여기에 기술한 컴퓨터-구현 방법에 의해 선택할 수 있다(예컨대, 자동으로).
- [0363] 일 실시예에서, 부분의 치수(x 및 y 방향에서의)는, 결함, 검사 시스템의 좌표 부정확성, 설계 데이터의 1 이상의 속성, 결함 사이즈, 검사 시스템의 결함 사이즈 에러, 또는 그것의 일부 조합을 검출하는데 사용된 검사 시스템에 의해서 보고된 결함의 위치에 적어도 부분적으로 기초한다. 예컨대, 상기 방법은 보고된 결함 위치에 중심을 둔 결함 데이터의 부분(즉, "패턴 창")을 규정하는 단계를 포함할 수 있다. 패턴 창은 결함의 치수보다 큰 폭 및 높이를 가질 수 있고, 좌표 불확실성으로 인한 결함 위치에서의 에러를 고려하기 위해 선택된다. 예컨대, 검사 시스템에 의해 보고된 결함 위치의 좌표가 약 $\pm 3\mu\text{m}$ 로 정확하면, 패턴 창은 약 $6\mu\text{m} \times$ 약 $6\mu\text{m}$ 의 전체 최소 사이즈를 위해, 보고된 결함 위치의 x 및 y 좌표로부터 모든 방향에서 적어도 $3\mu\text{m}$ 를 포함하도록 규정할 수 있다. 이러한 방식에서, 검사 시스템의 좌표 정확도가 더 좋을수록, 패턴 창은 더 작아질 수 있으며, 이는 신속하고 더욱 정확한 그룹화의 결과를 낼 수 있다. 패턴 창의 치수는 패턴 창이 설계 데이터 내의 충분한 수의 특징과 같은 "충분한" 양의 백그라운드 패턴 데이터를 포함하도록 선택될 수 있다. 또한, 패턴 창 내의 설계 데이터가 클립과 비교되는 경우, 패턴 창 치수는 패턴 창이 클립에 단지 부분적으로 포함되는 전체 다각형을 포함하도록 선택할 수 있다.
- [0364] 여기에 기술한 방법에 사용된 설계 데이터의 부분은 설계 데이터 스페이스 내의 결함의 위치 둘레에서 취해진 설계의 클립을 포함할 수 있다. 용어 "클립"은 결함 주위의 설계 데이터 내의 영역으로서 일반적으로 규정되며, 결함의 근방으로서 고려될 수 있다. 다각형은 클립 내의 패턴을 규정하지만, 다각형은 클립을 넘어 부분적으로 연장할 수 있다. 결함의 일부에 대하여 여기에 기술한 방법에 사용된 클립은 하나 이상의 다른 치수를 가질 수 있다. 하지만, 여기에 기술한 방법에 사용된 설계 데이터의 부분은, 결함이 위치할 수 있는 부분의 범위 주위의 연장된 바운딩 박스(EBB) 내의 설계 데이터를 포함할 수 있다. EBB는 결함을 검출하기 위해 사용된 검사 시스템의 좌표 정확도와, 결함 사이즈(및 검사 시스템의 결함 사이즈 에러)에 기초하여 선택할 수 있다. 예컨대, 검사의 좌표 정확도가 커질수록, EBB의 치수는 감소할 수 있다. 큰 EBB에서보다 작은 EBB에서 결함의 위치가 더욱 정확히 결정될 수 있기 때문에, 더 작은 EBB가 바람직하고, 결함의 1 이상의 속성(예컨대, 설계 내의 다각형에 대한 결함의 위치, 결함에 대한 분류, 및 결함의 근본 원인)를 결정하기 위해 EBB 내의 더욱 정확한 결함 위치가 사용될 수 있다. 또한, 결함의 적어도 일부에 대하여 사용된 EBB의 1 이상의 치수는 상이할 수 있다. EBB는 일반적으로 클립보다 작고, 어느 결함이 위치할 수 있는지를 나타낸다).
- [0365] 다른 실시예에서, 부분의 적어도 일부의 치수는 상이하다. 예컨대, 도 17에 도시한 바와 같이, 부분(108)과 결함(110)의 치수 사이의 차이는 부분(102)과 결함(104)의 치수 사이의 차이보다 크다. 즉, 타깃 결함 주위의 타깃 부분의 영역은 소스 결함 주위의 소스 부분의 영역보다 크다. 이러한 방식에서, 타깃 부분은 소스 부분보다 더 많은 설계 데이터를 포함할 수 있다.
- [0366] 설계 데이터의 소스 부분은 설계 데이터의 타깃 부분의 다른 영역과 비교될 수 있다. 이러한 방식에서, 상기 방법은 타깃 부분 내의 설계 데이터의 소스 부분을 탐색하는 단계를 포함할 수 있다. 예컨대, 소스 부분과 타

깃 부분의 오버레이(112)에 도시한 바와 같이, 설계 데이터의 소스 부분은 타깃 부분의 일 영역과 비교할 수 있다. 이러한 비교 후에, 타깃 부분에 대한 소스 부분의 위치는 타깃 부분의 다른 영역 내의 설계 데이터가 설계 데이터의 소스 부분에 비교될 수 있도록 변경될 수 있다. 이러한 방식에서, 상기 방법은 매치가 식별될 때까지 또는 타깃 부분의 모든 영역이 소스 부분과 비교될 때까지, 설계 데이터의 소스 부분을 타깃 부분 주위로 "슬라이딩" 시키는 단계를 포함할 수 있다.

[0367] 설계 데이터의 부분을 비교하는 단계는 비교 단계에 이용가능한 임의의 정보로 수행될 수 있다. 예컨대, 비교되는 설계 데이터의 부분은 GDS 파일과 같은 데이터 구조에 포함된 설계 데이터의 부분일 수 있다. 또한, 설계 데이터의 부분을 비교하는 단계는 부분 내의 다각형을 비교하는 단계를 포함할 수 있다. 다른 실시예에서, 상기 방법은 비교 단계 이전에, 설계 데이터 스페이스 내의 결합의 위치에 가까운 설계 데이터의 부분을 비트맵으로 변환하는 단계를 포함한다. 예컨대, 설계 데이터의 부분 내의 다각형은 신속한 처리를 위해 비트맵으로 변환될 수 있다. 설계 데이터의 부분은 당업계에 알려진 임의의 적합한 방식을 사용하여 비트맵으로 변환될 수 있다. 예컨대, 여기에 완전히 언급된 것과 같이 참고자료로 포함되는, 미국 특허 제7,030,997호(Neureuther et al.)에 개시된 방법 및 시스템을 사용하여 비트맵으로 변환될 수 있다. 그러한 일 실시예에서, 설계 데이터의 부분을 비교하는 단계는, 비트맵을 서로 비교하는 단계를 포함한다. 비트맵을 서로 비교하는 단계는 임의의 적합한 방식을 사용하여 수행할 수 있다. 또한, 설계 데이터의 부분을 비교하는 단계는 그 부분 내의 설계 데이터의 1 이상의 속성을 비교하는 단계를 포함할 수 있다. 비교되는 1 이상의 속성은 여기에 기술한 설계 데이터의 임의의 속성을 포함할 수 있다.

[0368] 상기 방법은, 비교 단계의 결과에 기초하여, 그 부분 내의 설계 데이터가 적어도 유사한지(유사하거나 정확히 동일한지)를 결정하는 단계를 또한 포함한다. 부분 내의 설계 데이터의 1 이상의 속성이 결정되면, 그룹화는 공통의 패턴 유사도, 공통 속성 유사도, 특정 스페이스 내의 공통 속성 유사도, 또는 그것의 일부 조합에 기초할 수 있다. 예컨대, 일 실시예에서, 그 부분 내의 설계 데이터가 적어도 유사한지를 결정하는 단계는, 그 부분 내의 설계 데이터 내의 공통 패턴이 적어도 유사한지를 결정하는 단계를 포함하며, 이는 여기에 추가로 기술하는 바와 같이 수행될 수 있다. 다른 실시예에서, 그 부분 내의 설계 데이터가 적어도 유사한지를 결정하는 단계는, 그 부분 내의 설계 데이터의 공통 속성이 적어도 유사한지를 결정하는 단계를 포함하며, 이는 여기에 추가로 기술하는 바와 같이 수행될 수 있다. 추가의 실시예에서, 그 부분 내의 설계 데이터가 적어도 유사한지를 결정하는 단계는, 그 부분 내의 설계 데이터의 특정 스페이스에서의 공통 속성이 적어도 유사한지를 결정하는 단계를 포함하며, 이는 여기에 추가로 기술하는 바와 같이 수행될 수 있다. 또한, 상기 방법은 그 부분 내에 유사한 다른 영역이 어떻게 존재하는지를 결정하는 단계를 포함할 수 있다. 또한, 그 부분 내의 설계 데이터가 서로 미소하게 오프셋 되거나 미소하게 다른 설계 구조를 포함할지라도, 그 부분이 현저한 공통 구조를 갖는 경우, 그 부분은 서로 유사한 것으로 결정될 수 있다. 상기 방법은, "백그라운드" 패턴에 기초하여, 어느 결합이 서로 유사한지를 결정하기 위해서, 설계 데이터 스페이스 내의 각각의 결합의 위치에 가까운 설계 데이터를 설계 데이터 스페이스 내의 모든 결합의 위치에 가까운 설계 데이터와 비교하는 단계를 포함할 수 있다.

[0369] 그 부분 내의 설계 데이터가 적어도 유사한지를 결정하는 단계는 결합이 설계 데이터 내의 동일한 위치에 위치되는지의 여부에 기초하여 수행되지 않는 것이 바람직하다. 즉, 여기에 기술한 방법에 의해 자신의 "백그라운드"에 기초하여 그룹으로 비닝된 결합은 패턴, 특징, 다각형, 또는 설계 데이터 내의 구조에 대하여 동일한 위치에 위치될 필요가 없을 수 있다. 설계 데이터에 대한 결합의 위치의 매칭에 의존하지 않고, 상기 방법은 더욱 정확한 결합 비닝을 제공할 수 있다. 예컨대, 두 개의 결합이 동일한 유형의 패턴 내에 존재하지만, 그 패턴 내의 다른 위치에 위치할 수 있다. 또한, POI 내의 체계적 결합이 국부화될 수 있지만, 또한 국부화되지 않을 수 있다. 하지만, 그러한 결합이 동일한 패턴 기반 이슈에 의해 야기될 수 있거나, 그것에 관련될 수 있다. 따라서, 설계 데이터 내의 실제 결합 위치 사이의 유사성에 의존하지 않는 결합 비닝은 더욱 정확한 비닝을 허용할 수 있으며, 이는 이들 체계적 이슈에 기초하여 수율의 제어 및 예측과, 체계적 이슈의 더욱 정확한 입증을 위해 사용될 수 있다. 설계 데이터의 부분이 적어도 유사한지를 결정하는 단계는 임의의 적합한 알고리즘을 사용하여 수행될 수 있다. 따라서, 그 방법은 "유사성 체커(checker)"로서 사용될 수 있다. 타깃 부분이 그 타깃 부분에 비교되는 소스 부분보다 클 수 있기 때문에, 유사성 체커는 설계 데이터 내의 실제 결합 위치에서의 좌표 부정확성이 존재하는 경우에 유리하게 사용할 수 있다.

[0370] 도 17에 도시한 실시예에서, 전체 소스 부분은 타깃 부분의 다른 영역과 비교된다. 일부 실시예에서, 상기 방법은 부분의 적어도 일부에 있는 설계 데이터의 전체를 다른 부분에 있는 설계 데이터에 비교하는 단계를 포함한다. 또한, 상기 방법은 설계 데이터의 소스 부분의 전체를 설계 데이터의 타깃 부분의 다른 영역에 비교하는 단계를 포함할 수 있다. 그와 같이, 상기 방법은 설계 데이터의 전체 소스 부분에 적어도 유사한 설계 데이터

에 대한 타깃 부분을 탐색하는 단계를 포함할 수 있다.

[0371] 상기 방법은 각각의 그룹의 결함의 위치에 가까운 설계 데이터의 부분이 적어도 유사하도록 결함을 그룹으로 비닝하는 단계를 더 포함한다. 이러한 방식에서, 상기 방법은 설계 데이터 및/또는 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 콘텍스트에 기초하여 결함을 그룹으로 비닝하는 단계를 포함한다. 예컨대, 비-감독 방식으로 결함을 그룹으로 비닝하기 위해, 적어도 유사하거나 매치하는 설계 데이터의 부분에서의 다각형을 사용할 수 있다. 또한, 비닝 단계는 적어도 하나의 그룹 내의 적어도 2개의 결함의 위치에 가까운 설계 데이터가 적어도 유사하도록, 적어도 2개의 결함을 적어도 하나의 그룹으로 비닝하는 단계를 포함할 수 있다. 또한, 적어도 유사하다고 결정된, 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 부분이 아무것도 없는 드문 인스턴스에서, 상기 방법은 결함을 그룹으로 비닝하지 않는다.

[0372] 상기 방법은 비닝 단계의 결과를 저장 매체에 저장하는 단계를 또한 포함한다. 비닝 단계의 결과는 여기에 기술한 임의의 결과를 포함할 수 있다. 또한, 상기 저장 단계는 여기에 기술한 임의의 방법 실시예의 임의의 단계의 임의의 다른 결과에 부가하여 비닝 단계의 결과를 저장하는 단계를 포함할 수 있다. 결과는 당업계에 알려진 임의의 다른 방식으로 저장될 수 있다. 또한, 저장 매체는 여기에 기술한 임의의 저장 매체 또는 당업계에 알려진 임의의 다른 적합한 저장 매체를 포함할 수 있다. 그 결과가 저장된 후, 그 결과는 여기에 기술한 임의의 방법 또는 시스템 실시예에 의해 저장 매체 내에서 액세스되고 사용될 수 있다. 또한, 그 결과는 "영구적으로", "반-영구적으로", 일시적으로 또는 일부 기간 동안 저장될 수 있다. 예컨대, 저장 매체는 RAM일 수 있고, 비닝 단계의 결과는 저장 매체 내에서 잔존할 필요가 없을 수 있다.

[0373] 설계 데이터의 부분이 적어도 유사한지 결정하는 단계는 비교 단계의 결과를 유사성에 대한 소정 기준과 비교하는 단계를 포함할 수 있다. 예컨대, 비교 단계의 결과는 임계값과 비교될 수 있다. 그 부분 내의 설계 데이터가 적어도 그러한 임계값만큼 적어도 유사한 경우, 그 방법은 결함을 그룹으로 비닝할 수 있다. 다른 예에서, 비교 단계의 결과는 "퍼센트 유사" 값에 비교될 수 있다. 그 부분 내의 설계 데이터가 적어도 그 퍼센트만큼 적어도 유사한 경우, 상기 방법은 그 결함을 그룹으로 비닝할 수 있다.

[0374] 임의의 경우에, 유사도 체크가 설계 데이터의 2 이상의 부분 사이에서 수행되고(예컨대, GDS 패턴 클립), 2 이상의 부분 내의 공통 패턴이 식별되는 경우, 상기 방법은 그 결함을 그룹으로 비닝하는 단계를 포함한다. 그 부분 내의 설계 데이터가 적어도 유사한지를 결정하는 단계에 의해 생성된 결과는 소스 부분 내의 설계 데이터가 타깃 부분에서 발견되었는지의 여부의 지시를 포함할 수 있다. 또한, 공통 구조의 중심점은 체계적 결함의 설계 데이터 스페이스 위치에 가까운 것으로 간주할 수 있다. 따라서, 각 그룹 내의 결함의 설계 데이터 스페이스 위치의 (x, y) 좌표는 각 그룹에 대응하는 구조의 중심점에 조정(이동)될 수 있다. 좌표 보정 벡터(또는 에러 벡터)는 결함의 설계 데이터 스페이스 좌표 및 결함이 비닝되는 그룹에 대응하는 공통 구조의 중심점에 기초하여 각각의 비닝된 결함에 대해 결정될 수 있다. 결함 위치의 설계 데이터 스페이스 좌표에서의 전체 체계적 불확실성(설계 데이터 스페이스 이동 에러 + 보고된 좌표에서의 에러에 대한 웨이퍼 스페이스)을 결정하기 위해, 상기 방법은 통계적으로 현저한 수의 결함에 대하여 이동 또는 에러 벡터의 평균을 결정하는 단계를 포함할 수 있다. 상기 방법은 모든 에러 벡터의 표준 편차를 결정하는 단계와, ± 1 표준 편차 또는 ± 3 표준 편차 이내의 벡터만의 평균을 결정하는 단계를 또한 포함할 수 있다. 이러한 방식에서, 평균값을 손실할 수 있는 이상치는 연산으로부터 제거할 수 있다. 결정된 평균값은 전체적 보정 값으로서 사용할 수 있다. 예컨대, 이러한 전체적 보정 값은, 더욱 정확한 오버레이가 후속 데이터 처리 단계에서 결정될 수 있도록 데이터 이동을 설계하기 위하여, 웨이퍼 스페이스에 의해 결정된 결함 위치의 부가적인 설계 데이터 스페이스 좌표에 인가된다.

[0375] 결정 단계의 결과는 타깃 부분과, 적어도 유사한 설계 데이터가 발견되는 그 타깃 부분 내의 소스 부분의 위치 사이의 x 및 y 오프셋을 또한 포함할 수 있다. x 및 y 오프셋은 비닝 방법을 최적화하기 위해 사용될 수 있다. 예컨대, 부분들의 초기 비교시, 소스 부분은 타깃 부분 내에 두 부분의 중심점이 정렬되도록 위치될 수 있다. 하지만, 타깃 부분 내의 소스 부분의 초기 사용 위치와, 적어도 유사한 설계 데이터가 발견되는 타깃 부분 내의 소스 부분의 위치 사이에 일부 예측가능하거나 반복되는 오프셋(x 및/또는 y 방향에서)이 존재한다고 결정되면, 이러한 오프셋은 비닝 방법의 비교 단계에서 사용된 오버레이를 조정하는데 사용할 수 있다.

[0376] 일부 실시예에서, 부분 내의 설계 데이터는 1 이상의 설계 층에 대한 설계 데이터를 포함한다. 이러한 방식에서, 상기 방법은 결함의 백그라운드 유사성에 대한 하나의 설계 층을 체크하여 결함을 비닝하는 단계, 또는 결함의 백그라운드 유사성(즉, 다중-층 백그라운드 유사성)에 대한 설계 층의 세트를 체크하여 결함을 비닝하는 단계를 포함할 수 있다. 예컨대, 웨이퍼 상의 폴리실리콘 층(예컨대, 게이트 전극층)의 검사 동안에, 하지 확

산층은 검사 시스템에 가시적일 수 있고, 따라서 검사 결과에 영향을 미친다. 그와 같이, 그 부분에 포함되는 설계 데이터는 백그라운드 기반 비닝의 정확도를 증가시키기 위해 폴리실리콘 층 및 확산층에 대한 설계 데이터를 포함할 수 있다. 하지만, 1 이상의 설계 층에 대한 설계 데이터를 사용함으로써, 적어도 유사하지만 하지층상의 비-유사 설계 데이터 위에 위치하는 설계 데이터의 부분에 가까이 위치한 결함은 다른 그룹으로 비닝될 수 있다.

[0377] 소스 부분 내의 설계 데이터가 타깃 부분 내에서 발견되는지의 여부에 관계없이, 상기 방법은 설계 데이터 스페이스 내의 다른 결함의 위치에 가까운 설계 데이터의 다른 부분과 그 소스 부분을 비교하는 단계를 포함할 수 있다. 소스 부분 내의 설계 데이터와 적어도 유사하거나 동일한 설계 데이터에 가까이 위치한 1 이상의 타깃 결함이 웨이퍼 상에서 검출될 수 있기 때문에, 소스 부분 내의 설계 데이터를 다중 타깃 부분 내의 설계 데이터에 비교하는 단계가 수행될 수 있다.

[0378] 도 17에 도시한 그러한 일 예에서, 부분(102)은 설계 데이터 스페이스(106) 내의 결함(116)의 위치에 가까운 설계 데이터(도시 생략)의 부분(114)과 비교될 수 있다. 부분(114)의 치수는 전술한 바와 같이 선택될 수 있다. 설계 데이터의 소스 부분은 여기에 추가로 기술하는 바와 같이 타깃 부분의 다른 영역 내의 설계 데이터와 비교될 수 있다. 상기 방법은, 소스 부분 내의 설계 데이터가 타깃 부분 내의 설계 데이터의 적어도 일부와 적어도 유사한지를 결정하는 단계를 포함할 수 있고, 이는 전술한 바와 같이 수행될 수 있다. 부분들의 오버레이(118)는 적어도 유사한 설계 데이터가 발견된 타깃 위치 내의 소스 부분의 위치를 도시한다. 따라서, 그 방법은, 부분(102) 내의 설계 데이터가 부분(114) 내의 설계 데이터의 적어도 일부에 적어도 유사하다고 결정되기 때문에 결함(104 및 116)을 하나의 그룹으로 비닝하는 단계를 포함한다. 또한, 소스 부분 내의 설계 데이터가 양 타깃 부분에서의 설계 데이터의 적어도 일부와 적어도 유사하다고 결정되기 때문에, 결함(102, 110 및 116)은 하나의 그룹으로 비닝된다.

[0379] 그러한 다른 예에서, 부분(102)은 설계 데이터 스페이스(106) 내의 결함(122)의 위치에 가까운 설계 데이터(도시 생략)의 부분(120)과 비교될 수 있다. 부분(120)의 치수는 전술한 바와 같이 선택될 수 있다. 설계 데이터의 소스 부분은 전술한 바와 같이 부분(120)의 다른 영역 내의 설계 데이터와 비교될 수 있다. 상기 방법은, 비교 결과에 기초하여, 부분(102) 내의 설계 데이터가 부분(120) 내의 설계 데이터의 적어도 일부와 적어도 유사한지를 결정하는 단계를 또한 포함하며, 이는 전술한 바와 같이 수행될 수 있다. 부분(102 및 120)의 오버레이(124)는 적어도 유사한 설계 데이터가 발견되는 부분(120) 내의 부분(102)의 위치를 도시한다. 따라서, 상기 방법은 소스 결함 및 타깃 결함(112)을 하나의 그룹으로 비닝하는 단계를 포함한다. 또한, 소스 부분의 설계 데이터가 3 개의 타깃 부분의 설계 데이터의 적어도 일부와 적어도 유사하다고 판단되기 때문에, 소스 결함 및 3 개의 타깃 결함은 하나의 그룹으로 비닝된다. 전술한 단계는 웨이퍼 상에서 검출된 각각의 결함에 대한 백그라운드 정보가 웨이퍼 상에서 검출된 모든 다른 결함에 대한 백그라운드 정보와 비교될 때까지 수행될 수 있다.

[0380] 전술한 바와 같이, 상기 방법은 설계 데이터 및/또는 설계 데이터 스페이스의 결함의 위치에 가깝게 위치한 설계 데이터의 콘텍스트에 기초하여, 가능하게는 설계 데이터 및/또는 설계 레이아웃의 1 이상의 속성과 같은 다른 정보와 조합하여, 결함을 비닝하는 단계를 포함한다. 콘텍스트 정보에 기초하여 결함을 비닝하는 다른 방법과 대조적으로, 여기에 기술한 상기 방법은 웨이퍼 상에 인쇄된 바와 같은 백그라운드 정보에 기초하여 비닝을 수행하지 않는다. 대신, 여기에 기술한 상기 방법은 설계 데이터에 규정된 바와 같은 백그라운드 정보에 기초하여 비닝을 수행한다. 이러한 방식에서, 여기에 기술한 상기 방법은 설계 데이터가 웨이퍼 상에 어떻게 인쇄되는지 또는 그것의 여부에 무관하게 백그라운드 기반 비닝을 수행할 수 있다.

[0381] 웨이퍼 상에 인쇄된 바와 같은 설계 데이터로부터의 그러한 독립성은 PWQ 방법 및 FEM(focus exposure matrix) 방법에 특히 이로울 수 있으며, 그러한 방법에서 웨이퍼 상에 인쇄된 바와 같은 설계 데이터가 그러한 방법을 위해 사용된 프로세스 창 매개변수에 걸쳐 변환될 수 있고(가끔 극적으로), 이에 의해 웨이퍼 상에 인쇄된 설계 데이터의 이미지에 기초한 결함 비닝 방법의 정확도를 저하시킨다. PWQ와 같은 실험적 기술의 그러한 일 애플리케이션에서, 그 방법은 설계 데이터 스페이스 내의 결함의 위치에서의 결함 데이터의 발췌(excerpt) 또는 GDS 클립을 사용함으로써 개선된 백그라운드 기반 비닝을 제공할 수 있다. 그와 같이, 비닝은 공통 패턴에 의해 수행될 수 있다. 비닝된 결함은 여기에 추가로 기술한 바와 같이 개별적으로 또는 집합적으로 분류될 수 있다. 예컨대, 상기 방법은 설계 데이터의 1 이상의 속성(예컨대, 설계 데이터 스페이스 내의 결함 위치에 가깝게 위치한 설계 데이터의 1 이상의 속성)에 기초하여 결함을 분류하는 단계를 포함할 수 있고, 이는 여기에 추가로 기술하는 바와 같이 수행될 수 있다.

[0382] 웨이퍼 상에서 검출된 결함이 결함의 설계 데이터 스페이스 위치에 가까운 설계 데이터에 의해 비닝되기

때문에, 설계 데이터 스페이스 내의 결함의 위치는 비닝이 수행되기 이전에 결정될 수 있다. 일 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검출된 결함의 위치의 x 및 y 좌표에 대한 데이터를 취득하는 (또는 이동 함수를 결정하기 위한) 단계를 포함하며, 이는 여기에 기술하는 바와 같이 수행할 수 있다. 다른 실시예에서, 상기 방법은 정렬 사이트에 대하여 검사 시스템에 의해 취득한 데이터를 소정의 정렬 사이트에 대한 데이터와 비교함으로써 설계 데이터 스페이스 내의 결함의 위치를 결정하는 단계를 포함한다. 웨이퍼 상의 정렬 사이트에 대한 데이터를 취득하는 단계는 제품 레이아웃 데이터, 선택적으로는 레티클 프레임 데이터, 및 스테퍼 데이터(또는 스테퍼에의 입력)를 사용하여 웨이퍼 상의 정렬 사이트의 적절한 웨이퍼 스페이스 위치를 결정하는 단계와, 그 적절한 위치에서의 데이터를 취득하는 단계를 포함할 수 있다. 그러한 비교 및 결정 단계는 전술한 바와 같이 수행할 수 있다. 또한, 상기 방법은 웨이퍼 상의 정렬 사이트에 대하여 검사 시스템에 의해 취득한 데이터와 소정의 정렬 사이트에 대한 데이터 비교함으로써 설계 데이터 스페이스 내의 결함의 적어도 일부의 위치를 결정하는 단계를 포함할 수 있다. 결함의 적어도 일부에 대하여 결정된 위치는 설계 데이터 스페이스 내의 다른 결함의 위치를 결정하는데 사용할 수 있다(예컨대, 보고된 결함 위치를 설계 데이터 스페이스로 이동시키기 위한 변환을 생성 및 사용함으로써). 설계 데이터 스페이스 내의 결함의 위치를 결정하는 단계는 여기에 기술한 임의의 실시예에 따라 수행할 수 있다.

[0383] 때때로, 전술한 데이터의 모두는 이용 불가능할 수 있거나, 웨이퍼는 설계 데이터에 따라 적절히 정렬되어 있지 않을 수 있다. 그러한 예에서, 변환 정보의 일부를 검사 또는 리뷰 동안에 웨이퍼로부터 실험적으로 결정하는 것이 유용할 수 있다. 일 실시예에서, 상기 방법은 결함의 검출 동안에 검사 시스템에 의해 취득한 데이터를 리뷰에 의해 결정된 설계 데이터 스페이스 내의 위치에서 리뷰 시스템에 의해 취득된 데이터에 비교함으로써 설계 데이터 스페이스 내의 결함의 위치를 결정하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 1 이상의 결함에 대한 검사 결과를 리뷰에 의해 결정된 설계 데이터 스페이스 위치에서 취득된 리뷰 결과에 정렬하는 단계를 포함할 수 있다. 또한, 상기 방법은 결함의 검사 동안에 검사 시스템에 의해 취득한 데이터를 리뷰에 의해 결정된 설계 데이터 스페이스 내의 위치에 리뷰 시스템에 의해 취득한 데이터에 비교함으로써, 결함의 적어도 일부의 설계 데이터 스페이스 위치를 결정하는 단계를 포함할 수 있다. 결함의 적어도 일부에 대하여 결정된 위치는 설계 데이터 스페이스 내의 다른 결함의 위치를 결정하는데 사용될 수 있다(예컨대, 보고된 결함 위치를 설계 데이터 스페이스 내의 결함 위치로 이동시키기 위한 정보를 생성 및 사용하여). 하지만, 이러한 접근법은 검사 시스템의 좌표 부정확성에 의해 복잡해질 수 있는 웨이퍼 스케일 오프셋을 제공한다. 따라서, 결함의 보고된 위치 내의 좌표 부정확성이 존재하는 경우, 변환 함수를 측정의 통계적 샘플에 기초하는 것이 유리할 수 있다.

[0384] 설계 데이터 스페이스 내의 결함의 위치가 결정된 후에, 결정된 위치 주변의 설계 데이터 부분을 추출할 수 있어서, 설계 데이터의 추출된 부분은 결함을 비닝하고, 여기에 기술한 다른 단계를 수행하는데 사용할 수 있다. 또한, 비닝을 위해 설계 데이터의 추출된 부분을 사용하기 이전에, 추출 부분의 각각에 대응하고 포함하는 부분 세트를 생성하기 위해, 각각의 (또는 1 이상의)의 추출 부분이 반사되고(mirrored), 회전되고, 스케일되고, 이동(shift)되고, 또는 그것의 일부 조합이 행해질 수 있다. 부분의 세트는 비닝 방법의 정확도를 증가시키기 위해 비닝에 대해 사용될 수 있다.

[0385] 상기 방법은 x 방향에서의 치수(예컨대, 폭), y 방향에서의 치수(예컨대, 길이), 및 z 방향에서의 치수(예컨대, 높이), 여기에 기술한 임의의 속성, 또는 것의 일부 조합과 같은 검출 결함의 1 이상의 속성을 결정하는 단계를 포함할 수 있다. 1 이상의 속성은 테이블 또는 리스트와 같은 임의의 적합한 구조에 조직화 및/또는 저장될 수 있다. 다른 실시예에서, 결함을 비닝하는 단계는 각각의 그룹 내의 결함의 설계 데이터 스페이스 위치에 가까운 설계 데이터의 부분이 적어도 유사하고, 각 그룹 내의 결함의 1 이상의 속성이 적어도 유사하도록, 결함을 그룹으로 비닝하는 단계를 포함한다. 그러한 일 실시예에서, 결함의 1 이상의 속성은 결함이 검출된 검사 결과의 1 이상의 속성, 1 이상의 검사 매개변수, 또는 그것의 일부 조합을 포함한다. 검사 결과의 1 이상의 속성은 예컨대, 결함이 우선적으로 검출된, 광학 모드 및/또는 편광, 수집 각도, 입사 각도 등과 같은 다른 검사 매개변수를 포함할 수 있다. 또한(또는 대안적으로), 1 이상의 속성은 여기에 기술한 결함의 임의의 다른 속성을 포함할 수 있다. 이러한 방식에서, 비닝은 결함이 설계 데이터 및 결함 속성로 분리되도록 수행할 수 있다. 그러한 비닝은 설계 데이터의 적어도 유사한 부분 내에 위치한 다른 결함 유형 또는 다른 속성을 갖는 결함이 다른 그룹으로 분리될 수 있도록 수행할 수 있다.

[0386] 일부 실시예에서, 여기에 기술한 바와 같이 비닝된 결함은 광학 또는 전자 빔 검사에 의해 검출된다. 광학 및 전자 빔 검사는 여기에 기술한 검사 시스템에 의해 수행할 수 있다. 다른 실시예에서, 여기에 기술한 바와 같이 비닝된 결함은 PWQ 또는 FEM 방법에서 검출되며, 이는 여기에 기술한 바와 같이 수행할 수 있다. 여기에 기

술한 실시예는 PWQ 또는 FEM 방법에서 검출된 결함에 대해 특히 유용할 수 있다. 예컨대, 여기에 기술한 방법은 잠재적인 체계적 이슈가 더욱 용이하고 정확히 식별될 수 있도록, PWQ 및 FEM 방법에서 검출된 결함을 필터링하는데 사용할 수 있으며, 이는 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 또한, 여기에 기술한 방법 실시예는 PWQ 및 FEM 방법에 의해 검출된 결함을 유용한 그룹으로 비닝하는데 사용할 수 있으며, 이는 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 또한, 여기에 기술한 방법 실시예는 리뷰, 측정 또는 테스트를 위해 비닝된 PWQ 및 FEM 결함을 우선순위화 하는데 사용할 수 있으며, 이는 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 또한, 상기 방법은 검사 및/또는 전기 테스트 결함을 적어도 유사한 설계/레이아웃 패턴에 기초하여 그룹으로 비닝하는 단계를 포함할 수 있다.

[0387] 일 실시예에서, 여기에 기술한 실시예에서 비닝된 결함을 검출하는데 사용된 검사 시스템은 웨이퍼 상의 3개 또는 4개의 정렬 사이트에 정렬될 수 있다. 또한, 정렬 사이트는 여기에 추가로 기술하는 바와 같이 선택될 수 있다. 또한, 물리적 웨이퍼 상에서 또는 설계 데이터나 레이아웃 내에서 가시적인 1 이상의 정렬 특징, 패턴, 및/또는 구조는 여기에 기술한 방법에 사용되도록 선택될 수 있다. 검사 시스템이 정렬 사이트에 정렬된 후에, 스테이지 위치 정확도, 임의의 회전 에러, x 및 y 이동 에러, 배율(스케일링) 에러, 또는 그것의 임의의 조합이 보정될 수 있다. 이러한 보정은 검사 프로세스 동안에 일어나거나, 포스트-프로세스(예컨대, 검사 결과가 생성된 후에 수행되는)로 수행될 수 있다. 상기 보정은 검사 시스템에 의해 보고된 정렬 사이트에 대한 좌표의 비교 및 동일한 정렬 사이트에 대한 기준 좌표에 적어도 부분적으로 기초할 수 있다.

[0388] 일부 실시예에서, 상기 방법은 웨이퍼의 좌측, 우측, 상부, 저부 및 중앙에 있는 다이와 같은 웨이퍼 상의 복수 다이에서의 3 또는 4개의 정렬 사이트에 대한 좌표를 획득하는 단계를 포함할 수 있다. 다른 실시예에서, 웨이퍼 상의 정렬 사이트는 웨이퍼 상의 3개의 다른 사이트에 위치된다. 그러한 일 실시예는 도 18에 도시된다. 도 18에 도시한 바와 같이, 웨이퍼는 복수의 다이(128)를 포함한다. 정렬 사이트(130)는 다이(128a, 128b 및 128c) 내에 위치될 수 있다. 측정 사이트가 3 개의 다이에만 도시되지만, 정렬 사이트는 웨이퍼 상의 각각의 다이에 위치될 수 있다는 것을 이해해야 한다. 각각의 다이 내의 정렬 세트의 서브세트 또는 다이의 서브세트 내의 정렬 사이트는 여기에 기술한 방법에 사용할 수 있다.

[0389] 상기 방법은 다이 내의 삼각형 분포로 3개의 공통 정렬 사이트(즉, 웨이퍼 상에 인쇄된 다이 및 설계 데이터(예컨대, GDS 레이아웃)에 공통적인 정렬 사이트)를 식별하는 단계를 포함할 수 있다. 예컨대, 도 18에 도시한 바와 같이, 정렬 사이트(130)는 다이(128a, 128b 및 128c) 내에 삼각형 분포로 배열된다. 그러한 일 실시예에서, 3개의 상이한 다이가 소정의 배열(예컨대, 3각형 또는 다른 배열)로 웨이퍼에 걸쳐 분포될 수 있다. 예컨대, 도 18에 도시한 바와 같이, 다이(128a, 128b 및 128c)는 웨이퍼(126) 상에 삼각형 배열(132)로 위치된다. 이러한 방식에서, 상기 방법은 웨이퍼 상의 정렬 사이트에 대하여 검사 시스템에 의해 취득한 정렬 이미지(예컨대, BF 및/또는 DF 이미지)를 소정의 정렬 사이트에 대한 데이터에 정렬시키는 단계를 포함할 수 있다. 상기 방법은 검사 시스템에 의해 취득한 검사 데이터의 좌표를 설계 데이터 좌표(예컨대, GDS 좌표)로 매핑하는 단계와, 변환 매트릭스를 전개하는 단계를 포함할 수 있다. 변환 매트릭스는 다음과 같이 임의의 적합한 방식으로 표현된다:

$$\begin{aligned} \text{스케일: } \begin{pmatrix} x' \\ y' \\ w' \end{pmatrix} &= \begin{pmatrix} s_x & 0 & 0 \\ 0 & s_y & 0 \\ 0 & 0 & 1 \end{pmatrix} \begin{pmatrix} x \\ y \\ w \end{pmatrix} \\ \text{회전 : } \begin{pmatrix} x' \\ y' \\ w' \end{pmatrix} &= \begin{pmatrix} \cos \phi & -\sin \phi & 0 \\ \sin \phi & \cos \phi & 0 \\ 0 & 0 & 1 \end{pmatrix} \begin{pmatrix} x \\ y \\ w \end{pmatrix} \\ \text{이동 : } \begin{pmatrix} x' \\ y' \\ w' \end{pmatrix} &= \begin{pmatrix} 1 & 0 & t_x \\ 0 & 1 & t_y \\ 0 & 0 & 1 \end{pmatrix} \begin{pmatrix} x \\ y \\ w \end{pmatrix} \end{aligned}$$

[0390]

- [0391] 이들 정렬 사이트의 좌표는 검사 시스템 사이의 좌표 차이를 제거하기 위해 "툴 매칭(tool matching)"을 수행(예컨대, 자동으로 수행)하는데 사용될 수 있다. 그러한 방법의 하나의 이점은, 모든 검사 웨이퍼에 대하여 개별적으로 그리고 자동으로 결정될 수 있어서, 웨이퍼당 보정 인자 세트를 생성한다는 것이다. 그러한 방법의 다른 이점은, 결정된 좌표가 웨이퍼에 걸쳐 검사 시스템 또는 다른 검사 시스템에서의 좌표 드리프트(drift)(예컨대, 누적 에러, 스테이지 이동 에러, 및 기계적, 전기적 및 열적 노이즈에 의해 야기된 에러)(그렇지 않은 경우 설계 데이터에 대한 검사 데이터의 정렬 정확도를 결정하기 위해 사용될 수 있다는 것이다.
- [0392] 전술한 바와 같이, 부분 내의 설계 데이터를 비교하는 단계는 그 부분의 적어도 일부에 있는 설계 데이터 전체를 다른 부분에 있는 설계 데이터에 비교하는 단계를 포함할 수 있다. 이러한 방식에서, 그와 같은 비교 결과는 소스 부분 내의 설계 데이터의 전부가 타겟 부분 내의 설계 데이터의 적어도 일부와 적어도 유사한지를 결정하는데 사용할 수 있다. 하지만, 대안적인 실시예에서, 부분 내의 설계 데이터를 비교하는 단계는 그 부분의 적어도 일부 내의 설계 데이터를 다른 부분 내의 설계 데이터와 비교하는 단계를 포함할 수 있고, 이는 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 또한, 소스 부분의 복수 영역 내의 설계 데이터는 타겟 부분의 영역 내의 설계 데이터와 적어도 유사하거나 동일할 수 있으며, 그러한 비교 결과는 타겟 부분 내의 설계 데이터의 유사-사이즈 영역에 적어도 유사하거나 동일한 소스 부분 내의 설계 데이터의 최대 영역을 식별하는데 사용할 수 있다. 이러한 방식에서, 상기 방법은 설계 데이터 내의 타겟 결함 및 소스 결함의 위치에 가까운 설계 데이터가 "유사하거나" 적어도 유사한지를 결정하는 단계를 포함할 수 있다. 따라서, 이러한 방법은 여기에 기술한 바와 같은 결함의 백그라운드 기반 비닝에 있어서 특정 설계 층에서 더욱 효과적일 수 있다.
- [0393] 본 방법의 그러한 일 실시예는 도 19에 도시된다. 예컨대, 도 19에 도시한 바와 같이, 그 방법은 설계 데이터 스페이스(138) 내의 결함(136)의 위치에 가까운 설계 데이터(도시 생략)의 부분(134)을 규정하는 단계를 포함할 수 있다. 결함(136)은 여기에서 "소스 결함"이라 칭한다. 설계 데이터의 부분(134)을 규정하는 단계는 부분의 치수를 선택하는 단계를 포함할 수 있고, 이는 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 상기 방법은 설계 데이터의 부분을 1 이상의 다른 영역으로 분리, 세그먼트화, 또는 구획하는 단계를 또한 포함할 수 있다. 예컨대, 도 19에 도시한 바와 같이, 부분(134)은 4개의 다른 영역(140, 142, 144 및 146)으로 분할될 수 있다. 부분(134)이 내부로 분리되는 다른 부분을 본 예에서 "소스 4분면"이라 칭할 수 있다. 부분(134)이 도 19에서 4개의 소스 4분면으로 분할되는 것으로 도시하였지만, 그 부분은 임의의 적합한 수의 영역으로 분할될 수 있다는 것을 이해해야 한다. 모든 영역은 동일한 사이즈를 가질 수 있거나, 영역의 모두 또는 일부는 다른 사이즈를 가질 수 있다.
- [0394] 본 예에서, 상기 방법은 소스 4분면(140, 142, 144 및 146) 내의 설계 데이터를 설계 데이터 스페이스(138) 내의 결함(150)의 위치에 가까운 설계 데이터(도시 생략)에 비교하는 단계를 포함한다. 결함(150)은 여기에서 "타겟 결함"이라 칭한다. 도 19에 도시한 바와 같이, 부분(148)은 결함(150)보다 크며, 적어도 부분(134)만큼 크다. 부분(148)의 치수는 전술한 바와 같이 선택될 수 있다.
- [0395] 각각의 소스 4분면 내의 설계 데이터는 타겟 부분의 다른 영역 내의 설계 데이터와 비교될 수 있다. 이러한 방식에서, 상기 방법은 타겟 부분 내의 각각의 소스 4분면 내의 설계 데이터에 대한 검색단계를 포함할 수 있다. 이러한 예에서, 상기 방법은 상기 비교 단계의 결과에 기초하여 소스 4분면 내의 설계 데이터가 타겟 부분 내의 설계 데이터와 적어도 유사한지를 결정하는 단계를 포함한다. 예컨대, 상기 방법은 각각의 소스 4분면 내의 설계 데이터가 타겟 부분 내의 설계 데이터와 어떻게 유사한지를 결정하는 단계를 포함할 수 있다. 그와 같이, 소스 4분면의 일부 또는 전부 내의 설계 데이터가 타겟 부분 내의 설계 데이터와 적어도 유사하거나, 그것의 아무것도 유사하지 않다고 결정될 수 있다. 오버레이(152)로 도시한 바와 같이, 4개의 소스 4분면의 3개 내의 설계 데이터는 오버레이(152) 내에 도시한 소스 4분면(140, 144 및 146)의 위치에서의 부분(148)의 영역 내의 설계 데이터와 적어도 유사하다고 결정된다.
- [0396] 이러한 방식에서, 상기 방법은, 대응하는 설계 데이터에 기초하여 어느 결함이 적어도 그룹으로 비닝될 수 있는지를 결정하기 위해, 소스 4분면 내의 설계 데이터를 타겟 부분 내의 설계 데이터에 비교하는 단계를 포함할 수 있다. 각각의 소스 4분면 및 타겟 부분 내의 설계 데이터가 적어도 유사한지의 판정 결과는, 얼마나 많은 그리고 소스 4분면의 어느 것이 타겟 부분 내의 설계 데이터에 적어도 유사한 설계 데이터를 포함한다고 결정되는지의 지시(indication)를 포함할 수 있다. 판정 단계의 결과는 적어도 유사한 설계 데이터가 발견된 타겟 부분 내의 각각의 소스 4분면과 타겟 부분 사이의 x 및 y 오프셋을 또한 포함할 수 있다. 소스 결함이 타겟 결함과 함께 그룹으로 비닝되는지의 여부는, 얼마나 많은 그리고 소스 4분면의 어느 것이 타겟 부분 내의 설계 데이터에 적어도 유사한 설계 데이터를 포함한다고 판정되었는지와, 적어도 유사한 설계 데이터가 발견된 타겟 부분

내의 각각의 소스 4분면과 타깃 부분 사이의 오프셋에 기초하여, 결정될 수 있다.

- [0397] 일부 실시예에서, 각각의 소스 4분면 및 타깃 부분 내의 설계 데이터는 1 이상의 설계 층에 대한 설계 데이터를 포함한다. 이러한 방식에서, 상기 방법은 적어도 유사한 설계 데이터에 대하여 하나의 설계 층을 체크하여 결함을 비닝하는 단계 또는 적어도 유사한 설계 데이터에 대하여 설계 층(예컨대, 다중-층)의 세트를 체크하여 결함을 비닝하는 단계를 포함할 수 있다.
- [0398] 소스 4분면 내의 설계 데이터가 타깃 부분 내의 설계 데이터와 적어도 유사한지의 여부에 관계없이, 상기 방법은 각각의 소스 4분면을 다른 결함의 설계 데이터 스페이스 내의 위치에 가까운 설계 데이터의 다른 부분과 비교하는 단계를 또한 포함할 수 있다.
- [0399] 그러한 일 예에서, 소스 4분면(140, 142, 144 및 146) 내의 설계 데이터는 설계 데이터 스페이스(138) 내의 결함(156)의 위치에 가까운 설계 데이터(도시 생략)의 부분(154)과 비교될 수 있다. 소스 4분면 및 부분(154) 내의 설계 데이터는 전술한 바와 같이 비교할 수 있다. 상기 방법은 각각의 소스 4분면 내의 설계 데이터가 부분(154) 내의 설계 데이터와 적어도 유사한지를 결정하는 단계를 또한 포함하고, 이는 전술한 바와 같이 수행할 수 있다. 오버레이(158)에 도시한 바와 같이, 4분면 중 두 개(예컨대, 4분면(144 및 146))은 오버레이(158)에 도시한 4분면의 위치에서 부분(154) 내의 것과 적어도 유사한 설계 데이터를 포함하도록 결정된다. 따라서, 상기 방법은 설계 데이터 스페이스 내의 결함(136 및 156)의 위치에 가까운 설계 데이터가 결함(136 및 150)과 덜 유사한지를 결정할 수 있다. 설계 데이터 스페이스 내의 결함(136 및 156)의 위치에 가까운 설계 데이터가 결함(136 및 156)을 동일한 그룹으로 비닝하는데 충분히 유사한지의 여부는 전술한 바와 같이 결정할 수 있다.
- [0400] 그러한 다른 예에서, 소스 4분면(140, 142, 144 및 146) 내의 설계 데이터는 설계 데이터 스페이스(138) 내의 결함(162)의 위치에 가까운 설계 데이터(도시 생략)의 부분(160)과 비교될 수 있다. 소스 4분면 및 부분(160) 내의 설계 데이터는 전술한 바와 같이 비교할 수 있다. 상기 방법은 각각의 소스 4분면 내의 설계 데이터가 부분(160) 내의 설계 데이터와 적어도 유사한지를 결정하는 단계를 또한 포함하고, 이는 전술한 바와 같이 수행할 수 있다. 오버레이(164)에 도시한 바와 같이, 4개의 4분면 중 두 개(예컨대, 사분면(142 및 144))는 오버레이(164) 내에 도시한 소스 4분면의 위치에서 설계 데이터의 부분(160)과 적어도 유사한 설계 데이터를 포함하도록 결정된다. 따라서, 상기 방법은 설계 데이터 스페이스 내의 결함(136 및 162)의 위치에 가까운 설계 데이터가 설계 데이터 스페이스 내의 결함(136 및 150)의 위치에 가까운 설계 데이터보다 덜 유사한지를 결정할 수 있다. 설계 데이터 스페이스 내의 결함(136 및 162)의 위치에 가까운 설계 데이터가 결함(136 및 162)을 동일한 그룹으로 비닝하는데 충분히 유사한지의 여부는 전술한 바와 같이 수행할 수 있다.
- [0401] 전술한 바와 같이 결정된 4분면 정보는 저장 및/또는 표시될 수 있다. 이 정보는 셋업, 입증, 및 오류의 수리 목적으로 사용할 수 있다.
- [0402] 상기 방법은 설계 데이터 내의 특유 패턴의 테이블, 리스트 또는 다른 데이터 구조를 동적으로 컴파일링(compiling) 하고, 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 부분을 테이블, 리스트 또는 다른 데이터 구조 내의 패턴과 비교함으로써, 체계적 결함 및 뉴스스 결함(예컨대, 실제 관심 있거나 없는 결함)의 온-톨 분류를 포함한다. 동적으로 생성된 패턴 세트(또는 정적 패턴 세트)는 각각의 패턴과 연관된 설계 기반 분류(DBC)와 함께 라이브러리와 같은 데이터 구조에 저장될 수 있다. 이러한 방식에서, DBC는 결함이 비닝될 수 있는 그룹을 규정할 수 있고, 특유의 패턴은 POI 설계 예를 포함할 수 있다. 그와 같이, 설계 데이터 스페이스 결함 위치에 가까운 설계 데이터는 다른 설계 데이터 스페이스 결함 위치에 가까운 설계 데이터가 아니라, 동적으로 생성된 패턴 세트 내의 특유의 패턴에 비교된다. 예컨대, 그러한 데이터 구조(동적으로 생성되거나 생성되지 않을 수 있는)를 이용할 수 있는 일 실시예는 웨이퍼 상에서 검출된 결함에 범주를 할당하기 위한 컴퓨터-구현 방법이며, 이는 이하에 기술된다.
- [0403] 또한, 일부 실시예에서, 컴퓨터-구현 방법은 결함을 검출하는데 사용된 검사 시스템에 의해 수행된다. 이러한 방식에서, 결함을 비닝하는 단계는 "온-톨"로 수행될 수 있다. 상기 방법의 하나의 이점은, 결과에 대한 시간이 빠를 수 있다는 것이다. 상기 방법은 결함이 검출된 후에 임의의 시간에서(예컨대, 다른 결함이 검출되고 있는 동안의 또는 그 후의 검사 동안, 검사 결과의 분석 동안, 리뷰 동안 등) 온-톨로 수행할 수 있다. 또한, 잠재적인 체계적 결함 또는 체계적 결함의 위치(핫 스팟)와, 비닝을 위해 사용한 데이터는 데이터 구조(예컨대, 핫 스팟 데이터베이스)에 저장되고, 검사 비교(감시)를 위해 사용될 수 있다. 따라서, 비닝은 더 낮은 분류(탐색을 위한 비닝, 필터링 또는 감시)를 제공하기 위해 검사 동안에 수행될 수 있다.
- [0404] 대안적인 실시예에서, 컴퓨터 구현 방법은 결함을 검출하기 위해 사용된 검사 시스템 이외의 시스템에 의해 수

행된다. 이러한 방식에서, 여기에 기술한 방법 실시에는 "오프-툴"로 수행될 수 있다. 상기 방법을 오프-툴로 수행하는 시스템은 예컨대, 현미경(광학 또는 전자 빔), 리뷰 시스템, 웨이퍼가 로드되지 않은 시스템(예컨대, 독립 컴퓨터 시스템), 또는 상기 방법을 수행하도록 구성될 수 있는 당업계에 알려진 임의의 다른 적합한 시스템을 포함할 수 있다. 예컨대, 상기 방법은 검출된 결함의 적어도 일부의 이미지를 취득하는데 현미경이 사용되는 웨이퍼의 제 2 패스 동안에 결함 검출 후에 수행될 수 있다. 그러한 이미지 취득은, 전자 빔 현미경이 일부 결함(예컨대, 웨이퍼의 상면 아래에 위치한 결함과 같이 전자 빔 현미경에는 가시적이지 않는 결함)을 관찰할 수 없기 때문에, 광학 현미경을 사용하여 수행할 수 있다. 이미지 취득은 오프-라인으로 수행되고, 리뷰를 위해 결함의 더 나은 샘플링을 제공하는데 사용될 수 있다. 결함의 비닝은 여기에 추가로 기술하는 바와 같이 결함을 분석 및 샘플링하는데 사용할 수 있다.

[0405] 일부 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 설계 데이터 내의 핫 스폿을 식별하는 단계를 포함한다. 이러한 방식에서, 설계 기반 비닝은 핫 스폿의 탐색을 위해 사용될 수 있다. 또한, 핫 스폿의 탐색은 온-툴로 수행할 수 있다. 상기 방법은 탐색된 핫 스폿과, 위치, 핫 스폿의 위치에 가까운 설계 데이터 등과 같은 핫 스폿의 1 이상의 속성을 포함하는 데이터 구조를 생성하는 단계를 포함할 수 있다. 데이터 구조는 리스트, 데이터베이스, 파일 등을 포함할 수 있다. 핫 스폿은 핫 스폿 관리(가능하게는 온-툴)를 위해 사용될 수 있다. 핫 스폿 관리는 핫 스폿을 탐색하는 단계를 포함할 수 있으며, 이는 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 또한, 설계 기반 비닝에 의해 탐색된 핫 스폿은 디자인스캔, PWQ, DOE, 및 리뷰를 위한 입력으로 사용될 수 있다. 대안적으로, 여기에 기술한 방법에 사용된 핫 스폿은 레티클 검사 시스템과 같이 당업계에 알려진 임의의 다른 방법 및 시스템을 사용하여 탐색될 수 있다.

[0406] 도 20은 여기에 기술한 실시예에 따라 웨이퍼 상에서 검출된 결함을 비닝하기 위한 컴퓨터-구현 방법을 수행하도록 구성된 모듈(166)에의 입력 및 그것으로부터의 출력의 일 실시예를 도시한다. 모듈(166)은 GDS 패턴 체커(임의의 두 결함의 설계 데이터 스페이스 위치에 가까운 설계 데이터의 위치 또는 설계 데이터의 정확성 체커) 및/또는 유사성 체커(비-정확성 체커)로서 기능하도록 구성될 수 있다. 모듈은 여기에 기술한 1 이상의 단계를 온-툴 또는 오프-툴로 수행하도록 구성된다. 예컨대, 모듈은 여기에 기술한 1 이상의 단계를 온-툴 포스트-프로세스(예컨대, 온-툴, 포스트-결함 검출)로 수행하도록 구성될 수 있다. 또한, 모듈은 결함 검출 동안에 여기에 기술한 1 이상의 단계를 수행하도록 구성될 수 있다. 여기에 기술한 1 이상의 단계를 온-툴로 수행하도록 모듈이 구성되면, 그 모듈은 결함 조직화와 같은 여기에 기술하는 다른 기능을 수행하도록 구성될 수 있다.

[0407] 모듈(166)에의 입력은 결함 리스트(168)를 포함한다. 일 실시예에서, 결함 리스트(168)는 KLARF 파일 또는 검사 시스템에 의해 생성될 수 있는 다른 표준 파일로 포함되는 정보와 같은 결함 정보를 포함할 수 있다. 모듈에의 입력은, 전술한 바와 같이 결정될 수 있는 좌표 변환 정보와, 설계 데이터를 또한 포함할 수 있다. 그러한 실시예에서, 모듈(166)은 검사 시스템에 의해 보고된 바와 같은 결함 리스트(168) 내의 결함의 위치를 설계 데이터 스페이스 내의 결함의 위치로 변환하도록 구성될 수 있다.

[0408] 대안적으로, 모듈(166)은 다른 소프트웨어 모듈(변환 기능을 수행하도록 구성된 소프트웨어 모듈)을 통하여 제공된 변환된 설계 데이터 스페이스 좌표에의 접속에 의해 웨이퍼 스페이스 내에서 기능을 수행하도록 구성될 수 있다. 다른 대안에서, 결함 리스트(168)는 설계 데이터 스페이스 내의 결함의 위치를 포함할 수 있다. 그러한 실시예에서, 검사 시스템에 의해 보고된 결함 위치는 다른 소프트웨어 모듈에 의해 설계 데이터 스페이스 내의 결함 위치로 변환될 수 있다. 그러한 결함 정보는 동일한 연산 하드웨어 상에서 또는 네트워크 연결된 연산 하드웨어의 세트 사이에서, 프로세스내 또는 프로세스간 통신을 통하여 적합한 데이터 파일 포맷으로 또는 프로그램 수단을 통해 모듈(166)에 입력될 수 있다. 이러한 방식에서, 결함 정보는 모듈을 다른 시스템에 결함하는 전송 매체를 통해 다른 시스템에 의해 모듈(166)에 제공될 수 있다. 전송 매체는 당업계에 알려진 임의의 적합한 전송 매체를 포함할 수 있고, "유선" 또는 "무선" 전송 매체 또는 그것의 일부 조합을 포함할 수 있다.

[0409] 여기에 기술한 1 이상 실시예의 1 이상의 단계를 수행하도록 모듈에 의해 사용될 수 있는 모듈(166)에 추가적인 입력(도 20에는 도시 생략)이 제공될 수 있다. 추가적인 입력은, 전기 검사 데이터, 1 이상의 웨이퍼에 대한 결함 정보, 핫 스폿 또는 위크(weak) 스폿 정보("위크 스폿"은 비한정적으로 포스트-OPC 입증 소프트웨어와 같은 모델 기반 시뮬레이션과, 비한정적으로 PWQ와 같은 실험적 방법에 의해 식별된 설계 내의 잠재적인 위크 지점의 위치로서 일반적으로 규정됨), 검색창 사이즈(예컨대, 전술한 바와 같은 설계 데이터 스페이스 내의 소스 및 타겟 결함의 위치에 가까운 설계 데이터 부분의 치수, 또는 소스 결함 확대 및 타겟 결함 확대 치수), 유사성에 대한 일부 소정의 기준(예컨대, 유사도 임계), 또는 그것의 일부 조합과 같이 이용가능한 임의의 다른 결함 및/또는 설계 데이터 정보를 포함할 수 있다.

- [0410] 또한, 핫 스폿은 설계 데이터에 기초하여 미리 그룹화될 수 있다. 예컨대, 적어도 유사한 설계 데이터에 가까이 위치한 핫 스폿은 서로 연관 지어지고, 여기에 기술한 방법 및 시스템 실시예는 핫 스폿의 그러한 상호연관을 수행할 수 있다. 상호 연관지어진 핫 스폿은 여기에 추가로 기술하는 바와 같이 결함을 비닝하는데 사용될 수 있다. 그러한 일 실시예에서, 모듈(166)은 각 그룹 내의 결함이 서로 상호 연관지어진 핫 스폿의 위치에만 적어도 유사한 설계 데이터 스페이스 내의 위치를 갖도록 결함을 그룹으로 비닝하도록 구성될 수 있다. 이러한 방식에서, 상기 모듈은 설계 데이터를 사용하지 않고 결함을 비닝하도록 구성될 수 있다. 또한, 상호 연관지어진 핫 스폿의 1 이상의 속성이 나중의 분석에 사용하기 위해 결정될 수 있다(예컨대, KP와 같은 수율 정보가 상호 연관지어진 핫 스폿에 대해 결정될 수 있다). 이러한 방식에서, 결함이 상호 연관지어진 핫 스폿에 대응하는 그룹으로 비닝되는 경우, 상기 모듈은 결함 그룹에 대한 상호 연관지어진 핫 스폿에 대하여 결정된 기대되는 수율 영향을 보고할 수 있다.
- [0411] 모듈(166)은 설계 데이터 스페이스 내의 다른 결함의 위치에 가까운 설계 데이터가 매치하는지를 "체크"하여 결함 리스트(168) 내의 결함을 비닝함으로써 GDS 패턴 체커로서 기능하도록 구성될 수 있다. 이러한 방식에서, 모듈(166)은 각 그룹 내의 결함이 매칭 설계 데이터에 가까운 설계 데이터 스페이스 내에 위치되도록, 결함을 그룹으로 비닝하도록 구성될 수 있다. 또한(또는 대안적으로), 모듈(166)은 설계 데이터 스페이스 내의 다른 결함의 위치에 가까운 설계 데이터의 유사도를 체크하여, 결함 리스트(168) 내의 결함을 비닝함으로써 유사도 체커로서 기능하도록 구성될 수 있다.
- [0412] 모듈(166)의 출력은 출력(170)을 포함할 수 있다. 출력(170)은, 검사 시스템에 의해 보고된 바와 같은 결함 위치의 x 및 y 좌표, 설계 데이터 스페이스 내의 결함 위치의 x 및 y 좌표, 결함이 동일한 그룹으로 비닝되는 그룹의 아이덴티티(예컨대, 1, 2, 3, a, b, c 등)(예컨대, 결함이 동일한 그룹으로 비닝되는 경우, 그것들의 아이덴티티는 동일할 수 있다), 및 타깃 부분의 중심과 소스 부분 내의 설계 데이터에 매치하거나 적어도 유사한 설계 데이터가 위치하는 타깃 부분 내의 영역의 중심 사이의 x 및/또는 y 방향에서의 시프트 또는 오프셋을 비한정적으로 포함한다. 출력은 당업계에 알려진 임의의 적합한 포맷(예컨대, 간단한 텍스트 파일 포맷)을 갖는 1 이상의 데이터 구조를 포함할 수 있다. 또한, 출력은 그 출력이 나중에 액세스 및/또는 분석될 수 있도록 당업계에 알려진 임의의 적합한 저장 매체에 저장될 수 있다. 출력은 여기에 추가로 기술하는 바와 같이 저장 및 사용될 수 있다.
- [0413] 또한(또는, 대안적으로), 도 21에 도시한 바와 같이, 모듈(166)의 출력은 설계 데이터 스페이스 내의 각 결함의 위치에 가까운 설계 데이터가 설계 데이터 스페이스 내의 각각의 다른 결함의 위치에 가까운 설계 데이터와 얼마나 유사한지(예컨대, % 유사)를 나타내는 테이블을 포함할 수 있다. 도 21에 도시한 예에서, 설계 데이터 스페이스 내의 결함(1 및 2)의 위치에 가까운 설계 데이터의 부분은 40% 유사하지만, 설계 데이터 스페이스 내의 결함(1 및 3)의 위치에 가까운 설계 데이터의 위치는 95% 유사하다. 이러한 방식에서, 상기 방법은 어느 결함을 동일한 그룹으로 비닝할지를 결정하기 위해 도 21에 도시한 출력을 사용할 수 있다. 예컨대, 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 부분이 90% 이상 유사한 경우, 결함은 동일한 그룹으로 비닝할 수 있다. 또한, 도 21에 도시한 바와 같이, 설계 데이터 스페이스 내의 결함(1)의 위치에 가까운 설계 데이터의 부분이 설계 데이터 스페이스 내의 양쪽의 결함(3 및 4)의 위치에 가까운 설계 데이터의 부분에 90% 이상 유사하다. 이러한 방식에서, 결함(1, 3 및 4)은 동일한 그룹으로 비닝될 수 있다.
- [0414] 다른 예에서, 도 22에 도시한 바와 같이, 모듈(166)의 출력은 상이한 그룹의 함수로서 결함의 수(예컨대, 결함 카운트 또는 빈도)를 나타내는 그래프(예컨대, 바 그래프)를 포함할 수 있다. 각각의 상이한 그룹은 전술한 바와 같이 동일하거나 적어도 유사한 설계 데이터에 가까운 설계 데이터 스페이스 위치에 위치한 결함을 포함한다. 이러한 방식에서, 도 22에 도시한 출력은 설계 내의 어느 패턴이 더욱 결함적인지에 관한 정보를 제공한다. 차트는 각종 설계 콘텍스트(예컨대, 기능 블록에 의한 백그라운드 패턴 콘텍스트)에 의해 오류 패턴 유형을 제공할 수 있다. 차트 내의 정보는, 공통 설계 패턴에 가까운 설계 데이터 스페이스 내에 위치한 결함의 공간적 분포에 관한 정보를 제공하기 위해서, 여기에 추가로 기술하는 바와 같이 환형 또는 각도 영역으로 추가로 분할될 수 있다. 이러한 정보 및 유사하거나 다른 정보는 여기에 기술한 방법의 1 이상의 단계를 수행하는데 사용할 수 있다(예컨대, 백그라운드 패턴 콘텍스트에 기초한 결함 샘플링). 각각의 그룹으로 비닝된 결함에 관한 추가적인 정보는 여기에 기술한 임의의 방법의 임의의 단계를 사용하여 결정될 수 있다.
- [0415] 모듈(166)은 도 20 내지 도 22에 도시한 단지 하나의 포맷의 출력을 제공할 수 있다. 하지만, 모듈은 도 20 내지 도 22에 도시한 포맷의 1 이상의 출력을 제공할 수 있다.
- [0416] 모듈(166)의 다른 입력 및 출력의 추가적인 예는 도 23에 도시된다. 도 23에 도시한 바와 같이, 모듈(166)에의

하나의 입력은 웨이퍼 상의 검출 결함의 위치를 나타내는 웨이퍼 맵(172)을 포함할 수 있다. 웨이퍼 맵은 검사 시스템에 의해 생성될 수 있다. 웨이퍼 맵은 웨이퍼 상의 결함의 위치를 나타낼 수 있지만, 결함에 관한 임의의 다른 정보는 나타내지 않는다. 예컨대, 웨이퍼 맵(172)에 대응하는 바 그래프(174)는 검사된 웨이퍼의 층에 대응하는 단일 그룹 내의 검출 결함의 모두를 나타낸다.

[0417] 모듈(166)의 출력은 웨이퍼 상의 검출된 결함의 위치를 나타내는 웨이퍼 맵(176)을 포함할 수 있고, 동일한 그룹으로 비닝된 결함은 웨이퍼 맵 내에서 동일한 특징(예컨대, 다른 그룹에 대한 다른 컬러 또는 심볼)으로 지시된다. 결함은 여기에 추가로 기술하는 바와 같이 비닝될 수 있다(예컨대, 공통 GDS 레이아웃에 의한 결함의 자동 그룹화). 이러한 방식에서, 웨이퍼 맵(176)은 웨이퍼 상의 개별 결함의 위치와, 개별 결함이 비닝된 그룹을 지시한다. 출력은, 감시 및 근본 원인 결정을 강화하기 위하여, KLA-Tencor사로부터 상업적으로 입수가 가능한 KLARITY DEFECT SSA와 같은 공간적 시그네처 분석(SSA; spatial signature analysis) 틀에 의해 전송되고 사용될 수 있다.

[0418] 모듈의 출력은 적층된 다이 맵, 적층된 레티클 맵 또는 적층된 웨이퍼 맵을 포함할 수 있고, 그것에서 결함은 패턴 그룹을 나타내도록 표시된다. 적층 맵은 여러 다이, 레티클, 또는 웨이퍼에 걸쳐 체계적 결함이 통계적으로 일어날 경향이 있는 것을 설명하기 위해 사용할 수 있으며, 공간적 시그네처를 식별하는데 유용하다. 또한, 여기에 기술한 모듈의 임의의 출력은 1 이상의 GDS 클립, 1 이상의 SEM 이미지, 1 이상의 광학 이미지, 또는 그것의 일부 조합을 또한 포함할 수 있다. 모듈의 출력은 여기에 추가로 기술하는 유저 인터페이스 실시예에 같은 유저 인터페이스에 의해 표시될 수 있다.

[0419] 웨이퍼 맵(176)에 대응하는 바 그래프(178)는 각 그룹으로 비닝된 결함의 수를 나타낸다. 또한, 결함의 각 그룹에 대응하는 레이아웃 패턴 시그네처는 바 그래프와 동일하다. 이러한 방식에서, 바 그래프는 가장 많은 결함을 보이는(또는 야기하는) 설계 내의 패턴을 도시한다. 예컨대, 레이아웃 패턴 시그네처(2) 그룹으로 비닝된 비교적 많은 수의 결함은 레이아웃 패턴 시그네처에 대응하는 잠재적 패턴 의존적 오류 메커니즘을 지시한다. 이러한 정보는 여기에 기술한 방법의 1 이상의 단계를 수행하는데 사용될 수 있다(예컨대, 설계 백그라운드 콘텍스트에 기초한 결함 샘플링). 그룹으로 비닝된 결함에 관한 추가적 정보는 여기에 기술한 임의의 방법의 임의의 단계를 사용하여 결정할 수 있다. 모듈(166)은 웨이퍼 맵(176) 및 바 그래프(178)를 포함하는 출력을 생성할 수 있다. 모듈의 출력은 여기에 추가로 기술하는 유저 인터페이스 실시예의 하나와 같은 유저 인터페이스에 의해 표시할 수 있다.

[0420] 여기에 기술한 방법에 모듈(166)의 출력이 어떻게 사용될 수 있는지의 일 예는 장치 레이아웃 내의 상이한 밀도 영역과 상이한 결함의 상호 연관이다. 예컨대, 장치 레이아웃은 상이한 영역으로 구획될 수 있다. 상이한 영역은 도 24에 도시한 바와 같이, 장치의 상이한 영역의 설계 패턴 밀도에 기초하여 결정할 수 있다. 일 예에서, 장치 내의 주요 셀 블록은 상이한 영역으로 구획될 수 있다. 다른 예에서, 장치 레이아웃은 장치 레이아웃에 걸친 각종 장치 구조(예컨대, 콘택, 비어, 금속 라인 등)의 밀도에 기초하여 자동으로 구획될 수 있다. 일 실시예에서, 여기에 기술한 방법 실시예는 설계 데이터의 다른 부분에 대한 결함 밀도를 결정하는 단계를 포함한다. 예컨대, 여기에 기술한 방법은 설계 데이터 내의 셀의 다른 부분의 결함 밀도를 결정하기 위해 장치 레이아웃의 구획화에 관한 정보를 사용할 수 있다. 그러한 일 예에서, 설계 데이터 내의 각 영역에서 검출된 결함의 수가 결정될 수 있다. 그러한 정보는 바 그래프 또는 임의의 다른 적합한 출력 포맷으로 플롯(plot)될 수 있다.

[0421] 다른 예에서, 모듈(166)은 설계 데이터는 "기능 블록" 또는 "셀 블록"으로 분할한다. 셀 블록은 설계 데이터 내에서 규정되고, 입력/출력(I/O) 블록, 디지털 신호 프로세서(DSP) 블록 등과 같은 설계의 주요 및 덜 주요 서브-셀의 경계를 식별한다. 모듈은 각 셀 블록 내의 결함의 빈도를 결정한다. 이러한 방식에서, 설계 내의 주요 또는 덜 주요 셀이 수율 이슈에 다소 민감한지를 결정할 수 있다.

[0422] 여기에 기술한 실시예는 결함이 위치되는 설계 셀을 결정하기 위해 통계적 접근법을 사용할 수 있다. 예컨대, 일부 실시예에서, 상기 방법은 결함이 체계적 결함인지를 결정하는 단계, 2 이상의 체계적 결함이 설계 데이터의 1 이상의 부분에 위치되는지를 결정하는 단계, 및 체계적 결함과 가능성 사이에 상관관계가 존재하는지를 결정하는 단계를 포함할 수 있다. 특히, 여기에 추가로 기술하는 바와 같이, 설계 데이터(즉, 계층적 설계 데이터)는 설계 데이터 내의 셀과 같은 설계 데이터 내의 결함의 계층을 결정하기 위해 설계 데이터 스페이스 내의 결함의 위치와 조합하여 사용될 수 있다. 여기에 추가로 기술하는 바와 같이, 설계 데이터 내의 계층은 설계 데이터의 어느 부분이 수율 향상을 위해 사용될 수 있거나 사용되어야 하는지를 결정하는데 사용될 수 있다. 결함의 계층 결정에 있어서의 하나의 어려움은 셀이 작아질수록, 셀의 사이즈가 검사 시스템의 좌표 정확도보다

작아지고, 이에 의해, 결함이 위치되는 셀이 결정될 수 있는 정확도를 저하한다는 것이다. 이러한 어려움을 극복하기 위해, 설계 데이터의 각종 부분에 결함이 위치되는 확률(각각의 결함이 상이한 셀에 위치되는 확률)을 결정하는데 통계를 사용할 수 있다. 이러한 방식에서, 체계적 결함에 있어서, 통계는 설계 데이터의 각종 부분 내에 결함이 위치되는 확률과 체계적 결함 사이의 상관관계가 존재하는지를 결정하는데 사용할 수 있다.

[0423] 다른 실시예에서, 모듈(166)에 제공된 입력은 설계 데이터(예컨대, GDS 레이아웃), 검사 데이터(예컨대, 물리적 결함 데이터), 및 선택적으로 메모리 비트맵 및/또는 로직 비트맵을 포함할 수 있다. 모듈은 비한정적으로 탐색, 특징부여, 감시 및 디스포지션(disposition)(예컨대, 1 이상의 실행가능한 결정을 함)과 같은 1 이상의 추가적인 단계를 수행하기 위해 입력의 일부 또는 전부를 사용할 수 있다. 모듈은 1 이상의 후술하는 단계에 부가하여 전술한 단계를 수행하도록 구성될 수 있다: 핫 스팟/워크 스팟 데이터 구조 생성, 설계 데이터를 사용하여 결함(예컨대, 광학 또는 전자 빔 검사 시스템에 의해 검출한 결함 및/또는 비트맵으로 표시되는 전기 검사에 의해 검출되는 결함)의 그룹화, 리뷰 샘플 플랜(plan)을 생성, 검사 레시피의 최적화, 리뷰 레시피의 변경(예컨대, 리뷰할 것을 결정), 리뷰 레시피의 최적화, 결함 분석 레시피(예컨대, 인-라인 FIB 프로세스 및/또는 FA 프로세스 동안에 분석할 곳을 가능하게는 여기에 기술한 임의의 다른 정보와 조합하여 설계 콘텍스트에 의해)를 변경, 결함 분석 레시피를 최적화, FIB 프로세스에 대한 샘플링 레시피를 생성, EDX 프로세스, 또는 다른 결함 분석 프로세스, 계측 프로세스를 위한 샘플링 레시피 생성, 및 DOI 및 가능하게는 유형 및 위치와 같은 DOI의 1 이상의 속성. 또한, 전술한 임의의 샘플링 플랜 또는 샘플링 레시피는 비닝의 결과에 기초하여 동적으로 결정될 수 있다. 그러한 일 예에서, 모듈은 인라인 결함 데이터 및 비트맵 데이터에서 검출될 수 있는 잠재적 DOI를 예측하기 위해, 설계 데이터를 분석하거나, DRC로부터의 결과와 같은 설계 데이터의 분석 결과를 취득하도록 구성될 수 있다.

[0424] 전술한 바와 같이, 모듈(166)은 데이터베이스와 같은 데이터 구조를 생성하도록 구성될 수 있다. 예컨대, 일부 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 체계적 결함과 잠재적 체계적 결함의 위치와, 체계적 결함 및 잠재적 체계적 결함의 1 이상의 속성을 포함하는 데이터 구조를 생성하는 단계를 포함한다. 그러한 데이터베이스는 일반적으로 "핫 스팟" 데이터베이스라 칭할 수 있다. 데이터베이스는 워크 스팟, 조정적인 핫 스팟, 및 콜드 스팟(수율 영향이 없거나 작은 체계적 결함을 낳는 설계 데이터의 비-중요 영역(예컨대, 더미 구조, 더미 충전 영역 등))에 관한 정보를 포함할 수 있다. 데이터베이스는 잠재적 결함 및 실제 체계적 결함의 위치 및 다른 속성(예컨대, 설계 콘텍스트, KP, 다른 수율 특성 등)를 포함할 수 있다.

[0425] 핫 스팟 데이터베이스 내의 데이터는 각종 소스로부터 취득할 수 있다. 예컨대, 데이터베이스는 모든(또는 적어도 일부) 가능한 소스로부터의 체계적 이슈에 관한 데이터를 포함하는 유연한 데이터베이스로서 구성될 수 있다. 예컨대, 모듈에의 입력의 일부는 데이터베이스에 포함될 수 있다. 그러한 일 예에서, 검사 결과(예컨대, PWQ 결과, BF 및/또는 DF 검사에 의해 검출된 결함, 메모리 비트맵, 로직 비트맵 등)가 데이터베이스에 포함될 수 있다. 일부 실시예에서, 데이터베이스는 리소그래피 및 CMP와 같은 1 이상의 반도체 제조 프로세스에 대한 설계 룰을 포함할 수 있다. 다른 실시예에서, 데이터베이스는 OPC 시뮬레이션의 결과와 같은 설계 데이터에 대해 수행된 시뮬레이션을 포함할 수 있다. 이러한 방식에서, 다중-소스 상호연관은 핫 스팟과 체계적 결함을 식별하기 위해 사용될 수 있다.

[0426] 전술한 바와 같이, 상기 방법은 설계 데이터에 기초하여 결함을 비닝하는 단계를 포함한다. 그러한 일 실시예에서, 여기에 기술한 방법은 설계 데이터의 1 이상의 속성에 기초하여 결함이 뉴슨스 결함인지를 결정하는 단계를 포함한다. 이러한 방식에서, 뉴슨스 결함은 콘텍스트 정보에 기초하여 식별될 수 있다. 일부 실시예에서, 상기 방법은 검사 프로세스 결과의 S/N을 증가시키기 위해, 결함의 위치에 가까운 설계 데이터에 기초하여, 결함이 검출된 검사 프로세스의 결과로부터 결함의 일부를 제거하는 단계를 포함한다. 이러한 방식에서, 설계 데이터 스페이스 내의 결함의 위치에 가깝게 위치한 설계에 관한 정보는 검사 결과에서의 노이즈를 줄여서, 검사 결과의 S/N을 증가시키도록 사용될 수 있다. 예컨대, 설계의 비-기능 영역에서의 결함은 검사 결과가 후속 분석에 사용되기 이전에, 그룹으로 비닝되고 그 검사 결과로부터 뉴슨스로서 필터링될 수 있다. 다른 예에서, 웨이퍼의 주의 영역 또는 비-주의 영역에 결함이 위치되는지를 기초하여 결함을 분리할 수 있다. 추가적인 예에서, 체계적이지만 뉴슨스 결함(예컨대, 비-DOI)이 발생하는 것으로 알려진 설계의 일부에 위치한 결함은 DOI에 대한 결과의 S/N을 증가시키기 위해 검사 결과로부터 제거될 수 있다. 뉴슨스 결함이 발생하는 것으로 알려진 설계의 1 이상의 부분은 유저에 의해 결정되고 설계 라이브러리와 같은 데이터 구조에 저장될 수 있다. 예컨대, 뉴슨스 결함이 발생하는 것으로 알려진 설계의 부분은 특히 유저가 감독된 비닝을 위해 사용하도록 선택한 다각형을 포함할 수 있다. 또한, POI가 비닝 방법을 수행하기 이전에 규정되면, 비닝 방법은 규정된 POI를 사용하여 감독된 비닝을 수행할 수 있다. 대안적으로, POI는 여기에 추가로 기술하는 바와 같은 방법에 의

해 결정할 수 있다. 여기에 기술한 방법은 검사 시스템상에서의 감독된 비닝을 수행하는 단계와, 검사 결과로부터 뉴스스 결함을 배제시키는 단계를 포함할 수 있다.

[0427] 전술한 바와 같이 결함의 일부를 제거하여, 검사 결과의 S/N을 증가시키는 것은 검사 결과의 포스트-처리에 대해 유리할 수 있다. 예컨대, 결함의 일부(예컨대, 수율에 영향을 미치지 않는 결함)를 제거하는 단계는 결함의 비닝 이전에 수행할 수 있고, 관심 있는 유형의 결함에 대한 비닝 결과의 S/N을 증가시킬 수 있다. 또한, 결과의 S/N이 높고 노이즈를 적게 포함하는 경우, 여기에 기술한 방법의 검사 결과의 분석은 신속하고 더욱 정확해질 수 있다. 하나의 특히 이로운 예에서, PWQ 방법에서, 노이즈의 주요 소스는 결함으로서 검출되는 라인 단부 단축화(LES; line end shortening)이다. 하지만, LES는 일반적으로 수율에 현저한 영향을 미치지 않는다. 따라서, 유저는 LES에 대하여 주의를 기울이지 않으며, LES가 비교적 큰 수로 나타날 수 있기 때문에, 검출된 LES는 수율에 더 관련 있는 다른 결함을 압도할 수 있다. 그와 같이, 여기에 기술하는 바와 같이 검사 결과로부터 검출된 LES를 제거하는 것은 검사 결과의 추가의 처리에 대하여 특히 이롭다. 결함은 광학적 또는 전자 빔 검사 시스템에 의해 검출되는 결함을 포함할 수 있다. 또한, 여기에 추가로 기술하는 바와 같이, 검사 레시피는 검사 동안에 이들 결함을 구별하기 위해 설계 콘텍스트에 기초하여 생성될 수 있다. 이러한 방식에서, 여기에 기술한 방법 및 시스템은 많은 DOI를 검출하고, 많은 뉴스스 결함을 억제하고, 체계적 및 랜덤 결함과 패턴을 체계적 결함의 비닝에 기초하여 분류할 수 있는 검사 레시피를 생성하는데 사용할 수 있다.

[0428] 다른 실시예에서, 상기 방법은 1 이상 그룹의 결함의 적어도 일부를 리뷰하고, 검사 프로세스 결과의 S/N을 증가시키기 위해 결함이 검출된 검사 프로세스의 결과로부터 뉴스스 결함에 대응하는 1 이상의 그룹을 제거하여, 1 이상의 결함이 뉴스스 결함에 대응하는지를 결정하는 단계를 포함한다. 결함의 적어도 일부를 리뷰하는 단계는 여기에 기술하는 바와 같이 또는 당업계에 알려진 임의의 다른 적합한 방식으로 수행할 수 있다. 1 이상이 결함 그룹이 뉴스스 결함에 대응하는지의 결정은 임의의 적합한 방식으로 임의의 리뷰 결과를 사용하여 수행할 수 있다. 1 이상의 결함 그룹이 뉴스스 결함에 대응하는 경우, 1 이상의 그룹은 검사 결과 내의 DOI의 S/N을 증가시키기 위해 검사 결과로부터 제거(필터링)될 수 있다.

[0429] 전술한 바와 같이, 여기에 기술한 실시예는 웨이퍼 상에 인쇄된 바와 같은 백그라운드 정보 및/또는 결함 정보와 대조적으로 결함을 비닝하기 위해 설계 데이터 및 설계 데이터 내의 결함 위치를 이롭게 사용할 수 있다. 하지만, 설계 데이터 스페이스 내의 설계 데이터는 결함을 비닝하기 위해(예컨대, 다른 그룹으로 비닝된 결함 사이의 더 우수한 분리를 위해) 다른 정보와 조합하여 사용될 수 있다. 예컨대, 일 실시예에서, 결함을 비닝하는 단계는, 각 그룹의 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 위치가 적어도 유사하고, 각 그룹의 결함의 1 이상의 속성이 적어도 유사하도록, 결함을 그룹으로 비닝하는 단계를 포함한다. 결함의 속성은 여기에 기술한 임의의 속성을 포함할 수 있다. 또한, 결함 속성은 검사 결과로부터 결정될 수 있는 임의의 결함 속성을 포함할 수 있다. 그와 같이, 비닝 단계는 설계와 1 이상의 속성의 조합을 사용하여 수행할 수 있다. 이러한 방식에서, 상기 방법은 설계 데이터 및 결함 속성에 기초하여 결함을 그룹으로 분리할 수 있다. 따라서, 적어도 부분적으로 유사한 설계 데이터의 부분 내의 설계 데이터 스페이스에 위치한 상이한 유형의 결함을 분리할 수 있다. 그러한 비닝 단계는 상이한 결함 메커니즘이 발생하는 속도 및 설계 데이터 영역 내의 상이한 결함 메커니즘을 식별하는데 이롭게 사용할 수 있다. 다른 실시예에서, 결함의 위치에 가까운 설계 데이터의 부분은 결함이 위치하는 설계 데이터를 포함할 수 있다. 즉, 비닝을 위해 비교된 설계 데이터의 부분은 결함 "후방의" 설계 데이터를 포함할 수 있다. 이러한 방식에서, 비닝은 결함이 위치하는 설계 데이터에서의 구조 사용에 의한 구조 비닝을 포함할 수 있다. 그러한 비닝은, 비닝에 대해 정확한 구조가 사용되는 확률이 비교적 높도록, 결함 위치가 비교적 높은 좌표 정밀도로 보고되는 결함에 대하여 비닝을 수행할 수 있다. 본 실시예에서 사용된 설계 데이터가 웨이퍼 상에 인쇄되는 바와 같은 설계 데이터가 아니기 때문에, 결함 "후방의" 설계 데이터를 사용하는 것은 여기에 기술한 실시예에서 가능하다. 대조적으로, 웨이퍼 상의 결함은 웨이퍼 상의 동일한 위치 또는 결함 주위의 영역에 인쇄되는 설계 데이터를 가릴 수 있고, 이는 웨이퍼 상에 인쇄된 바와 같은 설계 데이터에 기초하는 결함 비닝을 위한 방법의 정확도를 추가로 저하할 수 있다. 다른 실시예에서, 여기에 기술한 실시예에 사용된 결함의 위치에 가까운 설계 데이터의 부분은 결함의 위치 주위의 설계 데이터를 포함한다. 또한, 비닝은 결함이 위치된 구조 및 설계 데이터 내의 결함의 위치 주위 또는 그것에 가까운 구조를 사용하여 수행될 수 있다.

[0430] 전술한 바와 같이, 비닝은 설계 데이터의 부분 내의 결함의 위치에 대한 고려 없이 수행할 수 있다. 그러한 비닝은 비교적 낮은 정확도로 결함 위치를 보고하는 검사 시스템에 의해 검출되는 결함에 대해 특히 이롭다. 또한, 그러한 비닝은 설계 데이터의 어느 부분이 특히 높은 결함 및/또는 특히 높은 결함률을 나타내는지와 같은 중요한 정보를 제공하면서 실질적으로 높은 정확도의 비닝 결과를 생성할 수 있다. 하지만, 추가적인 실시예에

서, 결함의 비닝은 각 그룹에서의 결함의 위치에 가까운 설계 데이터의 부분이 적어도 유사하고, 부분 내의 다 각형에 대한 각 그룹 내의 결함의 위치가 적어도 유사하도록, 결함을 그룹으로 비닝하는 단계를 포함한다. 이러한 방식에서, 비닝은 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 부분과 설계 데이터의 부분에서의 결함의 위치의 조합을 사용하여 수행할 수 있다. 그와 같이, 비닝은 구조 내에 결함이 위치하는 장소에 부분적으로 기초하여 수행될 수 있다. 즉, 비닝은 부분간 위치에 가까운 설계 데이터와 조합하여 결함의 부분간 위치에 기초하여 수행할 수 있다. 그러한 비닝은 결함의 실질적으로 정확한 부분간 위치가 비닝을 위해 사용되도록 위치가 비교적 높은 좌표 정확도로 보고된 결함에 대해 바람직하게 수행된다. 이러한 방식에서, 설계 데이터의 동일한 부분에 위치하지만, 상이한 부분간 위치로 인하여 장치에는 다른 방식으로 영향을 미치는 결함이 분리될 수 있다. 예컨대, 그러한 비닝을 사용하여, 설계 데이터의 일 부분에서의 두 특징 사이에 위치하고, 장치에서 오픈(open)을 야기할 확률이 비교적 높은 결함은 두 특징 중 하나의 내부에 전체적으로 위치하고 그리하여 장치에서 오픈을 야기할 확률이 훨씬 낮은 결함으로부터 분리될 수 있다. 따라서, 그러한 비닝은 상이한 수율 영향 결함이 발생하는 비율과, 설계 데이터의 일 영역에 대한 수율 영향이 상이한 결함을 식별하는데 이롭게 사용할 수 있다.

[0431] 일부 실시예에서, 각 그룹 내의 결함의 위치에 가까운 설계 데이터의 부분이 적어도 유사하고, 각 그룹 내의 결함의 위치에 가까운 설계 데이터의 부분에 대한 핫 스팟 정보가 적어도 유사하도록 결함을 그룹으로 비닝하는 단계를 포함한다. 핫 스팟 정보는 여기에 기술한 임의의 핫 스팟 정보 또는 당업계에 알려진 임의의 다른 핫 스팟 정보를 포함할 수 있다. 핫 스팟 정보는 여기에 추가로 기술하는 바와 같이 설계 데이터의 상이한 부분에 대하여 결정할 수 있다. 이러한 방식에서, 상기 방법은 설계 데이터와 핫 스팟 정보의 조합을 사용하여 비닝을 수행할 수 있다. 그러한 일 예에서, 상기 방법이 수행되기 이전에, 수율에 대한 영향이 유사한 설계 데이터 내의 핫 스팟은 전술한 바와 같이 비닝할 수 있다. 따라서, 결함은 설계 데이터 유사도에 기초하여 비닝할 수 있고, 이 비닝으로부터의 결과적인 결함 그룹은 수율 영향이 유사한 결함의 서브-그룹으로 분리할 수 있다. 그러한 일 예에서, 예컨대, 위치의 일부가 유사하지 않은 설계 데이터의 위 또는 아래에 위치되는 경우, 적어도 유사한 설계 데이터의 모든 부분이 동일한 핫 스팟 정보와 연관되지 않을 수 있다. 그와 같이, 설계 데이터의 적어도 유사한 부분에 가깝게 위치한 결함은 설계 데이터의 각 부분에 대한 핫 스팟 정보에 기초하여 분리될 수 있다. 이러한 방식에서, 웨이퍼를 제조하기 위해 사용된 프로세스의 전체 수율이 신속하고 정확히 평가될 수 있다. 또한, 핫 스팟 정보는 설계 데이터의 부분의 유사도가 정확히 결정되었는지를 체크 또는 입증하기 위하여 비닝에 대하여 사용될 수 있다. 예컨대, 적어도 유사하다고 결정된 설계 데이터의 부분이 적어도 유사한 핫 스팟 정보와 연관되지 않는 경우, 설계 데이터의 부분에 대응하는 결함은 동일한 그룹으로 비닝되지 않을 수 있다.

[0432] 다른 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성 또는 그것의 일부 조합에 기초하여, 1 이상의 그룹 내의 결함이 체계적 결함인지 또는 랜덤 결함인지를 결정하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 결함을 그룹으로 집합적으로 분류하는 단계를 포함할 수 있다. 예컨대, 체계적 결함은 뉴스스 결함 또는 관심없는 결함으로서 일 그룹으로 분류될 수 있다. 하지만, 그러한 분류는 개별적인 결함에 대하여 수행할 수 있다. 결함이 체계적 결함인지 또는 랜덤 결함인지를 결정하는데 사용될 수 있는 결함의 속성은, 예컨대, 결함이 1 이상의 다이 내의 거의 동일한 위치에 존재하는지, 1 이상의 다이 내의 결함이 거의 동일한 속성을 갖는지, 및 다이 내의 1 이상의 결함의 분포가 순서적 및/또는 밀집적인지를 포함할 수 있다. 일 예에서, 웨이퍼 상의 하나의 다이에서만 출현하는 결함은 랜덤 결함으로 분류할 수 있고, 거의 동일한 위치에서 복수 다이에서 출현하는 결함은 체계적 결함으로 분류할 수 있다. 따라서, 여기에 기술한 방법은 결함에 대한 정보를 사용하여 검사 프로세스(인라인 검사 프로세스 및/또는 전기 검사 프로세스)에 의해 웨이퍼 상에서 검출된 결함의 원인을 결정하는데 사용할 수 있다.

[0433] 일부 실시예에서, 상기 방법은 1 이상의 그룹 내의 적어도 일부 결함의 리뷰 결과, 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성, 또는 그것의 일부 조합에 기초하여 1 이상 그룹의 결함을 분류하는 단계를 포함한다. 1 이상 그룹 내의 결함의 적어도 일부의 리뷰는 여기에 기술하는 바와 같이 또는 당업계에 알려진 임의의 적합한 방식으로 수행할 수 있다. 설계 데이터의 1 이상의 속성 또는 결함의 1 이상의 속성은 여기에 기술한 임의의 속성을 포함할 수 있다. 이러한 방식에서, 결함은 실질적인 정보량에 기초하여 그룹으로서 집합적으로 분류할 수 있고, 이에 의해 비교적 빠르고 비교적 정확한 결함 분류를 제공한다.

[0434] 다른 실시예에서, 상기 방법은 여기에 기술하는 바와 같이 결함이 비닝되는 그룹은 체계적 결함 또는 잠재적인 체계적 결함을 포함하는지를 결정하는 단계를 포함한다. 이러한 방식에서, 결함은 체계적 결함 또는 잠재적인 체계적 결함으로서 집합적으로 그룹으로 분류할 수 있다. 하지만, 결함은 체계적 결함 또는 잠재적인 체계적

결함으로서 개별적으로 분류할 수 있다. 예컨대, 결함은 설계 내의 다각형에 대한 결함의 위치 및 핫 스팟, 콜드 스팟 등이 거의 동일한 위치에 위치하는지에 기초하여 본 실시예에서 분류할 수 있다. 따라서, 여기에 기술한 방법은 그러한 설계 데이터와 같은 정보를 사용하여 검사 프로세스(인라인 검사 프로세스 및/또는 전기 검사 프로세스)에 의해 웨이퍼 상에서 검출한 결함의 원인을 결정하는데 사용할 수 있다.

[0435] 일부 실시예에서, 상기 방법은 비닝 단계의 결과를 사용하여 시간에 걸쳐 체계적 결함, 잠재적인 체계적 결함, 또는 그것의 일부 조합을 감시하는 단계를 포함한다. 예컨대, 비닝 단계의 결과는 설계 데이터 내의 체계적 이슈를 식별하는데 사용할 수 있고, 식별된 체계적 이슈는 웨이퍼에 걸친 및/또는 시간에 걸친 재출현에 대하여 감시될 수 있다. 체계적 결함 및/또는 잠재적인 체계적 결함을 감시하는 단계는 여기에 기술한 임의의 방법의 임의의 결과를 사용하여 수행할 수 있다.

[0436] 또한, 체계적 결함 및/또는 잠재적인 체계적 결함을 감시하는 단계는 통계적 프로세스 제어(SPC) 방법과 유사한 방식으로 수행할 수 있다. 예컨대, 체계적 결함, 잠재적인 체계적 결함, 랜덤 결함, 또는 그것의 일부 조합을 감시하는 단계는, 상이한 SPC 방법 및/또는 알고리즘이 상이한 유형의 결함에 대해 사용되는 수율-기반 SPC를 위해 사용할 수 있다. 그러한 일 예에서, SPC 매개변수는 상이한 유형의 결함을 감시하는데 사용할 수 있고, SPC 매개변수는 여기에 기술하는 바와 같이 결정될 수 있는 상이한 유형의 결함의 잠재적 수율 영향에 기초하여 결정 또는 선택할 수 있다. 이러한 방식에서, 상이한 유형의 결함은 상이한 SPC 매개변수에서, SPC를 위해 동시에 감시된다. 다른 실시예에서, 검사에 의해 검출된 결함의 서브세트만이 SPC를 위해 사용할 수 있다. 예컨대, 프로세스가 설계 기반 프로세스 마진을 위해 감시될 수 있도록, 비-뉴스 체계적 결함 및/또는 잠재적인 체계적 결함만이 SPC 목적으로 감시될 수 있다. 추가적인 예에서, 결함에서의 변화에 의해 야기된 제조 프로세스의 수율에서의 변화가 비교적 초기에 정확히 검출될 수 있도록, 수율에 대하여 잠재적으로 큰 영향을 갖는 것으로 결정된 체계적 결함만이 SPC를 위해 감시될 수 있다. 또한, 체계적 결함 그룹 및 랜덤 결함의 수율 영향을 추정하기 위해 다른 방법을 사용하는 것은 더욱 정확한 예측, 감시, 및 수율 관련 이슈의 제어를 이롭게 제공할 수 있다. 이러한 방식에서, 상기 방법은 제조 수율을 감시 및 향상하기 위해 사용될 수 있는 장치의 제조에 관한 정보(예컨대, 시간에 걸친 체계적 결함에서의 증가, 시간에 걸친 체계적 결함에서의 감소, 시간에 걸친 체계적 결함에서의 변화 등)를 제공할 수 있다.

[0437] 일 실시예에서, 상기 방법은 패턴 기반 결함(예컨대, 체계적 결함)의 원인을 결정하는 단계를 포함할 수 있다. 예컨대, 1 이상의 패턴 기반 결함 그룹이 지배적이면, 상기 방법은 동일한 층 및 동일한 장치에 대해 다수의 다른 웨이퍼에 대하여 인라인 검사 데이터 및/또는 전기 검사 데이터를 취득하는 단계를 포함할 수 있다. 예컨대, 인라인 검사 데이터 및/또는 전기 검사 데이터는 약 100 내지 약 1000개의 다른 웨이퍼에 대하여 취득될 수 있다. 이러한 데이터는 결함 데이터베이스 또는 웹 데이터베이스와 같은 저장 매체로부터 취득할 수 있다. 그러한 데이터가 이용 불가능한 경우, 상기 방법은 체계적 결함이 검출된 웨이퍼에 대하여 수행되는 프로세스에서 이미 처리된 웨이퍼를 검사하여 그러한 정보를 생성한 후 웨이퍼를 검사하는 단계를 포함할 수 있다.

[0438] 상기 방법은 추가적인 웨이퍼 상에서 검출된 결함의 패턴-기반 비닝을 수행하는 단계를 포함할 수 있으며, 이는 여기에 기술하는 바와 같이 수행할 수 있다. 상기 방법은 1 이상의 패턴 기반 결함 그룹이 추가적인 웨이퍼에 대해 지배적인지를 결정하는 단계를 포함할 수 있다. 추가적인 웨이퍼가 지배적 패턴 기반 결함의 공통성을 나타내는 경우, 그러한 방법은 웨이퍼가 공통 장비(또는 프로세스 툴)를 통하여 처리되었는지를 결정하는 단계를 포함할 수 있다. 이러한 방식에서, 상기 방법은 장비 공통성 분석을 수행할 수 있다. 상기 방법은 지배적 패턴 기반 결함 그룹이 특정 장비, 특정 챔버(예컨대, 매개변수가 일부 이유로 인하여 드리프트한 장비 또는 챔버). 또는 특정 루트-단계(예컨대, 장비와 2 이상의 단계 사이의 통합 이슈)와 관련되는지를 결정하는 단계를 포함할 수 있다. 지배적 패턴 기반 결함 그룹이 특정 장비 또는 특정 챔버와 관련되는 경우, 패턴 기반 결함 그룹의 원인은 고립되고 가능하게는 식별된다. 상기 방법은 관심 있는 그룹에 대한 공간적 시그네처가 존재하는지를 결정하기 위해 데이터를 스택(stack)하는 단계를 포함할 수 있다. 공간적 시그네처는 프로세스 이슈, OPC 이슈, 또는 설계 관련 체계적 이슈, 또는 그것의 조합의 원인을 국한하거나 결정하는데 유용할 수 있다.

[0439] 지배적 패턴 기반 결함 그룹이 특정 장비 또는 특정 챔버와 연관될 수 없는 경우, 상기 방법은 결함을 다른 프로세스 인자와 상호 연관짓도록 시도하기 위해 데이터 마이닝(data mining)을 수행하는 단계를 포함할 수 있다. 데이터 마이닝은 당업계에 결함 및 설계 데이터에 관한 임의의 정보, 및 웹 데이터베이스와 같은 1 이상의 저장 매체에 저장될 수 있는, 장치 제조 동안 생성된 임의의 정보에 기초하여 알려진 임의의 적합한 방식으로 수행할 수 있다. 1 이상의 다른 프로세스 인자와 결함 사이에 비교적 강한 상관관계가 식별되는 경우, 결함에 연관된 프로세스 인자는 결함의 원인으로 식별될 수 있다. 1 이상의 프로세스 인자와 결함 사이의 비교적 강한 연관성을 식별할 수 없는 경우, 상기 방법은 잠재적 POI에 대한 설계의 임의적인 패턴 검색을 수행하는 단계와, 패턴

의존적 결함의 원인이 결정될 수 있도록 새로운 인라인 핫 스팟 모니터를 세업하는 단계를 포함할 수 있다. 하지만, 프로세스 조건이 배제되면, 프로세스 자체 또는 설계 자체가 평가되어야 하고, 필요한 경우, 문제점을 줄이거나 제거하기 위해 조정될 것이다. 또한, 프로세스 창 매핑의 결과에 대해 체계적 결함의 속성을 비교함으로써, 가능한 소스 및/또는 근본 원인에 대하여 추단할 수 있다.

[0440] 상기 방법은 데이터 정리를 수행하기 위해 체계적 결함 및/또는 잠재적인 체계적 결함에 관한 정보를 사용할 수 있다. 예컨대, 단일 POI에 대한 전체-다이 패턴 기반 검색에 의해 또는 전기 기능 검사 및 리소그래피 PWQ 결과와 같은 실험적 기술로부터 생성된 50,000 내지 200,000 이상 핫 스팟이 존재할 수 있다. 따라서, 이 데이터를 의미 있고 시기적절한 방식으로 처리 및 분석하기 위해서, 그 데이터에 대해 데이터 처리 기술이 수행될 수 있다. 그러한 일 예에서, 패턴 기반 핫 스팟에 대해, 상기 방법은 핫 스팟을 "유사" 그룹으로 비닝하는 단계를 포함할 수 있다. 예컨대, 각 그룹은 설계 데이터 내의 적어도 유사한 패턴에 가깝게 위치한 및/또는 적어도 유사한 1 이상의 속성을 갖는 설계 데이터에 가깝게 위치한 핫 스팟을 포함할 수 있다(예컨대, 설계의 비교적 낮은 패턴 밀도 영역에 위치한 핫 스팟이 하나의 그룹으로 비닝될 수 있다). 그와 같이, 상기 방법은 설계 콘텍스트 및/또는 설계 속성에 기초하여 핫 스팟을 비닝하는 단계를 포함할 수 있다. 추가적인 예에서, PWQ와 같은 실험적 기술에 있어서, 상기 방법은 리뷰 샘플링이 수행된 결함 모집단으로부터, 수율 영향이 적거나 없는 설계의 위치(콜드 스팟)에 가까운 결함을 제거하는 단계를 포함할 수 있다. 전술한 바와 같은 데이터 정리를 수행함으로써, 여기에 추가로 기술하는 바와 같이 정리된 데이터를 사용하여 더 나은(예컨대, 더욱 수율 관련적인) 리뷰 샘플을 생성할 수 있다.

[0441] 여기에 기술한 상기 방법 및 시스템은 설계 기반 및 수율 기반 포스트 처리(온-톨 또는 오프-톨로 수행되는)와 조합하여 CBI를 포함할 수 있다. 예컨대, 뉴스스 결함, 체계적 결함 및 랜덤 결함이 식별된 후, 그 결함은 일부 방식으로 조직화될 수 있다(예컨대, 결함 오거나이저(organizer)(DO) 또는 인라인 결함 오거나이저(iDO)를 사용하여). 일 예에서, 그 결과는 데이터베이스와 같은 데이터 구조에 저장된다. 다른 예에서, 전술한 바와 같이, 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 위치에 기초하여 결함이 비닝된 후, 그룹 내의 결함은 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성, 또는 그것의 일부 조합에 기초하여 추가로 분리될 수 있다. 결함은 iDO를 사용하여 설계 데이터의 1 이상의 속성 및/또는 결함의 1 이상의 속성에 기초하여 분리될 수 있다. 이러한 방식에서, 설계 기반 비닝은 여기에 기술한 실시예에서의 iDO와 조합하여 사용될 수 있다. 특히, 설계 기반 비닝의 출력이 iDO에 입력될 수 있다.

[0442] 설계 데이터에 기초하여 결함을 그룹으로 비닝된 결함을 추가로 분리하는데 사용되는, 설계 데이터의 1 이상의 속성은, 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터 내의 패턴 또는 구조의 1 이상의 속성, 설계 데이터 스페이스 내의 결함의 위치에 가까운 패턴 밀도, 결함이 위치되는 기능 블록, 및 장치(예컨대, n-MOS 또는 p-MOS)의 1 이상의 속성을 비한정적으로 포함한다. 비닝된 결함을 추가로 분리하는데 사용되는 결함의 1 이상의 속성은 사이즈, 형태, 휘도, 콘트라스트, 극성 및 텍스처(texture)를 비한정적으로 포함한다.

[0443] 설계 기반 비닝 및 iDO의 결과는 바 그래프로 도시할 수 있다. 바 그래프는 결함의 전체 수 대 결함이 검출된 설계 데이터 내의 패턴 및 패턴의 함수로서 서브-그룹 내의 결함의 수를 도시할 수 있다. 전술한 바와 같이 iDO와 조합하여 설계 기반 비닝을 사용하는 단계는, 랜덤 및 체계적 결함을 분리하고, 결함이 비닝된 그룹을 우선순위화 하고, 및/또는 설계 데이터에 이루어져야 하는 변화를 식별하고 가능하게는 우선순위화 하기 위해(예컨대, 여기에 추가로 기술하는 바와 같이 결정할 수 있는, 결함 그룹의 잠재적 수율 영향을 이용하여) 사용할 수 있다. 특히, 체계적 결함 및 랜덤 결함에 대한 분리를 위해 설계 기반 비닝이 제공하는 값은 체계적(및 가능하게는 랜덤) 결함의 추가의 분리를 위해 iDO를 사용하여 증가할 수 있다. 또한, 설계 기반 비닝이 체계적 결함 및 랜덤 결함의 분리를 위해 제공하는 값은 수율 관련성을, 가능하게는 체계적(및 가능하게는 랜덤) 결함의 분리를 위해 iDO와 조합하여 사용함으로써 증가할 수 있다.

[0444] 이러한 방식에서, 체계적 결함 모집단 및 랜덤 결함 모집단은 독립적으로 처리할 수 있다(예컨대, 체계적 결함 모집단 및 랜덤 결함 모집단은 개별적으로 샘플링될 수 있다). 체계적 결함 및 랜덤 결함에 대한 개별적인 결과를 생성하기 위해, 체계적 및 랜덤 결함에 대한 다른 모집단 또는 다른 정보가 사용될 수 있다. 예컨대, 체계적 결함 및 랜덤 결함은 유저에 의해 자동적으로 처리 및/또는 사용될 수 있는 상이한 바 그래프, 또는 상이한 그래프 또는 텍스트 표현으로 도시할 수 있다. 리뷰를 위한 결함 샘플링 후에, 체계적 결함, 및 선택적으로는 랜덤 결함의 일부는 적합한 리뷰 시스템(예컨대, 비교적 고 배율 광학 리뷰 시스템 또는 SEM)을 사용하여 리뷰될 수 있다. 결함 리뷰 결과는 체계적 결함 및 랜덤 결함 양쪽의 결함 밀도를 정상화하기 위해 사용될 수 있다. 여기에 기술한 방법 및 시스템은 유저에게 여러 이점을 제공한다. 예컨대, 상기 방법 및 시스템은 충분한

베이스라인 수율 향상과, 더 낮은 익스커션(excursion) 검출, 향상된 리뷰 시스템 효율, 더욱 효과적인 근원 원인 검출, 및 개선된 지식 보유를 제공한다. 또한, 여기에 기술한 실시예의 결과는 그 결과의 소비자(예컨대, 장치 제조자의 고객)에게 유용한 각종의 다른 유형의 정보를 포함할 수 있다. 그러한 다른 유형의 정보는 프로세스 툴 소유자, 설계자, 통합 엔지니어 등과 같은 정보를 포함할 수 있다.

[0445] 또한, 90nm 설계 물에서 수율 손실의 50% 이상이 체계적 이슈에 의해 야기되는 것으로 추정되고 있다. 그와 같이, 체계적 수율 이슈는 90nm 설계 물에서 현저하고, 90nm 이하의 설계 물에서는 지배적이다. 따라서, 여기에 기술한 바와 같이 체계적 결함을 뉴슨스 결함 및 랜덤 결함으로부터 분리하는 것은 체계적 이슈의 더 낮은 평가, 분석, 및 제어를 허용한다. 또한, 체계적 결함의 위치는 설계 데이터 내의 기능 블록의 위치에 비교될 수 있다. 이러한 방식에서, 체계적 결함은 1 이상의 기능 블록에 상호 연관지어지고, 이 정보는 S/N을 향상하는데 사용할 수 있다. 특히, 상기 방법은 S/N을 향상하기 위해 결함이 위치되는 기능 블록에 기초하여 결함을 분리하는 단계를 포함할 수 있다. 유사한 방식에서, 상기 방법은 설계 데이터가 설계에 의해 조직화되는 계층적 셀에 기초하여 결함을 분리하는 단계를 포함할 수 있다. 따라서, S/N을 향상시키기 위해, 그룹으로 비닝된 결함 및/또는 DBC가 할당된 결함은 결함이 위치하는(예컨대, 메모리 또는 로직) 기능 블록(또는 임의의 계층 레벨)에 기초하여 분리될 수 있다. 여기에 기술한 실시예에서 사용된 설계 데이터의 부분은 임의의 셀 구조 또는 셀의 계층에 대응할 수 있다.

[0446] 기능 블록당 결함의 퍼센티지는 여기에 기술한 방법에 의해 결정할 수 있다. 이러한 방식에서, 설계 이슈를 포함하는 기능 블록은 각각의 기능 블록에서 검출된 및/또는 기능 블록에 대응하는 그룹으로 비닝된 결함의 퍼센티지에 기초하여 식별될 수 있다. 기능 블록에 위치하는 결함에 대한 추가적인 정보는 각 블록 내의 설계 이슈를 식별하기 위해 사용할 수 있다. 상기 정보는 보정에 의해 얼마나 많은 결함이 제거될 수 있는지에 기초하여 보정을 위한 설계 이슈를 선택 및/또는 우선순위화 하는데 사용될 수 있다. 예컨대, 결함의 약 70%가 설계의 4개의 상이한 기능 블록 내의 4개의 설계 이슈에 의해 야기된다고 결정되면, 보정을 위해 이들 4개의 설계 이슈만이 선택될 수 있거나, 이들 4개의 설계 이슈는 임의의 다른 것이 보정(예컨대, 설계 이슈에 의해 야기된 결함의 수 또는 퍼센티지에 기초하여 설계 이슈를 우선순위화 하고)되기 전에 보정을 위해 선택될 수 있다. 유저(예컨대, 칩 설계자)는 사용할 셀 설계를 선택할 수 있고, 이력적으로 더 적은 체계적 결함을 보이는 셀 설계를 선택할 수 있으며, 셀 설계에 관한 그러한 정보는 여기에 기술한 실시예를 사용하여 생성할 수 있다.

[0447] 다른 실시예에서, 상기 방법은 설계 데이터 내의 1 이상의 POI를 우선순위화 하는 단계와, 그 우선순위화 단계의 결과에 기초하여 1 이상의 POI 중의 적어도 하나를 최적화하는 단계를 포함한다. 그러한 일 실시예에서, POI는 POI에서 검출된 결함의 수에 기초하여 우선순위화될 수 있다. 각 POI에서 검출된 결함의 수는 예컨대, POI 또는 POI의 1 이상의 속성을 그룹에 대응하는 설계 데이터 부분에 비교하고, POI(또는 POI의 속성)에 적어도 유사한 설계 데이터의 부분(또는 설계 데이터의 부분의 1 이상의 속성)에 대응하는 그룹 내의 결함의 수를 POI에 할당함으로써, 비닝 단계의 결과로부터 결정할 수 있다. 이러한 방식에서, 가장 많은 수의 결함이 검출된 POI에는 가장 높은 우선순위가 할당되고, 다음으로 가장 많은 수의 결함이 검출된 POI에는 다음으로 높은 우선순위가 할당된다.

[0448] 다른 실시예에서, 상기 방법은 수율 최적화를 위해(1 이상의 체계적 결함 유형을 우선순위화 하는 단계를 포함할 수 있다(예컨대, 프로세스 매개변수, 설계, OPC 등, 또는 그것의 조합을 변경함으로써). 그러한 일 실시예에서, 체계적 결함 유형은 POI 또는 POI 그룹으로서 분류할 수 있고, POI는 POI 상에서 또는 그 근방에서 검출된 결함의 수에 기초하여 우선순위화될 수 있다. 우선순위는 체계적 결함을 우선순위화 하기 위해, POI에서 검출된 체계적 결함의 임계, 설계 내의 POI의 빈도, 및 프로세스 변동에 대한 POI의 감지도를 사용하여 더욱 강화될 수 있다.

[0449] 또한(또는, 대안적으로), POI는 여기에 기술한 임의의 방법의 임의의 단계의 임의의 다른 결과 또는 그것의 임의의 조합에 기초하여 우선순위화될 수 있다. 예컨대, POI의 우선순위화 하는 단계는 POI에서 검출된 1 이상의 결함에 대한 결함 임계 인덱스(DCI)를 결정하는 단계와, 1 이상의 결함에 대한 DCI에 기초하여 POI를 우선순위는 단계를 포함할 수 있다. DCI는 여기에 추가로 기술하는 바와 같이 본 실시예에서 결정할 수 있다. 다른 예에서, POI를 우선순위화 하는 단계는 POI 내에서 검출된 1 이상의 결함에 대한 KP 값을 결정하는 단계와, 1 이상의 결함에 대한 KP 값에 기초하여 POI를 우선순위화 하는 단계를 포함한다. 또 다른 예에서, POI는 POI 내 또는 그것 가까에서 검출된 결함의 수와 POI 내 또는 그것 가까에서 검출된 1 이상의 결함에 대한 DCI에 기초하여 우선순위화될 수 있다. 이러한 방식에서, POI의 우선순위화는 높은 결함을 갖는 POI에 높은 우선순위가 할당되도록 POI에 의해 나타내진 결함에 기초하여 POI를 우선순위화 하는 단계를 포함할 수 있다.

- [0450] 또한, POI는 가능하게는 여기에 기술한 다른 결과와 조합하여 POI의 1 이상의 속성에 기초하여 식별 및/또는 우선순위가 될 수 있다. POI의 1 이상의 속성은 예컨대, POI 내의 특징의 치수, POI 내의 특징의 밀도, POI에 포함된 특징의 유형, 설계 내의 POI의 위치, 결함에 대한 POI의 수율 영향의 민감성 등, 또는 그것의 일부 조합을 포함할 수 있다. 그러한 일 예에서, 결함에 의한 수율 영향에 더욱 민감한 POI에는 수율에 대한 결함의 영향에 덜 민감한 POI보다 더 높은 우선순위가 할당될 수 있다.
- [0451] 또한, POI는 가능하게는 POI의 1 이상의 속성 및/또는 여기에 기술한 다른 결과와 조합하여 설계의 1 이상의 어트리뷰트에 기초하여 우선순위가 될 수 있다. 설계의 1 이상의 속성은 용장도, 전기 접속성, 전기 속성 등, 또는 그것의 일부 조합을 포함할 수 있다. 특히, 설계 데이터 내의 셀은 셀 내에 포함된 패턴 이상의 콘텍스트를 가질 수 있다. 그러한 콘텍스트는 예컨대, 셀의 계층, 용장도 등을 포함할 수 있다. 따라서, 여기에 기술한 실시예에 사용된 1 이상의 속성은, 설계 데이터 스페이스 내의 POI의 위치 및/또는 POI의 설계 데이터에 기초하여 결정할 수 있는, POI가 위치되는 셀의 콘텍스트를 포함할 수 있다(설계 데이터가 설계 데이터 내의 셀에 특정한 경우). 그러한 일 예에서, 설계 데이터 내에서 용장적이지 않은 POI(비-어레이)에는 용장적인 POI(예컨대, 어레이)보다 높은 우선순위가 할당될 수 있다. POI는 셀(예컨대, 라우팅 또는 용장 비어) 사이의 연결 용장도에 기초하여 우선순위가 될 수 있다. 설계의 그러한 콘텍스트는 당업계에 알려진 임의의 방식으로 취득 및/또는 결정될 수 있다.
- [0452] 상기 우선순위화 단계의 결과에 기초하여 POI의 적어도 하나를 최적화하는 단계는 POI의 특징의 치수, POI의 특징의 밀도 등, 또는 그것의 임의의 조합과 같은 임의의 1 이상의 속성을 변경하는 단계를 포함할 수 있다. POI의 1 이상의 속성은 POI에 대응하는 설계 데이터를 변경함으로써 변경할 수 있다. 바람직하게는, POI는 POI의 결함(예컨대, POI 내에서 검출된 결함의 수)을 감소시키기 위해, POI 내에서 검출된 결함의 1 이상의 속성(예컨대, DCI, KP 등)을 변경하기 위해, 및/또는 POI가 포함되는 장치의 수율을 증가시키기 위해 변경된다. 또한, 우선순위화 단계에 의해 결정된 바와 같이 낮은 우선순위를 갖는 POI 이전에, 우선순위화 단계에 의해 결정되는 바와 같이 더 높은 우선순위를 갖는 POI가 변경 및 최적화될 수 있다. 이러한 방식에서, 가장 높은 결함 및/또는 수율에 대한 영향이 가장 큰 결함은 낮은 결함 및/또는 수율에 대한 영향이 작은 결함 이전에, 변경 및/또는 최적화될 수 있다. 그와 같이, 최적화 단계의 결과는 수율에 가장 큰 개선을 나타내기 위해서 어느 POI가 변경 및/또는 최적화될 수 있는지를 지시하고, POI는 다른 POI 이전에 변경 및/또는 최적화될 수 있다.
- [0453] 따라서, 어느 POI가 수율에 대하여 가장 큰 영향을 갖는지에 관한 시기적절한 안내 없이, 설계 데이터 및/또는 제조 프로세스에 이루어진 변경이 지연되어, 수율에 있어서의 개선이 느리고 시장 출하시간이 증가하는, 이전에 사용된 방법 및 시스템보다 본 실시예가 유리하다. 또한, 이러한 단계에서 변경된 POI가 여기에 기술한 실시예에서 비닝된 결함의 검출 이전에 웨이퍼 상에 인쇄된 설계 내에 포함된 POI만을 포함할지라도, POI를 최적화하기 위해 변경된 POI는 1 이상의 설계에 포함된 POI를 포함할 수 있다. 예컨대, 1 이상의 설계 데이터가 우선순위화 및/또는 여기에 기술한 방법의 임의의 다른 결과에 기초하여 POI를 포함하는 경우, 다른 설계 내의 POI가 변경되고 최적화될 수 있어서, 각각의 상이한 설계로 제조된 장치의 수율을 증가시킨다.
- [0454] 추가의 실시예에서, 상기 방법은 설계 데이터 내의 1 이상의 POI를 우선순위화하는 단계와, 그 우선순위화 단계의 결과에 기초하여 1 이상의 POI의 1 이상의 RET 특징을 최적화하는 단계를 포함한다. 본 실시예에서의 POI 우선순위화 단계는 전술한 바와 같이 수행될 수 있다. 이러한 단계에서 최적화된 RET 특징은 설계에 포함된 임의의 RET 특징(예컨대, OPC 특징)을 포함할 수 있다. 우선순위화 단계의 결과에 기초하여 1 이상의 POI의 1 이상의 RET 특징을 최적화하는 단계는 RET의 1 이상의 속성(예컨대, RET 특징의 치수, RET 특징의 형상, POI 내의 특징에 대한 RET 특징의 위치 등)을 변경하는 단계를 포함할 수 있다. 이러한 단계에서 변경되는 RET 특징의 1 이상의 속성은 POI 내의 결함을 감소시키고 및/또는 수율을 증가시킬 RET 특징의 임의의 속성을 바람직하게 포함한다.
- [0455] 또한, 본 실시예에서의 우선순위화 단계의 결과에 기초하여 1 이상의 RET 특징을 최적화하는 단계는 다른 POI에 대한 RET 특징을 최적화하기 이전에, 가장 높은 우선순위를 갖도록 결정된 POI에 대한 RET 특징을 최적화하는 단계를 포함할 수 있다. 이러한 방식에서, 가장 높은 우선순위를 갖는 POI의 RET 특징은 낮은 우선순위를 갖는 POI의 RET 특징이 변경되기 이전에 변경될 수 있다. 이러한 방식에서, 가장 큰 결함 및/또는 수율에 영향이 가장 큰 결함을 보이는 POI의 RET 특징은 낮은 결함 및/또는 수율에 대한 영향이 작은 결함을 보이는 POI의 RET 특징 이전에 변경 및/또는 최적화될 수 있다. 그와 같이, 우선순위화 단계의 결과는 수율에 가장 큰 개선을 나타내도록 어느 POI가 변경 및/또는 최적화될 수 있는지를 지시하며, POI의 RET 특징은 다른 POI의 RET 특징 이전에 변경 및/또는 최적화될 수 있다.

- [0456] 따라서, 어느 POI가 수율에 대하여 가장 큰 영향을 갖는지에 관한 시기적절한 안내 없이, 설계에 대한 변경이 지연되어, 수율에 있어서의 개선이 느리고 시장 출하시간이 증가하는, 이전에 사용된 방법 및 시스템보다 본 실시예가 유리하다. 또한, 이러한 단계에서 변경된 POI의 RET 특징이 여기에 기술한 실시예에서 비닝된 결함의 검출 이전에 웨이퍼 상에 인쇄된 설계 내에 포함된 POI의 RET 특징만을 포함할지라도, 변경 및/또는 최적화된 POI의 RET 특징은 1 이상의 설계에 포함된 POI의 RET 특징을 포함할 수 있다. 예컨대, 1 이상의 설계 데이터가 우선순위화 및/또는 여기에 기술한 방법의 임의의 다른 결과에 기초하여 동일한 RET 특징을 갖는 POI를 포함하는 경우, 다른 설계 내의 POI의 RET 특징이 변경되고 최적화될 수 있어서, 각각의 상이한 설계로 제조된 장치의 수율을 증가시킨다.
- [0457] 일부 실시예에서, 상기 방법은 결함 위치에 관한 설계 데이터를 사용하여 제조되는 장치의 전기적 특징을 모델링하는 단계와, 그 모델링 결과에 기초하여 결함 위치에서의 결함의 매개변수 관련성을 결정하는 단계를 포함한다. 이러한 방식에서, 모델링 단계의 결과는 결함의 매개변수 관련성을 결정하는데 사용할 수 있다. 예컨대, 모델링 단계의 결과는 설계를 사용하여 제조되고 있는 장치의 1 이상의 전기적 매개변수를 결함이 어떻게 변경시키는지를 결정하는데 사용될 수 있다. 전술한 바와 같이 매개변수 관련성이 결정된 결함은 체계적 결함일 수 있다. 매개변수 관련성은 여기에 기술한 방법의 임의의 단계에서 사용될 수 있다. 예컨대, 가능하게는 여기에 기술한 다른 정보(예컨대, 1 이상의 결함 속성, 설계 데이터의 1 이상의 속성 등)와 조합하여, 매개변수 관련성은 전술한 바와 같이 결함의 DCI를 결정하고, POI를 우선순위화하는 등에 사용할 수 있다.
- [0458] 본 실시예에서 장치의 전기적 특징을 모델링하는 단계는 당업계에서 알려진 임의의 적합한 방법을 사용하여 수행할 수 있다. 모델링된 장치의 전기적 특징은 장치의 임의의 1 이상의 전기적 특징을 포함할 수 있다. 결함의 매개변수 관련성은 모델링된 전기적 특징 및 설계된 전기적 특징을 사용하여 결정할 수 있다. 예컨대, 결함이 전기적 특징을 변경하는 정도를 결정하기 위해 모델링된 전기적 특징은 설계된 전기적 특징과 비교될 수 있다. 매개변수 관련성은 결함이 전기적 특징을 변경하는 정도에 기초하여 결정될 수 있다(예컨대, 전기적 특징을 큰 정도로 변경하는 결함은 전기적 특성을 적은 정도로 변경하는 결함보다 더욱 매개변수적으로 관련적이다). 매개변수 관련성은 모델링된 전기적 특징 및 장치의 적합한 전기적 특징의 범위를 사용하여 유사한 방식으로 결정할 수 있다. 예컨대, 모델링된 전기적 특징은 그 범위와 비교될 수 있고, 모델링된 전기적 특징이 그 범위 내에 있거나 그 범위 밖에 있는지가 매개변수 관련성을 결정하는데 사용될 수 있다. 그러한 일 예에서, 모델링된 전기적 특징이 허용가능한 범위 근처 또는 그 범위 밖에 있는 경우, 모델링된 특징이 허용가능한 범위 내에 있는 경우보다 결함이 더욱 매개변수적으로 관련적이라고 판정될 수 있다. 매개변수 관련성은 시뮬레이션, 광학적 검사 결과, 결함 리뷰 결과, 전기 테스트 결과, 또는 그것의 일부 조합을 비한정적으로 포함하는 복수의 상이한 소스로부터의 정보에 적어도 부분적으로 기초하여 결정될 수 있다.
- [0459] 일 실시예에서, 상기 방법은 체계적 결함 및 잠재적인 체계적 결함에 대해 결정되거나 그것과 관련된 매개변수 관련성에 기초하여 체계적인 결함 또는 잠재적인 체계적 결함에 우선순위를 할당하는 단계를 포함한다. 예컨대, 핫 스폿의 우선순위 또는 중점화는 매개변수 관련성에 기초하여 랭크(rank)될 수 있다. 매개변수 관련성은 핫 스폿에서의 결함이 어떻게 또는 얼마나 많은 결함이 장치의 전기적 매개변수에 영향을 미칠 것인지를 규정할 수 있다.
- [0460] 매개변수 관련성은 장치에 대하여 매개변수 이슈(예컨대, 수율 손실)를 더욱 야기할 것 같은 결함을 분리하거나 우선순위화하는데 사용될 수 있다. 예컨대, 전기 테스트 결과 또는 저항, 커패시턴스, 타이밍 등과 같은 장치의 전기적 특성에 관한 다른 정보를, 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 1 이상의 속성 및/또는 결함의 1 이상의 속성과 조합하여 사용하여, 어느 결함이 장치의 전기적 특성에 영향을 미치고 어느 결함이 영향을 미치지 않을지를 결정할 수 있다. 전기 테스트 결과 또는 전기적 특성에 관한 다른 정보는 상기 방법을 사용하여 결정되거나(예컨대, 시뮬레이션을 사용하여), 다른 소스(예컨대, 네트 리스트 정보)로부터 취득될 수 있다. 이러한 방식에서, 매개변수 이슈를 더욱 야기할 것 같은 결함은 매개변수 이슈를 덜 야기할 것 같은 또는 야기하지 않을 것 같은 결함으로부터 분리할 수 있다. 그와 같이, 장치의 구조 구성 또는 재료 속성에만 영향을 미치는 결함은, 그 장치가 의도한 목적에 따라 작동할 수 있는지에 영향을 미치는 결함으로부터 분리될 수 있다. 또한, 설계 데이터의 1 이상의 속성 및/또는 결함의 1 이상의 속성과 조합하여, 전기 테스트 결과 또는 장치의 전기적 특성에 관한 다른 정보는, 전기적 결함을 주요한 매개변수 결함(예컨대, 장치의 전기적 특성에 현저하게 영향을 줄 수 있는 전기적 결함)과 주요하지 않은 매개변수 결함(예컨대, 장치의 전기적 특성에 현저하게 영향을 주지 않는 전기적 결함)으로 분리하는데 사용할 수 있다.
- [0461] 일부 실시예에서, 본 방법은 결함(예컨대, 1 이상의 결함)에 대해 DCI를 결정하는 단계를 포함한다. DCI는 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성, 또는 그

것의 일부 조합에 기초하여 결정할 수 있다. 예컨대, 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성, 또는 그것의 일부 조합은 설계 기반 잠재적 수율 영향을 결정하는데 사용될 수 있고, 이에 의해 결함 데이터의 값을 증가시킬 수 있다. 특정 일 예에서, DCI는 결함이 전기적 오류를 야기할 것 같은 가능성을 결정하기 위해 설계 데이터 내의 결함의 위치 및 결함 사이즈를 사용하여 결정할 수 있다. DCI는 결함의 수율 관련성을 지시하는데 사용할 수 있다. 특히, 결함 사이즈는 결함이 다이를 파손하거나 웨이퍼 상에서 제조되고 있는 장치의 1 이상의 속성을 변경할 가능성을 결정하는데 사용할 수 있다. 예컨대, 결함 사이즈 및 패턴 복잡성이 증가함에 따라, 결함이 다이를 파손하거나 장치의 1 이상의 전기적 속성을 변경할 가능성 또한 증가한다. 따라서, 결함이 다이를 파손하거나 장치의 1 이상의 전기적 속성을 변경할 가능성을 결함 사이즈 및 패턴 복잡성으로 기술하는 관계는 웨이퍼 상에서의 각 결함의 상대적 리스크를 결정하는데 사용할 수 있다. 각 결함의 상대적 리스크는 검사 직후에 결정될 수 있어서, 상대적인 리스크에 기초하여 더 낫을 결정이 이루어지게 허용한다.

[0462] 대안적으로, DCI는 상이한 결함 사이즈 및 가능하게는, 결함에 대해서 DCI를 결정하는데 사용될 수 있는, 결함의 상이한 유형(가능하게는 전체 다이에 걸쳐)에 대하여 결함이 다이를 파손하거나, 1 이상의 전기적 속성을 변경할 가능성을 결정하는 단계를 포함하는 통계적 방법을 사용하여 결정할 수 있다. 예컨대, 일 실시예에서, 상기 방법은, 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성(예컨대, 결함 사이즈), 결함을 검출하는데 사용된 검사 시스템에 의해 보고된 결함의 위치, 검사 시스템의 좌표 비정확성, 또는 그것의 일부 조합에 기초하여, 설계 데이터에 대해 제조된 장치에서 1 이상의 결함이 1 이상의 전기적 오류를 야기할(또는 장치의 1 이상의 전기적 속성을 변경하여 매개변수적 전기적 이슈) 확률을 결정하는 단계와, 그 확률에 기초하여 1 이상의 결함에 대한 DCI를 결정하는 단계를 포함한다. 그 확률은 당업계에 알려진 임의의 적합한 통계적 방법을 사용하여 이러한 방식으로 결정할 수 있다.

[0463] 결함에 대한 DCI는, 리뷰를 위해 결함을 선택하는 샘플링과 같이, 여기에 기술한 실시예에서 다수의 방식으로 결정할 수 있다. 특히, 각각의 결함 범주 또는 결함의 그룹에 대해, DCI는 공통적으로 분류된 결함 또는 공통적으로 비닝된 결함의 랜덤 샘플링을 수행하는 대신에, 동일한 범주를 갖거나 동일한 그룹으로 비닝된 결함을 샘플링하기 위해 사용할 수 있다. 샘플링을 위해 DCI를 사용함으로써, DCI의 분포는 어느 결함이 다이를 파손하거나 1 이상의 전기적 특성을 변경할 확률이 높은지를 결정하는데 사용할 수 있으며, 다이를 파손하거나 1 이상의 전기적 속성을 변경할 확률이 높은 결함을 더 중점적으로 샘플링할 수 있다. 그와 같이, 수율에 영향을 더 미칠 것 같은 결함은 리뷰를 위해 더욱 중점적으로 샘플링될 수 있고, 따라서, 이는 수율에 더욱 영향을 미칠 것 같은 결함을 식별 및 분류하는데 특히 유용한 결함 리뷰 결과를 생성할 수 있다. DCI는 잠재적으로 체계적이고 체계적인 결함뿐만 아니라, 랜덤 결함을 샘플링하는데 사용할 수 있다.

[0464] 일부 실시예에서, 상기 방법은 전기적 오류 밀도 맵 상의 고밀도 영역을 결정하는 단계를 포함한다. 오류 밀도 맵은 오류 테스트 체인 또는 오류 플립-플롭(스캔 기반 테스트 유형인 구조적 테스트에 의해 검출됨)의 "로직 비트맵" 또는 물리적 변환을 생성함으로써 생성할 수 있다. 스캔 기반 테스트에 의해 발견된 모든 오류 라인 또는 영역은 DUT(die under test)의 그래픽 렌더링에서와 같이 도시된다. 용어 "로직 비트맵" 및 "비트맵"은 여기에서 교환가능하게 사용된다. 동일한 층 및 설계의 상이한 다이에 대한 로직 비트맵은 적층(즉, 오버레이)되어 다이의 각 지점에서의 오류의 수를 나타내고, 이에 의해 오류 밀도 맵을 생성한다. 소정 값보다 큰 빈도로 오류 밀도 맵에 출현하는 결함은 체계적 결함이라 간주할 수 있다. 다이 좌표 스페이스 내의 핫 스팟에 가깝게 발견된 결함은 수율 영향 체계적 결함 또는 체계적 후보라고 간주할 수 있다.

[0465] 일부 실시예에서, 전기 검사 프로세스의 결과(예컨대, 비트맵)를 인라인 검사 결과로부터의 정보를 사용하여 분석하여, 전기적 결함의 원인이 인라인 검사 결과로부터 판정될 수 있는지를 결정할 수 있다. 인라인 검사 결과와 전기 검사 결과를 상호 연관짓기 위해, 상이한 검사 결과가 여기에 기술한 바와 같이 서로 정렬될 수 있다. 또한, 상이한 검사 결과를 설계 데이터에 먼저 정렬한 후, 검사 결과를 서로 정렬할 수 있다. 어느 경우든, 비트맵 결과는 인라인 검사 결과에 오버레이될 수 있다.

[0466] 상기 방법은 인라인 검사 데이터 및 설계 데이터에 기초하여 비트맵 내의 전기적 결함의 원인을 결정하는 단계를 포함할 수 있다. 또한, 얼마나 많은 전기적 오류가 물리적 결함에 중첩하는지를 결정하기 위해 다른 오류 유형 및 그것의 후보 위치 또는 패스(path)를 분석할 수 있다. 이러한 방식에서, 오류 유형에 대한 히트(hit) 비율은, 그 유형의 오류의 수로 나눈, 보고된 물리적 결함에 대응하는 유형의 오류 수로서 결정될 수 있다. 히트 비율은 오류 유형이 보고된 물리적 결함과 연관되는 경향이 있는지를 결정하기 위해 평가될 수 있다. 또한, 물리적 결함의 인라인 검사 결과 및 히트 비율은 얼마나 많은 동일한 유형의 결함이 전기적 오류에 의해 야기되는지를 결정하는데 사용될 수 있다. 이러한 방식에서, 전기적 오류를 야기한 동일한 유형의 결함의 수는 결함

의 수율 중요성의 통계적 예측을 결정하는데 사용될 수 있다.

- [0467] 물리적 결함에 대한 추가적인 정보는 비트 오류의 원인을 결정하는데 사용될 수 있다. 그러한 정보는 비트 오류의 위치에 대응하는 물리적 결함의 이미지, 물리적 결함의 분류 결과, 물리적 결함에 대한 비닝 결과, 또는 그것의 일부 조합을 비한정적으로 포함할 수 있고, 이는 비트 오류가 위치한 전체 다이의 비트맵 이미지, 복수 다이의 비트맵 이미지의 적층(즉, 오버레이)을 보여주는 이미지(예컨대, 다이에 걸친 전기적 오류의 반복성을 보여주기 위해), 비트맵 파레토 다이어그램, 및 비트맵 결과에 대한 상세한 정보(예컨대, 테이블 또는 리스트 내의 데이터)과 같은 비트맵 정보와 조합하여 사용할 수 있다.
- [0468] 일부 실시예에서, 상기 방법은 결함이 검출되지 않거나, 비-파손적이거나 비-현저한 결함이 검출된 핫 스팟을 식별하기 위해 DTT(defect transition table) 방법을 사용하는 것을 포함할 수 있다. 일반적으로, DTT의 열(row)은 상이한 결함에 대한 검사 결과를 포함하고, DTT의 다른 행(column)은 다른 시간에 수행된 검사에 의해 생성된 검사 결과를 포함한다. 검사 결과는 행에 걸쳐 연대적 순서로 배열할 수 있다. 이러한 방식에서, 테이블은 반도체 제조 공정 중에 어느 결함이 상이한 층에서 재검출되는지를 나타낸다. 테이블은 상이한 층에서 검출된 결함에 관한 추가적 정보를 포함하거나 그것에의 액세스(예컨대, 링크)를 제공할 수 있다. 이러한 방식에서, 결함의 이미지와 같은 추가적 정보는 결함이 상이한 층에서 변경되는지 또는 어떻게 변경되는지를 판정하기 위해 사용될 수 있다.
- [0469] 추가적인 실시예에서, 상기 방법은 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성, 또는 그것의 일부 조합에 기초하여 1 이상의 결함에 대한 KP 값을 결정하는 단계를 포함한다. 유사한 방식에서, 상기 방법은 1 이상의 그룹에 대응하는 설계 데이터의 1 이상의 속성, 1 이상의 그룹 내의 결함의 1 이상의 속성, 또는 그것의 일부 조합에 기초하여 결함의 1 이상 그룹의 결함에 대한 KP 값을 결정하는 단계를 포함할 수 있다. 체계적 결함에 대한 KP 값은 수율 비율과 같은 체계적 결함의 추가적인 속성을 결정하는데 사용할 수 있다. 또한, KP 값은 여기에 기술한 추가적인 단계를 수행하는데 사용할 수 있다. 예컨대, 체계적 결함에 대한 KP 값은 어느 결함이 리뷰를 위해 선택될지를 결정하기 위해 사용할 수 있다. 특히, 비교적 높은 KP 값을 갖는 체계적 결함이 리뷰를 위해 선택될 수 있다. 또한, 상기 방법은 체계적 결함에 대한 KP 값을 감시하는 단계와, KP 값이 소정의 KP 값을 초과하는 경우 출력 신호를 생성하는 단계를 포함할 수 있다. 출력 신호는 자동 리포트, 가시 출력 신호, 가청 출력 신호, 또는 프로세스에의 잠재적 문제를 유저에게 경고하는데 사용할 수 있는 일부 다른 출력 신호일 수 있다. 이러한 방식에서, 출력 신호는 경고 신호일 수 있다.
- [0470] 여기에 추가로 기술하는 바와 같이, 여기에 기술한 방법 및 시스템의 하나의 이점은 복수의 상이한 소스로부터의 정보가 서로 상호 연관지어지고, 저장되고, 표시되고 및/또는 처리될 수 있다는 것이다. 그러한 정보는 GDS 파일 내의 정보, 웨이퍼에 대하여 수행된 프로세스에 관한 정보(통상적으로 WIP 데이터라 칭할 수 있고, 그것은 랩 제조 실행 시스템(MES) 데이터베이스와 같은 소스로부터 취득될 수 있다), 인라인 검사 결과, 인라인 계측 또는 측정 결과, 전기 테스트 결과, 및 엔드-오브-라인(end-of-line) 수율 정보를 비한정적으로 포함할 수 있다. 그러한 정보는 체계적 결함에 대한 수율 관련 정보를 결정하는데 사용할 수 있다. 또한, 수율 비율 또는 체계적 결함에 대하여 결정된 다른 수율 관련 정보는 수율 관련 콘텍스트를 체계적 결함에 할당하기 위해 사용할 수 있다. 수율 관련 콘텍스트 정보 및 설계 콘텍스트 정보의 양쪽은 체계적 결함에 할당될 수 있다. 일 실시예에서, 설계 콘텍스트에 기초하여 결함을 분류하는 대신에, 체계적 결함은 수율 한정 콘텍스트에 기초하여 분류할 수 있다.
- [0471] 여기에 추가로 기술하는 바와 같이, 체계적 결함에 대한 핫 스팟 기반 검사는 체계적 결함 및 그 체계적 결함에 대응하는 설계 콘텍스트를 포함하는 검사 결과를 생성할 수 있다. 이러한 방식에서, 설계 데이터 내의 마진 특징은 식별되고 SPC 애플리케이션을 위해 사용될 수 있다. 예컨대, SPC는 설계 데이터 내의 마진 특징의 위치를 감시함으로써 수행될 수 있으며, 이는 프로세스가 프로세스 한계로부터 드리프트 하는 경우 그 특징이 먼저 오류가 될 경향이 있기 때문이다. 따라서, SPC는 설계 내의 모든 특징 대신에 설계 내의 가장 중요한 특징을 포함하는 설계 내의 모든 특징의 서브세트를 감시함으로써 더 신속히 수행될 수 있고, 프로세스에서의 변화에 가장 민감한 설계 내의 특징이 SPC 동안에 감시되기 때문에 프로세스 내의 드리프트를 더욱 신속히 검출할 수 있다. 유사한 방식에서, 마진 특징 정보는 CD 측정 프로세스와 같은 계측 프로세스를 위한 레시피를 생성하는데 사용할 수 있다. CD 측정 프로세스는 당업계에 알려진 임의의 적합한 CD 측정 프로세스를 포함할 수 있다(예컨대, CDSEM, 스캐터로메트리(scatterometry) CD측정 등). CD 측정 프로세스에 대한 레시피를 생성하는 단계는 프로세스 동안에 CD 측정이 수행될 웨이퍼 상의 위치(예컨대, 마진 특징이 인쇄될)를 결정하는 단계를 포함할 수 있다. 또한, CD 측정이 수행될 웨이퍼 상의 위치에서 취득한 BF 이미지와 같은 웨이퍼의 검사 결과는 레시피에, 또는 측정을 위해 웨이퍼 상의 위치로 이동하는 계측 시스템에 의해 그 결과가 사용될 수 있도록 계측 시

시스템에 제공될 수 있다.

[0472] 하지만, 테스트 데이터의 부가와 함께, 체계적 결함에 대응하는 설계 부분은 반도체 제조 프로세스의 수율 확률과, 체계적 결함의 KP와 연관지어질 수 있다. 그러한 일 실시예에서, 검사 시스템 또는 여기에 기술한 임의의 다른 시스템은, 각각의 개별 다이가 산출하며, 어느 결함이 수율에 가장 영향을 미칠지의 확률과 같은 체계적 결함에 대한 수율 결과를 생성할 수 있다. 체계적 결함의 KP는 SPC 애플리케이션에 대하여 사용할 수 있다. 예컨대, 각각의 개별 다이가 산출하며, 어느 결함이 수율에 가장 영향을 미칠지의 확률은 SPC 모니터링 애플리케이션 및 리뷰 샘플링을 개선하는데 사용할 수 있다. 이러한 방식에서, SPC는 컨텍스트 기반 수율에 기초하여 수행할 수 있다. 또한, 개선된 SPC 감시 및 리뷰 샘플링은 근본 원인 분석 및 베이스라인 감소를 개선할 수 있다.

[0473] 추가의 실시예에서, 상기 방법은 시간에 걸쳐 결함의 그룹에 대한 KP 값을 감시하는 단계와, 그 검사의 결과에 기초하여 결함 그룹의 중요성을 결정하는 단계를 포함한다. 예컨대, 시간에 걸쳐, KP 값이 계속 갱신됨에 따라, 낮은 KP 값을 갖는 핫 스폿은 제거되거나, 조정적 핫 스폿, 위크 스폿, 또는 콜드 스폿에 대하여 다운그레이드될 수 있다. 이러한 방식에서, 식별된 잠재적 핫 스폿은 낮은 또는 제로 KP 값이 할당될 수 있다(즉, 콜드 스폿). 다른 실시예에서, 상기 방법은 설계 데이터와 연관된 전기적 오류 밀도에 기초하여 결함의 그룹에 대한 KP 값을 결정하는 단계를 포함한다. 이러한 방식에서, 전기적 오류 밀도 맵 상의 비교적 높은 오류 밀도 영역에 오버레이 하지 않는 것으로 결정된 핫 스폿은 KP에서 다운그레이드될 수 있고, 선택적으로는 핫 스폿 데이터베이스 및/또는 그것의 관련 검사 레시피로부터 제거될 수 있다.

[0474] 일 실시예에서, 상기 방법은 설계 데이터 내의 1 이상의 POI에 대한 KP 값을 감시하는 단계와, 설계 데이터의 부분이 1 이상의 POI에 대응하는 1 이상의 그룹으로 비닝되는 결함의 위치에 가까운 경우, 1 이상의 POI에 대한 KP 값을 1 이상의 그룹에 할당하는 단계를 포함한다. 예컨대, 설계 데이터 내의 1 이상의 POI에 대한 KP 값을 감시하는 단계는, 시간에 걸쳐 1 이상의 POI에 대하여 결정된, 전기적 오류, 전기적 오류 밀도, 전기적 오류의 임의의 다른 속성, 또는 그것의 임의의 조합과, 시간에 걸쳐 1 이상의 POI에 대하여 취득한 검사 결과에 기초하여 수행할 수 있다. 전기적 오류, 전기적 오류 밀도 및 전기적 오류의 임의의 다른 속성은 당업계에 알려진 임의의 적합한 방법 또는 시스템을 사용하여 결정할 수 있다. 검사 결과는 여기에 기술하는 바와 같이 취득할 수 있다. KP 값의 검사가 본 실시예에서의 방법에 의해 수행될지라도, KP 값을 감시하는 단계는 다른 방법 또는 시스템에 의해 수행할 수 있으며, 전술한 할당 단계는 그 방법에 의해 수행할 수 있다. 또한, KP 값을 감시하는 단계는 비닝 단계를 수행하기 이전에 셋업 단계 동안에 수행할 수 있어서, 검사와 1 이상 그룹의 결함에 KP 값을 할당하는 단계 사이의 시간을 저감할 수 있다. 1 이상의 POI에 대한 KP 값을 1 이상의 그룹에 대하여 할당하는 단계는, 1 이상의 그룹으로 비닝된 적어도 일부 결함의 위치에 가까운 설계 데이터의 부분을 1 이상의 POI에 대응하는 설계 데이터의 부분에 비교하는 단계를 포함할 수 있다. 그룹 내의 적어도 일부 결함의 위치에 가까운 설계 데이터의 부분이, 비교 단계의 결과에 기초하여 결정할 수 있는 POI에 대응하는 설계 데이터의 부분에 적어도 유사한 경우, POI에 대응하는 KP 값은 그룹 내의 결함(예컨대, 모든 결함)에 할당될 수 있다.

[0475] 여기에 기술한 방법은, 핫 스폿에 민감한(예컨대, 핫 스폿에 대하여 높은 신호와 낮은 노이즈를 갖는) 1 이상의 진단 또는 수리 프로세스에 대한 정보를 생성하는 단계를 포함할 수 있다. 그 정보는 핫 스폿에 대한 1 이상의 진단 또는 수리 프로세스를 자동화하거나 최적화하는데 사용될 수 있다. 1 이상의 프로세스가 핫 스폿 입증 및 분석, 새로운 학습의 포착, 비-주의 영역 및 뉴슨스 결함 필터링 최적화, 보고, 설계와 프로세스 마진 사이의 구별화를 위해 사용될 수 있다. 이러한 방식에서, 상기 방법은 웨이퍼 검사와, 레티클 검사와, 광학적 검사와, 매크로-결함 검사와, 전자 빔 검사와, 광학적 결함 리뷰와, SEM 결함 리뷰와, 엘립소메트리(ellipsometry) 및 CDSEM과 같은 계측 프로세스와, 결함 분석 프로세스와, FIB 및 다른 FA 프로세스와, 결함 수리 프로세스와 같은 진단 및 수리 프로세스를 위한 레시피를 생성하는데 사용할 수 있다.

[0476] 일부 실시예에서, 상기 방법은 설계 데이터 내의 1 이상의 POI를 우선순위화하는 단계와, 그 우선순위화 단계에 기초하여 설계 데이터가 인쇄될 웨이퍼에 대하여 수행되는 1 이상의 프로세스를 최적화하는 단계를 포함한다. 1 이상의 POI를 우선순위화하는 단계는 여기에 기술하는 바와 같이 수행할 수 있다. 본 실시예에서의 1 이상의 프로세스를 최적화하는 단계는 초점, 조사량, 노광 톨, 레지스트, 포스트 노광 베이킹(PEB; post expose bake) 시간, PEB 온도, 에치 시간, 에치 가스 조성, 에치 톨, 퇴적 톨, 퇴적 시간 등과 같은 1 이상의 프로세스의 1 이상의 매개변수를 변경하는 단계를 포함할 수 있다. 바람직하게는, 프로세스의 매개변수는 POI의 결함(예컨대, POI 내에서 검출된 결함의 수)을 감소시키기 위해, POI 내에서 검출된 결함의 1 이상의 속성(예컨대, DCI, KP 등)을 변경하기 위해, 및/또는 POI가 포함되는 장치의 수율을 증가시키기 위해 변경된다.

- [0477] 또한, 1 이상의 프로세스의 1 이상의 매개변수는 우선순위화 단계에 의해 결정된 것과 같은 가장 높은 우선 순위를 갖는 POI 또는 우선순위화 단계에서 결정된 것과 같은 비교적 높은 우선 순위를 갖는 POI에 대해서만 최적화될 수 있다. 이러한 방식에서, 1 이상의 프로세스의 1 이상의 매개변수는 가장 큰 결함 및/또는 수율에 대한 영향이 가장 큰 결함을 보이는 POI에 기초하여 변경 및/또는 최적화될 수 있다. 그와 같이, 우선순위화 단계의 결과는 가장 큰 수율 개선을 나타내기 위해서 1 이상의 프로세스의 1 이상의 매개변수를 변경 및/또는 최적화하는데 어느 POI가 사용되어야 하는지를 지시한다.
- [0478] 따라서, 어느 POI가 수율에 대하여 가장 큰 영향을 갖는지에 관한 안내 없이, 수율 및 안정도에 대하여 프로세스를 최적화하는 이로인한 기회가 시기적절하게 식별되거나 이루어지지 않을 수 있어서, 시장 출하시간을 증가시키고, 프로세스 최적화를 저감하는, 이전에 사용된 방법 및 시스템보다 본 실시예가 유리하다.
- [0479] 또한, 이러한 단계에서 변경 및/또는 최적화된 프로세스가 여기에 기술한 실시예에서 비닝된 결함의 검출 이전에 웨이퍼 상에 설계 데이터 내의 POI를 인쇄하는데 사용되는 프로세스만을 포함할지라도, 변경 및/또는 최적화된 1 이상의 프로세스는 POI를 포함하는 다른 설계 데이터를 인쇄하는데 사용되는 임의의 프로세스를 포함할 수 있다. 예컨대, 1 이상의 설계 데이터가 우선순위화 및/또는 여기에 기술한 방법의 임의의 다른 결과에 기초하여 POI를 포함하는 경우, 1 이상의 설계를 인쇄하는데 사용된 1 이상의 프로세스가 변경 및 최적화될 수 있어서, 각각의 다른 설계로 제조된 장치의 수율을 증가시킨다.
- [0480] 다른 실시예에서, 상기 방법은 비닝 단계의 결과 및/또는 여기에 기술한 임의의 방법의 임의의 다른 단계의 임의의 다른 결과에 기초하여 웨이퍼 상에 수행되거나 웨이퍼 상에 수행될 프로세스의 1 이상의 매개변수를 변경하는 단계를 포함한다. 그 프로세스는 CMP, 퇴적(전기-화학적 퇴적, 원자층 퇴적, 화학적 기상 퇴적, 물리적 기상 퇴적), 리소그래피, 에치, 이온 주입, 및 세정과 같이 당업계에서 알려진 임의의 프로세스를 포함할 수 있다. 1 이상의 매개변수는, 1 이상의 그룹으로 비닝된 결함이 웨이퍼의 후속 처리 후 웨이퍼에 대하여 저감하거나, 다른 웨이퍼의 처리 후 다른 웨이퍼에 대하여 저감할 수 있도록, 비닝의 결과에 기초하여 변경될 수 있다.
- [0481] 예컨대, 검사 이전에 웨이퍼에 대하여 에치 프로세스가 수행되는 경우, 에치 프로세스의 1 이상의 매개변수는, 바람직하게는 변경된 매개변수에 의한 에치 프로세스에서 처리된 다른 웨이퍼가, 1 이상의 그룹에서의 더 적은 수의 결함, 비교적 높은 DCI를 갖는 더 적은 수의 결함, 비교적 높은 KP 값을 갖는 더 적은 수의 결함 등, 또는 그것의 일부 조합을 나타내도록 피드백 제어 기술을 사용하여 변경될 수 있다. 매개변수의 그러한 변경은 결함 그룹의 우선순위화 또는 DCI 및 KP 값과 같이 여기에 기술한 다른 정보에 기초하여 수행할 수 있다. 이러한 방식에서, 프로세스는 수율에 대한 영향이 가장 큰 결함의 그룹에 기초하여 변경될 수 있다.
- [0482] 다른 예에서, 검사 이전에 웨이퍼에 대하여 에치 프로세스가 수행되는 경우, 웨이퍼에 대해 수행될 포스트-에치 프로세스의 1 이상의 매개변수는, 바람직하게는 변경된 매개변수로 웨이퍼에 대하여 포스트-에치 프로세스가 수행된 후, 그 웨이퍼가 1 이상의 그룹에서의 더 적은 수의 결함, 비교적 높은 DCI를 갖는 더 적은 수의 결함, 비교적 높은 KP 값을 갖는 더 적은 수의 결함 등, 또는 그것의 일부 조합을 나타내도록 피드 포워드 제어 기술을 사용하여 변경될 수 있다. 포스트-에치 프로세스 또는 다른 프로세스의 매개변수는 전술한 바와 같이 변경될 수 있다.
- [0483] 전술한 바와 같이 프로세스의 1 이상의 매개변수를 변경하는 단계는, 1 이상의 매개변수가 어떻게 변경되어야 하는지를 결정하는 단계와, 프로세스를 수행하는데 사용될 레시피 내의 1 이상의 매개변수의 값을 변경하는 단계를 포함할 수 있다. 그러한 변경은 여기에 기술한 방법 및 시스템에 의해, 예컨대, 랩 데이터베이스 내 또는 프로세스를 수행할 프로세스 툴에 결합된 저장 매체 내의 레시피에 접속하고, 그 레시피에 대하여 직접적으로 변경함으로써 수행될 수 있다.
- [0484] 대안적으로, 전술한 바와 같이 프로세스의 1 이상의 매개변수를 변경하는 단계는 1 이상의 매개변수가 어떻게 변경되어야 하는지를 결정하는 단계와, 프로세스를 수행하는데 사용될 레시피 내의 1 이상의 매개변수의 값을 변경하는데 사용될 수 있는 다른 방법 또는 시스템(예컨대, 프로세스를 수행할 프로세스 툴에 결합된 랩 데이터베이스 또는 프로세서)에 1 이상의 매개변수 값을 전송하는 단계를 포함할 수 있다. 프로세스가 다른 방법 또는 시스템에 의해 변경될 수 있도록, 변경될 1 이상의 매개변수 값은 레시피 엔티티, 프로세스 툴 아이덴티티, 1 이상의 매개변수를 변경하기 위한 명령어 등과 같은 다른 정보와 함께 전송될 수 있다.
- [0485] 일 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 웨이퍼를 검사용 프로세스를 변경하는 단계를 포함한다. 웨이퍼 검사용 프로세스는 여기에 기술한 임의의 비닝 결과에 기초하여 변경할 수 있다. 또한, 웨이퍼를 검사용 프로세스의 임의의 매개변수가 본 실시예에서 변경될 수 있다. 예컨대, 비닝 단계의 결과에 기초하여

변경될 수 있는 웨이퍼 검사용 프로세스의 1 이상의 매개변수는 주의 영역(또는 대안적으로 비 주의 영역), 감지도, 인-라인 비닝 프로세스, 검사 영역, 어느 웨이퍼가 검사되는지, 또는 그것의 일부 조합을 비한정적으로 포함할 수 있다. 일 특정 예에서, 비닝의 결과는 1 이상의 그룹 내에 포함되는 결함의 수를 포함할 수 있고, 주의 영역은 비교적 많은 수의 결함을 포함하는 그룹 내의 결함의 설계 데이터 스페이스 내의 위치에 대응하는 웨이퍼 상의 위치를 포함하도록 변경될 수 있다. 다른 예에서, 웨이퍼 검사용 프로세스는 비닝 단계의 결과에 기초하여 더 많이 또는 다르게 검사하도록 변경될 수 있다. 웨이퍼 검사용 프로세스는 여기에 기술한 방법의 임의의 단계의 임의의 결과에 기초하여 변경할 수 있다.

[0486] 여기에 기술하는 바와 같이, 결함은 검사 프로세스에 의해 검출될 수 있다. 일 실시예에서, 그 방법은 설계 데이터 내의 1 이상의 POI가 인쇄되는 웨이퍼 상의 위치를 리뷰하는 단계와, 그 리뷰 단계의 결과에 기초하여 1 이상의 POI의 위치에서 결함이 검사되었는지를 판정하는 단계와, 1 이상의 결함 포착물을 향상시키기 위해 검사 프로세스를 변경하는 단계를 포함한다. 본 실시예에서의 위치 리뷰 단계는 당업계에 알려진 임의의 방법 또는 시스템을 사용하여 수행할 수 있다. 이러한 방식에서, 웨이퍼 상의 위치를 리뷰하는 단계는 POI의 위치에서 결함이 검출되었는지를 판정하기 위해 POI의 위치에서 수행될 수 있다. 그러한 일 실시예에서, 상기 방법은 설계 데이터 내의 1 이상의 POI의 위치를 식별하기 위한 임의의 패턴 검색 단계와, 설계 데이터 내의 1 이상의 POI의 위치로부터 1 이상의 POI의 위치를 결정하는 단계를 포함할 수 있다. 이러한 방식으로 POI의 위치를 결정하는 단계는 여기에 추가로 기술하는 바와 같이 수행할 수 있다.

[0487] 또한, 일부 실시예에서, 상기 방법은 리뷰를 보조하기 위해 리뷰 단계 동안 히트(hit)가 있는 POI 및 히트가 없는 POI의 위치를 표시하는 단계를 포함할 수 있다. 그와 같이, 리뷰의 결과는 결함이 발생하였지만 검사 시스템에 의해 포착되지 않은 곳을 판정하는데 사용될 수 있다. POI는 검사 프로세스의 변경 또는 최적화를 수행할 곳을 알기 위해 소실된 결함(또는 포착되지 않은 결함)을 찾기 위해 리뷰될 수 있다.

[0488] 리뷰 결과에 부가하여 그러한 정보에 기초하여(예컨대, 결함의 1 이상의 속성, 설계 데이터의 1 이상의 속성 등), 바람직하게는 후속 검사에서보다 더 높은 비율로 POI의 위치에서 포착되도록, 광학 모드, 수집 각도, 입사 각도 등과 같은 검사 프로세스의 1 이상의 매개변수가 변경될 수 있다. 이러한 방식에서, 상기 방법은 POI 내의 결함 포착물의 분석에 기초한 셋업 조정 단계를 포함할 수 있다. 변경되는 검사 프로세스의 1 이상의 매개변수는 룰 데이터베이스를 사용하는 것과 같은 임의의 적합한 방식으로 결정할 수 있다. 본 실시예에서 향상될 수 있는 1 이상의 결함 포착물은 1 이상의 POI 내의 1 이상의 결함 유형에 대한 결함 포착물을 포함한다. 유사한 방식에서, 1 이상의 결함 포착물을 향상시키기 위한 전술한 실시예는 1 이상의 POI가 인쇄되는 웨이퍼 상의 위치를 리뷰하는 대신에 설계 내의 1 이상의 핫 스팟의 위치에 대응하는 웨이퍼 상의 위치를 리뷰함으로써 수행할 수 있다.

[0489] 또한, 전술한 방법은 1 이상의 POI에 대하여 수행되며, POI는 여기에 추가로 기술하는 바와 같이 우선순위가 될 수 있고, 검사 프로세스는 가장 높은 우선순위 또는 높은 우선순위를 갖는 POI에 대한 결함 포착물을 향상하도록 변경될 수 있다. 이러한 방식에서, 검사 프로세스는 가장 높은 우선순위의 POI 또는 높은 우선순위의 POI에 대해 최적화될 수 있다(그러한 최적화가 낮은 우선순위 POI에 대한 검사 프로세스의 최적화의 결과를 또한 낳을 수 있을지라도).

[0490] 다른 실시예에서, 상기 방법은 검사 결과에 기초하여 검사 동안에 웨이퍼의 검사용 프로세스를 변경하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 인-시투 프로세스 제어 기술을 사용하여 검사 프로세스를 변경하는 단계를 포함할 수 있다. 검사 프로세스를 변경하기 위해 사용되는 검사 결과는 여기에 기술한 임의의 결과를 포함할 수 있다. 또한, 본 실시예에서의 검사 프로세스를 변경하는 단계는 검사 프로세스의 임의의 1 이상의 매개변수를 변경하는 단계를 포함할 수 있다.

[0491] 위에서 추가로 기술한 바와 같이, 상기 방법은 검사 레시피를 최적화하는 단계를 포함할 수 있다. 최적화되는 검사 레시피는 인라인 검사 레시피 및/또는 전기 검사 레시피를 포함할 수 있다. 일 실시예에서, 상기 방법은 핫 스팟 정보에 기초하여 웨이퍼 검사용 프로세스를 변경하는 단계를 포함할 수 있다. 다른 실시예에서, 상기 방법은 핫 스팟 정보 및 설계 데이터에 기초하여 웨이퍼 검사용 프로세스를 생성하는 단계를 포함한다. 또한, 상기 방법은 핫 스팟 정보 및/또는 예측된 POI에 기초하여 웨이퍼 검사용 프로세스를 변경 또는 생성하는 단계를 포함할 수 있다. 예컨대, 검사 레시피는, 핫 스팟 및 POI의 위치만이 검사되고 및/또는 체계적인 뉴슨스 결함의 위치는 검사되지 않거나, 그러한 위치에서 취득한 데이터는 달리 억제되도록 구성될 수 있다. 다른 예에서, 전술한 바와 같이, 여기에 기술한 방법 실시예는 설계 내의 핫 스팟을 식별하는 단계(예컨대, 체계적 결함에 기초하여)를 포함할 수 있다. 이러한 방식에서, 상기 방법 실시예는 핫 스팟의 소스일 수 있고, 설계 내의

핫 스팟의 위치는 피드포워드 제어 기술을 사용하여 검사 프로세스를 변경하는데 사용될 수 있다.

[0492] 상기 방법은 임의의 다른 가용 정보에 기초하여 웨이퍼 검사용 프로세스를 변경하는 단계를 포함할 수 있다. 그러한 일 예에서, 상기 방법은 설계 데이터, 검사 결과, 및 1 이상의 비트맵에 부가하여 핫 스팟 정보에 기초하여 검사 레시피를 변경하는 단계를 포함할 수 있다. 이러한 방식에서, 상기 방법에 가용적인 임의의 정보는 수율에 영향을 미치지 않은 결함을 검출하기 검사 레시피의 감지도를 저하시키면서, 수율에 영향을 미칠 수 있는 결함을 검출하기 위하여 검사 레시피의 감지도를 최적화할 수 있다. 검사 레시피의 생성 및 최적화는 여기에 추가로 기술하는 바와 같이 수행할 수 있다(예컨대, DOI에 대한 검사가능성에 기초하여).

[0493] 일부 실시예에서, 상기 방법은 설계 데이터에 기초하여 웨이퍼 상의 결함을 검출하기 위한 감지도를 결정하는 단계를 포함할 수 있다. 그러한 일부 실시예에서, 설계 데이터의 적어도 두 부분에 대응하는 웨이퍼 상의 상이한 적어도 두 부분에서 상이하다. 또한, 상기 방법은 웨이퍼 상의 "주의 영역"(또는, "검사할 영역")을 식별하는 단계를 포함할 수 있다. 검사 결과는 비 주의 영역에서 취득되지 않을 수 있으며, 결함 검출은 비 주의 영역에서 취득된 검사 결과에 대해서는 수행하지 않을 수 있다. 하지만, 비닝과 같은 검사 결과의 부가적인 처리가 수행되기 이전에, 데이터 취득 및 결함 검출이 비 주의 영역에서 수행되는 경우, 상기 방법은 검출된 결함이 주의 영역 또는 비 주의 영역에 존재하는지를 판정하는 단계를 포함할 수 있다. 결함이 비 주의 영역에 위치하는 경우, 그 결함에 대해서는 추가적인 처리가 수행되지 않을 수 있다. 이러한 방식에서, 패턴 기반 비닝은 비닝 처리의 처리량을 최적화하기 위해 설계 데이터 내의 민감 영역으로 제한될 수 있다. 다른 실시예에서, 결함이 공통 설계 데이터(예컨대, 패턴 그룹화 또는 다른 콘텍스트 데이터)에 의해 그룹화된 후, 그 그룹화 정보는 향상된 카운트, 비닝, 감시, 분석, 샘플링, 리뷰, 테스트 등을 위해 여기에 추가로 기술하는 바와 같이 사용될 수 있다.

[0494] 본 방법 실시예는 핫 스팟 정보를 활용하거나 활용하지 않을 수 있다. 예컨대, 설계 데이터에 관한 지식에 기초하여, 상기 방법은 수율에 더욱 중요하거나 및/또는 수율-저하 결함에 더욱 민감한 설계 데이터의 부분을 식별하는 단계를 포함할 수 있다. 이러한 방식에서, 설계 데이터의 그 부분에서의 결함을 검출하기 위한 감지도는 설계 데이터의 다른 부분에서의 결함을 검출하기 위한 감지도보다 더 높을 수 있다. 그와 같이, 검사 데이터 취득 동안에, 상기 방법은 검사 데이터를 설계 데이터에 정렬하는 단계를 포함할 수 있고, 이는 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 검사 프로세스의 감지도는 설계 데이터 스페이스 내의 검사 데이터의 위치에 기초하여 변경할 수 있다. 그러한 실시예에서, 검사 프로세스의 감지도는 실시간으로 변경할 수 있다. 설계 기반 검사 또는 측정 레시피의 추가의 예는 미국 특허 6,886,153호(Bevis)와, Hamamatsu 등에 의해 미국 특허 출원 공개 번호 US2003/0022401호로 공개된 미국 특허 출원 일련번호 10/082,593호(2002년 2월 22일 출원)에 개시되며, 이들은 여기에 완전히 언급한 것과 같이 참고자료로 포함된다. 여기에 기술한 방법은 상기 특허 및 특허출원에 개시된 임의의 단계를 포함할 수 있다.

[0495] 일 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 리뷰를 위한 적어도 일부의 결함을 선택하는 단계를 포함한다. 예컨대, 비닝 단계의 결과는 여기에 기술한 바와 같이 어느 결함이 가장 중요한지를 결정하는데 사용될 수 있고(예컨대, 결함에 대한 DCI를 결정하여), 대부분의 중요한 결함은 리뷰를 위해 선택될 수 있다. 다른 예에서, 비닝 결과는 여기에 추가로 기술하는 바와 같이 어느 결함이 체계적 결함인지를 결정하기 위해 사용할 수 있다. 이러한 방식에서, 상기 방법은 DOI가 발생할 경향이 있는 설계 데이터의 부분으로부터의 리뷰 샘플링을 포함할 수 있다. 또한, 어느 결함이 체계적인지에 대한 정보뿐만 아니라, 체계적 결함이 SEM과 같은 리뷰 시스템에 가시적인지 및/또는 체계적 결함이 수율 관련적인지에 관한 정보는 리뷰를 위한 적어도 일부의 결함을 선택하는데 사용될 수 있다(예컨대, SEM에 가시적인 결함만이 리뷰를 위해 선택됨). 리뷰 동안에 결함의 재-위치화가 비교적 어렵고, 특히 리뷰 시스템이 그 리뷰 시스템에 실제 비가시적인 결함을 찾는데 많은 시간을 소비하는 경우 비교적 시간 소모적일 수 있기 때문에, 그러한 방식에서의 결함 선택이 특히 이롭다. 리뷰를 위한 결함 선택 결과는 웨이퍼 상의 선택 결함의 위치와, 여기에 기술한 방법의 임의의 단계의 다른 결과를 포함할 수 있다.

[0496] 다른 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 리뷰를 위한 결함을 샘플링하는 프로세스를 생성하는 단계를 포함한다. 따라서, 리뷰를 위한 결함의 선택 대신에 또는 그것에 부가하여, 상기 방법은 리뷰를 위한 결함을 샘플링하기 위하여 사용될 수 있는(예컨대, 그 방법, 다른 방법, 그 방법을 수행하도록 구성된 시스템, 또는 다른 시스템에 의해) 프로세스를 생성하는 단계를 포함할 수 있다. 그러한 프로세스는 리뷰를 위해 복수의 웨이퍼 상에서 검출된 결함의 샘플링 및/또는 복수의 리뷰 시스템에 의해 수행되는 리뷰를 위한 결함의 샘플링에 사용할 수 있다. 샘플링을 위한 프로세스는 비교적 큰 수의 결함을 포함하는 비닝된 결함 그룹에 대응하는 설계 데이터의 부분 내에서 검출된 결함이 비교적 작은 수의 결함을 포함하는 비닝된 결함의 그룹에 대

응하는 설계 데이터의 부분 내에서 검출된 결함보다 더 중점적으로 샘플링될 수 있도록, 비닝 단계의 결과에 기초하여 생성될 수 있다. 리뷰를 위한 결함을 샘플링을 위한 프로세스는 결함에 대한 DCI, 결함에 대한 KP 값 등과 같이 여기에 기술한 임의의 방법의 임의의 단계의 임의의 다른 결과와 조합하여 비닝 단계의 결과에 기초하여 생성할 수 있다.

[0497] 다른 실시예에서, 상기 방법은 핫 스팟 정보에 기초하여 리뷰를 위한 결함을 선택하는 프로세스를 생성하는 단계를 포함한다. 리뷰를 위한 결함을 선택하는 프로세스는 핫 스팟 정보뿐만 아니라, 그 방법에 가용적인 임의의 다른 정보에 기초하여 생성될 수 있다. 예컨대, 리뷰를 위한 결함을 선택하는 프로세스는 설계 데이터, 결함의 1 이상의 속성, 1 이상의 비트맵, 및 핫 스팟 정보에 기초하여 생성될 수 있다. 바람직하게는, 리뷰를 위한 결함을 선택하는 프로세스는 핫 스팟에서 검출된 결함 또는 체계적 결함과 같은 특정 유형의 결함이 리뷰를 위해 선택되고, 콜드 스팟에서 검출된 결함 및 뉴슨스 결함은 리뷰를 위해 선택되지 않도록 생성된다. 이러한 방식에서, 여기에 기술한 상기 방법은, 수율에 영향을 미치지 않을 결함을 리뷰 샘플로부터 대부분 배제하여 리뷰 프로세스의 처리량을 증가시키면서, 수율에 영향을 미칠 수 있는 결함을 다수 포함하는 결함 샘플을 생성할 수 있다.

[0498] 다른 실시예에서, 전술한 바와 같이 결함이 적어도 유사한 설계 데이터에 의해 비닝된 후에, 상기 방법은 CDSEM, 광학적 또는 다른 형태의 물리적 결함 리뷰 및 분류 또는 입증을 위한 1 이상의 "리뷰 샘플을 생성할 목적으로 비닝 결과를 사용하는 단계를 포함할 수 있다. 그러한 일 실시예에서, 상기 방법은 패턴 그룹 아이덴티티를 x축에 나타내고, 각 패턴 그룹에서 검출된 결함의 수를 y축에 나타내는 전술한 바와 같은 패턴 그룹 파레토를 생성하는 단계를 포함한다. 이러한 방식에서, 차트는 다른 패턴에서 검출된 결함의 수를 도시한다. 하지만, 다른 패턴에서 검출된 결함의 수를 지시하는 다른 데이터는 여기에 기술한 방법 단계에서 사용할 수 있다. 여기에 기술한 실시예는 전기적, 체계적, 및/또는 랜덤 파레토 차트를 생성하는 단계를 포함할 수 있다.

[0499] 상기 방법은, 각각의 패턴 유형에서 검출된 1 이상의 물리적 결함 유형을 결정하기 위해, 본 차트에서 도시한 1 이상의 상이한 패턴에 대한 데이터를 분석하는 단계를 포함할 수 있다. 1 이상의 결함 유형이 일 패턴 그룹에서 검출될 수 있다. 상기 방법은 그러한 차트에 도시된 1 이상의 다른 공간적 시그네처에 대한 데이터를 분석하여, 1 이상의 상이한 시그네처에 대응하는 1 이상의 그룹으로 비닝된 결함의 1 이상의 속성을 결정하는 단계를 또한 포함할 수 있다. 결함 속성은 사이즈, 다이 위치(또는 다이 아이덴티티), 및 당업계에 알려진 임의의 다른 속성을 비한정적으로 포함할 수 있다. 다이 위치는 패턴이 웨이퍼의 특정 위치, 존(zone), 또는 영역, 예컨대, 에지, 중심, 3시 위치 등에서 높은 발생 빈도를 갖는지를 지시한다.

[0500] 결함 샘플링 플랜은 전술한 분석 단계의 결과로부터 결정될 수 있다. 예컨대, 상기 방법은 강한 신호가 전술한 분석 단계로부터 발생하는지를 판정하는 단계를 포함할 수 있다. 이러한 강한 신호는 어느 결함(예컨대, 분석 단계에 의해 결정된 어느 패턴 및 어느 결함 유형 및/또는 속성)이 높은 비율 또는 낮은 비율로 샘플링되어야 하는지를 지시한다. 전술한 샘플링 플랜은 전자 빔 기반 리뷰 시스템 및 AFM(atomic force microscope) 또는 다른 스캐닝 프로브 마이크로스코프 기반 리뷰 시스템과 같은 비교적 느린 리뷰 시스템의 처리량을 증가시키는 데 유용하다.

[0501] 여기에 기술한 방법은 리뷰 레시피를 최적화하는데 사용할 수 있다. 예컨대, 일 실시예에서, 상기 방법은 핫 스팟 정보 및 선택적으로 그 방법에 가용적인 임의의 다른 정보에 기초하여 웨이퍼 상의 결함을 리뷰하는 프로세스를 변경하는 단계를 포함한다. 이러한 정보에 기초하여 변경되거나 선택된 리뷰 레시피의 매개변수는 임의의 데이터 취득 매개변수, 및 리뷰 프로세스의 임의의 데이터 처리 매개변수를 포함할 수 있다. 상기 방법은 결함을 리뷰하기 위해 사용할 리뷰 시스템의 유형(예컨대, 광학 또는 전자 빔)과, 결함을 리뷰하기 위해 사용된 리뷰 시스템의 제조 업체와 모델과 같은 리뷰 프로세스의 부가적인 매개변수를 선택하는 단계를 포함할 수 있다.

[0502] 상기 방법은 리뷰가 수행되는 웨이퍼 상의 위치를 결정하는 단계를 지원하는데 사용할 수 있는 정보를 리뷰 시스템에 제공하는 단계를 포함할 수 있다. 예컨대, 리뷰될 결함의 위치는 리뷰 시스템에 설계 데이터 스페이스, 다이 스페이스, 및/또는 웨이퍼 스페이스로 보고될 수 있다. 또한, 결함 및/또는 결함 위치에 관한 다른 정보가 리뷰 시스템에 제공될 수 있다. 예컨대, 결함 위치에 대응하는 설계 데이터의 부분에 부가하여 인라인 검사에 의해 생성된 결함의 이미지 또는 오버레이가 리뷰 시스템에 제공될 수 있다. 이러한 방식에서, 리뷰 시스템은 리뷰 동안 웨이퍼 상의 선택된 결함의 위치를 찾기 위해 그 정보의 일부 또는 전부를 사용할 수 있다. 또한, 리뷰 시스템이 에지 배치 에러에 기초하여 ADL(automatic defect locating)을 수행하기 위해 결과를 사용할 수 있도록, 여기에 기술한 1 이상의 방법의 1 이상의 단계의 결과는 리뷰 시스템에 제공될 수 있다. 또한,

상기 방법은 검사 결과 및 체계적 아이덴티티(아마도 수율 관련성 및/또는 프로세스 창 매핑과 함께)에 기초하여 리뷰를 위해 측정 또는 테스트해야 할 곳을 결정하는 단계를 포함할 수 있다. 리뷰는 미국 특허 출원 공개 공보 제2006/0082763호(2006년 4월 20일)로서 공개된 공동 양도된 미국 특허 출원 일련번호 11/249,144호(2005년 10월 14일자 출원; Teh et al.)에 개시된 것과 같은 방법 및 시스템을 사용하여 수행될 수 있는 유저-지원 리뷰를 포함할 수 있으며, 상기 문헌은 여기에 완전히 언급된 것과 같이 참고자료로 포함된다. 따라서, 비닝 방법(및 여기에 추가로 기술된 결함에 범주를 할당하는 방법)에 대한 유저 케이스는 체계적 탐색 및 유저-지원 리뷰를 포함한다.

[0503] 일 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 웨이퍼에 대한 계측 프로세스를 변경하는 단계를 포함한다. 예컨대, 비닝 단계의 결과로부터 결정된 바와 같은 대부분의 주요 결함이 계측 프로세스 동안에 측정되도록 계측 프로세스는 변경될 수 있다. 따라서, 계측 프로세스를 변경하는 단계는, 계측 프로세스 동안에 측정이 수행되는 웨이퍼 상의 위치를 변경하는 단계를 포함할 수 있다. 또한, 측정을 위해 선택되는 결함의 BF 이미지 및/또는 SEM 이미지와 같은 검사 및/또는 리뷰의 결과가 계측 시스템에 제공되어, 그 결과는 측정이 수행될 장소를 결정하는데 사용될 수 있다. 예컨대, 계측 프로세스는 웨이퍼 상의 결함의 적절한 위치의 이미지를 생성하는 단계를 포함할 수 있고, 필요한 경우 측정이 정확한 웨이퍼 위치에서, 따라서 정확한 결함에 대하여 수행되게, 그 계측 시스템은 웨이퍼 상의 위치를 보정할 수 있도록, 그 이미지는 결함에 대한 검사 및/또는 리뷰의 결과와 비교될 수 있다. 이러한 방식에서, 측정은 웨이퍼 상의 실질적으로 정확한 위치에서 수행될 수 있다. 계측 프로세스를 변경하는 단계는 수행되는 측정의 유형, 측정이 수행되는 각도 등, 또는 그것의 일부 조합과 같은 계측 프로세스의 임의의 다른 1 이상의 매개변수를 변경하는 단계를 또한 포함할 수 있다. 계측 프로세스는 CD 측정 계측 프로세스와 같은 당업계에서 알려진 임의의 적합한 계측 프로세스를 포함할 수 있다.

[0504] 다른 실시예에서, 상기 방법은 비닝 스텝의 결과에 기초하여 웨이퍼의 계측 프로세스에 대한 샘플링 플랜을 변경하는 단계를 포함한다. 따라서, 상기 방법은 적응형 샘플링(adaptive sampling)을 포함할 수 있다. 예컨대, 계측 프로세스에 대한 샘플링 플랜은 비닝 스텝의 결과로부터 결정된 바와 같은 가장 중요한 결함의 많은 수가 계측 프로세스 동안에 측정되도록 변경될 수 있다. 이러한 방식에서, 가장 중요한 결함은 계측 프로세스 동안에 더욱 중점적으로 샘플링될 수 있고, 이에 의해 가장 중요한 결함에 대한 다량의 정보를 이롭게 생성할 수 있다. 계측 프로세스는 당업계에 알려진 임의의 계측 프로세스를 포함할 수 있다. 또한, 계측 프로세스는 SEM과 같이 당업계에서 알려진 임의의 적합한 계측 시스템에 의해 수행할 수 있다. 또한, 계측 프로세스는 프로파일, 두께, CD 등과 같이 웨이퍼 상에 형성된 특징 또는 결함의 임의의 적합한 속성의 당업계에 알려진 임의의 적합한 측정을 수행하는 단계를 포함할 수 있다.

[0505] 유사한 방식에서, 상기 방법은 핫 스팟 정보와 선택적으로는 그 방법에 가용적인 임의의 다른 정보에 기초하여 웨이퍼 상의 결함을 분석(예컨대, 계측 또는 구성 분석) 또는 수리하기 위한 프로세스를 변경하는 단계를 포함할 수 있다. 예컨대, 상기 방법은 결함의 조성을 분석하기 위한 전자 분산 x-선 분광학(EDS 또는 EDX) 또는 결함의 수리 또는 FA에 대한 FIB 프로세스와 같은 프로세스를 변경하는 단계를 포함할 수 있다. 결함을 분석 또는 수리하기 위한 프로세스는 다른 프로세스를 변경하는 것에 대해 여기에 기술한 바와 같이 변경될 수 있다. 예컨대, 결함 또는 수리 프로세스는, 분석 및/또는 수리가 선택된 결함의 위치에서만 수행되도록 변경될 수 있으며, 그러한 선택은 여기에 기술하는 바와 같이 이루어질 수 있다. 또한, 분석 또는 수리 프로세스의 1 이상의 매개변수는 여기에 기술한 방법의 임의의 단계의 결과에 기초하여 선택 및 변경될 수 있다. 그러한 결과는 예컨대, 결함 범주, 결함 근본 원인, 결함 사이즈, 결함 입계성(분석 및/또는 수리가 수행되어야 할 정확도를 지시할 수 있음), 수율 영향, 결함에 가까운 설계 데이터 1 이상의 속성(예컨대, 특징의 치수, 특징의 밀도, 계층, 용장도 등)(분석 및/또는 수리가 수행되어야 하는지, 그리고 분석 및/또는 수리가 수행되어야 할 정확도 등을 지시할 수 있음)를 포함할 수 있다. 계측 툴에 대한 레시피를 생성하기 위한 방법 및 시스템의 추가적인 예는 미국 특허 6,581,193호(MaGhee et al.)에 개시되며, 이는 여기에 완전히 언급한 것과 같이 참고자료로 포함된다. 여기에 기술한 방법 및 시스템은 상기 특허에 개시된 임의의 추가적인 단계를 수행하도록 구성될 수 있다.

[0506] 일부 실시예에서, 상기 방법은 설계 데이터의 1 이상의 속성에 기초하여 결함의 근본 원인을 결정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 결함이 비닝되는 1 이상의 그룹의 근본 원인을 결정하는 단계를 포함한다. 예컨대, 일 실시예에서, 상기 방법은 1 이상의 그룹 내의 적어도 일부의 결함의 결과, 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성, 또는 그것의 일부 조합에 기초하여 1 이상 그룹의 결함의 근본 원인을 결정하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 결함의 근본 원인을 개별적으로 또는 집합적으로 그룹으로서 결정하는 단계를 포함할 수 있다. 결함 또는 그룹 결함의 근본 원인은 결함을 분석하는데 사용할 수 있

는 EDS 시스템과 같은 진단 시스템으로부터의 분석 결과에 기초하여, 예컨대, 결함의 구성을 측정함으로써 결정할 수 있다. EDS 시스템의 일 예는 미국 특허 6,777,676호(Wang et al.)에 개시되며, 이는 여기에 완전히 언급한 것과 같이 참고자료로 포함된다.

- [0507] 근본 원인 단계는 소스, 원인, 및/또는 체계적 결함에 대한 보정을 식별하는 단계를 포함할 수 있다. 근본 원인 단계는 임의의 설계, 웨이퍼, 레티클, 테스트 및 프로세스 스페이스 사이의 상관관계를 사용하여 다중 소스 스페이스에서 수행할 수 있다. 예컨대, 일 실시예에서, 상기 방법은 1 이상의 그룹 내의 적어도 일부의 결함을 실험적 프로세스 창 결과에 매핑함으로써 1 이상 그룹 결함의 근본 원인을 결정하는 단계를 포함한다. 실험적 프로세스 창 결과는 상기 방법, 다른 방법, 상기 방법을 수행하도록 구성된 시스템, 또는 상기 방법을 수행하도록 구성된 시스템 이외의 다른 시스템에 의해서 생성될 수 있다. 또한, 실험적 프로세스 창 결과는 PWQ 방법 또는 임의의 다른 적합한 실험(예컨대, 1 이상의 상이한 매개변수에서 상이한 웨이퍼에 대해 에치 프로세스를 수행함으로써)을 사용하여, PWQ 방법 또는 다른 실험 이후의 웨이퍼 상의 결함을 검출함으로써 취득할 수 있다. 실험적 프로세스 창 결과는 검사 및/또는 웨이퍼 상에서 검출된 결함의 리뷰에 의해 취득된 임의의 결과를 포함할 수 있다. 예컨대, 실험적 프로세스 창 결과는 결함의 이미지, 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 부분, 여기에 기술한 바와 같이 결정될 수 있는 설계 데이터 스페이스 내의 결함의 위치, 또는 여기에 기술한 임의의 다른 검사 및/또는 결함 리뷰 결과를 포함할 수 있다.
- [0508] 적어도 일부의 결함을 실험적 프로세스 창 결과에 매핑하는 단계는 검사 프로세스의 결과를 사용하여 수행할 수 있다. 예컨대, 실험적 프로세스 창 결과가 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 부분과 웨이퍼 상의 결함의 이미지를 포함하는 경우, 실험적 프로세스 창 결과에 결함을 매핑하는 단계는, 1 이상의 그룹으로 비닝된 결함의 이미지를 설계 데이터 스페이스 내의 비닝된 결함의 위치에 가까운 설계 데이터에 적어도 유사한 설계 데이터 가까이서 검출된 결함에 대한 실험적 프로세스 창 결과 내의 이미지와 비교하는 단계를 포함할 수 있다. 다른 예에서, 실험적 프로세스 창 결과가 설계 데이터 스페이스 내의 결함의 위치를 포함하는 경우, 비닝된 결함을 본 실시예에서의 실험적 프로세스 창 결과에 매핑하는 단계는 실험적 프로세스 창 결과 내의 설계 데이터 스페이스 내의 결함의 위치를 설계 데이터 스페이스 내의 비닝된 결함의 위치에 비교하는 단계를 포함할 수 있다.
- [0509] 이러한 방식에서, 매핑 단계의 결과는 프로세스 창 스페이스 내의 어디에서 결함 검출 이전에 웨이퍼 상에 수행되는 프로세스가 수행되는지를 지시할 수 있다. 특히, 실험적 프로세스 창 결과에 포함된 결함 및 바인딩된 결함이 적어도 유사한지와, 적어도 유사한 설계 데이터에 가깝게 위치하는지를 매핑 결과가 지시하는 경우, 실험적 프로세스 창 결과에 포함된 결함이 검출되는 프로세스 창에서의 1 이상의 매개변수 값은 비닝된 결함에 상호 연관지어지고, 비닝된 결함의 근본 원인으로 결정될 수 있거나 비닝된 결함의 근본 원인을 결정하는데 사용할 수 있다.
- [0510] 다른 실시예에서, 상기 방법은 1 이상의 그룹 내의 적어도 일부의 결함을 시뮬레이션된 프로세스 창 결과에 매핑함으로써 1 이상 그룹 결함의 근본 원인을 결정하는 단계를 포함한다. 시뮬레이션된 프로세스 창 결과는 전술한 실험적 프로세스 창 결과에 유사한 결과를 포함할 수 있다. 하지만, 시뮬레이션된 프로세스 창 결과는 물리적 웨이퍼에 대한 실험을 수행하는 것에 의하지 않고, 프로세스의 1 이상의 각종의 매개변수의 값에서 설계 데이터가 웨이퍼 상에 어떻게 인쇄되는지를 설명하는 이미지를 시뮬레이션함으로써 취득된다. 프로세스는 설계 데이터에 대응하는 장치의 제조에 포함되는 임의의 프로세스를 포함할 수 있다. 예컨대, 본 실시예는 체계적 결함 위치에 관하여 패터닝 프로세스(예컨대, 리소그래피 또는 에치)를 모델링하는 단계를 포함할 수 있고, 그러한 모델링의 결과는 체계적 결함의 근본 원인을 결정하는데 사용할 수 있다. 시뮬레이션된 프로세스 창 결과는 당업계에 알려진 임의의 적합한 방법 또는 시스템에 의해 생성될 수 있다. 예컨대, 시뮬레이션된 프로세스 창 결과는 KLA-Tencor 사로부터 상업적으로 입수가능한 PROLITH 소프트웨어에 의해 생성될 수 있다. 또한, 시뮬레이션된 프로세스 창 결과는 상기 방법, 다른 방법, 상기 방법을 수행하도록 구성된 시스템, 또는 상기 방법을 수행하도록 구성된 시스템 이외의 다른 시스템에 의해 생성될 수 있다. 본 실시예에서의 근본 원인을 결정하는 단계는 실험적 프로세스 창 결과에 대하여 전수한 바와 같이 수행할 수 있다.
- [0511] 근본 원인 단계는 체계적 결함에 대한 소스 및/또는 보정을 결정하는 단계를 포함할 수 있다. 체계적 결함에 대한 하나의 가능한 소스는 프로세스 창 시프트(shift)이다. 또한, 핫 스팟 시그니처의 지식은 프로세스 창 내의 어디에서 프로세스가 작동하는지에 대한 정보를 제공할 수 있다. 근본 원인 단계는 프로세스 창을 확장하기 위해 프로세스 개선에 대한 가장 중요한 기회를 결정하는 단계를 또한 포함할 수 있다. 또한, 근본 원인 단계는 레티클 설계를 개선하기 위해 가장 중요한 체계적 이슈를 결정하는 단계를 포함할 수 있다. 근본 원인 단계는 차세대 기술을 개선 및/또는 구현하기 위해 가장 중요한 체계적 이슈를 결정하는 단계를 추가로 포함할 수

있다.

[0512] 일부 실시예에서, 상기 방법은 1 이상 그룹의 결함에 의해 영향받은 웨이퍼 상에 형성된 다이의 퍼센티지를 결정하는 단계를 포함한다. 예컨대, 퍼센티지는 그룹 내의 결함이 적어도 한번 검출된 웨이퍼 상의 검사 다이의 수를 결정하고, 그룹 내의 결함이 적어도 한번 검출된 검사 다이의 수를 전체 검사 다이 수로 나누어서 결정할 수 있다. 그룹 내의 결함이 적어도 한번 검출된 웨이퍼 상의 검사 다이의 수는 결함의 설계 데이터 스페이스 위치, 웨이퍼 상에 인쇄된 다이의 설계 스페이스 위치, 및 결함을 검출하는데 사용된 검사 프로세스에 대한 정보에 기초하여 결정할 수 있다. 이들 단계의 결과에 100을 곱해서 퍼센티지에 이르게 한다. 일 특정 예에서, 하나의 그룹으로 비닝된 300개의 결함이 존재하고, 그 그룹 내의 결함은 웨이퍼 상에 5개의 다이에 위치되며, 웨이퍼 상에는 6,000개의 다이가 존재하는 경우, 퍼센티지는 $[(5)(100)]/(6000)$ 또는 0.083%로서 결정될 수 있다. 따라서 그 퍼센티지는 결함의 그룹에 대한 다이 영향 마진을 반영한다. 그러한 퍼센티지는 1 이상 그룹의 결함에 대해 결정될 수 있고, 각각(또는 적어도 일부)의 퍼센티지는 상기 방법에 의해 생성될 수 있는 바 차트와 같은 차트로 표시될 수 있다. 따라서, 그 차트는 결함이 비닝되는 그룹의 함수로서 다이 영향 마진을 나타낸다. 그러한 차트는 여기에 추가로 기술하는 바와 같이 구성될 수 있는 유저 인터페이스에서 나타내질 수 있다. 상기 방법은 본 실시예에서 결정된 퍼센티지에 기초하여 1 이상 그룹의 결함을 우선순위화하는 단계를 또한 포함할 수 있다. 그러한 우선순위화의 단계는 여기에 추가로 기술하는 바와 같이 수행할 수 있으며, 그러한 우선순위화의 결과는 여기에 추가로 기술하는 바와 같이 사용될 수 있다.

[0513] 다른 실시예에서, 상기 방법은 적어도 하나의 그룹에 대응하는 설계 데이터 내의 1 이상의 POI를 결정하는 단계와, 웨이퍼 상의 1 이상의 위치의 수에 대한 1 이상의 POI에 대응하는 적어도 하나의 그룹으로 비닝된 결함의 수의 비율을 결정하는 단계를 포함한다. 적어도 하나의 그룹에 대응하는 설계 데이터 내의 1 이상의 POI는 여기에 추가로 기술하는 바와 같이 결정할 수 있다. 1 이상의 POI의 모든 예가 결함을 검출하기 위해 사용된 검사 프로세스 동안에 검사되지 않으면, 본 실시예에서 사용된 웨이퍼 상의 1 이상의 POI의 위치의 수는 웨이퍼 상의 1 이상의 POI의 검사된 위치의 수일 수 있다. 이러한 방식에서, 상기 방법은 웨이퍼 상에 인쇄된 POI의 위치의 수(또는 웨이퍼 상의 POI의 검사된 위치의 수)에 대한 결함이 웨이퍼 상에서 검출된 POI의 비율 또는 퍼센티지를 결정하여 마진 분석을 수행하는 단계를 포함할 수 있다. 그러한 실시예에서, 웨이퍼 상의 POI의 위치의 수는 임의의 패턴 검색에 의해 식별될 수 있다. 웨이퍼 상의 POI의 검사된 위치의 수는, 임의의 패턴 검색에 의해서, 웨이퍼 상의 POI의 검사된 위치의 수를 결정하기 위해 검사 프로세스에 대한 정보 및 임의의 패턴 검색의 결과를 사용하여 수행될 수 있다. 또한, 여기에 기술한 상기 방법은 웨이퍼 상의 POI의 위치를 식별하고, POI의 영역을 결정하기 위한 임의의 패턴 검색을 포함할 수 있다. 웨이퍼 상의 POI의 영역 및 POI의 위치의 수(또는 웨이퍼 상의 POI의 검사된 위치의 수)는 POI에 의한 결함 밀도를 결정하는데 사용할 수 있다. 상기 방법은 본 실시예에서 결정된 비율에 기초하여 1 이상의 POI를 우선순위화하는 단계를 또한 포함할 수 있다. 그러한 우선순위화는 여기에 추가로 기술하는 바와 같이 수행할 수 있고, 그러한 우선순위화 결과는 여기에 기술하는 바와 같이 사용할 수 있다.

[0514] 추가적인 실시예에서, 상기 방법은 적어도 하나의 그룹에 대응하는 설계 데이터 내의 1 이상의 POI를 결정하는 단계와, 설계 데이터 내의 1 이상의 POI 위치의 수(또는 설계 데이터 내의 1 이상의 POI의 모든 위치가 결함을 검출하기 위해 사용된 검사 프로세스 동안에 검사되지 않는 경우 설계 데이터 내의 1 이상의 POI의 검사된 위치의 수)에 대한 1 이상의 POI에 대응하는 적어도 하나의 그룹 내의 비닝된 결함의 수의 비율을 결정하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 설계 내의 POI의 위치의 수(또는 설계 내의 POI의 검사된 위치의 수)에 대한 POI에 대응하는 그룹 내의 결함 수의 비율 또는 퍼센티지를 결정하여 마진 분석을 수행하는 단계를 포함할 수 있다. 그러한 실시예에서, 설계 데이터 내의 POI의 위치의 수는 임의의 패턴 검색에 의해 수행될 수 있다. 또한, 설계 내의 POI의 검사된 위치의 수는 전술한 바와 같이 결정할 수 있다. 적어도 하나의 그룹에 대응하는 1 이상의 POI는 여기에 추가로 기술하는 바와 같이 결정할 수 있다. 이러한 방법은 본 실시예에서 결정된 비율에 기초하여 1 이상의 POI를 우선순위화하는 단계를 또한 포함할 수 있다. 그러한 우선순위화는 여기에 추가로 기술하는 바와 같이 수행할 수 있고, 그러한 우선순위화 결과는 여기에 기술하는 바와 같이 사용될 수 있다.

[0515] 추가의 실시예에서, 상기 방법은 적어도 하나의 그룹에 대응하는 설계 데이터 내의 POI를 결정하는 단계와, 적어도 하나의 그룹으로 비닝되는 결함이 위치되는 웨이퍼 상에 형성된 다이의 퍼센티지를 결정하는 단계와, 그 퍼센티지에 기초하여 POI에 우선순위를 할당하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 결함에 의해 영향을 받은 다이의 퍼센티지에 기초하여 마진 분석을 수행하는 단계를 포함할 수 있다. 예컨대, 그룹으로 비닝된 결함의 수는 웨이퍼 상에 설계 데이터를 인쇄하는데 사용된 레티클 상의 POI의 설계 인스턴스의 수와 레티

클이 웨이퍼 상에 인쇄되는 횟수로 나눌 수 있다. 이러한 단계의 결과에 100을 곱해서 퍼센티지에 이른다. 일 특정 예에서, 일 그룹으로 비닝된 300개의 결함과, 레티클 상의 그룹에 대응하는 POI의 2000개의 설계 인스턴스가 존재하고, 레티클이 웨이퍼 상에 1000회 인쇄되는 경우, 그룹으로 비닝된 결함이 위치하는 웨이퍼 상에 형성된 다이의 퍼센티지는 $[(300)(100)]/[(2000)(1000)]$ 또는 0.015%이며, 이는 본질적으로 결함의 그룹에 대한 웨이퍼 기반 마진이다.

[0516] 이러한 방식에서, 상기 방법은 결함이 적어도 한번 검출되는 웨이퍼 상의 검사 다이의 수에 의해 체계적 결함을 우선순위화하는 단계를 포함할 수 있다. 예컨대, 체계적 결함이, 다이 내의 POI의 설계 인스턴스의 1%에 대하여, 다이 내의 POI의 설계 인스턴스의 10%로 출현한 경우, 더 높은 우선순위가 POI에 할당될 수 있다. 다른 예에서, 웨이퍼 상의 다수의 다이에서 검출된 결함의 그룹에는 웨이퍼 상의 소수의 다이에서 검출된 결함의 그룹보다 더 높은 우선순위가 할당될 수 있다. 또한, 상기 방법은 상이한 그룹으로 비닝된 결함이 위치하는 웨이퍼 상에 형성된 다이의 퍼센티지를 나타내는 바 차트와 같은 차트를 생성하는 단계를 포함할 수 있다. 따라서, 차트는 상이한 결함 그룹에 대한 다이 기반 마진을 그래픽 식으로 나타낸다. 그러한 차트는 여기에 기술한 바와 같이 구성될 수 있는 유저 인터페이스에 표시될 수 있다. 그러한 우선순위화의 결과는 여기에 기술한 바와 같이 사용할 수 있다.

[0517] 또 다른 실시예에서, 상기 방법은 1 이상 그룹 내의 결함이 검출되는 웨이퍼 상의 전체 설계 인스턴스의 수에 의해 1 이상의 그룹을 우선순위화하는 단계를 포함한다. 본 실시예에서 사용된 웨이퍼 상의 설계 인스턴스의 수는, 웨이퍼 상의 모든 설계 인스턴스가 결함을 검출하는데 사용된 검사 프로세스 동안에 검사되지 않은 경우, 웨이퍼 상의 전체 검사된 설계 인스턴스의 수일 수 있다. 이러한 방식에서, 상기 방법은 웨이퍼 상의 전체 설계 인스턴스의 수(또는 전체 검사된 설계 인스턴스의 수)로 공지된 체계적 결함을 우선순위화하는 단계를 포함할 수 있다. 그와 같이, 상기 방법은 웨이퍼 기반 마진에 기초하여 알려진 체계적 결함을 우선순위화하는 단계를 포함할 수 있다. 예컨대, 웨이퍼 상의 큰 수의 설계 인스턴스에서 검출된 결함의 그룹에는 웨이퍼 상의 작은 수의 설계 인스턴스에서 검출되는 결함의 그룹보다 더 높은 우선순위가 할당될 수 있다. 그러한 우선순위화는 결함이 검출되는 웨이퍼 상의 설계 인스턴스(또는 검사된 설계 인스턴스)의 위치의 퍼센티지에 기초하여 수행할 수 있다. 예컨대, 검출되어 일 그룹으로 비닝된 결함의 수는 웨이퍼 상의 설계 인스턴스의 전체 수(또는 검사된 설계 인스턴스의 전체 수)로 나눌 수 있다. 이러한 단계의 결과에 100을 곱해 전술한 퍼센티지에 이를 수 있다. 또한, 상기 방법은 상이한 그룹의 결함이 검출된 웨이퍼 상의 설계 인스턴스의 수(또는 검사된 설계 인스턴스의 수)를 나타내는 바 차트와 같은 차트를 생성하는 단계를 포함할 수 있다. 그러한 차트는 여기에 기술한 바와 같이 구성될 수 있는 유저 인터페이스에 표시될 수 있다. 그러한 우선순위화는 여기에 기술한 바와 같이 추가로 수행될 수 있고, 그 우선순위화 결과는 여기에 기술한 바와 같이 사용될 수 있다.

[0518] 일부 실시예에서, 상기 방법은 1 이상 그룹 내의 결함이 적어도 한번 검출되는 웨이퍼 상의 설계 데이터를 인쇄하는데 사용되는 레티클 상의 설계 인스턴스의 수로 1 이상의 그룹을 우선순위화하는 단계를 포함한다. 본 실시예에서 사용된 레티클 상의 설계 인스턴스의 수는 검사된 설계 인스턴스의 수일 수 있다. 이러한 방식에서, 상기 방법은 결함이 적어도 한번 발견되는 레티클 상의 설계 인스턴스의 수에 의해 알려진 체계적 결함을 우선순위화하는 단계를 포함할 수 있다. 예컨대, 레티클 상의 큰 수의 설계 인스턴스에서 검출된 결함의 그룹에는 레티클 상의 작은 수의 설계 인스턴스에서 검출된 결함의 그룹보다 높은 우선순위가 할당될 수 있다. 또한, 상기 방법은 상이한 그룹의 결함이 검출된 레티클 상의 설계 인스턴스의 수를 나타내는 바 차트와 같은 차트를 생성하는 단계를 포함할 수 있다. 그러한 차트는 여기에 기술한 바와 같이 구성될 수 있는 유저 인터페이스에 표시될 수 있다. 그러한 우선순위화는 여기에 기술한 바와 같이 추가로 수행될 수 있고, 그 우선순위화 결과는 여기에 기술한 바와 같이 사용될 수 있다.

[0519] 다른 실시예에서, 상기 방법은 1 이상 그룹으로 비닝된 결함이 검출되는 레티클 상의 위치의 수와, 1 이상의 그룹으로 비닝된 결함의 위치에 가까운 설계 데이터의 부분에 적어도 유사한 레티클 상에 인쇄된 설계 데이터의 부분의 전체 수에 기초하여 1 이상 그룹에 대한 레티클 기반 마진을 결정하는 단계를 포함할 수 있다. 본 실시예에서 사용된 레티클 상의 위치의 수는 검사된 위치의 수를 포함할 수 있다. 예컨대, 레티클-기반 마진은 일 그룹 내의 적어도 하나의 결함이 검출된 적층 레티클 맵 내의 위치의 수를 레티클 상의 전체 설계 인스턴스로 나누어서 결정될 수 있다. 이러한 단계의 결과에 100을 곱해서, 결함이 검출된 그룹에 대응하는, 설계 인스턴스의 위치의 퍼센티지에 이를 수 있다. 일 특정 예에서, 300개의 결함의 일 그룹으로 비닝되고, 레티클 상의 그룹에 대응하는 POI에 대해 2000개의 설계 인스턴스가 존재하고, 그룹으로 비닝된 결함이 레티클 내의 50곳의 상이한 위치에서 검출되는 경우(적층 레티클 맵으로부터 결정될 수 있다), 이러한 결함 그룹에서의 레티클 기반 마진은 $[(50)(100)]/(2000)$ 또는 2.5%일 수 있다. 또한, 상기 방법은 상이한 그룹의 결함이 검출된 위치의 퍼

센티지 또는 레티클 기반 마진을 나타내는 바 차트와 같은 차트를 생성하는 단계를 포함할 수 있다. 그러한 차트는 여기에 기술하는 바와 같이 구성될 수 있는 유저 인터페이스에 표시될 수 있다. 또한, 상기 방법은 1 이상의 그룹에 대하여 결정된 레티클 기반 마진에 기초하여 1 이상 그룹의 결함을 우선순위화하는 단계를 또한 포함할 수 있다. 예컨대, 비교적 높은 레티클 기반 마진을 나타내는 그룹에는 비교적 낮은 레티클 기반 마진을 나타내는 결함의 그룹보다 더 높은 우선순위가 할당될 수 있다. 그러한 우선순위화는 여기에 기술하는 바와 같이 추가로 수행할 수 있으며, 그러한 우선순위화의 결과는 여기에 기술하는 바와 같이 사용될 수 있다.

[0520] 전술한 실시예의 단계는 전술한 바와 같이 결함의 그룹 또는 그룹으로 비닝된 개별 결함에 대해서 수행할 수 있다.

[0521] 전술한 방법의 각각의 실시예는 여기에 기술한 임의의 방법의 임의의 다른 단계를 포함할 수 있다. 또한, 전술한 방법 실시예의 각각은 여기에 기술한 임의의 시스템에 의해 수행될 수 있다.

[0522] 위에서 상세히 언급한 바와 같이, 결함을 비닝하기 위한 방법 실시예는 DCI를 결정하는 단계를 포함할 수 있다. 또한, 일부 방법은 웨이퍼 상에서 검출된 1 이상의 결함에 대한 DCI를 결정하는 단계를 포함할 수 있고, 웨이퍼 상에서 검출된 결함을 비닝하는 단계를 포함하거나 포함하지 않을 수 있다. 예컨대, 웨이퍼 상에서 검출된 결함에 대해 DCI를 결정하는 컴퓨터-구현 방법의 일 실시예는 설계 데이터 스페이스 내의 결함의 위치에 가까운 장치에 대해, 설계 데이터의 1 이상의 속성에 기초하여, 그 결함이 웨이퍼 상에서 제조되고 있는 장치의 1 이상의 전기적 속성을 변경할 확률을 결정하는 단계를 포함한다. 결함이 장치의 1 이상의 전기적 속성을 변경할 확률은, 그 결함이 장치의 1 이상의 전기적 매개변수를 변경하거나 및/또는 장치에 대한 다이를 파손할 확률일 수 있다. 설계 데이터의 1 이상의 속성은 여기에 기술한 임의의 설계 데이터 속성을 포함할 수 있다. 그 확률은 결함의 1 이상의 속성(예컨대, 결함 사이즈)과 조합하여 설계 데이터의 1 이상의 속성에 기초하여 결정할 수 있다. 또한, 그 확률은 결함의 1 이상의 속성, 결함을 검출하기 위해 사용된 검사 시스템에 의해 보고된 결함의 위치, 검사 시스템의 좌표 정확도와 조합하여 설계 데이터의 1 이상의 속성에 기초하여 결정할 수 있다.

[0523] 일 특정 예에서, 그 확률을 결정하는 단계는 설계 데이터 내의 결함에 대해 주요 영역과 같은 설계 데이터의 1 이상의 속성을 결정하는 단계를 포함할 수 있다. 이러한 방식에서, 주요 영역, 보고된 결함 사이즈, 및 보고된 결함 위치는 그 결함이 장치의 1 이상의 전기적 속성을 변경할 확률을 결정하는데 사용될 수 있다. 예컨대, 결함 사이즈가 커지고 패턴 복잡도가 증가할수록, 결함이 장치의 1 이상의 속성을 변경할 확률 또한 커진다. 따라서, 장치의 1 이상의 전기적 속성 내에서의 손상 또는 변경 가능성을 결함 사이즈 및 패턴 복잡도의 함수로서 기술하는 관계는 각 웨이퍼 상의 각 결함의 상대적 리스크를 결정하는데 사용할 수 있다.

[0524] 다른 예에서, 그 확률은 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터, 설계 데이터 내의 결함의 위치의 확률, 결함이 장치의 1 이상의 전기적 속성을 변경할지를 결정하기 위해 모델에 입력되는 바와 같은 결함 사이즈를 사용하여 결정될 수 있다. 이러한 방식에서, 상기 확률은, 결함이 설계 레이아웃 내의 특정 스폿에 위치되는 경우, 장치의 1 이상의 전기적 속성을 변경할 확률이다.

[0525] 상기 방법은 결함이 장치의 1 이상의 속성을 변경할 확률에 기초하여 결함에 대한 DCI를 결정하는 단계를 또한 포함한다. 예컨대, DCI는 적어도 대략적으로 확률에 상호 연관된 인덱스일 수 있다. 일 예에서, 높은 DCI는 비교적 높은 확률이 결정되는 결함에 대해 결정될 수 있다. 즉, 장치의 1 이상의 전기적 속성을 변경할 비교적 높은 확률을 갖는 결함에 대해서는 DCI가 높다. DCI는 그 DCI와 확률 사이의 관계를 기술하는 임의의 적합한 방법, 알고리즘, 데이터 구조 등, 또는 그것의 일부 조합을 사용하여 확률로부터 결정될 수 있다. 여기에 기술한 방법은, 실험적 결과(예컨대, 검사, 계측, 리뷰, 테스트, 또는 그것의 일부 조합), 시뮬레이션 결과, 실험상 데이터, 설계에 관한 정보, 이력 데이터, 또는 그것의 일부 조합을 사용하여, 그러한 방법, 알고리즘, 데이터 구조, 룰 등을 생성하는 단계를 포함할 수 있다. 또한, DCI는 임의의 적합한 포맷(수, 알파벳, 문자열 등)을 가질 수 있다. DCI는 유저가 그 DCI의 값을 용이하게 이해할 수 있는 방식으로 표현될 수 있다. 예컨대, DCI에는 1과 10 사이의 값이 할당되고, 10의 경우는 가장 높은 DCI이고, 1은 가장 낮은 DCI이다. DCI는 여기에 기술한 1 이상의 실시예와 같은 방법 또는 시스템이 여기에 기술한 1 이상의 단계를 수행하기 위해 DCI를 사용할 수 있는 방식으로 표현될 수 있다.

[0526] 상기 방법은 저장 매체 내에 DCI를 저장하는 단계를 추가로 포함한다. 또한, 그 저장 단계는 여기에 기술한 임의의 방법 실시예의 임의의 다른 결과에 부가하여 DCI를 저장하는 단계를 포함할 수 있다. DCI는 당업계에 알려진 임의의 방식으로 저장될 수 있다. 또한, 저장 매체는 여기에 기술한 임의의 저장 매체 또는 당업계에 알려진 임의의 적합한 저장 매체를 포함할 수 있다. DCI가 저장된 후에, DCI는 여기에 기술한 임의의 방법 또는 시스템에 의해 저장 매체 내에서 액세스되어 사용될 수 있다. 또한, DCI는 "영구적으로", "반-영구적으로", 또

는 임의의 기간동안 일시적으로 저장될 수 있다. 또한, DCI를 저장하는 단계는 여기에 기술한 임의의 다른 방식으로 수행할 수 있다.

[0527] 일 실시예에서, DCI가 결정되는 결함은 랜덤 결함을 포함한다. 다른 실시예에서, DCI가 결정된 결함은 체계적 결함을 포함한다. 이러한 방식에서, DCI는 랜덤 결함 및 체계적 결함의 양쪽에 대해서 결정될 수 있다. 결함은 여기에 추가로 기술하는 바와 같이 랜덤 결함 또는 체계적 결함으로서 결정될 수 있다. 또한, 본 방법의 실시예가 결함에 대한 DCI를 결정하는 단계를 포함하는 것으로 기술하였지만, 상기 방법은 웨이퍼 상에서 검출된 하나의 결함, 일부 결함, 또는 모든 결함에 대해 DCI를 결정하는 단계를 포함할 수 있다. 상기 방법으로 DCI가 결정된 결함은 유저에 의해 선택될 수 있다. 대안적으로, 상기 방법으로 DCI가 결정된 결함은 상기 방법에 의해 선택될 수 있다(예컨대, 결함의 1 이상의 속성, 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 1 이상의 속성, 여기에 기술한 결함 및/또는 설계 데이터의 임의의 다른 정보, 또는 그것의 일부 조합에 기초하여).

[0528] 일부 실시예에서, 1 이상의 전기적 속성은 장치의 기능성을 포함한다. 이러한 방식에서, DCI는 결함이 장치가 고장나거나 기능하지 않게 야기할 수 있는 결함의 확률에 기초하여 결정될 수 있다. 다른 실시예에서, 장치의 1 이상의 전기적 속성은 장치의 1 이상의 전기적 매개변수를 포함한다. 이러한 방식에서, DCI는 결함이 장치의 1 이상의 전기적 매개변수를 변경할 확률에 기초하여 결정될 수 있다. 그와 같이, 그 확률은 결함이 전기적 매개변수 이슈를 야기할 수 있는 확률일 수 있다. 전기적 매개변수 이슈는 전기 테스트 내의 전기적 결함으로서 자격이 부여되지 않고, 결함이 장치의 전기 성능을 변경하고, 그 결함이 지속되는 경우 다른 웨이퍼 상에서의 시간에 걸친 전기적 결함을 야기하는 것을 개시할 수 있는 지시일 수 있다. 전기적 매개변수는 속도, 구동 전류, 신호 통합, 및 장치의 파워 분산과 같은 당업계에서 알려진 임의의 전기적 매개변수를 포함할 수 있다.

[0529] 일 실시예에서, 상기 설계 데이터의 1 이상의 속성은 용장도, 네트 리스트, 또는 그것의 일부 조합을 포함한다. 다른 예에서, 설계 데이터의 1 이상의 속성은 설계 데이터 내의 특징의 치수, 설계 데이터 내의 특징의 밀도, 또는 그것의 일부 조합을 포함한다. 그러한 속성은 전술한 바와 같이 확률을 결정하는데 사용할 수 있다. 추가적인 실시예에서, 설계 데이터의 1 이상의 속성은 장치의 1 이상의 설계 층에 대한 설계 데이터의 1 이상의 속성을 포함한다. 이러한 방식에서, 확률은 결함에 대한 다중-층 콘텍스트 정보에 기초하여 결정될 수 있으며, 이는 결함이 장치를 통하여 전파됨으로써 그리고 웨이퍼 상에 형성된 장치가 통상적으로는 여러 층으로 형성되기 때문에, 1 이상의 설계 층에 영향을 미치는 경우 이롭다. 따라서, 결함은 장치의 1 이상의 층에 인쇄되는 설계 데이터를 변경할 수 있고, 임의의 층, 일부의 층, 또는 모든 층에 대한 변경은 장치의 1 이상의 속성을 변경할 수 있다. 그와 같이, 확률을 결정하기 위해 설계 데이터의 1 이상의 속성을 사용함으로써, 그 확률은 장치의 1 이상의 층에 어떻게 영향을 미치는지에 기초하여 결정될 수 있고, 이에 의해 가능하게는 상기 확률과 그것으로부터 결정된 DCI가 잠재적 매개변수 이슈를 더욱 지시하고 더욱 수율 관련적이 되게 할 수 있다.

[0530] 일부 실시예에서, 확률 결정 단계는 설계 데이터에 대한 전기 테스트 결과와, 설계 데이터의 1 이상의 속성 사이의 상관관계를 사용하여 확률을 결정하는 단계를 포함한다. 예컨대, 상기 방법은 설계 데이터의 1 이상의 속성과 전기적 테스트 결과 사이에 상관관계가 존재하는지를 결정하는 데이터 마이닝을 수행하는 단계를 포함할 수 있다. 특히, 웨이퍼 상에 인쇄된 라인 폭, 스페이싱 등과 같은 설계 데이터의 1 이상의 속성이 측정될 수 있고, 웨이퍼에 대한 전기 테스트 결과가 설계 데이터의 속성과 설계 데이터 테스트 결과 사이의 상관관계를 결정하는데 사용될 수 있다. 전기적 테스트 결과는 웨이퍼 상에 형성된 1 이상의 장치의 1 이상의 속성의 측정치를 포함할 수 있거나, 장치의 1 이상의 전기적 속성을 결정하는데 사용될 수 있다. 따라서, 그 상호연관은 설계 데이터의 1 이상의 속성과 1 이상의 전기적 속성 사이의 상호연관으로서 결정될 수 있다. 전기 테스트 결과는 당업계에 알려진 임의의 방법 또는 시스템을 사용하여 생성된 임의의 적합한 전기 테스트 결과를 사용할 수 있다. 결함은 여기에 기술한 임의의 실시예에 따라 랜덤 결함으로서 식별될 수 있다. 그러한 상호연관은 체계적 결함 및 랜덤 결함 양쪽에 대한 확률을 결정하는데 사용될 수 있다. 확률을 결정하기 위해 그러한 상관관계를 사용하는 것은 그 상관관계 및 설계 데이터 스페이스 내의 결함의 위치에 가깝게 위치한 설계 데이터의 1 이상의 속성이 확률을 비교적 신속히 결정하기 위해 사용될 수 있기 때문에 이롭다.

[0531] 다른 실시예에서, 확률을 결정하는 단계는 설계 데이터 스페이스 내의 결함의 위치의 확률, 결함을 검출하기 위해 사용된 검사 시스템에 의해 보고된 결함의 위치, 검사 시스템의 좌표 정확도, 결함의 사이즈, 검사 시스템의 결함 사이즈 에러, 또는 그것의 일부 조합과 조합하여 설계 데이터의 1 이상의 속성에 기초하여 확률을 결정하는 단계를 포함한다. 그러한 일 실시예에서, 결함은 랜덤 결함을 포함한다. 이러한 방식에서, 결함 사이즈, 검사 시스템에 의해 보고된 결함의 위치, 검사 시스템의 좌표 정확도는 랜덤 결함에 대한 DCI를 결정하는데 사용될 수 있다. 전술한 바와 같이 DCI를 결정하기 위해, 결함 사이즈, 결함 사이즈 에러, 보고된 결함 위치 및

좌표 정확도를 사용하는 것은, 랜덤 결함의 사이즈 및 위치가 비교적 예측 불가능하기 때문에 이롭다. 따라서, DCI를 결정하기 위해 그러한 정보를 사용하는 것은 DCI의 정확도를 증가시킬 수 있다.

[0532] 추가적인 실시예에서, 확률을 결정하는 단계는 결함의 1 이상의 속성과 조합하여 설계 데이터의 1 이상의 속성에 기초하여 확률을 결정하는 단계를 포함한다. 그러한 일 실시예에서, 결함은 체계적 결함을 포함한다. 이러한 방식에서, 체계적 결함 속성은 체계적 결함에 대한 DCI를 결정하는데 사용될 수 있다. 결함은 여기에 기술한 임의의 실시예에 따라 체계적 결함으로서 식별될 수 있다. 설계 데이터 내의 체계적 결함이 여기에 기술한 실시예에서 비교적 높은 정확도로 결정될 수 있기 때문에, 체계적 결함의 1 이상의 속성은 결함에 대한 DCI를 결정하는데 사용될 수 있다.

[0533] 일 실시예에서, DCI를 결정하는 단계는 결함에 할당된 범주와 조합하여 확률에 기초하여 결함에 대한 DCI를 결정하는 단계를 포함한다. 예컨대, DCI는 확률에 기초하여 결정될 수 있고, DCI는 그 DCI를 개선하기 위해 결함 범주에 기초하여 수정될 수 있다. 그러한 일 예에서, 결함이 브리징 결함인 것을 결함 범주가 지시하는 경우, 결함에 대한 DCI는 변경된 DCI가 원래 결정된 DCI보다는 결함에 대해서 더 높은 임계성을 지시하도록 변경될 수 있다. 다른 예에서, 그 결함이 부분적 브리징 결함인 것을 결함 범주가 지시하면, 결함에 대해 결정된 DCI는, 변경된 DCI가 원래 결정된 DCI보다 결함에 대해 더 낮은 임계성을 지시하도록 변경될 수 있다. 본 실시예에서 사용된 결함의 범주는 여기에 기술한 임의의 실시예에 따라 또는 당업계에서 알려진 결함을 분류하기 위한 임의의 다른 방법 또는 시스템을 사용하여 결정되거나 결함에 할당될 수 있다. 또한, DCI는 여기에 기술한 임의의 방법의 임의의 단계의 임의의 다른 결과(예컨대, 결함에 대한 KP 값) 또는 임의의 다른 가용 정보(예컨대, 핫스팟 정보)를 사용하여 수정될 수 있다.

[0534] 일부 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하여 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터를 결정하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 여기에 기술한 바와 같이 수행될 수 있는 결함 정렬에 의해 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터를 결정하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 결함을 검출하기 위해 사용된 검사 시스템에 의해 보고된 결함의 위치, 검사 시스템의 좌표 정확도, 설계 데이터의 1 이상의 속성, 검사 시스템의 결함 사이즈 에러, 또는 그것의 일부 조합에 적어도 부분적으로 기초하여 결함의 위치에 가까운 설계 데이터를 결정하는 단계를 포함한다. 이러한 방식에서, 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터는 결함의 보고된 위치와, 결함이 검사 시스템의 좌표 정확도 내에 위치할 수 있는 위치에 적어도 부분적으로 기초하여 결정될 수 있다. 결함이 위치할 수 있는 위치 너머의 설계 데이터는 유사한 방식으로 결정될 수 있다.

[0535] 일 실시예에서, 상기 방법은 결함에 대한 설계 데이터의 수율의 감지도에 기초하여 DCI를 수정하는 단계를 포함한다. 이러한 방식에서, DCI는 설계의 영역(예컨대, 셀 또는 기능 블록) 내의 수율 영향의 감지도에 기초하여 수정될 수 있다. 예컨대, 상기 방법은 여기에 기술한 바와 같이 수행될 수 있는 설계 데이터 스페이스 내의 결함의 위치를 결정하는 단계를 포함할 수 있고, 이러한 위치에 위치된 결함 및/또는 그 위치에 가까운 설계 데이터 내의 결함으로 인한 수율 감지도가 결정될 수 있다. 그러한 수율 감지도는 여기에 기술한 임의의 실시예를 사용하여 결정할 수 있다. 예컨대, 상기 방법은 1 이상의 속성이 결함에 의해 어떻게 변경될 수 있는지에 기초하여 선택될 수 있는, 설계 데이터의 1 이상의 상이한 값에 대한 설계 데이터 스페이스 내의 위치에 관한 설계 데이터를 사용하여, 제조되고 있는 장치의 전기 특성을 모델링하는 단계를 포함할 수 있다. 그러한 모델링은 여기에 기술한 바와 같이 수행될 수 있으며, 모델링된 전기적 특성은, 설계 데이터의 1 이상의 속성의 값이 변함에 따라, 수율이 어떻게 변하는지를 결정하는데 사용될 수 있으며, 이는 그 위치에 위치된 결함 및/또는 그 위치에 가까운 설계 데이터 내의 결함에 대한 설계 데이터의 수율 감지도를 결정하는데 사용할 수 있다. 이러한 방식에서, 설계 데이터 스페이스 내의 결함의 위치는 결함에 대한 설계 데이터의 수율 감지도를 결정하는데 사용될 수 있다. 결함에 대한 설계 데이터의 수율 감지도가 비교적 높으면, 결함에 대한 DCI는 수정된 DCI가 원래 결정된 DCI보다 더 높은 임계성을 지시하도록 수정될 수 있다. 유사하게, 결함에 대한 설계 데이터의 수율 감지도가 비교적 낮으면, 결함에 대한 DCI는 수정된 DCI가 원래 결정된 DCI보다 낮은 임계성을 지시하도록 수정될 수 있다.

[0536] 전술한 바와 같이, DCI는 여기에 기술한 실시예에서 다수의 방식으로 사용될 수 있다. 예컨대, 일 실시예에서, 상기 방법은 결함에 대해 결정된 DCI에 기초하여 웨이퍼 상에 수행되는 프로세스를 변경하는 단계를 포함한다. 그러한 일 실시예에서, 프로세스는 계측 프로세스이거나 웨이퍼에 대한 1 이상의 측정을 포함할 수 있다. 이러한 방식에서, 상기 방법은 DCI에 적어도 부분적으로 기초하여 측정 프로세스를 채택하는 단계를 포함할 수 있다. 다른 예에서, 프로세스는 결함 리뷰 프로세스이다. 그와 같이, 상기 방법은 DCI에 적어도 부분적으로 기초하여 결함 리뷰 프로세스를 채택하는 단계를 포함할 수 있다. 전술한 바와 같이 프로세스를 변경하는 단계

는 프로세스의 임의의 하나 또는 1 이상의 매개변수를 변경하는 단계를 포함할 수 있다. 또한, 그러한 변경은 여기에 추가로 기술하는 바와 같이 수행할 수 있다.

[0537] 다른 실시예에서, 상기 방법은 결함에 대해 결정된 DCI에 기초하여 결함을 검출하기 위해 사용되는 프로세스를 변경하는 단계를 포함할 수 있다. 결함을 검출하는데 사용되는 프로세스를 변경하는 단계는 여기에 추가로 기술하는 바와 같은 프로세스의 임의의 1 이상의 매개변수를 변경하는 단계를 포함할 수 있다. 또한, DCI에 기초하여 결함을 검출하는데 사용되는 프로세스를 변경하는 단계는 피드백 제어 기술을 사용하여 수행할 수 있다. 그러한 일 예에서, 결함에 대한 DCI가 그 결함이 비교적 중요한 것을 지시하는 경우, 결함을 검출하기 위해 사용된 프로세스는, DCI가 결정된 결함에 대응하는 결함이 잠재적으로 위치할 수 있는 웨이퍼 상의 1 이상의 위치가, 이들 위치를 검사하기 위해 이전에 사용된 감지도보다 더 높은 감지도로 검사될 수 있도록, 변경될 수 있다. 프로세스의 다른 매개변수가 유사한 방식으로 변경될 수 있다.

[0538] 일부 실시예에서, 상기 방법은 결함에 대하여 결정된 DCI에 기초하여, 장치가 제조될 추가적인 웨이퍼의 검사를 위한 프로세스를 생성하는 단계를 포함한다. 이러한 방식에서, 결함이 검출되는 이전에 사용된 프로세스를 변경하는 대신에, 상기 방법은 전적으로 새로운 검사 프로세스를 생성할 수 있다. 새로운 검사 프로세스는 추가적인 웨이퍼의 임의의 1 이상의 층에 대해 생성될 수 있다. 예컨대, 프로세스는 DCI가 결정된 결함이 검출되는 층에 대해서 생성될 수 있다. 하지만, 그러한 검사 프로세스는 추가적인 웨이퍼의 1 이상의 다른 층에 대해서도 생성될 수 있다. 예컨대, 결함에 대한 DCI가 그 결함이 비교적 중요하다고 지시하는 경우, 웨이퍼 상에 후속적으로 형성되는 층을 검사하기 위한 프로세스는, DCI가 결정된 결함에 의해 야기될 수 있는 결함이 잠재적으로 위치할 수 있는 후속 형성된 층 상의 1 이상의 위치가 비교적 높은 감지도로 검사될 수 있도록, 검사 프로세스의 1 이상의 매개변수를 선택함으로써 생성될 수 있다. 프로세스의 다른 매개변수가 유사한 방식으로 선택될 수 있다. 추가적인 웨이퍼를 검사하기 위한 프로세스를 생성하는 단계는 여기에 추가로 기술하는 바와 같이 수행될 수 있다.

[0539] 일 실시예에서, DCI를 결정하기 위한 컴퓨터-구현 방법은 결함을 검출하기 위해 사용된 검사 시스템에 의해 수행된다. 이러한 방식에서, 상기 방법은 온-톨로 수행될 수 있다. 다른 실시예에서, DCI를 결정하기 위한 컴퓨터-구현 방법은 결함을 검출하기 위해 사용된 검사 시스템 이외의 다른 시스템에 의해서 수행된다. 그와 같이, 상기 방법은 오프-톨로 수행될 수 있다. 그 방법을 오프-톨로 수행하기 위해 사용된 시스템은 여기에 추가로 기술하는 바와 같이 구성될 수 있다.

[0540] 결함에 대한 DCI는 리뷰를 위한 결함이 선택되는 샘플링에서와 같이 여기에 기술한 실시예에서 다수의 방식으로 사용될 수 있다. 예컨대, 결함이 비닝되는 각 그룹에 대해, 그룹화된 결함의 랜덤 샘플링을 수행하는 대신에, DCI가 샘플링을 위해 사용될 수 있다. 또한, 각 결함에 대해 결정된 DCI는 어느 결함이 장치의 1 이상의 전기적 속성을 변경하는 높은 확률을 갖는지를 결정하는데 사용될 수 있고, 1 이상의 전기적 속성을 변경하는 높은 확률을 갖는 결함이 더 중점적으로 샘플링된다. DCI는 체계적 결함뿐만 아니라 랜덤 결함을 샘플링하는데 사용될 수 있다.

[0541] 전술한 DCI를 결정하기 위한 방법의 각 실시예는 여기에 기술한 임의의 방법의 다른 임의의 단계를 포함할 수 있다. 또한, 전술한 DCI를 결정하기 위한 방법의 각각의 실시예는 여기에 기술한 임의의 시스템 실시예에 의해 수행될 수 있다.

[0542] 다른 실시예는 웨이퍼 상에 형성된 메모리 뱅크에 대한 MRI(memory repair index)를 결정하기 위한 컴퓨터-구현 방법에 관한 것이다. 메모리 다이는 메모리 뱅크(종종 여러 개의 메모리 뱅크)를 포함한다. 각각의 메모리 뱅크는 어레이 블록 영역(또는 미가공 영역) 및 용장 영역을 포함한다. 용장 영역은 다수의 열 및 다수의 행을 포함하고 메모리 뱅크를 수리하는데 사용된다. 메모리 뱅크에 포함되는 열 및 행의 수는 유저-규정적이다. 어레이 블록은 일반적으로 사각형 또는 직사각형 형상일 수 있다. 용장 열은 어레이 블록 영역의 일 측을 따라 형성될 수 있고, 용장 행은 다른 측을 따라 형성될 수 있다. 메모리 뱅크는 용장 열에 인접한 열 디코더와, 용장 행에 인접한 행 디코더와, 행 디코더에 인접한 센스 앰프(amp)를 또한 포함할 수 있다. 상기 방법은 용장 열 및 행, 센스 앰프, 및 각 어레이 블록 영역에 대한 디코더의 위치를 검출하는 단계를 또한 포함할 수 있다. 그러한 위치는 당업계에 알려진 임의의 방법 또는 시스템을 사용하여 결정될 수 있다.

[0543] 상기 방법은 메모리 뱅크의 어레이 블록 영역에 위치한 결함에 기초하여 메모리 뱅크를 수리하는데 필요한 복수의 용장 열 및 복수의 용장 행을 결정하는 단계를 포함한다. 예컨대, 일부 실시예에서, 상기 방법은 어레이 블록 영역 내에 위치한 결함의 어느 것이 메모리 뱅크 내의 비트가 고장나게 야기할 수 있는지를 결정하는 단계와, 그 비트가 고장나게 야기할 수 있는 결함의 위치에 기초하여 고장날 비트의 위치를 결정하는 단계를 포

함한다. 대안적으로, 상기 방법은 어레이 블록 영역 내의 어느 결함이 메모리 बैं크 내의 비트가 고장나게 야기할 수 있는지를 결정하는 단계와, 그 비트가 고장나게 야기할 수 있는 결함의 위치에 기초하여 고장날 수 있는 비트의 위치를 결정하는 단계를 포함한다. 어레이 블록 영역 내의 어느 결함이 비트가 고장나게 야기할지 또는 야기할 수 있는지를 결정하는 단계는 결함의 1 이상의 속성을 사용하여 수행될 수 있으며, 그 속성은 여기에 기술한 임의의 결함 속성, 및/또는 여기에 기술한 임의의 방법의 1 이상의 다른 단계의 결과를 포함할 수 있다. 예컨대, 가능하게는 여기에 기술한 바와 같이 결정될 수 있는 결함에 대한 DCI와 조합하여, 그리고 가능하게는 연관된 검사 및/또는 메모리 बैं크에 대한 전기 테스트 결과와 추가로 조합하여, 보고된 결함 위치, 결함을 검출하기 위해 사용된 검사 시스템의 좌표 정확도, 결함 사이즈, 검사 시스템의 결함 사이즈 부정확도는 결함이 비트 고장을 야기할지 또는 야기할 수 있는지를 결정하는데 사용할 수 있다.

[0544] 이와 같은 일 실시예에서, 메모리 बैं크를 수리하는데 필요한 용장 열의 수 및 용장 행의 수를 결정하는 단계는, 고장날 비트의 위치를 사용하여 수행된다. 이러한 단계는 고장날 수 있는 비트의 위치를 사용하여 대안적으로 수행될 수 있다. 예컨대, 개별 고장 비트는 용장 열 및 행과 일대일 기반으로 대체될 필요는 없다. 대신, 개별적인 고장 비트가 동일한 논리 열 또는 행을 따라 서로 "인접"한 경우, 전체 열 또는 행이 기용 용장 열 또는 행에 의한 대체에 대한 후보가 된다. 따라서, 고장나거나 고장날 수 있는 비트의 위치는 어느 고장 비트가 동일한 논리 열 또는 행을 따라 서로 "인접"한지를 결정하기 위해 사용될 수 있고, 메모리 बैं크를 수리하는데 필요한 용장 열 및 행의 수를 결정하는데 사용될 수 있다. 이러한 방식에서, 상기 방법은 예측적인 비트 고장 추정을 포함할 수 있고, 이는 고장난 비트에 의해 소모될 수 있는 용장도의 양을 결정 및/또는 감시하는데 사용될 수 있다.

[0545] 또한, 2 개의 메모리 비트가 레이아웃 내에서 서로 물리적으로 인접할 수 있을지라도, 그것들은 상이한 논리 열 또는 행에 속할 수 있다. 즉, 물리적 인접성은 논리적 또는 전기적 인접성과 연관되지 않을 수 있다. 예컨대, 논리 열(1)이 256 비트를 포함하는 경우, 256 비트는 बैं크 또는 세그먼트의 물리적 레이아웃 내에서 서로 접할 필요는 없다. 그와 같이, 물리적(또는 토폴로지(topology)) 어드레스는, 각 장치에 대하여 상이할 수 있는 매핑 기능을 통하여 논리(또는 전기적) 어드레스로 변환될 수 있다. 그러한 매핑은 당업계에 알려진 임의의 적합한 방법 또는 시스템을 사용하여 수행될 수 있다. 예컨대, KLA-Tencor사로부터 상업적으로 입수가능한 클레리티 비트맵(Klarity Bitmap)은 토폴로지-전기적(topological-to-electrical) 매핑을 생성하는 그래픽적 또는 용이한 방식을 제공한다. 따라서, 본 방법에서 그러한 매핑 기능을 사용하는 것은 메모리 बैं크의 수선가능성을 반영하는 MRI의 결정을 허용할 수 있다.

[0546] 어레이 블록 영역 내에 위치한 결함은 메모리 बैं크의 위치로부터 식별될 수 있다. 예컨대, 검사는 어레이 블록 영역 및 용장 영역(또는 전체 메모리 बैं크에 걸쳐) 양쪽에서의 결함을 검출할 수 있고, 그 결함은 결함의 위치에 기초하여 어레이 블록 영역 내의 결함과 용장 영역 내의 결함으로 분리될 수 있으며, 이는 여기에 기술한 임의의 실시예에 따라 결정될 수 있다. 결함을 어레이 블록 영역, 용장 영역, 디코더 영역, 및 센스 앰프 영역으로 분리하는 것은, 그러한 분리가 비-수선가능한 결함으로부터 수선 가능한 결함을 분리하는데 사용될 수 있기 때문에, 검사 결과에 대한 향상된 값을 제공한다. 또한, 미가공, 용장도, 디코더, 및 센스 앰프 영역 내의 결함으로의 결함의 분리는 물 기반 또는 영역 기반될 수 있다.

[0547] 상기 방법은 메모리 बैं크를 수선하는데 필요한 용장 열의 수를 메모리 बैं크에 대한 가용 용장 열의 수에 비교하는 단계를 포함한다. 또한, 상기 방법은 메모리 बैं크를 수선하는데 필요한 용장 행의 수를 메모리 बैं크에 대한 가용 용장 행에 비교하는 단계를 포함한다. 일부 실시예에서, 용장 열의 수를 비교하는 단계는 메모리 다이의 각 बैं크에 대해 독립적으로 수행되고, 용장 행의 수를 비교하는 단계는 메모리 다이의 각 बैं크에 대해 독립적으로 수행된다. 용장 열의 수를 비교하는 단계 및 용장 행의 수를 비교하는 단계는 임의의 적합한 방식으로 수행할 수 있다.

[0548] 다른 실시예에서, 상기 방법은 메모리 बैं크의 용장 열 및 용장 행 내에 위치한 결함에 기초하여 기용 용장 행의 양 및 가용 용장 열의 양을 결정하는 단계를 포함한다. 용장 열 및 행 내에 위치한 결함은 전술한 바와 같이 식별될 수 있다. 용장도가 충분히 결함적인 경우 메모리 बैं크 고장이 발생할 수 있기 때문에, 가용 용장도의 양을 전술한 바와 같이 결정하는 단계가 이룰 수 있다. 또한, 용장도가 공간적으로 결함적인 경우, 메모리 बैं크의 수리를 위해 이용가능한 용장도의 양은 감소하고, 고장 수가 비-결함적인 용장도를 초과하는 경우, 메모리 बैं크는 수리 불가능하다. 전술한 바와 같이, 각 बैं크가 자기 자신의 용장 열 및 행 세트를 갖고, 각 बैं크 내의 고장 비트는 동일한 बैं크 내의 가용 용장 열 또는 행에 의해서만 대체될 수 있기 때문에, 가용 용장도의 양은 다이 내의 개별 메모리 बैं크에 대하여 결정될 수 있다.

- [0549] 가용 용장도의 양은 용장 영역 내에 위치한 결함 및 용장 영역에 위치한 결함의 1 이상의 속성에 기초하여 결정할 수 있다. 이 단계에 사용된 1 이상의 속성은 여기에 기술한 1 이상의 속성을 포함할 수 있다. 가용 용장도의 결정 단계는 여기에 기술한 임의의 방법의 임의의 단계의 임의의 결과를 사용하여 또한(또는 대안적으로) 수행될 수 있다. 예컨대, 용장 영역 내의 결함의 보고된 결함 사이즈, 결함을 검출하기 위해 사용된 검사 시스템의 좌표 정확도, 및 결함에 할당된 범주가, 결함이 용장 영역 내의 고장을 야기할 수 있는지를 판정하기 위해 사용될 수 있으며, 이는 가용 용장도의 양을 결정하기 위해 사용될 수 있다.
- [0550] 상기 방법은 용장 열의 수를 비교하는 단계 및 용장 행의 수를 비교하는 단계의 결과에 기초하여 메모리 뱅크에 대한 MRI를 결정하는 단계를 더 포함한다. MRI는 메모리 뱅크가 수리가능한지를 지시한다. 예컨대, 고장 비트를 수리하는데 필요한 용장 열 및/또는 행의 수가 가용 용장 열 및/또는 행의 수보다 큰 경우, 메모리 뱅크는 수리 불가능하고, 다이는 수리 불가능하다. MRI는 비교한 비교에 기초하여 결정될 수 있으며, 메모리 뱅크가 수리 가능한지의 여부를 지시하는 값이 할당될 수 있다. 예컨대, 메모리 뱅크가 수리 가능한 경우, MRI에는 제 1 값이 할당될 수 있고, 메모리 뱅크가 수리 불가능한 경우, MRI에는 제 2 값이 할당될 수 있다. MRI에 대한 상이한 값은 임의의 적합한 포맷으로 표현될 수 있다(예컨대, 그 값이 유저에 의해 용이하게 이해되고, 및/또는 그 값이 여기에 기술한 방법 실시예에 의해 사용될 수 있도록). 적합한 포맷은 수, 알파벳, 문자열 등을 비한정적으로 포함할 수 있다.
- [0551] 상기 방법은 저장 매체 내에 MRI를 저장하는 단계를 또한 포함한다. 저장 단계는 여기에 기술한 임의의 방법 실시예의 임의의 다른 결과에 부가하여 MRI를 저장하는 단계를 포함할 수 있다. 또한, 저장 매체는 여기에 기술한 임의의 저장 매체, 또는 당업계에 공지된 임의의 다른 적합한 저장 매체를 포함할 수 있다. MRI가 저장된 후, MRI는 여기에 기술한 임의의 방법 또는 시스템 실시예에 의해 저장 매체 내에서 액세스 되어 사용될 수 있다. 또한, MRI는 "영구적으로", "반-영구적으로", 또는 임의의 기간 동안 일시적으로 저장될 수 있다. 또한(또는 대안적으로) MRI를 저장하는 단계는 여기에 기술하는 바와 같이 수행될 수 있다.
- [0552] 따라서, 전수한 방법 실시예는 MRI를 사용하여 메모리 손실의 초기 검출을 위해 사용될 수 있으며, 이는 다수의 이유에 있어서 유리하고, 다수의 방식으로 사용될 수 있다. 예컨대, 일 실시예에서, 상기 방법은 다이 내에 형성된 1 이상의 메모리 뱅크에 대해 MRI를 결정하는 단계와, 1 이상의 메모리 뱅크에 대하여 MRI에 기초하여 다이에 대한 수리 수율을 예측하는 단계를 포함한다. 다이의 각각의 뱅크 또는 세그먼트가 수리에 이용할 수 있는 대응하는 세트의 용장 열 및 행을 갖기 때문에, 다이 내의 메모리 뱅크에 대해 결정된 MRI에 기초하여 다이에 대한 수리 수율을 예측하는 단계는 이롭다. 특정 뱅크 또는 세그먼트 내의 고장 비트만이 가용적인 대응하는 용장 열 또는 행에 의해 대체될 수 있다. 따라서, 다이 내의 다른 뱅크가 가용 용장도를 갖는 동안에, 하나의 뱅크에 대해 용장도를 "런 아웃"하는 것이 가능하다. 이 경우, 적어도 하나의 뱅크 또는 세그먼트가 수리 불가능하기 때문에, 다이는 더 이상 완전히 수리 가능하지 않다. 그와 같이, 다이 내의 메모리 뱅크에 대한 MRI에 기초하여, 상기 방법은 다이 상에서 수행되는 수리 프로세스의 수율을 결정할 수 있다. 또한, 다이가 수리 가능한지를 지시하는 MRI는 다이 내의 메모리 뱅크에 대하여 결정된 MRI에 기초하여 다이에 대하여 결정될 수 있다. 예컨대, 메모리 뱅크에 대한 MRI가 임의의 메모리 뱅크가 수리 불가능한 것을 지시하는 경우, MRI는 메모리 다이가 수리 불가능한 것을 지시하는 값이 되도록 결정될 수 있다.
- [0553] 다른 실시예에서, 상기 방법은 웨이퍼 상의 1 이상의 다이 내의 각각의 메모리 뱅크에 대한 MRI를 결정하는 단계와, 각각의 메모리 뱅크에 대한 MRI에 기초하여 1 이상의 다이에 대한 메모리 수율을 결정하는 단계를 포함한다. 이들 단계는 전술한 바와 같이 수행할 수 있다. 상기 방법의 이러한 실시예는 다이-다이 메모리 수율을 결정하는데 사용될 수 있다. 또한, 1 이상의 다이에 대한 메모리 수율은 웨이퍼에 대한 메모리 수율을 결정하는데 사용될 수 있다.
- [0554] 다른 실시예에서, 상기 방법은 전체 수율 예측을 결정하기 위해서 메모리 수율 예측과, 메모리 밖의 수율 외측을 결합하는 단계를 포함한다.
- [0555] 추가의 실시예에서, 상기 방법은 웨이퍼 상의 1 이상의 다이에 대한 1 이상의 메모리 수율에 적어도 부분적으로 기초하여 웨이퍼 배치를 수행하는 단계를 포함한다. 예컨대, 여기에 기술한 방법은 웨이퍼의 인-라인 배치를 수행하는데 사용될 수 있고, 이에 의해 더 낮은(예컨대, 더 효과적인) WIP 계획 및 제조비의 감소를 허용한다. 예컨대, 웨이퍼에 대해 수리가 수행되어야 하는지, 웨이퍼가 재작성되어야 하는지, 웨이퍼가 스크랩되어야 하는지 등을 결정하기 위해서, 일부 소정의 임계치 이하의 메모리 수율을 갖는 다이의 수가 결정되어 사용될 수 있다. 그러한 예에서, 소정의 임계치 이하의 메모리 수율을 갖는 다이의 수는 다른 소정의 임계치와 비교될 수 있고, 양쪽의 임계치는 수리가 웨이퍼에 대해 수행되어야 하는지를 결정하기 위해서 필요한 최소 웨이퍼 기반

수율을 나타내도록 선택될 수 있다. 예컨대, 임계치는 웨이퍼의 추정 값이 웨이퍼를 완성하는 비용을 초과하지 않는 최소 메모리 수율에 대응하도록 선택된다(예컨대, 유저에 의해 또는 여기에 기술한 1 이상의 실시예에 의해). 다른 실시예에서, 상기 방법은 웨이퍼 상의 1 이상의 다이에 대한 메모리 수율에 기초하여 웨이퍼에 대한 메모리 수율을 결정하는 단계를 포함할 수 있다. 따라서, 메모리 수리 프로세스가 웨이퍼 상의 1 이상의 다이에 대해 수행되는 경우, 메모리 수율은 그 메모리 수리 프로세스 이후의 수율일 수 있다. 웨이퍼에 대한 메모리 수율은 전술한 바와 같이 웨이퍼를 배치하는데 사용될 수 있다. 예컨대, 메모리 수리 프로세스 이후의 웨이퍼의 값은 메모리 수율에 적어도 부분적으로 기초하여 결정될 수 있고, 그 값은 웨이퍼가 스크랩되어야 하는지를 결정하기 위해 웨이퍼를 완성하는 비용에 비교될 수 있다.

[0556] 일 실시예에서, 용장 열의 수를 비교하는 단계는 메모리 बैं크를 수리하는데 필요한 용장 열의 분율을 결정하는 단계를 포함하고, 용장 행의 수를 비교하는 단계는 메모리 बैं크를 수리하는데 필요한 용장 행의 분율을 결정하는 단계를 포함하며, 메모리 बैं크에 대한 MRI를 결정하는 단계는 용장 열의 분율 및 용장 행의 분율에 기초하여 MRI를 결정하는 단계를 포함한다.

[0557] 전술한 바와 같은 분율에 기초하여 MRI를 결정하는 단계를 포함하는 방법은 여기에 기술한 임의의 다른 단계를 포함할 수 있다. 예컨대, 그러한 일 실시예에서, 상기 방법은 웨이퍼 상의 1 이상의 다이 내의 각 메모리 बैं크에 대한 MRI를 결정하는 단계와, 각 메모리 बैं크에 대한 MRI에 기초하여 1 이상의 다이에 대한 메모리 수율을 결정하는 단계를 포함한다. 본 실시예의 단계는 여기에 추가로 기술하는 바와 같이 수행될 수 있다. 다른 예에서, 그러한 다른 실시예에서, 상기 방법은 웨이퍼 상의 1 이상의 다이 내의 각각의 메모리 बैं크에 대한 MRI를 결정하는 단계와, 각각의 메모리 बैं크에 대한 MRI에 기초하여 1 이상의 다이에 대한 메모리 수율을 결정하는 단계와, 각각의 1 이상의 다이에 대한 메모리 수율에 기초하여 웨이퍼에 대한 메모리 수율을 결정하는 단계를 포함한다. 본 실시예의 단계는 여기에 추가로 기술하는 바와 같이 수행될 수 있다. 이러한 방식에서, 상기 방법은 웨이퍼 대 웨이퍼 기반으로 메모리 수율을 예측하기 위해 MRI를 사용하는 단계를 포함할 수 있다. 유사한 방식에서, MRI는 웨이퍼 상의 각각의 다이에 대하여 결정될 수 있으며, 각 다이에 대한 MRI는 웨이퍼-기반 메모리 수율을 결정하기 위해 사용될 수 있다. 예컨대, 웨이퍼-기반 메모리 수율은 웨이퍼 상의 각 다이에 대한 MRI의 총합을 웨이퍼 상의 다이의 수로 나누어서 메모리에 대한 양호하거나 수리가능한 웨이퍼 상의 다이의 분율을 결정할 수 있다. 양호하거나 수리가능한 웨이퍼 상의 다이의 분율은 가능하게는 이력 수율 또는 성공률과 같은 수리 프로세스에 대한 정보와 조합하여 사용될 수 있다.

[0558] 일부 실시예에서, MRI는 메모리 बैं크가 수리될 수 없는 확률을 또한 지시할 수 있다. 이러한 방식에서, MRI는 메모리 बैं크가 수리가능한지의 여부 및 그 메모리 बैं크가 어떻게 수리 불가능한지를 지시할 수 있다. 메모리 बैं크가 수리 불가능한 확률은, 전술한 바와 같이 수행될 수 있는, 가용 용장 열의 수를 수리에 필요한 용장 열의 수에 비교하는 단계와, 가용 용장 행의 수를 수리에 필요한 용장 열의 수에 비교하는 단계에 기초하여, 가능하게는 결함의 1 이상의 속성, 메모리 설계의 1 이상의 속성, 및 수리 프로세스의 1 이상의 속성과 조합하여 수행될 수 있다. 그러한 속성은 예컨대, 확률이 결정되고 있는 메모리 बैं크에 대하여 설계가 적어도 유사한 다른 메모리 बैं크에서 수행된 수리 프로세스의 이력 성공률을 포함할 수 있다. MRI는 두 개의 값으로, 즉, 메모리 बैं크가 수리 가능하지의 여부를 지시하는 하나와, 그 메모리 बैं크가 수리 불가능한 확률을 지시하는 다른 하나로 표현될 수 있다. 대안적으로, MRI는 메모리 बैं크가 수리 가능한지와, 그 메모리 बैं크가 수리 불가능한지를 지시하는 단일 값으로 표현될 수 있다. 상기 두 가지의 값과 단일 값은 여기에 기술한 임의의 포맷으로 표현될 수 있다. 그러한 일 실시예에서, 상기 방법은 웨이퍼 상의 1 이상의 다이 내의 각각의 메모리 बैं크에 대한 MRI를 결정하는 단계와, 1 이상의 다이 내의 각각의 메모리 बैं크에 대한 MRI에 기초하여 1 이상의 다이에 대한 MRI를 결정하는 단계를 포함한다. 이들 단계는 여기에 기술하는 바와 같이 수행할 수 있다. 그러한 일 실시예에서, 1 이상의 다이에 대한 MRI는 1 이상의 다이가 수리 불가능할 수 있는 확률을 지시한다(각각의 메모리 बैं크에 대한 MRI가 그 메모리 बैं크가 수리 불가능할 수 있는 확률을 지시하고, 다이의 수리 가능성이 여기에 추가로 기술하는 바와 같이 메모리 बैं크의 수리 가능성에 관련되기 때문에). 그러한 일 실시예에서, 상기 방법은 웨이퍼 상의 1 이상의 다이에 대한 MRI의 임계에 기초하여 웨이퍼 기반 메모리 수율을 결정하는 단계를 포함한다. 웨이퍼 기반 메모리 수율 예측은 전술한 바와 같이 수행될 수 있지만, 웨이퍼의 그 수율은 전술한 바와 같은 수리 프로세스의 수율은 아닐 수 있다.

[0559] 일부 실시예에서, 상기 방법은 메모리 बैं크의 디코더 영역 내에 위치한 1 이상의 결함, 메모리 बैं크의 앰프 영역 내에 위치한 1 이상의 결함, 또는 그것의 일부 조합에 기초하여 메모리 बैं크 내의 수리 불가능한 결함을 식별하는 단계를 포함한다. 예컨대, 메모리 बैं크의 검사는 메모리 बैं크 내의 모든 영역(로직 주변, 디코더 영역, 및 센스 앰프 영역을 포함하여) 내의 결함을 검출하기 위해 수행될 수 있으며, 여기에 기술한 임의의 실시예에

따라 결정될 수 있는 메모리 뱅크 내의 결함의 위치는 메모리 뱅크의 어느 영역에 각각 또는 1 이상의 결함이 위치되는지를 결정하는데 사용될 수 있다. 메모리 뱅크 내의 수리 불가능한 결함의 수는, 디코더 영역 및 센스 앰프 영역 내에서 검출되고 위치하는 결함의 수에 적어도 부분적으로 결정될 수 있다. 상기 방법은 메모리 뱅크 내의 수리 불가능한 결함에 적어도 부분적으로 기초하여 메모리 수율을 추정하는 단계를 또한 포함할 수 있으며, 이는 수리 불가능한 결함이 다이를 손상시킬 수 있기 때문에 이롭다.

[0560] 일 실시예에서, 상기 방법은 피드 포워드 제어 기술을 사용하여 MRI에 기초하여 전기 테스트 프로세스의 1 이상의 매개변수를 변경하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 메모리 뱅크가 수리 불가능한 경우, 메모리 뱅크가 위치하는 다이가 전기 테스트 프로세스 동안에 테스트되지 않도록, 피드 포워드 기술을 사용하여 MRI에 기초하여 전기 테스트 프로세스의 1 이상의 매개변수를 변경하는 단계를 포함한다. 예컨대, 메모리 테스트는 비교적 긴 시간이 걸린다. 따라서, 전술한 바와 같이 결정될 수 있는, 메모리 뱅크 또는 메모리 다이가 수리 불가능하다는 예측에 기초하여, 그 정보는 영향을 받은 수리 불가능한 다이가 메모리 테스트 동안에 스킵되도록, 프로브(probe) 또는 다른 메모리 테스트 시스템에 공급될 수 있다. 이러한 방식에서, 테스트량이 감소할 수 있고, 이에 의해 메모리 테스트의 비용을 저감한다. 또한, 메모리 테스트는 오픈(open)/쇼트(short) 테스트, 기능 테스트, 및 전기 매개변수 테스트를 포함할 수 있다. 어느 다이가 수리될 수 있는지를 결정하기 위하여 여기에 기술한 방법을 사용하여 그러한 테스트가 제거될 수 있는 경우, 메모리 테스트 프로세스는 훨씬 짧은 기간 내에 수행할 수 있다. 대안적으로, 전기 테스트 프로세스는 수리될 수 없는 다이 상의 추가의 FA에 대해 더욱 관련적인 테스트 데이터를 수집하기 위해 변경될 수 있고, 그 테스트는 각종의 가능한 오류 메커니즘의 예측된 영향에 기초하여 특정 위치에 집중될 수 있다. 또한, 메모리 수리는 퓨즈(fuse)를 블로우(blow) 하기 위한 레이저 또는 전기적 수단을 포함할 수 있고, 이에 의해 디코더를 용장 열 및/또는 행에 재-라우팅(routing)한다. 메모리 테스트는 수리를 입증하고, 응력 테스트와 같은 추가의 테스트를 실행하기 위해 메모리 수리 이후에 수행할 수 있다. 따라서, 여기에 기술한 바와 같이 어느 다이가 수리될 수 있는지를 결정함으로써, 메모리 수리 및 추가의 메모리 테스트는 수리가능한 다이에만 수행될 수 있고, 따라서 시간이 훨씬 단축된다.

[0561] 일부 실시예에서, 상기 방법은 메모리 뱅크의 어레이 블록 내에 위치한 결함의 1 이상의 속성, MRI, 또는 그것의 일부 조합에 기초하여 수리 프로세스의 1 이상의 매개변수를 변경하는 단계를 포함한다. 예컨대, 수리 불가능하다고 판정된 메모리를 포함하는 메모리 다이에 대해서는 수리가 시도되지 않도록, 메모리 수리 프로세스가 변경될 수 있다. 또한, 메모리 수리 프로세스는 수리가 성공적일 확률을 증가시키도록 변경될 수 있다. 본 실시예에서 변경된 수리 프로세스의 1 이상의 매개변수는 수리 프로세스의 임의의 매개변수를 포함할 수 있다.

[0562] 일부 실시예에서, 결함은 메모리 뱅크의 게이트 층에서 검출된 결함을 포함한다. 다른 실시예에서, 결함은 메모리 뱅크의 금속 층에서 검출된 결함을 포함한다. 예컨대, 메모리 제조시, 검사는 게이트 층 및 금속 층에서 수행될 수 있다. 여기에 기술한 방법은 1 이상의 이들 층에서 검출된 결함에 대해서 수행될 수 있다. 또한, 대부분의 메모리 제조가 게이트 및 금속 층에서의 검사를 포함하고, 게이트 및 금속 층에서 생성된 검사 결과는 수율을 예측하는데 충분할지라도, 검사는 비트 수리를 위해 커패시터 층에서 또한 수행될 수 있다. 따라서, 게이트, 금속, 및 커패시터에서 생성된 검사 결과는 수율을 예측하는데 역시 사용될 수 있다. 또한, 여기에 기술한 실시예는 커패시터 층에서 검출되는 결함에 대해서 수행될 수 있다.

[0563] 일 실시예에서, 상기 방법은 메모리 뱅크 내의 결함의 위치에 기초하여 결함의 비트 오류 모드를 예측하는 단계를 포함한다. 이러한 방식에서, 결함의 위치는 비트 오류 모드를 예측하기 위해 사용될 수 있다. 그러한 정보는 메모리 뱅크를 수리하기 위해 필요한 용장도 양을 결정하는데 유효할 수 있다. 예컨대, 메모리 뱅크의 n-MOS 영역 내의 결함은 센스 앰프 오류를 야기할 수 있고, 이에 의해 n-MOS 영역 내의 결함보다 더 많은 용장도를 소모한다. 결함에 가까운 설계 데이터의 1 이상의 속성 및/또는 결함의 1 이상의 속성(예컨대, 사이즈)는 비트 오류 모드의 예측을 향상하기 위해 사용될 수 있다. 수리를 위해 필요한 용장도의 예측을 지원하는 것에 부가하여, 오류 모드의 예측은 비트 오류를 야기하는 결함의 신속하거나 더 낮은 식별을 가져올 것이다. 모든 예측은 DOI가 식별되고 리뷰되게 허용할 수 있고, 이는 테스트에서 비트 오류가 탐색되지 않은 경우 FA없이 불가능하다. 장치의 잠재적 오류에 책임이 있는 결함을 식별 및 리뷰하는 것이 가능하며, 잠재적인 오류율을 줄이기 위해 가용 용장도를 사용할 수 있다. 이러한 방식에서, 결함은 메모리의 영역(예컨대, 센스 앰프)으로 매핑될 수 있고, 결함 및/또는 설계 속성은 비트 오류 모드를 예측하기 위한 물과 조합하여 사용될 수 있다.

[0564] 일부 실시예에서, 상기 방법은 MRI에 기초하여, 메모리 뱅크 내의 가용 용장 행의 양, 가용 용장 열의 양, 또는 그것의 일부 조합이 메모리 뱅크 설계자에 의해 평가되어야 하는지를 결정하는 단계를 포함한다. 이러한 방식에서, 상기 방법은, 용장 영역 내에 더 많은 열 또는 행을 부가하는 단계가 특정 메모리 뱅크에서 반드시 수행

되어야 하는지를 설계자에게 제안하기 위해서 "용장도 분석"을 수행하는 단계를 포함할 수 있다. 여기에 기술한 상기 방법은 다이의 설계에 관한 피드백을 제공하는데 특히 이로운데, 이는 여기에 기술한 방법이 치명적 웨이퍼의 초기 검출에 사용될 수 있고, 신속한 수율 학습을 허용할 수 있기 때문이다.

[0565] 다른 실시예에서, 상기 방법은 어레이 블록 영역 내에 위치한 1 이상의 결함에 대한 DCI를 결정하는 단계를 포함한다. 1 이상의 결함에 대한 DCI는 여기에 기술하는 바와 같이 결정할 수 있다. 그러한 일 실시예에서, 메모리 블록의 수리를 위해 필요한 용장 열의 수를 결정하는 단계와, 용장 행의 수를 결정하는 단계는 1 이상의 결함에 대한 DCI를 사용하여 수행된다. 다른 실시예에서, 메모리 블록의 수리를 위해 필요한 용장 행의 수를 결정하는 단계와, 용장 열의 수를 결정하는 단계는, 메모리 블록의 어레이 블록 영역 내에 위치한 각각의 결함에 대한 DCI를 결정하는 단계와, 그 DCI를 소정의 임계치와 비교하는 단계와, 소정의 임계치 이상의 DCI를 갖는 모든 결함을 수리하는데 필요한 용장 열의 수 및 용장 행의 수를 결정하는 단계를 포함한다. 예컨대, DCI는 어레이 블록 영역 내에 위치한 모든 결함에 대해 결정될 수 있다. DCI는 여기에 추가로 기술하는 바와 같이 어레이 블록 내에 위치한 결함에 대해 수행할 수 있다. 또한, 상기 방법은 DCI를 사용하여 결함에 의해 야기된 열 또는 행 오류 수를 예측하는 단계를 포함할 수 있다. 예컨대, 유저 규정될 수 있는 소정의 값보다 큰 DCI를 갖는 결함의 수가 용장 영역 내의 열 또는 행의 수보다 큰 경우, MRI(본 예에서 가용 용장 열 또는 행에 대한 수리에 필요한 용장 열 또는 행의 비율로 규정된)는 1보다 큰 것으로 판정될 수 있다(고장). 대조적으로, 유저 규정될 수 있으며 제 1 소정 값과 상이할 수 있는 제 2 소정 값보다 작은 DCI를 갖는 결함의 수가, 용장 영역 내의 열 또는 행의 수보다 작으면, MRI는 1보다 작은 것으로 판정된다(통과, 아마도 일부 수리와 함께). 또한, 상기 방법은 임계치 이상의 DCI를 갖는 모든 결함이 수리를 필요로 하는 경우 메모리 블록을 수리하는데 필요할 수 있는 가용 용장 열 및/또는 행의 최대 카운트 또는 퍼센트를 결정하는 단계를 포함할 수 있다.

[0566] 개별 결함의 실제 수율 영향이 그 결함에 의해 야기된 패턴 오류, 결함의 위치(예컨대, 층의 상부, 층 내에 매립, 등), 결함 사이즈와 같은 1 이상의 속성 등에 따라 변할 수 있기 때문에, 다이 내의 메모리가 수리 가능한지를 결정하기 위해 DCI를 사용하는 것이 이롭다. DCI는 여기에 기술하는 바와 같이 결함 내의 그러한 변동에 기초하여 결정될 수 있고, 이에 의해 상이한 결함이 실제 수율에 어떻게 영향을 미치는지를 반영한다. 또한, 체계적 결함은 더 많은 실제 수율 영향을 가지므로, 여기에 기술한 방법은 메모리 블록 내에서 검출된 어느 결함이 체계적 결함인지를 결정하는 단계와, 체계적 결함의 임계성에 기초하여 여기에 기술한 바와 같이 MRI를 결정하는 단계를 포함할 수 있다. 체계적 결함은 여기에 기술한 임의의 실시예에 따라 식별될 수 있다.

[0567] 일부 실시예에서, 상기 방법은 메모리 블록의 어레이 블록 영역 내에 위치한 결함으로 인한 메모리 블록의 오류에 대한 MRI를 결정하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 메모리 블록의 비-용장 영역 내에서 검출된 결함으로 인한 세그먼트 오류에 대한 인덱스(index)를 결정하는 단계를 포함할 수 있다. 유사한 방식에서, 상기 방법은 메모리 블록의 용장 영역 내에서 검출된 결함으로 인한 세그먼트 오류에 대한 인덱스를 결정하는 단계를 포함할 수 있다.

[0568] 다른 실시예에서, 상기 방법은 메모리 블록의 용장 열 및 용장 행에 위치한 결함으로 인한 메모리 블록의 오류에 대한 MRI를 결정하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 논리 열 및/또는 행 오류에 대한 인덱스를 결정하는 단계를 포함할 수 있다. 그러한 인덱스는 전술한 바와 같은 테스트 프로세스의 1 이상의 매개변수를 변경하는데 사용될 수 있다.

[0569] 일부 실시예에서, 상기 방법은 메모리 블록 내에서 검출된 결함 사이의 공간적 상관관계를 나타내는 유사 메모리 블록 설계의 적층 맵을 생성하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 공간적 상관관계를 나타내는 적층 맵을 생성하는 단계를 포함할 수 있다. 그러한 적층 맵은 당업계에 알려진 임의의 적합한 방식으로 생성할 수 있다.

[0570] 일 실시예에서, 상기 방법은 다이 기반으로 MRI를 결정하는 단계를 포함한다. 유사한 방식에서, 상기 방법은 웨이퍼 기반 및/또는 로트 기반으로 MRI를 결정하는 단계를 포함할 수 있다. 다이 기반, 웨이퍼 기반, 및/또는 로트 기반으로 MRI를 결정하는 단계는 여기에 기술하는 바와 같이 수행할 수 있다.

[0571] 다른 실시예에서, 상기 방법은 웨이퍼 상의 다이가 어레이 블록 영역에 위치한 결함으로 인하여 고장이 날지를 지시하는 인덱스 또는 메모리 수율 예측을 결정하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 나쁜 메모리 블록으로 인하여 다이가 고장이 날 인덱스 또는 확률을 결정하는 단계를 포함할 수 있다. 이러한 인덱스는 여기에 추가로 기술하는 바와 같이 결정될 수 있다.

[0572] 추가적인 실시예에서, 상기 방법은 웨이퍼 상의 다이 내의 메모리 블록에 대한 MRI를 결정하는 단계와, 수리 불

가능한 것으로 MRI에 의해 지시된 2 이상의 메모리 बैं크 사이의 공간적 상관관계를 나타내는 다이의 적층 맵을 생성하는 단계를 포함한다. 다이 내의 메모리 बैं크에 대하여 MRI를 결정하는 단계는 여기에 기술하는 바와 같이 수행할 수 있다. 또한, 적층 맵은 당업계에 알려진 임의의 적합한 방식으로 생성될 수 있다.

[0573] 추가의 실시예에서, 상기 방법은 웨이퍼 상의 다이 내의 메모리 बैं크에 대한 MRI를 결정하는 단계와, 수리 불가능한 것으로 MRI에 의해 지시된 2 이상의 메모리 बैं크 사이의 공간적 상관관계를 나타내는 웨이퍼 상의 메모리 बैं크를 형성하는데 사용된 레티클의 적층 맵을 생성하는 단계를 포함한다. 또한, 적층 맵은 당업계에 알려진 임의의 적합한 방식으로 생성될 수 있다.

[0574] 일부 실시예에서, 상기 방법은 다이 내에서 검출된 결함에 의해 영향을 받은 다이의 메모리 बैं크를 식별하는 단계와, 메모리 बैं크에 대한 결함의 영향에 기초하여 메모리 बैं크의 등급을 매기는 단계를 포함한다. 이러한 방식에서, 상기 방법은 영향 받은 메모리 बैं크 리스트의 등급을 매기는 단계를 포함할 수 있다. 메모리 बैं크에 대한 결함의 영향은 여기에 기술한 임의의 정보(예컨대, 결함의 1 이상의 속성, 메모리 बैं크에 대한 설계 데이터의 1 이상의 속성 등)에 기초하여 결정될 수 있다. 메모리 बैं크의 등급을 매기기 위해 사용된, 메모리 बैं크에 대한 결함의 영향은 메모리 बैं크에 대하여 결함이 미치는 임의의 영향(예컨대, 임의의 역 효과)를 포함할 수 있다. 메모리 बैं크는 결함에 의해 가장 영향을 받은 메모리 बैं크에 최고 등급이 할당되고, 결함에 의해 가장 적게 영향을 받은 메모리 बैं크에는 최저 등급이 할당되는 방식으로 등급이 매겨진다. 메모리 बैं크의 그러한 등급은 예컨대, 다이 내의 메모리 बैं크의 위치와, 결함이 메모리 बैं크에 영향을 미치는 정도 사이의 관계를 결정하는데 사용될 수 있다. 또한, 그러한 관계는 결함의 적어도 일부의 원인을 예측하는데 사용될 수 있으며, 이는 추가적인 웨이퍼 상에서의 결함을 저장하고, 및/또는 메모리 बैं크에 대한 영향이 작은 결함을 감소시키기 이전에(예컨대, 전술한 1 이상의 변경 단계를 사용하여), 먼저 메모리 बैं크에 대해 영향이 가장 큰 결함의 수를 줄이는데(예컨대, 결함의 검출 이전에 메모리 बैं크에 수행된 프로세스를 변경하는 것과 같이 여기에 기술한 1 이상의 변경 단계를 사용하여) 사용될 수 있다.

[0575] 다른 실시예에서, 상기 방법은 메모리 बैं크의 수리 불가능한 영역 내의 결함에 의해 영향받은 웨이퍼 상에 형성된 메모리 बैं크의 퍼센티지를 결정하는 단계를 포함한다. 메모리 बैं크의 수리 불가능한 영역 내의 결함에 의해 영향받은 메모리 बैं크는 여기에 기술하는 바와 같이 결정할 수 있다. 퍼센티지는 그러한 메모리 बैं크의 수와, 웨이퍼 상에 형성된 전체 메모리의 수에 기초하여 결정할 수 있다. 또한, 상기 방법은 가능한 용장도 오류에 의해 영향받은 및/또는 수리 불가능한 오류에 의해 영향받은 다이의 퍼센트를 결정하는 단계를 포함할 수 있다. 가능한 용장도 오류 및 수리 불가능한 오류는 여기에 기술하는 바와 같이 식별할 수 있다. 또한, 가능한 용장도 오류 및/또는 수리 불가능한 오류에 의해 영향받은 다이는 여기에 기술한 바와 같이 식별될 수 있다. 영향 받은 다이의 수 및 웨이퍼상에 형성된 다이의 전체 수는 가능한 용장도 오류 및/또는 수리 불가능한 오류에 의해 영향받은 다이의 퍼센트를 결정하는데 사용할 수 있다.

[0576] 일부 실시예에서, 상기 방법은 가능한 오류 사이의 공간적 상관관계를 나타내는 웨이퍼 상에 형성된 메모리 बैं크 내의 가능한 오류의 적층 웨이퍼 맵을 생성하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 비닝된 익섹스(공간적 상관관계에 대한) 또는 가능한 오류의 적층 웨이퍼 맵을 생성하는 단계를 포함할 수 있다. 가능한 오류는 여기에 기술하는 바와 같이 식별될 수 있고, 적층 웨이퍼 맵은 임의의 적합한 방식으로 생성할 수 있다. 적층 맵은 컬러 코딩 확률 빈(color coding probability bin)과 같은 방법에 의해 다이가 메모리 오류를 가질 확률을 대안적으로 표시 또는 오버레이할 수 있다.

[0577] 다른 실시예에서, 상기 방법은 웨이퍼 상에 형성된 1 이상의 다이에 대한 MRI를 결정하는 단계와, 그 MRI에 기초하여 1 이상의 다이의 등급을 매기는 단계를 포함한다. 이러한 방식에서, 상기 방법은 웨이퍼 상의 영향받은 다이의 등급이 매겨진 리스트를 생성하는 단계를 포함할 수 있다. 1 이상의 다이에 대한 MRI는 여기에 기술한 바와 같이 결정할 수 있다. 또한, 그 MRI에 기초하여 1 이상의 다이의 등급을 매기는 단계는 여기에 기술한 바와 같이 수행할 수 있으며, 그러한 등급은 여기에 기술한 바와 같이 사용할 수 있다.

[0578] 전술한 MRI를 결정하는 방법은 여기에 기술한 임의의 방법의 임의의 다른 단계를 포함할 수 있다. 또한, 전술한 MRI를 결정하기 위한 방법의 각각의 실시예는 여기에 기술한 임의의 시스템 실시예에 의해 수행할 수 있다.

[0579] 다른 실시예는 웨이퍼 상에서 검출된 결함을 비닝하는 다른 방법에 관한 것이다. 이러한 방법은 설계 데이터 내의 결함의 위치를 설계 데이터의 핫 스폿의 위치와 비교하는 단계를 포함한다. 적어도 유사한 설계 데이터에 가깝게 위치한 핫 스폿은 서로 상호 연관지어진다. 핫 스폿은 임의의 다른 방법 또는 시스템에 의해 상호 연관지어진다. 대안적으로, 핫 스폿은 상기 방법의 일 실시예에 의해 서로 상호 연관지어질 수 있다. 예컨대, 일 실시예에서, 상기 방법은 체계적 결함과 연관된 설계 데이터 내의 POI의 위치를 식별하여 핫 스폿을 상호 연관

짓는 단계와, 설계 데이터 내의 유사한 패턴을 갖는 POI를 상호 연관짓는 단계와, 상호 연관지어진 핫 스폿의 위치로서 설계 데이터 내의 유사한 패턴의 위치와 POI의 위치를 상호 연관짓는 단계를 포함한다. 그러한 일 실시예에서, 체계적 결함은 리스트, 데이터베이스, 또는 설계 데이터에 대한 체계적 결함의 파일과 같은 데이터 구조에 포함될 수 있으며, 이는 다른 방법 또는 시스템에 의해 생성될 수 있다. 그러한 다른 실시예에서, 상기 방법은 체계적 결함을 식별하는 단계 및/또는 체계적 결함에 대한 설계 데이터 내의 POI를 결정하는 단계를 포함한다. 예컨대, 체계적 결함은 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 부분에 기초하여 웨이퍼 상에서 검출된 결함을 비닝하여 식별될 수 있으며, 이는 전술한 바와 같이 수행될 수 있다. POI는 비닝된 결함의 그룹에 대응하는 설계 데이터 부분 내의 패턴을 추출함으로써 결정될 수 있으며, 핫 스폿은 설계 백그라운드 그룹화를 사용하여 서로 상호 연관지어질 수 있으며, 이는 여기에 추가로 기술하는 바와 같이 수행될 수 있다. 또한, 핫 스폿은 핫 스폿을 비닝하여 서로 상호 연관지어질 수 있고, 이는 여기에 추가로 기술하는 바와 같이 수행될 수 있다. 핫 스폿을 서로 연관짓는 단계는 온-톨로 수행될 수 있다. 상호 연관지어진 핫 스폿의 위치는 "핫 스폿 리스트" 또는 임의의 다른 적합한 데이터 구조에 저장될 수 있으며, 그 데이터 구조는 어느 핫 스폿이 서로 연관지어진 지의 일부 지시, 리스트 내의 핫 스폿에 대한 아이덴티티, 및 리스트 내의 핫 스폿의 위치를 포함한다. 이러한 리스트는 비닝 방법에서 본질적으로 기준 데이터로서 사용될 수 있다.

[0580] 상기 방법은 적어도 유사한 위치를 갖는 핫 스폿과 결함을 관련시키는 단계를 또한 포함한다. 특히, 설계 데이터 스페이스 내의 적어도 유사한 위치를 갖는 핫 스폿 및 결함은 전술한 비교 단계의 결과에 기초하여 결정될 수 있다. 설계 데이터 스페이스 내의 위치를 갖는 핫 스폿 및 결함은 서로 임의의 적합한 방식으로 관련된다. 또한, 상기 방법은 각 그룹 내의 결함이 서로 연관지어진 핫 스폿과만 관련되도록 결함을 그룹으로 비닝하는 단계를 포함한다. 이러한 방식에서, 결함의 각 그룹은 상호 연관지어진 그룹에 대응할 수 있다.

[0581] 상기 방법은 비닝 단계의 결과를 저장 매체에 저장하는 단계를 더 포함한다. 그 저장 단계는 여기에 기술한 임의의 방법 실시예의 임의의 다른 결과에 부가하여 그 비닝 단계의 결과를 저장하는 단계를 포함할 수 있다. 비닝 단계의 결과는 당업계에 알려진 임의의 방식으로 저장될 수 있다. 또한, 저장 매체는 여기에 기술한 임의의 저장 매체 또는 당업계에 알려진 임의의 다른 적합한 매체를 포함할 수 있다. 비닝 단계의 결과가 저장된 후, 비닝 단계의 결과는 여기에 기술한 바와 같은 임의의 방법 또는 시스템에 의해 액세스 및 사용될 수 있다. 또한, 비닝 단계의 결과는 "영구적으로", "반-영구적으로", 또는 임의의 기간동안 일시적으로 저장될 수 있다. 비닝 단계의 결과를 저장하는 단계는 여기에 기술한 임의의 다른 실시예에 따라 추가로 수행될 수 있다.

[0582] 일 실시예에서, 상기 방법은 DBC를 1 이상의 그룹에 할당하는 단계를 포함한다. DBC를 1 이상의 그룹에 할당하는 단계는 여기에 기술한 임의의 실시예에 따라 수행할 수 있다. 다른 실시예에서, 상기 방법은 1 이상의 결함에 대한 DCI를 결정하는 단계를 포함한다. 본 실시예에서 1 이상의 결함에 대한 DCI를 결정하는 단계는 여기에 기술한 임의의 실시예에 따라서 수행할 수 있다.

[0583] 다른 실시예에서, 컴퓨터-구현 방법은 웨이퍼 상의 결함을 검출하는데 사용된 검사 시스템에 의해 수행된다. 이러한 방식에서, 컴퓨터-구현 방법은 온-톨로 수행될 수 있다. 또한, 상기 방법은 핫 스폿 관리를 온-톨로 수행하는 단계를 포함할 수 있다. 핫 스폿 관리는 예컨대, 핫 스폿 탐색, 핫 스폿 감시, 핫 스폿 리비전(revision), 또는 그것의 일부 조합을 포함할 수 있고, 그것의 각각은 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 예컨대, 일부 실시예에서, 핫 스폿은 웨이퍼 상의 결함을 검출하는데 사용된 검사 시스템에 의해 식별된다. 이러한 방식에서, 핫 스폿은 온-톨로 식별 또는 탐색될 수 있다. 핫 스폿의 그러한 식별 또는 탐색은 여기에 기술하는 바와 같이 수행될 수 있다(예컨대, 웨이퍼 상에서 검출된 결함의 설계 백그라운드 기반 그룹화를 수행함으로써).

[0584] 다른 실시예에서, 상기 방법은 설계 데이터가 인쇄되는 1 이상의 웨이퍼의 검사 결과를 사용하여 핫 스폿을 감시하는 단계를 포함한다. 검사 결과에 기초하여 핫 스폿을 감시하는 단계는 여기에 기술하는 바와 같이 수행할 수 있다. 핫 스폿의 그러한 감시는 온-톨로 수행될 수 있다. 핫 스폿의 감시는 전술한 검사 결과, 여기에 기술한 1 이상의 비닝 방법의 결과, 여기에 기술하는 바와 같이 수행할 수 있는, 1 이상의 DBC를 1 이상의 결함에 할당하는 결과, 여기에 기술한 임의의 방법의 임의의 다른 결과, 또는 그것의 일부 조합을 사용하여 또한(또는 대안적으로) 수행될 수 있다.

[0585] 다른 실시예에서, 상기 방법은 핫 스폿 사이의 상관관계에 기초하여 웨이퍼를 검사하는 단계를 포함한다. 예컨대, 상호 연관지어진 핫 스폿의 상이한 그룹에 대응하는 웨이퍼 상의 위치는 상이하게 검사할 수 있다. 핫 스폿 사이의 상관관계에 기초한 웨이퍼 검사는 상호 연관지어진 핫 스폿의 그룹에 대응하는 설계 데이터의 1 이상의 속성 및 상관관계에 기초하여 또한 수행할 수 있다. 예컨대, 결함에 대한 특히 높은 수율 감지도를 갖는 설

계 데이터에 대응하는 상호 연관지어진 핫 스폿의 그룹의 위치는 통상적인 것보다 높은 감지도로 검사될 웨이퍼 상의 위치를 결정하는데 사용할 수 있다. 본 실시예에 사용된 설계 데이터의 1 이상의 속성은 여기에 기술한 1 이상의 설계 데이터 속성을 포함할 수 있다. 또한, 검사 프로세스의 1 이상의 매개변수는, 상호 연관지어진 핫 스폿의 다른 그룹에 대응하는 웨이퍼 상의 위치가 서로 다르게 검사될 수 있도록 변경될 수 있다. 검사의 1 이상의 매개변수는 여기에 기술한 1 이상의 매개변수를 포함할 수 있다.

[0586] 일부 실시예에서, 상기 방법은 체계적 결함, 잠재적인 체계적 결함, 또는 그것의 일부 조합을 비닝 단계의 결과를 사용하여 시간에 걸쳐 감시하는 단계를 포함하며, 이는 여기에 기술한 임의의 실시예에 따라 수행될 수 있다. 다른 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 설계 데이터 내의 체계적 결함 및 잠재적인 체계적 결함을 식별하는 단계와, 시간에 걸친 체계적 결함 및 잠재적인 체계적 결함의 발생을 감시하는 단계를 포함한다. 이러한 방법 실시예의 단계는 여기에 기술하는 바와 같이 수행할 수 있다.

[0587] 다른 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 결함의 리뷰를 수행하는 단계를 포함한다. 예컨대, 결함의 리뷰는 상호 연관지어진 핫 스폿의 상이한 그룹에 대응하는 결함 그룹이 상이하게 리뷰되도록 수행될 수 있다(예컨대, 리뷰 프로세스의 1 이상의 매개변수의 적어도 하나의 상이한 값을 사용하여). 비닝 단계의 결과에 기초한 웨이퍼 리뷰는 비닝 결과와, 상호 연관지어진 핫 스폿의 그룹에 대응하는 설계 데이터의 1 이상의 속성에 기초하여 수행할 수 있다. 이러한 방식에서, 비닝 단계의 결과에 기초한 결함의 리뷰는 핫 스폿 사이의 상관관계에 기초하여 웨이퍼를 검사하는 단계에 대하여 전술한 바와 같이 수행할 수 있다.

[0588] 추가의 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 리뷰를 위한 결함을 선택하는 프로세스를 생성하는 단계를 포함한다. 본 실시예에서 리뷰를 위한 결함을 선택하기 위한 프로세스를 생성하는 단계는 여기에 기술한 임의의 실시예에 따라서 수행할 수 있다. 또한, 리뷰를 위한 결함을 선택하기 위한 프로세스는 결함의 그룹과 관련된 상호 연관지어진 핫 스폿에 대한 정보와 조합하여, 가능하게는 여기에 기술한 임의의 방법의 임의의 다른 단계의 결과 및 여기에 기술한 임의의 다른 정보(예컨대, 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성 등)과 조합하여 비닝 단계의 결과에 기초하여 생성될 수 있다. 또한, 결함을 선택하기 위한 프로세스를 생성하는 단계는 결함을 선택하는데 사용되는 프로세스의 임의의 1 이상의 매개변수에 대한 값을 선택하는 단계를 포함할 수 있다.

[0589] 다른 실시예에서, 상기 방법은 비트맵 단계의 결과에 기초하여 설계 데이터가 인쇄된 웨이퍼를 검사하기 위한 프로세스를 생성하는 단계를 포함한다. 본 실시예에서 웨이퍼를 검사하기 위한 프로세스를 생성하는 단계는 여기에 기술한 임의의 실시예에 따라서 수행할 수 있다. 또한, 웨이퍼를 검사하기 위한 프로세스는 결함의 그룹과 관련된 상호 연관지어진 핫 스폿에 대한 정보와 조합하여, 가능하게는 여기에 기술한 임의의 방법의 임의의 다른 단계의 결과(예컨대, 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성 등)와 조합하여, 비닝 단계의 결과에 기초하여 생성될 수 있다. 또한, 웨이퍼를 검사하기 위한 프로세스를 생성하는 단계는 웨이퍼를 검사하기 위해 사용되는 프로세스의 임의의 1 이상의 매개변수에 대한 값을 선택하는 단계를 포함할 수 있다.

[0590] 추가의 실시예에서, 상기 방법은 비닝 단계의 결과에 기초하여 설계 데이터가 인쇄된 웨이퍼를 검사하기 위한 프로세스를 변경하는 단계를 포함한다. 본 실시예에서 웨이퍼를 검사하기 위한 프로세스를 변경하는 단계는 여기에 기술한 임의의 실시예에 따라 수행될 수 있다. 또한, 웨이퍼를 검사하기 위한 프로세스는, 결함의 그룹과 관련된 상호 연관지어진 핫 스폿에 관한 정보와 조합하여, 가능하게는 여기에 기술한 임의의 방법의 임의의 다른 단계의 결과(예컨대, 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성 등)와 조합하여, 비닝 단계의 결과에 기초하여 변경될 수 있다. 또한, 웨이퍼를 검사하기 위한 프로세스를 변경하는 단계는 웨이퍼를 검사하기 위해 사용되는 변경 프로세스의 1 이상의 매개변수에 대한 값을 선택하는 단계를 포함할 수 있다.

[0591] 일부 실시예에서, 상기 방법은 1 이상 그룹의 결함에 의해 영향을 받은 웨이퍼 상에 형성된 다이의 퍼센티지를 결정하는 단계를 포함한다. 이러한 실시예에서, 다이의 퍼센티지는 여기에 기술한 임의의 실시예에 따라 결정될 수 있다.

[0592] 다른 실시예에서, 상기 방법은 적어도 하나의 그룹으로 비닝된 결함이 위치되는 웨이퍼 상에 형성된 다이의 퍼센티지를 결정하는 단계와, 그 퍼센티지에 기초하여 적어도 하나의 그룹에 우선순위를 할당하는 단계를 포함한다. 우선순위의 결정 및 할당은 여기에 기술한 임의의 실시예에 따라 수행될 수 있다.

[0593] 추가적인 실시예에서, 상기 방법은 1 이상의 그룹 내의 결함과 관련된 핫 스폿과 상호 연관지어진 전체 핫 스폿의 수와, 1 이상의 그룹 내의 결함의 수에 의해 1 이상의 그룹을 우선순위화하는 단계를 포함한다. 예컨대, 상호 연관지어진 핫 스폿 그룹 내의 핫 스폿의 수는 핫 스폿 그룹에 대응하는 그룹 내의 결함의 수에 비교될 수

있다. 그와 같이, 상호 연관지어진 핫 스폿 그룹의 결합도가 결정될 수 있다(예컨대, 결합이 검출된 상호 연관지어진 핫 스폿의 분율의 결정 및/또는 결합이 검출된 상호 연관지어진 핫 스폿의 퍼센티지의 결정에 의해). 따라서, 결합의 그룹은 상호 연관지어진 핫 스폿의 결합도에 의해 우선순위화될 수 있다. 예컨대, 다수로 검출된 일 그룹 내의 결합, 큰 분율, 또는 대응하는 핫 스폿의 큰 퍼센티지에는 소수로 검출된 결합의 그룹, 작은 분율, 또는 대응하는 핫 스폿의 작은 퍼센티지보다 높은 우선순위가 할당될 수 있다. 따라서, 결합의 그룹은 웨이퍼에 걸친 핫 스폿 결합도에 따라 우선순위화될 수 있다.

[0594] 추가의 실시예에서, 상기 방법은 1 이상 그룹 내의 결합이 적어도 한번 검출되는 웨이퍼 상에 설계 데이터를 인쇄하는데 사용된 레티클 위의 핫 스폿 위치에 대응하는 수에 의해 1 이상의 그룹을 우선순위화하는 단계를 포함한다. 예컨대, 레티클 상의 다수의 핫 스폿 위치에 대응하는 결합 그룹에는 레티클 상의 소수의 핫 스폿 위치에 대응한 결합 그룹보다 더 높은 우선순위가 할당될 수 있다. 따라서, 결합의 그룹은 웨이퍼에 걸친 잠재적 결합도에 기초하여 우선순위화될 수 있다. 또한, 레티클이 웨이퍼 상에 인쇄될 회수가 알려지거나 결정되는 경우, 레티클에 걸친 그룹의 잠재적 결합도는 웨이퍼에 걸친 1 이상 그룹의 잠재적 결합도를 결정하거나 추정하는데 사용될 수 있다. 우선순위화 단계의 결과는 여기에 기술한 1 이상의 단계를 수행하는데 사용할 수 있다.

[0595] 일부 실시예에서, 상기 방법은 1 이상의 그룹으로 비닝된 결합이 검출된 레티클 상의 위치의 수와, 1 이상 그룹 내의 결합과 관련된 핫 스폿과 상호 연관지어진 레티클 상의 핫 스폿 위치의 전체 수에 기초하여, 1 이상의 그룹에 대한 레티클-기반 마진을 결정하는 단계를 포함한다. 예컨대, 레티클 상의 상호 연관지어진 핫 스폿의 그룹 내의 결합이 검출되는 위치의 수는, 상호 연관지어진 핫 스폿의 그룹에 대응하는 그룹 내의 결합이 검출되는 위치의 수에 비교될 수 있다. 따라서, 레티클 기반 마진은 그러한 비교에 기초할 수 있고, 레티클에 걸친 상호 연관지어진 핫 스폿의 위치에 걸친 결합도의 측정치일 수 있다. 그러한 레티클 기반 마진은 여기에 기술하는 바와 같은 1 이상의 단계에 사용될 수 있다.

[0596] 전술한 바와 같은 결합을 비닝하기 위한 방법 실시예의 각각은 여기에 기술한 임의의 방법의 임의의 다른 단계를 포함할 수 있다. 또한, 전술한 바와 같은 결합을 비닝하기 위한 방법 실시예의 각각은 여기에 기술한 임의의 시스템 실시예에 의해 수행할 수 있다.

[0597] 다른 실시예는 웨이퍼 상에서 검출된 결합을 비닝하기 위한 다른 방법에 관한 것이다. 이러한 실시예에서, 상기 방법은 설계 데이터 스페이스 내의 결합의 위치에 가까운 설계 데이터의 1 이상의 속성을 비교하는 단계를 포함한다. 일 실시예에서, 1 이상의 속성은 패턴 밀도를 포함한다. 다른 실시예에서, 1 이상의 속성은 특징 스페이스 내의 1 이상의 속성을 포함한다. 특징 스페이스는 설계 데이터로부터 도출된 하나 또는 다수의 특징을 포함할 수 있다. 설계 스페이스와 달리, 특징 스페이스는 감독 방식(예컨대, 최인접 근방 비닝 기술) 또는 비-감독 방식(예컨대, 자연적인 그룹화 기술)으로 결합의 그룹을 결정하는데 유용할 수 있는 여러 속성을 효과적으로 고려하는 능력을 갖는다. 이러한 단계에 사용된 설계 데이터의 1 이상의 속성은 여기에 기술한 설계 데이터, 결합 데이터, 핫 스폿 또는 POI의 임의의 다른 속성을 또한(또는 대안적으로) 포함할 수 있다.

[0598] 상기 방법은 결합의 위치에 가까운 설계 데이터의 1 이상의 속성이 적어도 유사한지를 비교 단계의 결과에 기초하여 결정하는 단계를 또한 포함한다. 1 이상의 속성이 적어도 유사한지의 결정은 여기에 기술한 유사도를 결정하기 위한 다른 단계와 유사한 방식으로 수행할 수 있다. 또한, 상기 방법은 각 그룹 내의 결합의 위치에 가까운 설계 데이터의 1 이상의 속성이 적어도 유사하도록 결합을 그룹으로 비닝하는 단계를 포함한다. 비닝 단계는 여기에 기술한 다른 비닝 단계에 유사한 방식으로 수행될 수 있다. 상기 방법은 비닝 단계의 결과를 저장 매체에 저장하는 단계를 추가로 포함하며, 이는 여기에 기술한 바와 같이 수행할 수 있다.

[0599] 일부 실시예에서, 상기 방법은 결합이 랜덤 또는 체계적 결합인지를 속성을 사용하여 결정하는 단계를 포함한다. 또한, 속성은 랜덤 또는 체계적 결합에 대해 직접적으로 사용할 수 있다. 1 이상의 속성은 비닝된 결합 및/또는 비닝되지 않은 결합이 랜덤 또는 체계적 결합인지를 결정하는데 사용될 수 있다. 결합이 랜덤 결합인지 체계적 결합인지를 판정하기 위해, 설계 데이터의 1 이상의 속성이 여기에 기술한 임의의 다른 결과 및/또는 여기에 기술한 임의의 다른 정보(예컨대, 핫 스폿 정보 및 결합의 1 이상의 속성)와 조합하여 사용될 수 있다. 전술한 실시예의 일 예에서, 결합이 체계적인지 또는 랜덤한지를 판정하는데 사용된 설계 데이터의 1 이상의 속성은 특징에 대한 결합의 위치에서의 설계 데이터의 특징의 1 이상의 속성을 포함할 수 있다. 예컨대, 설계 데이터 스페이스 내의 결합의 위치에 가까운 설계 데이터의 1 이상의 속성이 비교적 높은 패턴 밀도와, 비교적 작은 특징 치수를 갖고, 그러한 속성을 갖는 설계 데이터가 체계적 결합이 되기 쉬운 것으로 알려지면(이는 실험적으로, 시뮬레이션 또는 임의의 다른 적합한 방법 또는 시스템에 의해 결정될 수 있다), 그 결합은 체계적 결합으로 판정된다.

- [0600] 다른 실시예에서, 상기 방법은 속성을 사용하여 1 이상의 그룹의 등급을 매기는 단계를 포함한다. 비닝된 1 이상 그룹의 결합의 등급을 매기는데 사용되는 1 이상의 속성은 여기에 기술한 임의의 속성을 포함할 수 있다. 일 예에서, 설계의 높은 패턴 밀도 영역에 위치한 결합이 수율에 더 큰 해로운 영향을 가질 수 있기 때문에, 비닝된 결합의 그룹은 높은 패턴 밀도와 관련된 결합의 그룹이 낮은 패턴 밀도와 관련된 결합의 그룹보다 높은 등급이 매겨지도록 패턴 밀도에 기초하여 등급이 매겨질 수 있다. 그러한 등급 결과는 여기에 기술한 바와 같이 사용될 수 있다(예컨대, 그 결과는 우선순위화 결과를 포함하는 단계에서 우선순위화 결과 대신에 사용될 수 있다).
- [0601] 속성은 그룹 내의 결합의 등급을 매기는데 또한 사용될 수 있다. 예컨대, 추가적인 실시예에서, 상기 방법은 1 이상의 속성을 사용하여 결합을 적어도 하나의 그룹으로 등급을 매기는 단계를 포함한다. 결합을 그룹으로 등급을 매기는데 사용된 설계 데이터의 속성은 여기에 기술한 임의의 속성이 될 수 있다. 또한, 결합을 비닝하는데 사용된 속성은 그룹 내의 결합의 등급을 매기는데 사용된 속성과 동일하거나 동일하지 않을 수 있다. 본 실시예에서의 비닝 및 등급화 단계는 그룹 및 등급으로의 결합의 세밀한 분리를 이롭게 제공할 수 있고, 이는 수율에 대한 결합의 영향에 관한 더 많은 정보를 제공할 수 있다. 그룹 내 결합의 등급을 매기는 단계는 여기에 기술하는 바와 같이 수행될 수 있다. 또한, 1 이상 그룹 내의 결합은 그것의 그룹 내에서 개별적으로 등급이 매겨질 수 있다. 상기 그룹 내의 결합의 등급을 매긴 결과는 여기에 기술한 1 이상의 단계에서 사용될 수 있다.
- [0602] 속성은 일 그룹 내의 결합을 비닝 하기 위해 또한 사용될 수 있다. 예컨대, 추가의 실시예에서, 상기 방법은 1 이상의 속성을 사용하여 적어도 하나의 그룹 내의 결합을 서브-그룹으로 비닝하는 단계를 포함한다. 일 그룹 내의 결합을 서브-그룹으로 비닝 하는데 사용된 설계 데이터의 속성은 여기에 기술한 임의의 속성을 포함할 수 있다. 또한, 결합을 그룹으로 비닝 하는데 사용된 속성은 그 결합을 서브-그룹으로 비닝하는데 사용된 속성과 동일하거나 동일하지 않을 수 있다. 본 실시예에서 결합을 그룹과 서브-그룹으로 비닝하는 단계는 그룹 및 서브-그룹으로의 결합의 더 세밀한 분리를 이롭게 제공할 수 있고, 이는 수율에 대한 결합의 영향에 관한 더 많은 정보를 제공할 수 있다. 일 그룹 내의 결합을 서브-그룹으로 비닝하는 단계는 여기에 기술하는 바와 같이 수행될 수 있다. 또한, 1 이상 그룹 내의 결합은 개별적으로 1 이상의 서브 그룹으로 비닝될 수 있다. 결합을 상기 그룹 및 서브-그룹으로 비닝한 결과는 여기에 기술한 1 이상의 단계에서 사용될 수 있다.
- [0603] 일부 실시예에서, 상기 방법은 1 이상의 속성을 사용하여 적어도 하나의 그룹 내의 결합을 분석하는 단계를 포함한다. 이러한 방식에서, 속성은 일 그룹 내의 결합을 분석하기 위해 사용될 수 있다. DCI 결정은 이러한 유형 분석의 일 예이다. 예컨대, 추가의 실시예에서, 상기 방법은 속성을 사용하여 DCI를 1 이상의 결합에 할당하는 단계를 포함한다. 결합을 분석하는데 사용된 설계 데이터의 속성은 여기에 기술한 임의의 속성을 포함할 수 있다. 분석은 여기에 기술한 임의의 다른 분석을 또한(또는 대안적으로) 포함할 수 있다.
- [0604] 다른 실시예에서, 상기 방법은 1 이상의 속성을 사용하여 1 이상의 결합의 수율 관련성을 결정하는 단계를 포함한다. 이러한 방식에서, 속성은 개별 결합의 수율 관련성을 추정하기 위해 사용될 수 있다. 수율 관련성을 결정하는데 사용되는 1 이상의 속성은 여기에 기술한 임의의 속성을 포함할 수 있다. 그러한 일 예에서, 비교적 높은 패턴 밀도를 갖는 설계 데이터에 가까이 위치한 결합은 비교적 낮은 패턴 밀도를 갖는 설계 데이터에 가까이 위치한 결합보다 더욱 수율 관련적인 것으로 결정될 수 있다. 또한, 수율 관련성은 설계 데이터의 1 이상의 속성과, 결합이 그러한 1 이상의 속성에 기초하여 수율에 어떻게 영향을 미치는지에 기초하여 결정될 수 있다. 수율 관련성이 결정된 결합은 비닝된 결합을 포함하거나 포함하지 않을 수 있다.
- [0605] 추가적인 실시예에서, 상기 방법은 속성을 사용하여 1 이상 그룹의 전체적인 수율 관련성을 결정하는 단계를 포함한다. 따라서, 속성은 전체 수율 관련성을 추정하는데 사용될 수 있다. 전체 수율 관련성은 전술한 바와 같이 결정할 수 있다.
- [0606] 일부 실시예에서, 상기 방법은 결합의 위치에 가까운 설계 데이터를 결합 주위 영역 내의 설계 데이터와, 결합이 위치한 영역 내의 설계 데이터로 분리하는 단계를 포함하며, 이는 여기에 기술한 바와 같이 수행될 수 있다. 또한, 속성은 결합이 위치할 영역으로부터 결합 주위 근방을 구분하는데 사용할 수 있다.
- [0607] 다른 실시예에서, 상기 방법은 룰 및 속성을 사용하여 비닝 또는 필터링하기 위한 설계 데이터 내의 구조를 식별하는 단계를 포함한다. 예컨대, 상기 방법은 설계 데이터의 1 이상의 속성 및 룰을 사용하여 LES에 민감한 구조, 큰 폴리(poly) 블록 등과 같은 구조를 식별하는 단계를 포함할 수 있고, 그러한 구조에 가까이 위치한 결합은 그룹으로 비닝될 수 있고 및/또는 그 결과로부터 필터링될 수 있다. 룰은 실험 결과 및/또는 시뮬레이션 결과 또는 임의의 적합한 방법을 사용하여 여기에 기술한 방법에 의해 생성될 수 있다.

- [0608] 다른 실시예에서, 상기 방법은 결함의 검출 동안 생성된 검사 결과와, 체계적 결함으로 식별된 결함에 기초하여, 리뷰, 측정, 테스트 또는 그것의 일부 조합이 수행될 웨이퍼 상의 위치를 결정하는 단계를 포함하며, 이는 여기에 기술한 임의의 실시예에 따라 수행할 수 있다. 일부 실시예에서, 상기 방법은 결함의 검출 동안 생성된 검사 결과, 체계적 결함으로 식별된 결함, 및 결함의 수율 관련성에 기초하여, 리뷰, 측정, 테스트 또는 그것의 일부 조합이 수행될 웨이퍼 상의 위치를 결정하는 단계를 포함하며, 이는 여기에 기술하는 바와 같이 수행할 수 있다. 추가적인 실시예에서, 상기 방법은 결함의 검출 동안 생성된 검사 결과, 체계적 결함으로 식별된 결함, 및 프로세스 창 매핑에 기초하여, 리뷰, 측정, 테스트 또는 그것의 일부 조합이 수행될 웨이퍼 상의 위치를 결정하는 단계를 포함하며, 이는 여기에 기술하는 바와 같이 수행할 수 있다.
- [0609] 일부 실시예에서, 상기 방법은 비닝 단계 및 유저-보조 리뷰의 결과를 사용하여 체계적 탐색을 수행하는 단계를 포함한다. 예컨대, 비닝 단계의 결과는 리뷰에서 유저를 보조하기 위해 사용될 수 있다(예컨대, 리뷰할 개소, 리뷰 방법 등을 결정하기 위해). 리뷰는 1 이상의 그룹 내의 적어도 하나의 결함에 대한 리뷰 결과(예컨대, 고배율 이미지)를 생성하는 단계와, 유저가 1 이상의 결함 또는 1 이상 그룹의 결함을 체계적 결함으로서 식별할 수 있도록 그 결과를 유저에게 표시하는 단계를 포함할 수 있다.
- [0610] 다른 실시예에서, 상기 방법은 비교 단계 이전에, 비닝 단계의 결과에서의 S/N을 향상시키기 위해, 결함이 위치하는 기능 블록에 기초하여 결함을 분리하는 단계를 포함한다. 결함이 위치되는 기능 블록은 여기에 기술하는 바와 같이 결정될 수 있다. 비교 단계 이전에 기능 블록에 의해 결함을 분리함으로써, 일부(예컨대, 비-수율 관련적) 기능 블록 내의 결함은 상기 방법의 다른 단계에서의 사용으로부터 제거될 수 있고, 이는 비닝 결과에서의 S/N을 증가시킬 것이다. 또한, 비닝은, 결함이 위치하는 기능 블록과 조합하여, 설계 데이터의 1 이상의 속성에 기초하여 수행할 수 있고, 이에 의해 비닝 결과에서의 더 낮은 분리 및 더 높은 S/N을 제공한다. 또한, 비닝은 각각의 기능 블록에 대해 또는 1 이상의 상이한 기능 블록에 대해 개별적으로 수행할 수 있고, 이에 의해 비닝 결과에 대한 S/N을 증가시킨다.
- [0611] 다른 실시예에서, 설계 데이터는 계층 셀로 조직화되고, 상기 방법은, 비교 단계 이전에, 비닝 단계의 결과에서의 S/N을 향상시키기 위해, 결함이 위치되는 계층 셀에 기초하여 결함을 분리하는 단계를 포함한다. 설계 데이터는 여기에 추가로 기술하는 바와 같이 계층 셀로 조직화될 수 있다. 결함을 계층 셀에 기초하여 분리하는 단계는 기능 블록 기반 분리에 대하여 전술한 바와 같이 수행할 수 있다. 계층 셀에 기초로 결함을 분리하는 단계는 전술한 바와 같이 비닝 단계의 결과의 S/N을 향상하는데 사용될 수 있다.
- [0612] 추가적인 실시예에서, 설계 데이터는 설계에 의해 계층 셀로 조직화되고, 결함이 1 이상의 계층 셀 내에 위치될 수 있는 경우, 상기 방법은 계층 셀의 영역, 결함 위치 확률, 또는 그것의 일부 조합에 기초하여 결함이 각각의 계층 셀 내에 위치하는 확률에 기초하여, 결함을 각각의 계층 셀에 상호 연관짓는 단계를 포함한다. 이러한 방식에서, 결함이 다중 셀 내에 위치될 수 있는 경우, 결함은 그 결함이 상이한 셀 내에 위치하는 확률에 기초하여 그 셀에 상호 연관지어지고, 이는 결함 위치 확률의 영역에 기초하여 결정될 수 있다. 그 확률은 당업계에 알려진 임의의 방식으로 결정할 수 있다.
- [0613] 일부 실시예에서, 결함은 검사 프로세스에 의해 검출되며, 그 방법은 설계 데이터 내의 1 이상의 POI가 인쇄되는 웨이퍼 상의 위치를 리뷰하는 단계와, 결함이 1 이상의 POI의 위치에서 검출되었어야 하는지를 리뷰 단계의 결과에 기초하여 결정하는 단계와, 1 이상의 결함 포착물을 향상시키기 위해 검사 프로세스를 변경하는 단계를 포함하며, 이는 여기에 추가로 기술하는 바와 같이 수행될 수 있다.
- [0614] 상술한 결함을 비닝하기 위한 방법의 각각의 실시예는 여기에 기술한 임의의 방법의 임의의 다른 단계를 포함할 수 있다. 또한, 상술한 결함을 비닝하기 위한 방법의 각각의 실시예는 여기에 기술한 임의의 시스템 실시예에 의해 수행할 수 있다.
- [0615] 전술한 바와 같이, 결함의 위치에 가까운 설계 데이터의 위치는 라이브러리 또는 다른 데이터 구조로 저장된 상이한 DBC(예컨대, DBC 빈 규정)에 대응하는 설계 데이터(예컨대, POI 설계 예)에 비교될 수 있다. 그러한 라이브러리 또는 데이터 구조를 사용할 수 있는 일 실시예는 웨이퍼 상에서 검출된 결함에 범주를 할당하기 위한 컴퓨터-구현 방법이다. 이러한 방법은 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 데이터의 부분을 상이한 DBC에 대응하는 설계 데이터에 비교하는 단계를 포함한다. 설계 데이터의 부분(또는 설계 데이터의 "소스 부분")을 상이한 DBC에 대응하는 설계 데이터(또는 설계 데이터의 "타겟 부분" 또는 "기준 패턴")에 비교하는 단계는 여기에 기술하는 바와 같이 수행될 수 있다. 일부 실시예에서, 상기 방법은 설계 데이터의 부분의 1 이상의 속성을 상이한 DBC에 대응하는 설계 데이터의 1 이상의 속성에 비교하는 단계를 포함한다. 그 부분 내의 설계 데이터의 1 이상의 속성, 및 본 단계에서 비교되는 상이한 DBC에 대응하는 설계 데이터의 1 이상의 속

성을 비교하는 단계는 여기에 기술한 임의의 속성을 포함할 수 있다. 또한, 상기 비교 단계에 사용되는 1 이상의 속성은 특징 스페이스 내의 1 이상의 속성을 포함할 수 있다. 또한, 상기 비교 단계는, 소스 및 기준 패턴 사이에 정확한 매치 또는 유사성이 존재하는지를 판정하기 위해, 상기 설계 데이터의 부분을 기준 패턴에 비교하는 단계를 포함할 수 있다. 또한, 상기 비교 단계는, 여기에 여기에서 기술한 임의의 룰 또는 여기에 기술한 비교 단계를 수행하기 위한 임의의 방법에 기초한 룰을 사용하는 단계를 포함할 수 있다. 또한, 상기 비교 단계는 설계 데이터 스페이스 내의 결함의 위치를 설계 데이터 스페이스 내의 핫 스폿의 위치에 비교하는 단계를 포함할 수 있고, 이는 여기에 기술하는 바와 같이 수행할 수 있다.

[0616] 상기 부분의 적어도 일부의 치수는 일부 실시예에서 상이하며, 그 치수는 여기에 추가로 기술하는 바와 같이 선택 및/또는 결정될 수 있다. 다른 실시예에서, 그 부분 내의 설계 데이터는 1 이상의 설계 층에 대한 설계 데이터를 포함한다. 설계 데이터의 그러한 부분은 여기에 추가로 기술하는 바와 같은 방법에서 구성 및 사용될 수 있다. 그 부분 내의 설계 데이터는 여기에 기술한 임의의 다른 설계 데이터를 포함할 수 있다. 예컨대, 결함의 위치에 가까운 설계 데이터는 일 실시예에서 결함이 위치하는 설계 데이터를 포함한다. 이러한 방식에서, 본 방법에 사용된 설계 데이터는 결함의 아래 또는 뒤의 설계 데이터, 또는 결함이 위치할 설계 데이터를 포함할 수 있다. 다른 실시예에서, 설계 데이터의 위치에 가까운 설계 데이터는 결함의 위치 주위의 설계 데이터를 포함한다.

[0617] 추가적인 실시예에서, 상기 방법은, 상기 비교 단계 이전에, 여기에 기술하는 바와 같이 수행될 수 있는, 결함의 위치에 가까운 설계 데이터의 부분을 제 1 비트맵으로 변환하는 단계와, 상기 비교 단계 이전에, 여기에 기술하는 바와 같이 수행할 수 있는, DBC에 대응하는 설계 데이터를 제 2 비트맵으로 변환하는 단계를 포함한다. 그러한 일 실시예에서, 상기 비교 단계는 제 1 비트맵과 제 2 비트맵을 비교하는 단계를 포함한다. 그러한 비교 단계는 여기에 추가로 기술하는 바와 같이 수행될 수 있다. 결함에 범주를 할당하는 방법의 실시예는 여기에 기술한 임의의 실시예에 따라 설계 데이터 스페이스 내의 결함의 위치를 결정하는 단계를 포함할 수 있다.

[0618] 일 실시예에서, DBC는 결함이 위치하거나 결함이 근처에 위치하는 설계 데이터 내의 1 이상의 다각형을 식별한다. 이러한 방식에서, 결함이 위치하는 1 이상의 다각형 또는 결함 근처에 위치하는 1 이상의 다각형은 결함에 할당된 DBC에 의해 식별될 수 있다. 그와 같이, 결함에 의해 영향을 받거나 받을 수 있는 1 이상의 다각형을 결정할 수 있다. 또한, 결함이 위치된 1 이상의 다각형 또는 그 결함 근처에 위치된 1 이상의 다각형이 식별될 수 있고, 이들 다각형에 대한 정보는 설계 데이터 내의 다각형에 대한 결함의 위치를 결정하기 위해 사용할 수 있다. 일부 실시예에서, DBC는 설계 데이터 내의 1 이상의 다각형 내의 결함의 위치를 식별한다. 따라서, 상기 방법은 결함에 할당된 DBC에 기초하여 다각형 내의 결함이 위치하는 개소 또는 그 근처를 결정하는 단계를 포함할 수 있다.

[0619] 다른 실시예에서, 상기 방법은 결함의 부분에 가까운 설계 데이터를 결함 주변 영역 내의 설계 데이터와, 결함이 위치하는 영역 내의 설계 데이터로 분리하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 결함이 위치할 영역으로부터 결함 둘레의 주변을 구별하는 단계를 포함할 수 있다. 그러한 분리는 여기에 추가로 기술하는 바와 같이 수행될 수 있다. 또한, 그러한 분리는 여기에 추가로 기술하는 바와 같이 결함에 범주를 할당하기 위한 컴퓨터 구현 방법에서 사용될 수 있다.

[0620] 상이한 DBC에 대응하는 설계 데이터 및 그 상이한 DBC는 데이터 구조에 저장된다. 또한, 상이한 DBC에 대응하는 설계 데이터 및 그 상이한 DBC는 전술한 바와 같은 데이터 구조에 저장될 수 있다. 특히, 상이한 DBC에 대응하는 설계 데이터 및 그 상이한 DBC는 데이터 구조 내에 DBC 라이브러리 파일로서 저장될 수 있다. 또한, 일 실시예에서, 데이터 구조는 기술, 프로세스 또는 그것의 일부 조합에 의해 조직화되는 설계 데이터의 예를 포함하는 라이브러리일 수 있다. 이러한 방식에서, 데이터 구조는 결함을 온-톨로 분류하는데 사용될 수 있는 POI 설계 예의 세트를 포함할 수 있고, POI 설계 예는 기술, 프로세스 스텝 또는 임의의 다른 적합한 정보에 의해 조직화될 수 있다. 데이터 구조는 당업계에 알려진 임의의 적합한 데이터 구조를 포함할 수 있고, 여기에 기술한 일 저장 매체 또는 당업계에서 알려진 임의의 다른 적합한 저장 매체와 같은 저장 매체에 저장될 수 있다.

[0621] 상기 방법은 상기 비교 단계의 결과에 기초하여, 부분 내의 설계 데이터가 상이한 DBC에 대응하는 설계 데이터와 적어도 유사한지를 판정하는 단계를 또한 포함한다. 이러한 판정 단계는 여기에 기술한 임의의 실시예에 따라 수행할 수 있다. 일부 실시예에서, 이러한 판정 단계는 부분 내의 설계 데이터가 상이한 DBC에 대응하는 설계 데이터에 적어도 유사한지를 판정하는 단계와, 상기 비교 단계에 기초하여 그 부분 내의 설계 데이터가 상이한 DBC에 대응하는 설계 데이터의 1 이상의 속성과 적어도 유사한지를 판정하는 단계를 포함한다. 1 이상의 속성은 여기에 기술한 임의의 속성을 포함할 수 있다. 예컨대, 1 이상의 속성은 결함을 검출하는데 사용된 검사

시스템에 관한 정보(예컨대, 검사 시스템 유형, 결함이 검출되는 시간에 검사 시스템이 작동하는 그 검사 시스템의 1 이상의 매개변수 등) 및/또는 결함에 대한 속성(예컨대, 사이즈, 러프(rough) 빈, 극성 등)를 포함할 수 있다.

[0622] 또한, 상기 방법은 부분 내의 설계 데이터에 적어도 유사한 설계 데이터에 대응하는 DBC를 결함에 할당하는 단계를 포함한다. 그 할당 단계는 임의의 적합한 방식으로 수행할 수 있다. 일부 실시예에서, 상기 할당 단계는, 부분 내의 설계 데이터에 적어도 유사하며 그 부분 내의 설계 데이터의 1 이상의 속성에 적어도 유사한 1 이상의 속성을 갖는 설계 데이터에 대응하는 DBC를 결함에 할당하는 단계를 포함한다. 일 실시예에서, 1 이상의 속성은 결함이 검출된 검사 결과의 1 이상의 속성과, 검사의 1 이상의 속성과, 그것의 일부 조합을 포함할 수 있다. 1 이상의 속성은 여기에 기술한 임의의 다른 속성을 또한(또는 대안적으로) 포함할 수 있다.

[0623] 상기 방법은 그 할당 단계의 결과를 저장 매체에 저장하는 단계를 더 포함한다. 그 결과는 임의의 적합한 방식 또는 여기에 기술한 바와 같이 저장 매체에 저장될 수 있다. 저장 매체는 여기에 기술한 임의의 저장 매체 또는 당업계에 알려진 임의의 다른 적합한 저장 매체를 포함할 수 있다.

[0624] 전술한 컴퓨터-구현 방법은 일 실시예에서 결함을 검출하는데 사용된 검사 시스템에 의해 수행된다. 이러한 방식에서, 여기에 기술하는 바와 같이 결함에 범주를 할당하는 단계는 온-톨로 수행될 수 있다. 다른 실시예에서, 컴퓨터-구현 방법은 결함을 검출하는데 사용된 검사 시스템 이외의 다른 시스템에 의해 수행된다. 이러한 방식에서, 여기에 기술하는 바와 같이 결함에 범주를 할당하는 단계는 오프-톨로 수행될 수 있다.

[0625] 일 실시예에서, 상기 방법은 결함의 위치에 가까운 설계 데이터의 부분 내의 다각형에 대한 각 그룹 내의 결함의 위치가 적어도 유사하도록, 1 이상의 DBC가 할당된 결함을 그룹으로 비닝하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 DBC 및 부분 내의 결함의 위치에 기초하여 결함을 그룹으로 분리하는 단계를 포함할 수 있다. 다각형에 대한 결함의 위치는 여기에 기술하는 바와 같이 결정될 수 있다. 또한, 그러한 비닝은 여기에 기술하는 바와 같이 추가로 수행될 수 있다.

[0626] 일부 실시예에서, 상기 방법은 상기 할당 단계에 기초하여 설계 데이터 내의 핫 스팟을 감시하는 단계를 포함한다. 예컨대, DBC 또는 상이한 DBC에 대응하는 설계 데이터는 설계 데이터 내의 핫 스팟과 관련될 수 있다. 핫 스팟은 여기에 기술한 바와 같이 설계 데이터 내에서 식별될 수 있다. 전술한 바와 같이 설계 데이터 내의 핫 스팟을 감시하는 단계는 핫 스팟과 관련된 DBC 또는 상이한 DBC에 대응하고 핫 스팟과 관련된 설계 데이터에 할당된 결함의 수가 시간에 걸쳐 변하는지를 판정하는 단계를 포함할 수 있다. 또한, 할당 단계의 결과에 기초하여 설계 데이터 내의 핫 스팟을 감시하는 단계는, 상이한 DBC가 할당된 결함의 1 이상의 속성과 같이 여기에 기술한 임의의 다른 데이터와 조합하여, 상기 할당 단계의 결과에 기초하여 수행될 수 있다. 또한, 상기 방법은 위치(예컨대, 가까운 위치)에 기초하여 핫 스팟을 감시하는 단계를 포함할 수 있다. 다른 실시예에서, 상기 방법은 DBC에 대응하는 설계 데이터에 기초하여 핫 스팟을 비닝하는 단계를 포함할 수 있다. 핫 스팟의 그러한 비닝은 여기에 기술한 바와 같이 수행될 수 있다. 핫 스팟을 비닝하는 단계는, 핫 스팟의 위치를 포함하고 어느 핫 스팟이 적어도 유사한지를 지시하는 핫 스팟의 1 이상의 데이터 구조(예컨대, 리스트, 데이터베이스, 파일 등)를 생성하는 단계를 포함할 수 있다. 핫 스팟의 그러한 비닝 단계는 온-톨로 수행될 수 있다.

[0627] 다른 실시예에서, 상기 방법은 할당 단계의 결과를 사용하여 체계적 결함, 잠재적인 체계적 결함, 또는 그것의 일부 조합을 시간에 걸쳐 감시하는 단계를 포함한다. 예컨대, 할당 단계의 결과는 설계 데이터 내의 체계적 이슈를 식별하기 위해 사용될 수 있고, 그 식별된 체계적 이슈는 웨이퍼에 걸쳐 및/또는 시간에 걸쳐 감시될 수 있다. 체계적 이슈는 여기에 추가로 기술하는 바와 같은 할당 단계의 결과에 기초하여 결정될 수 있다. 또한, 체계적 결함, 잠재적인 체계적 결함, 또는 그것의 일부 조합은 여기에 기술하는 바와 같이 추가로 수행될 수 있다.

[0628] 일 실시예에서, 상이한 DBC에 대응하는 설계 데이터는 설계 데이터 스페이스 내의 1 이상의 다른 웨이퍼에서 검출된 결함의 위치에 가까운 설계 데이터의 부분에 기초하여 1 이상의 다른 웨이퍼 상에서 검출된 결함을 그룹화함으로써 식별된다. 결함의 그러한 그룹화는 여기에 기술하는 바와 같이 수행될 수 있다. 그룹화의 결과는 상이한 DBC에 대응하는 설계 데이터를 식별하는데 사용될 수 있다. 예컨대, 결함의 각 그룹에 대응하는 설계 데이터는 상이한 DBC에 대응하는 설계 데이터로서 식별될 수 있다. 또한, 설계 데이터에 대응하는 상이한 DBC는 여기에 기술하는 바와 같이 수행될 수 있는 그룹으로의 결함의 분류, 설계 데이터의 1 이상의 속성, 결함의 1 이상의 속성, 여기에 기술한 임의의 다른 정보, 또는 그것의 일부 조합에 의해 결정될 수 있다.

[0629] 다른 실시예에서, 상기 방법은 결함에 할당된 DBC에 기초하여 그 결함이 뉴스스 결함인지를 판정하는 단계와,

검사 프로세스 결과의 S/N을 증가시키기 위해 결함이 검출된 검사 프로세스의 결과로부터 뉴슨스 결함을 제거하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 뉴슨스 필터링을 포함할 수 있다. 뉴슨스 결함으로서 판정된 결함은 뉴슨스 DBC(예컨대, LES의 DBC)가 할당된 결함, DBC가 할당되지 않은 결함, 또는 결함이 수율 관련적 결함이 아니거나 결함이 관심없는 결함임을 지시하는 DBC가 할당된 결함일 수 있다. 검사 결과의 S/N을 증가시키는 것은, 특히 그 검사 결과가 1 이상의 다른 단계를 수행하는데 사용되어서 그 다른 단계 결과의 S/N을 증가시키는 경우 특히 이롭다.

[0630] 일부 실시예에서, 상기 방법은 패턴 의존적 결함을 지시하는 설계 데이터 내의 1 이상의 특징을 식별함으로써 설계 데이터 내의 1 이상의 POI를 판정하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 설계 데이터 내의 POI를 식별하는 단계를 포함할 수 있다. 패턴 의존적 결함을 지시하는 설계 데이터 내의 1 이상의 특징은 실험 결과, 시뮬레이션 결과, 비닝 결과, 여기에 기술한 다른 결과, 또는 그것의 일부 조합에 기초하여 결정된다. 그러한 결과는 여기에 기술하는 바와 같이 생성될 수 있다. 1 이상의 POI는 설계 데이터의 임의의 패턴 검색을 수행하기 위해, 식별된 특징을 사용하여 판정될 수 있다. 식별된 특징에 적어도 유사한, 임의의 패턴 검색에 의해 판정된 설계 데이터 내의 패턴은 POI로서 식별될 수 있다. 1 이상의 POI는 1 이상의 패턴 의존적 결함에 대해 이러한 방식으로 판정될 수 있다.

[0631] 여기에 기술한 방식에서 DBC가 할당된 결함은 검사 프로세스 내에서 검출된다. 일 실시예에서, 상기 방법은 설계 데이터 내의 1 이상의 POI가 인쇄되는 웨이퍼 상의 위치를 리뷰하는 단계와, 그 리뷰 단계의 결과에 기초하여, 결함이 1 이상의 POI의 위치에서 검출되었어야 하는지를 판정하는 단계와, 1 이상의 결함 포착률을 향상시키기 위해 검사 프로세스를 변경하는 단계를 포함한다. 본 실시예의 각각의 단계는 여기에 기술하는 바와 같이 수행될 수 있다.

[0632] 다른 실시예에서, 상기 방법은 1 이상의 결함에 대한 KP 값을 결정하는 단계를 포함한다. 추가적인 실시예에서, 상기 방법은 DBC에 대응하는 설계 데이터의 1 이상의 속성에 기초하여 1 이상의 DBC에 대한 KP 값을 결정하는 단계를 포함한다. 추가의 실시예에서, 상기 방법은 1 이상의 결함에 할당된 DBC에 대응하는 설계 데이터의 1 이상의 속성에 기초하여 1 이상의 결함에 대한 KP 값을 결정하는 단계를 포함한다. 이들 단계의 각각은 여기에 기술하는 바와 같이 수행할 수 있다. 일부 실시예에서, 상기 방법은 1 이상의 DBC에 대한 KP 값을 감시하는 단계와, 그 결함에 할당된 DBC에 대한 KP 값을 그 결함에 할당하는 단계를 포함한다. 1 이상의 DBC에 대한 KP 값은 여기에 기술하는 바와 같이 감시될 수 있다. 이러한 방식에서, 1 이상의 DBC에 대한 KP 값은 시간에 걸쳐 수정될 수 있고, 및/또는 결함이 검출된 시간에서, 결함에 할당된 DBC에 대한 KP 값은 비교적 높은 정확도로 결함에 할당될 수 있다. 결함에 할당된 DBC에 기초하여 KP 값을 결함에 할당하는 단계는 여기에 기술하는 바와 같이 추가로 수행할 수 있다.

[0633] 일부 실시예에서, 상기 방법은 할당 단계의 결과에 기초하여 리뷰를 위한 적어도 일부의 결함을 선택하는 단계를 포함한다. 예컨대, 할당 단계의 결과는 어느 결함이 여기에 기술한 바와 같이 가장 중요한지를 결정하기 위해 사용될 수 있고(예컨대, 결함에 할당된 DBC의 1 이상의 속성에 기초하여), 가장 중요한 결함이 리뷰를 위해 선택될 수 있다.

[0634] 다른 예에서, 그 할당 결과는 여기에 기술하는 바와 같이 어느 결함이 체계적 결함인지를 결정하는데 사용될 수 있다. 이러한 방식에서, 상기 방법은 DOI가 발생할 경향이 있는 설계 데이터 내의 영역으로부터의 리뷰 샘플링을 포함할 수 있다.

[0635] 일 실시예에서, 상기 방법은 결함에 할당된 DBC가 리뷰 시스템에 가시적인 체계적 결함에 대응하는지를 판정하는 단계와, 리뷰 시스템에 가시적인 결함만을 리뷰를 위해 선택하여 리뷰를 위한 결함을 샘플링하는 단계를 포함한다. 리뷰 시스템에 가시적이거나 가시적이지 않은 체계적 결함에 대응하는 DBC는 당업계에 알려진 임의의 방식으로 결정할 수 있다. 리뷰 시스템에 가시적인 체계적 결함에 대응하는 DBC는 상기 방법 이전에 결정될 수 있고, DBC에는 그 DBC가 가시적이거나 가시적이지 않은 결함에 대응하는지를 지시하는 일부 아이덴티티가 할당될 수 있다. 이러한 방식에서, 결함은 이러한 아이덴티티에 기초하여 리뷰를 위해 선택될 수 있다. 리뷰 시스템에 가시적인 결함만을 선택하는 단계는, SEM과 같은 리뷰 시스템에 가시적이지 않은 결함이 리뷰를 위해 선택되지 않도록 수행될 수 있다. 리뷰 동안에 결함의 재-위치화가 비교적 어렵고, 특히 리뷰 시스템이 그 리뷰 시스템에 실제 비가시적인 결함을 찾는 데 많은 시간을 소비하는 경우 비교적 시간 소모적일 수 있기 때문에, 그러한 방식에서의 결함 선택이 특히 이롭다. 리뷰를 위한 결함 선택 결과는 웨이퍼 상의 리뷰를 위한 선택 결함의 위치와, 여기에 기술한 방법의 임의의 단계의 다른 결과를 포함할 수 있다.

[0636] 상기 방법은 할당 단계의 결과에 기초하여 프로세스, 측정 또는 테스트를 채택하는 단계를 포함할 수 있다. 예

컨대, 다른 실시예에서, 상기 방법은 할당 단계의 결과에 기초하여 리뷰를 위한 결함을 샘플링하는 프로세스를 생성하는 단계를 포함한다. 따라서, 리뷰를 위한 결함의 선택 대신에 또는 그것에 부가하여, 상기 방법은 리뷰를 위한 결함을 샘플링하기 위하여 그 방법, 다른 방법, 그 방법을 수행하도록 구성된 시스템, 또는 다른 시스템에 의해 사용될 수 있는 프로세스를 생성하는 단계를 포함할 수 있다. 그러한 프로세스는 리뷰를 위해 복수의 웨이퍼 상에서 검출된 결함의 샘플링 및/또는 복수의 리뷰 시스템에 의해 수행되는 리뷰를 위한 결함의 샘플링에 사용할 수 있다. 샘플링을 위한 프로세스는 동일한 DBC가 할당된 비교적 큰 수의 결함이 동일한 DBC가 할당된 비교적 작은 수의 결함보다 더 중점적으로 샘플링될 수 있도록, 할당 단계의 결과에 기초하여 생성될 수 있다. 리뷰를 위한 결함을 샘플링을 위한 프로세스는 결함에 대한 DCI, 결함에 대한 KP 값 등과 같이 여기에 기술한 임의의 방법의 임의의 단계의 임의의 다른 결과와 조합하여 상기 할당 단계의 결과에 기초하여 생성될 수 있다.

[0637] 추가적인 실시예에서, 상기 방법은 할당 단계의 결과에 기초하여 웨이퍼 검사용 프로세스를 변경하는 단계를 포함한다. 웨이퍼 검사용 프로세스의 임의의 매개변수는 본 실시예에서 변경될 수 있다. 예컨대, 할당 단계의 결과에 기초하여 변경될 수 있는 웨이퍼 검사용 프로세스의 1 이상의 매개변수는 주의 영역(또는 대안적으로는 비-주의 영역), 감시도, 인-라인 비닝 프로세스, 검사 영역, 어느 웨이퍼가 검사될지, 또는 그것의 일부 조합을 비한정적으로 포함할 수 있다. 일 특정 예에서, 할당 단계의 결과는 상이한 DBC가 할당된 결함의 수를 지시할 수 있고, 주의 영역은, 비교적 많은 수의 결함이 할당되는 DBC에 대응하는 설계 데이터를 또한 포함하는 설계 데이터 스페이스 내의 추가적인 위치에 대응하는 웨이퍼 상의 위치를 포함하도록 변경될 수 있다. 다른 예에서, 웨이퍼 검사용 프로세스는 할당 단계의 결과에 기초하여 더 또는 상이하게 검사하기 위하여 변경될 수 있다. 웨이퍼 검사용 프로세스는 여기에 기술한 방법의 임의의 단계의 임의의 결과에 기초하여 변경될 수 있다.

[0638] 일부 실시예에서, 상기 방법은 그 검사 결과에 기초하여 검사 동안 웨이퍼의 검사용 프로세스를 변경하는 단계를 포함한다. 본 실시예에서 검사용 프로세스를 변경하는 단계는 여기에 추가로 기술하는 바와 같이 수행할 수 있다.

[0639] 추가의 실시예에서, 상기 방법은 상기 할당 단계의 결과에 기초하여 웨이퍼에 대한 계측 프로세스를 변경하는 단계를 포함한다. 예컨대, 계측 프로세스는 할당 단계의 결과로부터 결정되는 바와 같은 가장 중요한 결함이 계측 프로세스 동안에 측정되도록 변경될 수 있다. 따라서, 계측 프로세스를 변경하는 단계는 계측 프로세스 동안에 측정이 수행되는 웨이퍼 상의 위치를 변경하는 단계를 포함할 수 있다. 또한, 측정에 대해 선택된 BF 이미지 및/또는 SEM 이미지와 같은 검사 및/또는 리뷰의 결과는 계측 프로세스에 공급되어, 그 결과는 측정이 수행될 개소를 결정하는데 사용될 수 있다. 예컨대, 계측 프로세스는 웨이퍼 상의 결함의 가까운 위치의 이미지를 생성하는 단계를 포함할 수 있고, 필요한 경우, 계측이 정확한 웨이퍼 위치에서 따라서 정확한 결함에 대하여 수행되도록, 계측 시스템이 웨이퍼의 위치를 보정할 수 있도록, 그러한 이미지는 결함에 대한 검사 및/또는 리뷰의 결과에 비교될 수 있다. 이러한 방식에서, 상기 측정은 웨이퍼 상의 실질적으로 정확한 위치에서 수행될 수 있다. 계측 프로세스를 변경하는 단계는 수행된 측정의 유형, 측정이 수행되는 파장, 측정이 수행되는 각도 등, 또는 그것의 일부 조합과 같은 계측 프로세스의 임의의 다른 1 이상의 매개변수를 변경하는 단계를 또한 포함할 수 있다. 계측 프로세스는 CD 측정 계측 프로세스와 같이 당업계에 알려진 임의의 적합한 계측 프로세스를 포함할 수 있다.

[0640] 일부 실시예에서, 상기 방법은 할당 단계의 결과에 기초하여 계측 프로세스에 대한 샘플링 플랜을 변경하는 단계를 포함한다. 따라서, 상기 방법은 적응형 샘플링을 포함할 수 있다. 예컨대, 계측 프로세스에 대한 샘플링 플랜은 비닝 스텝의 결과로부터 결정된 바와 같은 가장 중요한 결함의 많은 수가 계측 프로세스 동안에 측정되도록 변경될 수 있다. 이러한 방식에서, 가장 중요한 결함은 계측 프로세스 동안에 더욱 중점적으로 샘플링될 수 있고, 이에 의해 가장 중요한 결함에 대한 다량의 정보를 이롭게 생성할 수 있다. 계측 프로세스는 당업계에 알려진 임의의 계측 프로세스를 포함할 수 있다. 또한, 계측 프로세스는 SEM과 같이 당업계에서 알려진 임의의 적합한 계측 시스템에 의해 수행할 수 있다. 또한, 계측 프로세스는 프로파일, 두께, CD 등과 같이 웨이퍼 상에 형성된 특징 또는 결함의 임의의 적합한 속성의 당업계에 알려진 임의의 적합한 측정을 수행하는 단계를 포함할 수 있다.

[0641] 다른 실시예에서, 상기 방법은 1 이상의 DBC(예컨대, 결함에 할당된 DBC)를 우선순위화하는 단계와, 그 우선순위화 단계의 결과에 기초하여 설계 데이터가 인쇄될 웨이퍼에 대하여 수행될 1 이상의 프로세스를 최적화하는 단계를 포함한다. 그러한 일 실시예에서, DBC는 그 DBC가 할당된 결함의 수에 기초하여 우선순위화될 수 있다. DBC가 할당된 결함의 수는 할당 단계의 결과로부터 결정할 수 있다. 그러한 일 예에서, 최대 수의 결함에 할당

된 DBC는 가장 높은 우선순위가 할당될 수 있고, 다음으로 최대인 수의 결함에 할당된 DBC에는 다음으로 높은 우선순위가 할당될 수 있다.

- [0642] 또한(또는 대안적으로), DBC는 여기에 기술한 임의의 방법의 임의의 단계의 임의의 다른 결과와, 여기에 기술한 임의의 방법의 임의의 단계 결과의 임의 조합에 기초하여 우선순위화될 수 있다. 예컨대, DBC 우선순위화는 DBC가 할당되는 1 이상의 결함에 대한 DCI를 결정하는 단계와, 1 이상의 결함에 대한 DCI에 기초하여 DBC를 우선순위화하는 단계를 포함할 수 있다. DCI는 본 실시예에서 여기에 추가로 기술하는 바와 같이 결정될 수 있다. 다른 예에서, DBC를 우선순위화하는 단계는, DBC가 할당된 1 이상의 결함에 대한 KP 값을 결정하는 단계와, 1 이상의 결함에 대한 KP 값에 기초하여 DBC를 우선순위화하는 단계를 포함할 수 있다. 또 다른 예에서, DBC는 그 DBC가 할당된 결함의 수와, DBC가 할당된 1 이상의 결함에 대한 DCI의 조합에 기초하여 우선순위화될 수 있다. 이러한 방식에서, DBC를 우선순위화하는 단계는, 가장 높은 결함도에 대응하는 DBC에 가장 높은 우선순위가 할당되도록, DBC에 대응하는 설계 데이터 내에서 검출된 결함도에 기초하여 DBC를 우선순위화하는 단계를 포함할 수 있다.
- [0643] 또한, DBC는 가능하게는 여기에 기술한 다른 결과와 조합하여, 그 DBC에 대응하는 설계 데이터의 1 이상의 속성에 기초하여 우선순위화될 수 있다. 설계 데이터의 1 이상의 속성은 예컨대, 설계 데이터 내의 특징의 치수, 설계 데이터 내의 특징의 밀도, 설계 데이터에 포함되는 특징의 유형, 설계 내의 DBC에 대응하는 설계 데이터의 위치, 결함에 대한 설계 데이터의 수율 영향의 민감성 등, 또는 그것의 일부 조합을 포함할 수 있다. 그러한 일 예에서, 결함에 의한 수율 영향에 더욱 민감한 설계 데이터에 대응하는 DBC에는 수율에 대한 결함의 영향이 덜 민감한 설계 데이터에 대응하는 DBC보다 더 높은 우선순위가 할당될 수 있다.
- [0644] 또한, DBC는 가능하게는 그 DBC에 대응하는 설계 데이터의 1 이상의 속성 및/또는 여기에 기술한 다른 결과와 조합하여, 설계의 1 이상의 속성에 기초하여 우선순위화될 수 있다. 설계의 1 이상의 속성은 예컨대, 용장도, 네트 리스트 등, 또는 그것의 일부 조합을 포함할 수 있다. 특히, 설계 데이터 내의 POI는 POI 내에 포함된 패턴 너머의 콘텍스트를 가질 수 있다. 그러한 콘텍스트는 예컨대, POI를 포함하는 셀의 라벨, POI를 포함하는 셀 위의 셀의 계층, POI에 대한 체계적 결함의 용장도의 영향 등을 포함할 수 있다. 따라서, 여기에 기술한 실시예에 사용된 1 이상의 속성은 DBC에 대응하는 설계 데이터가 위치하는 POI의 콘텍스트를 포함할 수 있고, 이는 설계 데이터 스페이스 내의 DBC에 대응하는 설계 데이터의 위치 및/또는 DBC에 대응하는 설계 데이터에 기초하여 결정될 수 있다(DBC에 대응하는 설계 데이터가 설계 데이터 내의 셀에 특정한 경우). 그러한 일 예에서, 용장도를 갖지 않아서 체계적 결함이 현저한 수율 영향을 가질 수 있는 설계 데이터에 대응하는 DBC보다, 용장도를 가져서 체계적 결함이 설계 내의 수율 영향을 갖지 않을 수 있는 설계 데이터에 대응하는 DBC에 더 낮은 우선순위가 할당될 수 있다. 셀의 그러한 콘텍스트는 당업계에 알려진 임의의 방식으로 취득 및/또는 결정될 수 있다.
- [0645] 본 실시예에서의 1 이상의 프로세스를 최적화하는 단계는 초점, 조사량, 노광 톨, 레지스트, PEB 시간, PEB 온도, 에치 시간, 에치 가스 조성, 에치 톨, 퇴적 톨, 퇴적 시간, CMP 톨, CMP 프로세스의 1 이상의 매개변수 등과 같은 1 이상 프로세스의 임의의 1 이상의 매개변수를 변경하는 단계를 포함할 수 있다. 바람직하게는, 프로세스의 매개변수는 DBC에 대응하는 설계 데이터의 결함도(예컨대, DBC에 대응하는 설계 데이터 내에서 검출된 결함의 수)를 저하시키기 위해, DBC에 대응하는 설계 데이터 내에서 선택된 결함의 1 이상의 속성(예컨대, DCI, KP 등)을 변경하기 위해서, 및/또는 DBC에 대응하는 설계 데이터가 포함되는 장치의 수율을 증가시키기 위해 변경된다.
- [0646] 또한, 1 이상의 프로세스의 1 이상의 매개변수는 우선순위화 단계에 의해 결정되는 바와 같이 최고 우선순위를 갖는 DBC 또는 우선순위화 단계에 의해 결정된 바와 같이 비교적 높은 우선순위를 갖는 DBC에 대해서만 최적화될 수 있다. 이러한 방식에서, 1 이상의 프로세스의 1 이상의 매개변수는 최대 결함도 및/또는 최대 수율 영향을 갖는 결함도를 나타내는 DBC에 대응하는 설계 데이터에 기초하여 변경 및/또는 최적화될 수 있다. 그와 같이, 우선순위화 단계의 결과는 수율에서의 최대 개선을 나타내기 위해, 1 이상의 프로세스의 1 이상의 매개변수를 변경 및/또는 최적화하기 위해 어느 DBC가 사용되어야 하는지를 지시한다.
- [0647] 따라서, 본 실시예는, 어느 DBC가 수율에 대하여 가장 큰 영향을 갖는지에 관한 안내 없이, 여러 변경이 수율에서의 큰 또는 임의의 개선 없이 프로세스에 이루어질 수 있어서, 프로세스 최적화에 대한 변경 시간 및 비용을 증가시키는 프로세스를 변경 및/또는 최적화하기 위한 이전에 사용된 방법 및 시스템보다 본 실시예가 유리하다.
- [0648] 또한, 이러한 단계에서 변경 및/또는 최적화되는 프로세스가 여기에 기술한 실시예에서 DBC가 할당된 결함의 검

출 이전에 웨이퍼 상의 DBC에 대응하는 설계 데이터를 인쇄하는데 사용된 프로세스만을 포함할지라도, 변경 및/또는 최적화된 1 이상의 프로세스는 DBC에 대응하는 설계 데이터를 포함하는 다른 설계를 인쇄하는데 사용되는 임의의 프로세스를 포함할 수 있다. 예컨대, 1 이상의 설계가 우선순위화 및/또는 여기에 기술한 방법의 임의의 다른 결과에 기초하여 DBC에 대응하는 설계 데이터를 포함하는 경우, 1 이상의 설계를 인쇄하는데 사용된 1 이상의 프로세스가 변경 및 최적화될 수 있어서, 각각의 다른 설계로 제조된 장치의 수율을 증가시킨다.

[0649] 추가의 실시예에서, 상기 방법은 결함에 할당된 DBC에 기초하여 결함의 근본 원인을 결정하는 단계를 포함한다. 예컨대, 근본 원인은 결함에 할당된 DBC에 대응하는 설계 데이터의 1 이상의 속성에 기초하여 결정될 수 있다. 근본 원인을 결정하는데 사용된 설계 데이터의 속성은 여기에 기술한 임의의 설계 데이터 속성을 포함할 수 있다. 또한, 임의의 다른 정보 및/또는 여기에 기술한 임의의 방법의 임의의 단계의 결과가, 설계 데이터의 속성과 조합하여 결함의 근본 원인을 결정하기 위해 사용될 수 있다.

[0650] 추가의 실시예에서, 상기 방법은 결함의 적어도 일부를 실험 프로세스 창 결과에 매핑하여 결함의 적어도 일부의 근본 원인을 결정하는 단계를 포함하며, 이는 여기에 기술하는 바와 같이 수행할 수 있다.

[0651] 다른 실시예에서, 상기 방법은 1 이상의 DBC에 대응하는 근본 원인을 결정하는 단계와, 결함에 할당된 DBC에 대응하는 근본 원인에 기초하여 근본 원인을 결함에 할당하는 단계를 포함한다. 예컨대, DBC에 대응하는 설계 데이터에서 이전에 검출된 결함의 근본 원인은 DBC와 관련될 수 있다. 이전에 검출한 결함의 근본 원인은 여기에 기술한 임의의 방식 또는 당업계에 알려진 임의의 다른 적합한 방식으로 결정할 수 있다. 이러한 방식에서, 결함의 근본 원인은 결함에 할당된 DBC와 관련된 근본 원인일 수 있다.

[0652] 추가의 실시예에서, 상기 방법은 1 이상의 DBC가 할당되는 결함에 의해 영향을 받는 웨이퍼 상에 형성된 다이의 퍼센티지를 결정하는 단계를 포함한다. 예컨대, 그 퍼센티지는 동일한 DBC가 할당된 결함이 적어도 한번 검출되는 웨이퍼에 결친 다이의 수에 의해 결정될 수 있다. 그러한 퍼센티지는 동일한 DBC가 할당되는 적어도 하나의 결함이 검출되는 다이의 수를 검사된 전체 다이의 수로 나누어서 결정될 수 있다. 그러한 단계의 결과에 100을 곱해 퍼센티지에 이른다. 따라서, 퍼센티지는 동일한 DBC가 할당된 결함의 다이 영향 마진을 반영한다. 그러한 퍼센티지는 결함에 할당된 1 이상의 DBC에 대해 결정될 수 있고, 퍼센티지의 각각 또는 적어도 일부는 상기 방법에 의해 생성될 수 있는 바 차트와 같은 차트로 표시될 수 있다. 따라서, 그 차트는 결함에 할당된 DBC의 함수로서 다이 영향 마진을 나타낸다. 그러한 차트는 여기에 추가로 기술하는 바와 같이 구성될 수 있는 유저 인터페이스에 나타내질 수 있다. 상기 방법은 본 실시예에서 결정된 퍼센티지에 기초하여 1 이상의 DBC가 할당된 결함을 우선순위화하는 단계를 또한 포함할 수 있다.

[0653] 일부 실시예에서, 상기 방법은 적어도 하나의 DBC에 대응하는 설계 데이터 내의 POI를 결정하는 단계와, 웨이퍼 상의 위치의 수에 대한 적어도 하나의 DBC가 할당된 결함의 수의 비율을 결정하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 웨이퍼 상에 인쇄된 DBC에 대응하는 POI의 위치의 수에 대한 DBC가 할당된 수의 비율 또는 퍼센티지를 결정하여 마진 분석을 수행하는 단계를 포함할 수 있다. 그러한 실시예에서, 웨이퍼 상의 POI의 위치는 임의의 패턴 검색에 의해 식별될 수 있다. 또한, 여기에 기술한 상기 방법은 설계의 검사 영역 내의 POI의 위치를 식별하기 위한 임의의 패턴 검색 단계와, 설계의 검사 영역 내의 POI의 누적 영역을 결정하는 단계를 포함할 수 있다. 설계의 검사 영역 내의 POI의 누적 영역에 대한 DBC가 할당된 결함의 수의 비율은 POI에 대응하는 DBC의 결함 밀도를 결정하기 위해 사용될 수 있다. 상기 방법은 본 실시예에서 결정된 1 이상의 DBC를 우선순위화하는 단계를 또한 포함할 수 있다.

[0654] 다른 실시예에서, 상기 방법은 적어도 하나의 DBC에 대응하는 설계 데이터 내의 1 이상의 POI를 결정하는 단계와, 설계 데이터 내의 1 이상의 POI의 위치의 수에 대한 DBC가 할당된 적어도 하나의 결함의 수의 비율을 결정하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 웨이퍼의 검사 영역에 결친 설계 내의 POI의 위치의 수에 대한 웨이퍼 상에서 발견된 POI에 대응하는 DBC가 할당된 결함의 수의 비율 또는 퍼센티지를 결정하여 마진 분석을 수행하는 단계를 포함할 수 있다. 그러한 실시예에서, 웨이퍼 상의 POI의 위치는 임의의 패턴 검색에 의해 식별될 수 있다. 이러한 방법은 본 실시예에서 결정된 비율에 기초하여 1 이상의 DBC를 우선순위화하는 단계를 또한 포함할 수 있다.

[0655] 추가적인 실시예에서, 상기 방법은 적어도 하나의 DBC에 대응하는 설계 데이터 내의 POI를 결정하는 단계와, 적어도 하나의 DBC가 할당된 결함이 위치되는 웨이퍼 상에서 형성된 다이의 퍼센티지를 결정하는 단계와, 그 퍼센티지에 기초하여 POI에 우선순위를 할당하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 결함에 의해 영향을 받은 다이의 퍼센티지에 기초하여 마진 분석을 수행하는 단계를 포함할 수 있다. 예컨대, 동일한 DBC가 할당된 결함의 수는 웨이퍼 상의 검사 영역에 설계 데이터를 인쇄하는데 사용되는 레티클 내의 POI의 설계 인스

턴스의 수와, 레티클이 웨이퍼 상에 인쇄되고 검사되는 회수로 나눌 수 있다. 이러한 단계의 결과에 100을 곱해서 퍼센티지에 이른다. 이러한 방식에서, 상기 방법은 알려진 체계적 결함을 결함이 적어도 한번 검출되는 웨이퍼에 걸친 다이의 수에 의해 우선순위화하는 단계를 포함할 수 있다. 예컨대, POI가 다이의 1%에 비하여 다이의 10%에서 출현하는 경우 체계적 결함이 검출되는 POI에 높은 우선순위가 할당될 수 있다. 다른 예에서, 웨이퍼 상의 큰 수의 다이에서 검출된, 동일한 DBC가 할당된 결함에는 웨이퍼 상의 더 작은 수의 다이에서 검출된, 상이한 DBC가 할당된 결함보다 더 높은 우선순위가 할당될 수 있다. 또한, 상기 방법은 상이한 DBC가 할당된 결함이 위치하는 웨이퍼 상에 형성된 다이의 퍼센티지를 나타내는 바 차트와 같은 차트를 생성하는 단계를 포함할 수 있다. 따라서, 그러한 차트는 상이한 DBC에 대한 다이 기반 마진을 그래픽 식으로 나타낸다. 그러한 차트는 여기에 기술한 바와 같이 구성될 수 있는 유저 인터페이스에 표시될 수 있다.

[0656] 추가의 실시예에서, 상기 방법은 1 이상의 DBC가 할당되는 결함이 검출되는 수에 의해 1 이상의 DBC를 우선순위화하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 DBC가 할당되는 결함의 전체 결함 수에 의해 알려진 체계적 결함을 우선순위화하는 단계를 포함할 수 있다. 그와 같이, 상기 방법은 웨이퍼-기반 마진에 기초하여 알려진 체계적 결함을 우선순위화하는 단계를 포함할 수 있다. 예컨대, 웨이퍼 상의 큰 수의 설계 인스턴스에서 검출된 결함에 할당된 DBC에는, 웨이퍼 상의 작은 수의 설계 인스턴스에서 검출된 결함에 할당되는 DBC보다 더 높은 우선순위가 할당된다. 그러한 우선 순위화는 결함이 검출된 웨이퍼에 걸친 설계 인스턴스의 장소의 퍼센티지에 기초하여 수행될 수 있다. 예컨대, 검출되고 DBC가 할당된 결함의 수는 웨이퍼에 걸친 DBC에 대응하는 전체 검사된 설계 인스턴스로 나눌 수 있다. 이러한 단계의 결과에 100을 곱해 전술한 퍼센티지를 생성한다. 또한, 상기 방법은 상이한 DBC가 할당된 레티클에 걸친 설계 인스턴스의 수를 나타내는 바 차트와 같은 차트를 생성하는 단계를 포함할 수 있다. 그러한 차트는 여기에 기술하는 바와 같이 구성될 수 있는 유저 인터페이스에 표시될 수 있다.

[0657] 일부 실시예에서, 상기 방법은 1 이상의 DBC가 할당된 결함이 적어도 한번 검출되는 웨이퍼 상의 설계 데이터를 인쇄하는데 사용된 레티클 상의 설계 인스턴스의 수에 의해 1 이상의 DBC를 우선순위화하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 결함이 적어도 한번 발견되는 레티클에 걸친 설계 인스턴스의 수에 의해 알려진 체계적 결함을 우선순위화하는 단계를 포함한다. 예컨대, 레티클 상에서 큰 수의 설계 인스턴스에서 검출된 결함에 할당되는 DBC에는, 레티클 상의 작은 수의 설계 인스턴스에서 검출된 결함에 할당되는 DBC보다 높은 우선순위가 할당될 수 있다. 또한, 상기 방법은 상이한 DBC가 할당된 결함이 검출되는 레티클에 걸친 설계 인스턴스의 수를 나타내는 바 차트와 같은 차트를 생성하는 단계를 포함할 수 있다. 그러한 차트는 여기에 기술하는 바와 같이 구성될 수 있는 유저 인터페이스에 표시될 수 있다.

[0658] 다른 실시예에서, 상기 방법은 1 이상의 DBC가 할당된 결함이 검출되는 레티클 상의 장소의 수와, 1 이상의 DBC가 할당된 결함의 위치에 가까운 설계 데이터의 부분에 적어도 유사한 레티클 상에 인쇄된 설계 데이터의 부분의 전체 수에 기초하여 1 이상의 DBC에 대한 레티클-기반 마진을 결정하는 단계를 포함한다. 예컨대, 레티클-기반 마진은 DBC가 할당된 적어도 하나의 결함이 검출된 적층 레티클 맵 내의 장소의 수를 레티클에 걸친 전체 검사 설계 인스턴스로 나눔으로써 결정될 수 있다. 이러한 단계의 결과에 100을 곱해서, DBC가 할당된 결함이 검출된 DBC에 대응하는 설계 인스턴스의 장소의 퍼센티지를 생성한다. 또한, 상기 방법은 상이한 DBC가 할당된 결함이 검출된 장소의 퍼센티지 또는 레티클-기반 마진을 나타내는 바 차트와 같은 차트를 생성하는 단계를 포함할 수 있다. 그러한 차트는 여기에 추가로 기술한 바와 같이 구성될 수 있는 유저 인터페이스에 표시될 수 있다. 상기 방법은 1 이상의 DBC에 대하여 결정된 레티클-기반 마진에 기초하여 1 이상의 DBC를 우선순위화하는 단계를 포함할 수 있다. 예컨대, 비교적 높은 레티클-기반 마진을 보이는 DBC에는 낮은 레티클-기반 마진을 보이는 DBC보다 더 높은 우선순위가 할당될 수 있다. 여기에 기술한 실시예의 단계는 동일한 DBC가 할당된 결함의 그룹에 대해 또는 DBC가 할당된 개별 결함에 대해 수행될 수 있다.

[0659] 전술한 결함에 범주를 할당하기 위한 방법의 각 실시예는 여기에 기술한 임의의 방법 실시예를 포함할 수 있다. 또한, 전술한 결함에 범주를 할당하기 위한 방법의 각 실시예는 여기에 기술한 임의의 시스템 실시예에 의해 수행될 수 있다.

[0660] 다른 실시예는 웨이퍼에 대한 검사 프로세스를 변경하는 방법에 관한 것이다. 이러한 방법은 설계 데이터 내의 1 이상의 POI가 인쇄되는 웨이퍼 상의 장소를 리뷰하는 단계를 포함한다. 상기 방법은 상기 리뷰 단계의 결과에 기초하여, 1 이상의 POI의 장소에서 결함이 검출되었어야 하는지를 판정하는 단계를 또한 포함한다. 또한, 상기 방법은 1 이상의 결함 포착물 및/또는 적어도 하나의 POI의 적어도 일부에 위치된 결함에 대한 S/N을 향상시키기 위해 검사 프로세스를 변경하는 단계를 포함한다. 이들 단계의 각각은 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 예컨대, 검사 프로세스의 1 이상의 매개변수는, 여기에 기술하는 바와 같이 결정될 수 있

는, POI의 우선순위화에 기초하여 변경될 수 있다.

- [0661] 상기 방법에 대한 하나의 이용 케이스는, 광 감지도 애플리케이션이다. 예컨대, 일 실시예에서, 검사 프로세스를 변경하는 단계는 검사 프로세스를 수행하기 위해 사용된 검사 시스템의 광학 모드를 변경하는 단계를 포함한다. 이러한 방식에서, 검사를 위해 사용된 광학 모드는 1 이상의 POI의 적어도 일부에 대응하는 1 이상의 결함을 검출하는 S/N을 향상시키기 위해 변경될 수 있다. 광학 모드는 당업계에 알려진 임의의 광학 모드를 포함할 수 있다.
- [0662] 다른 실시예에서, 상기 방법은 1 이상의 POI의 장소에서 결함이 검출되었어야 하는지를 판정하는 단계의 결과에 기초하여 검사 프로세스를 수행하는데 사용된 검사 시스템의 광학 모드를 결정하는 단계를 포함한다. 이러한 방식에서, 검출되었어야 하는 결함에 대한 가장 높은 S/N를 갖는 광학 모드가 결정될 수 있다. 광학 모드는 당업계에 알려진 임의의 광학 모드를 포함할 수 있다. 또한, 결정된 광학 모드 및/또는 검출되었어야 하는 결함은 검사 프로세스를 수행하기 위해 사용된 검사 시스템의 유형과 같이 변경된 검사 프로세스의 다른 매개변수를 선택하는데 사용될 수 있다.
- [0663] 일부 실시예에서, 검사 프로세스를 변경하는 단계는 1 이상의 POI와 관련된 DOI의 포착을 증가시키기 위해 검사 프로세스를 변경하는 단계를 포함한다. 포착을 증가시키기 위해 검사 프로세스를 변경하는 단계는 검사 프로세스의 임의의 1 이상의 매개변수를 변경하는 단계를 포함할 수 있다. 검사 프로세스의 매개변수를 변경함으로써 강화된 검출은 검사 결과 내의 POI와 관련된 DOI의 검출을 포함할 수 있다(예컨대, 수율 결정적 체계적 DOI 등에 대한 결함 카운트를 증가시키는 것). 포착을 증가시키기 위해 변경된 1 이상의 매개변수는 검사 프로세스의 임의의 결과 및/또는 리뷰 단계의 임의의 결과(예컨대, 1 이상의 POI가 인쇄되는 웨이퍼 상의 장소를 리뷰하는 단계의 결과만이 아님)에 기초하여 선택될 수 있다.
- [0664] 일부 실시예에서, 검사 프로세스를 변경하는 단계는 검사 프로세스의 결과 내의 노이즈를 억제하기 위해 검사 프로세스를 변경하는 단계를 포함한다. 노이즈를 억제하기 위해 검사 프로세스를 변경하는 단계는 검사 프로세스의 임의의 1 이상의 매개변수를 변경하는 단계를 포함할 수 있다. 검사 프로세스의 매개변수를 변경함으로써 억제되는 노이즈는 검사 결과 내의 임의의 노이즈(예컨대, 백그라운드 노이즈, 뉴슨스 결함 등)를 포함할 수 있다. 노이즈를 억제하기 위해 변경되는 1 이상의 매개변수는 검사 프로세스의 임의의 결과 및/또는 리뷰 단계의 임의의 결과(예컨대, 1 이상의 POI가 인쇄되는 웨이퍼 상의 장소를 리뷰하는 단계의 결과만이 아님)에 기초하여 선택할 수 있다.
- [0665] 추가의 실시예에서, 검사 프로세스는 관심없는 결함의 검출을 줄이고, 관심없는 결함의 비닝을 개선하기 위해 검사 프로세스를 변경하는 단계를 포함한다. 관심없는 결함의 검출을 줄이기 위해 검사 프로세스를 변경하는 단계는 검사 프로세스의 임의의 1 이상의 매개변수를 변경하는 단계를 포함할 수 있다. 검사 프로세스의 매개변수를 변경함으로써 덜 검사되는 관심없는 결함은 임의의 관심없는 결함을 포함할 수 있다(예컨대, 비-수율 관련적 체계적 결함, 콜드 스팟에서의 결함 등). 관심없는 결함의 검출을 줄이기 위해 변경된 1 이상의 매개변수는 검사 프로세스의 임의의 결과 및/또는 리뷰 단계의 임의의 결과(예컨대, 1 이상의 POI가 인쇄되는 웨이퍼 상의 장소를 리뷰하는 단계의 결과만이 아님)에 기초하여 선택될 수 있다.
- [0666] 1 이상의 결함 포착률을 향상시키기 위해 검사 프로세스를 변경하는 단계는 검사 프로세스의 임의의 1 이상의 매개변수를 변경하는 단계를 포함할 수 있다. 예컨대, 일 실시예에서, 검사 프로세스를 변경하는 단계는 검사 프로세스에서 사용된 알고리즘을 변경하는 단계를 포함한다. 변경되는 알고리즘은 결함 검출 알고리즘 또는 검사 프로세스에 사용된 임의의 다른 알고리즘일 수 있다. 변경된 알고리즘은 당업계에 알려진 임의의 적합한 알고리즘을 포함할 수 있다. 또한, 검사 프로세스를 변경하는 단계는 검사 프로세스에 사용된 1 이상의 알고리즘을 변경하는 단계를 포함할 수 있다.
- [0667] 추가적인 실시예에서, 검사 프로세스를 변경하는 단계는 검사 프로세스에서 사용된 알고리즘의 1 이상의 매개변수를 변경하는 단계를 포함한다. 1 이상의 매개변수가 변경된 알고리즘은 결함 검출 알고리즘 또는 검사 프로세스에서 사용된 임의의 다른 알고리즘을 포함할 수 있다. 또한, 검사 프로세스를 변경하는 단계는 검사 프로세스에서 사용된 1 이상의 알고리즘의 1 이상의 매개변수를 변경하는 단계를 포함할 수 있다. 알고리즘 내의 1 이상의 매개변수는 알고리즘의 임의의 매개변수, 바람직하게는 결함 포착률에 영향을 미치는 매개변수를 포함할 수 있다.
- [0668] 위에서 기술한 웨이퍼에 대한 검사 프로세스를 변경하기 위한 방법의 각각의 실시예는 여기에 기술한 임의의 방법 실시예의 임의의 다른 단계를 포함할 수 있다. 또한, 위에서 기술한 웨이퍼에 대한 검사 프로세스를 변경하

기 위한 방법의 각각의 실시예는 여기에 기술한 임의의 시스템 실시예에 의해 수행될 수 있다.

- [0669] 추가적인 실시예는 설계 및 결함 데이터를 표시 및 분석하도록 구성된 시스템에 관한 것이다. 그러한 시스템의 일 실시예는 도 25에 도시된다. 도 25에 도시된 바와 같이, 시스템은 유저 인터페이스(182)를 포함한다. 유저 인터페이스(182)는 반도체 장치에 대한 1 이상의 설계 레이아웃(184), 반도체 장치의 적어도 일부가 형성된 웨이퍼에 대해 취득된 인라인 검사 데이터(186), 웨이퍼에 대해 취득된 전기 테스트 데이터(188)를 표시하도록 구성된다. 일 실시예에서, 전기 테스트 데이터는 로직 비트맵 데이터를 포함한다. 설계, 검사(또는 계측), 테스트 및 오버레이 데이터는 설계, 장치, 레티클 또는 웨이퍼 스페이스에 표현된다. 유저 인터페이스는 반도체 장치에 대한 모델링된 데이터 및/또는 웨이퍼에 대한 FA 데이터를 표시하도록 구성될 수 있다. 또한, 유저 인터페이스는 유저로부터의 입력(예컨대, 유저에 의한 핫 스폿 또는 DOI의 선택)에 기초하여 특정 핫 스폿 또는 DOI에 대한 정보를 표시하도록 구성될 수 있다. 이러한 방식에서, 유저 인터페이스는 상이한 핫 스폿 또는 DOI에 관한 정보를 상이한 시간에 표시하도록 구성될 수 있다. 하지만, 유저 인터페이스는 상이한 핫 스폿 또는 DOI를 지시하도록 1 이상의 상이한 표식(예컨대, 컬러, 심볼 등)을 사용하여 상이한 핫 스폿 또는 DOI에 관한 정보를 동시에 표시하도록 구성될 수 있다(예컨대, 웨이퍼 맵 또는 바 그래프로). 핫 스폿 데이터베이스 내의 정보의 표시를 사용하여, 유저는 주어진 분석 또는 검사 레시피에 의해 관심 있는 핫 스폿의 서브셋을 선택함으로써 1 이상의 핫 스폿 리스트를 생성할 수 있다. 유저 인터페이스는 디스플레이 장치(190) 상에 표시될 수 있다. 디스플레이 장치(190)는 당업계에 알려진 임의의 적합한 디스플레이 장치를 포함할 수 있다.
- [0670] 시스템은 프로세서(192)를 또한 포함한다. 프로세서(192)는 유저 인터페이스를 통하여 유저로부터 분석을 수행하라는 지령을 수신시, 1 이상의 설계 레이아웃, 인라인 검사 데이터, 및 전기 테스트 데이터를 분석하도록 구성된다. 프로세서는 전술한 바와 같이 모델링된 데이터 및/또는 FA 데이터를 분석하도록 구성될 수 있다. 예컨대, 유저 인터페이스(182)는 1 이상의 아이콘(194)을 표시하도록 구성될 수 있다. 각각의 아이콘은 프로세서에 의해 수행될 수 있는 다른 기능에 대응할 수 있다. 이러한 방식에서, 5개의 아이콘이 도 25에 도시되지만, 유저 인터페이스는 가능한 기능의 수에 대응하는 임의의 수의 아이콘을 표시하도록 구성될 수 있다. 유저는 1 이상의 아이콘을 선택(예컨대, 클릭)함으로써, 프로세서가 1 이상의 기능을 수행하도록 지시할 수 있다. 또한, 유저 인터페이스는 당업계에 알려진 임의의 다른 방식(예컨대, 드롭다운 메뉴)으로 유저에게 이용가능하게 되는 각종 기능을 표시할 수 있다. 이러한 방식에서, 유저 인터페이스는 설계/레이아웃 시각화 및 분석 조작을, 인라인 프로세스 데이터 시각화 및 분석 조작, 및 기능/구조적 전기 테스트 데이터 시각화 및 분석 조작과 결합시키는 단일 통합 유저 인터페이스로서 구성될 수 있다.
- [0671] 시스템은 증가한 해상도로 데이터를 처리하도록 구성될 수 있으며, 이는 통상적으로 "드릴 다운 능력(drill down capabilities)"라 칭한다. 예컨대, 시스템은 적층을 위한 2 이상의 다이를 선택하고, 다이 적층 결과 내에 나타난 결함을 선택하고, 결함에 대한 일부 기능을 수행하기 위해, 웨이퍼 상에서 검출된 결함을 나타내는 웨이퍼 맵과 같은 입력을 사용하도록 구성될 수 있다. 시스템은 1 이상의 도메인으로부터의 데이터를 함께 사용하도록 구성될 수 있으며, 이는 통상적으로 "드릴 어크로스 능력(drill across capabilities)"이라 칭한다.
- [0672] 일 실시예에서, 유저 인터페이스는 설계 레이아웃, 인라인 검사 데이터, 전기 테스트 데이터, 및 여기에 기술한 임의의 다른 정보의 적어도 2개의 오버레이(196)를 표시하도록 구성된다. 그러한 일 실시예에서, 전기 테스트 데이터는 로직 비트맵 데이터를 포함한다. 그러한 실시예에서, 프로세서는 여기에 기술한 임의의 실시예에 따라 상이한 데이터를 오버레이 하도록 구성될 수 있다. 이러한 방식에서, 시스템은 3개의 도메인(예컨대, 설계, 검사, 및 전기 테스트)의 2 이상으로부터의 데이터의 오버레이를 생성 및 표시하도록 구성될 수 있다. 데이터의 그러한 오버레이는 전기 테스트 결과에 영향을 미치는 결함(예컨대, 전기적 오류를 야기함으로써)을 식별하기 위해 매핑 및 전기 테스트 결과(예컨대, 전기적 오류)를 사용하여 결함의 물리적 위치를 논리적 위치에 매핑하는데 사용될 수 있다.
- [0673] 일 실시예에서, 프로세서는 유저 인터페이스를 통하여 유저로부터의 결정을 수행하도록 하는 지령을 수신시 설계 데이터 스페이스 내의 결함 밀도를 결정하도록 또한 구성된다. 이러한 방식에서, 시스템은 여기에 추가로 기술하는 바와 같이 오류 밀도 계산을 수행하도록 구성될 수 있다. 유저 인터페이스는 오류 밀도 계산의 결과를 표시하도록 구성될 수 있다.
- [0674] 추가적인 실시예에서, 프로세서는 유저 인터페이스를 통하여 유저로부터 결함 샘플링을 수행하라는 지령을 수신 이 리뷰를 위한 결함 샘플링을 수행하도록 구성된다. 추가의 실시예에서, 프로세서는 유저 인터페이스를 통하여 유저로부터 그룹화를 수행하라는 지령 수신 이 설계 데이터 스페이스 내의 결함의 위치에 가까운 설계 레이아웃의 유사도에 기초하여 결함을 그룹화하도록 구성된다. 이러한 방식에서, 시스템은 샘플링 및 데이터 저장(예

컨대, 패턴 의존적 비닝에 의한 데이터 저장) 기술을 수행하도록 구성될 수 있다. 이러한 기술은 여기에 추가로 기술하는 바와 같이 수행될 수 있다.

[0675] 일부 실시예에서, 프로세서는 시간에 걸친 결함 그룹의 KP 값을 감시하고, 시간에 걸친 그 KP 값에 기초하여 결함 그룹의 중요도를 결정하도록 구성된다. 이러한 방식에서, 시스템은 결함 트래킹(tracking)을 위해 구성될 수 있다(예컨대, DTT 방법을 사용하여 및/또는 이미지를 사용하여). 유저 인터페이스는 시간에 걸친 KP 값 및 결함 그룹의 중요도의 감시 결과를 표시하도록 구성될 수 있다. 도 25에 도시된 프로세서 및 시스템은 여기에 추가로 기술하는 바와 같이 구성될 수 있다. 예컨대, 프로세서 및 시스템은 여기에 기술한 임의의 다른 방법의 임의의 다른 단계를 수행하도록 구성될 수 있다. 또한, 도 25에 도시한 시스템은 검사 시스템과 같이 여기에 기술한 다른 구성요소를 포함할 수 있고, 그것은 위에서 추가로 기술한 바와 같이 구성될 수 있다. 도 25에 도시한 시스템은 여기에 기술한 방법의 모든 이점을 갖는다.

[0676] 추가의 실시예는 웨이퍼 상에서 검출되는 전기적 결함의 근본 원인을 결정하는 컴퓨터-구현 방법에 관한 것이다. 그러한 일 실시예에서, 전기적 결함에 대한 웨이퍼의 검사 결과는 로직 장치에 대한 비트맵을 포함할 수 있다. 상기 방법은 설계 데이터 스페이스 내의 전기적 결함의 위치를 결정하는 단계를 포함한다. 설계 데이터 스페이스 내의 전기적 결함의 위치는 여기에 기술한 바와 같이 결정할 수 있다.

[0677] 일부 실시예에서, 상기 방법은 체계적 결함과 같은 결함의 공간적 시그네처를 프로세스 조건에 상호 연관짓는 단계를 포함한다. 예컨대, 스캔-기반 및 구조적 테스트 결과를 웨이퍼 스페이스 좌표로 변환시킨 후에, 특정 공간적 시그네처는 1 이상의 프로세스 조건에 상호 연관지어질 수 있다. 결함 데이터의 공간적 시그네처 분석을 수행하기 위한 방법 및 시스템은 미국 특허 제5,991,699호(Kulkarni et al.), 제6,445,199호(Satya et al.), 및 제6,718,526호(Eldredge et al.)에 개시되며, 그 특허문헌은 여기에 완전히 언급된 것과 같이 참고자료로 포함된다. 여기에 기술된 방법 및 시스템은 그 특허문헌에 기재된 임의의 방법의 임의의 단계를 수행하도록 구성될 수 있다.

[0678] 상기 방법은 전기적 결함 부분의 위치가 1 이상의 프로세스 조건에 대응하는 공간적 시그네처를 규정하는지를 판정하는 단계를 포함한다. 이러한 단계는 전기적 결함 부분의 공간적 시그네처를 프로세스 조건에 대응하는 공간적 시그네처 세트에 비교하거나, 전기적 결함 부분의 위치에 룰을 적용하거나, 임의의 적합한 방식으로 수행될 수 있다. 또한, 전기적 결함 부분의 위치가 1 이상의 프로세스 조건에 대응하는 공간적 시그네처를 규정하는 경우, 상기 방법은 전기적 결함 부분의 근본 원인을 1 이상의 프로세스 조건으로서 식별하는 단계를 포함한다. 이러한 방식에서, 전술한 방법은 로직 비트맵 데이터에 대한 공간적 시그네처 분석을 수행하는 단계를 포함할 수 있다. 상기 방법은 식별 단계의 결과를 저장 매체에 저장하는 단계를 추가로 포함한다. 식별 단계의 결과는 여기에 기술한 임의의 결과를 포함할 수 있다. 또한, 상기 방법은 여기에 추가로 기술한 바와 같이 저장 단계를 수행할 수 있다. 저장 매체는 여기에 기술한 임의의 저장 매체를 포함할 수 있다.

[0679] 전술한 전기적 결함의 근본 원인을 결정하기 위한 방법의 각각의 실시예는 여기에 기술한 임의의 방법 실시예의 임의의 다른 단계를 포함할 수 있다. 또한, 전술한 전기적 결함의 근본 원인을 결정하기 위한 방법의 실시예의 각각은 여기에 기술한 임의의 시스템 실시예에 의해 수행될 수 있다.

[0680] 다른 결함의 근본 원인이 여기에 기술한 방법에서 또한 결정될 수 있다. 예컨대, 프로세스 창에 걸쳐 매핑된 패턴 그룹에 의한 웨이퍼 기반 또는 레티클 기반 공간적 시그네처(및 그것의 조합)는 근본원인 결정에서의 보조를 위한 상관관계 결정에 특히 유용하다. 일 예에서, 프로세스 창의 일 에지에서, 결함 x 및 y 는 마진적이고, 웨이퍼의 외부로부터 먼저 오류가 될 경향이 있다. 프로세스 창의 다른 에지에서, 결함 z 는 웨이퍼의 에지에서 먼저 오류가 되는 경향이 있다. 그리하여, 가능한 근본 원인은 어느 체계적 결함이 웨이퍼 상에서 가장 자주(그리고 아마도 외측 환형 링에 대해서) 오류가 되는지를 관찰함으로써 결정될 수 있다.

[0681] 다른 실시예는 리뷰, 범주/조사를 위한 탐색, 및 온-툴, 오프-툴 및 온-SEM을 포함하는 입증/근본 원인 분석을 위해, 웨이퍼 상에서 검출된 결함을 선택하는 컴퓨터-구현 방법에 관한 것이다. 그 방법은 웨이퍼의 1 이상의 영역을 식별하는 단계를 포함한다. 1 이상의 영역은 웨이퍼 상의 1 이상의 결함 유형의 위치와 관련된다. 1 이상의 그러한 영역의 일 실시예는 도 26에 도시된다. 도 26에 도시한 바와 같이, 웨이퍼(200) 상의 영역(198)은 웨이퍼 상의 1 이상의 결함 유형의 위치와 관련되는 것으로서 식별될 수 있다. 예컨대, 이러한 영역은 리소그래피 프로세스 또는 웨이퍼 중앙으로부터 웨이퍼 에지로의 에치 변화 동안, 웨이퍼의 외측 에지 근처의 초점 에러에 의해 야기되는 결함 유형과 관련될 수 있다.

[0682] 상기 방법은 리뷰를 위해 1 이상의 영역에서만 검출된 결함을 선택하는 단계를 포함한다. 예컨대, 도 26에 도

시한 바와 같이, 웨이퍼 맵(202)은 영역(198)의 레이아웃과 중첩될 수 있다. 이러한 방식에서, 웨이퍼 맵(202)에서 도시된 결함은 그것들이 위치한 영역 및 그 영역과 관련된 1 이상의 결함 유형에 기초하여 리뷰를 위해 선택될 수 있다. 그러한 일 예에서, 도 26에 도시한 영역이 웨이퍼의 외측 에지 근처에서의 탈-초점 에러와 관련되면, 상기 방법은 영역(198) 내의 결함을(단지, 우선적으로, 또는 중점적으로) 선택할 수 있다. 대안적으로, 상기 결함은 영역(198) 이외의 웨이퍼 상의 영역으로부터 선택될 수 있다.

[0683] 도 26에 단지 하나의 영역이 도시될지라도, 웨이퍼는 임의의 복수의 적합한 영역으로 분리될 수 있다는 것을 이해해야 한다. 또한, 영역은 도 26에 도시한 바와 같은 환형 영역, 각도 영역 및 반경 방향 영역, 및 직사각형 영역으로서 웨이퍼 상에서 규정될 수 있다. 하지만, 영역은 불규칙한(예컨대, 다각형) 형상을 가질 수 있다. 또한, 영역의 모든, 일부 또는 아무것도 형상 및/또는 사이즈와 같은 동일한 특성을 가질 수 있다.

[0684] 전술한 방법은 결함 샘플의 리뷰 결과가 다이로부터 웨이퍼로 보간될 수 있도록 결함 샘플을 제공하는데 사용될 수 있다. 대조적으로, 통상적인 리뷰 샘플 플랜은 레시피 최적화를 위한 100 내지 200개의 결함과, 전체 웨이퍼에 걸친 퍼짐을 감시하기 위한 10 내지 100개의 결함을 포함한다. 하지만, 수만의 핫 스팟이 하나의 다이에만 존재할 수 있다. 핫 스팟은 탐색을 위해 리뷰될 수 있다. 체계적 결함은 감시 및 입증을 위해 리뷰될 수 있다. 따라서, 이러한 모집단으로부터 100 또는 200개의 결함을 선택한 후에도, 바람직하게는 그 모두를 동일한 다이 상에서 리뷰하지는 않는다. 대신에, 선택된 결함은 복수의 다이에 걸쳐 퍼져 있는 것이 바람직하다. 전술한 방법은 특정 결함 유형과 웨이퍼 상의 특정 영역 사이의 상관관계를 식별하기 위해 영역 분석 결과를 사용한다. 그와 같이, 여기에 기술한 방법은 웨이퍼 위치-특정 결함을 식별하기 위해 사용될 수 있다. 이러한 방식에서, 상기 방법은 다이-웨이퍼 보간에 사용하기에 적합한 결과를 제공하기 위해 샘플링 플랜을 이들 영역으로 편향시키는 단계를 포함할 수 있다. 방법은 선택 단계에서의 결과를 저장 매체에 저장하는 단계를 추가로 포함한다. 선택 단계의 결과는 여기에 기술한 임의의 결과를 포함할 수 있다. 또한, 상기 방법은 저장 단계를 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 저장 매체는 여기에 기술한 임의의 저장 매체를 포함할 수 있다.

[0685] 전술한 리뷰를 위한 결함을 선택하기 위한 방법의 각각의 실시예는 여기에 기술한 임의의 방법 실시예의 임의의 다른 단계를 포함할 수 있다. 또한, 전술한 리뷰를 위한 결함을 선택하기 위한 방법의 각각의 실시예는 여기에 기술한 임의의 시스템 실시예에 의해 수행할 수 있다.

[0686] 다른 실시예는 설계 데이터에 대한 1 이상의 수율 관련 프로세스를 평가하기 위한 컴퓨터-구현 방법에 관한 것이다. 그러한 일 실시예가 도 27에 도시된다. 도 27에 도시한 단계는 그러한 방법을 실시하는데 필수적인 것이 아니다. 1 이상의 단계가 도 27에 도시한 방법으로부터 배제되거나 그것에 부가될 수 있고, 그 방법은 여전히 본 실시예의 범주 내에서 실시할 수 있다.

[0687] 도 27에 도시한 바와 같이, 상기 방법은 단계 204에 도시한 바와 같이, 룰 체크(rule checking)를 사용하여 설계 데이터 내의 잠재적 오류를 식별하는 단계를 포함한다. 대안적으로, 설계 데이터 내의 잠재적 오류는 리퍼터 분석 또는 결함 밀도 맵으로부터 관찰된 잠재적 핫 스팟을 사용하여 식별될 수 있다. 이러한 단계에서 식별된 잠재적 오류는 1 이상의 다른 유형의 DOI를 포함할 수 있다. 일부 실시예에서, 이러한 단계에서 식별된 잠재적 오류는 포스트-패턴 잠재적 오류(예컨대, 포스트-에지 잠재적 오류)를 포함할 수 있다. 또한, 잠재적 오류가 일단 식별되면, 설계를 통하여 설계 도처에 전파될 수 있으며, 이는 설계 내의 공통 패턴에 대한 탐색에 의해 검출될 수 있다(예컨대, 임의의 패턴 탐색). 일부 실시예에서, 상기 방법은 모든 유사한 POI의 위치를 식별하기 위한 임의의 패턴 탐색 단계를 포함한다. 공통 패턴은 모든 잠재적 오류를 찾기 위해 회전되거나 플립(flip)된 패턴에 대한 탐색에 의해 식별될 수 있다. 또한, 설계 데이터 내의 잠재적 오류는 당업계에 알려진 임의의 다른 적합한 방법(예컨대, 모델링), 소프트웨어, 및/또는 알고리즘을 사용하여 단계 204에서 식별될 수 있다. 또한, 잠재적 오류는 설계 데이터에 대해서 제조되는 장치의 오류를 야기할 수 있거나, 실제로는 장치의 오류를 야기하지 않고 장치의 1 이상의 전기적 매개변수를 바람직하지 않은 방식으로 변경할 수 있는 설계 데이터 내의 영역 또는 패턴을 포함할 수 있다.

[0688] 단계 206에 도시한 바와 같이, 상기 방법은 잠재적 오류의 1 이상의 속성을 판정하는 단계를 또한 포함한다. 결정된 잠재적 오류의 속성은 예컨대, 유형을 포함할 수 있다. 잠재적 오류의 속성은 실험적 테스트, 시뮬레이션 결과, 설계 데이터 또는 임의의 다른 방법에 의해 취득될 수 있다. 상기 방법이 전술한 바와 같은 잠재적 오류를 식별하는 단계를 포함하기 때문에, 상기 방법은 가능한 한 많은 잠재적 오류를 제거하기 위해 제조 이전에 설계 데이터를 변경하는 단계를 포함할 수 있다. 설계 데이터의 그러한 변경은 여기에 기술하는 바와 같이 수행할 수 있다. 하지만, 모든 잠재적 오류가 제조 이전에 제거될 수 있는 아니라는 것을 고려할 수 있다. 또

한, 여기에 기술한 방법에서 식별된 잠재적 오류는 제조 동안 실제로는 오류를 생성하거나 그렇지 않을 수 있거나, 수율에 영향을 주거나 그렇지 않을 수 있다. 따라서, 잠재적 오류의 일부는 제조(따라서 검사) 이전에 제거될 수 있지만, 여기에 기술한 방법은, 잠재적 오류가 실제로 오류가 되는 경우 그것이 가능한 한 빨리 검출될 수 있도록, 설계 검사가 수행되어야 하는 개소에 대한 중요한 정보를 제공할 수 있다. 또한, 여기에 기술한 방법은, 설계 데이터 부분이 설계 내의 잠재적 오류를 포함하고 있는 웨이퍼 상의 영역의 검사가 가장 적합한 검사 매개변수로 수행될 수 있고, 이에 의해 잠재적 오류가 실제 오류를 야기하는 경우, 검사에 의해 검사될 확률을 증가시키기 위해, 설계의 얼마나 상이한 영역이 검사되어야 하는지에 대한 중요한 정보를 제공할 수 있다.

[0689] 단계 208에 도시한 바와 같이, 상기 방법은 잠재적 오류의 1 이상의 속성에 기초하여 잠재적 오류가 검출가능하지를 결정하는 단계를 포함한다. 잠재적 오류가 검출가능한지의 여부는 각종 검사 시스템의 알려진 능력과 조합하여 잠재적 오류의 속성에 기초하여 결정될 수 있다. 단계 210에 도시한 바와 같이, 상기 방법은 1 이상의 속성에 기초하여 복수의 상이한 검사 시스템(예컨대, BF, DF, 전압 콘트라스트, EC, 전자 빔 등)의 어느 것이 잠재적 오류를 검출하는데 가장 적합한지를 결정하는 단계를 포함한다.

[0690] 일부 실시예에서, 상기 방법은 단계 212에 도시한 바와 같이, 가장 적합하다고 결정된 검사 시스템의 1 이상의 매개변수를 선택하는 단계를 포함한다. 그러한 일 실시예에서, 그 매개변수는 잠재적 결함의 1 이상의 매개변수에 기초하여 선택된다. 매개변수는 여기에 추가로 기술하는 바와 같이 선택될 수 있다. 또한, 이러한 단계에서 선택된 매개변수는 변경 및/또는 제어가능한 검사 시스템의 임의의 매개변수를 포함할 수 있다. 그러한 매개변수의 일 예는 광학 모드 또는 검사 모드이다. 바람직하게는, 매개변수는 잠재적 오류에 대한 웨이퍼의 검사를 최적화하기 위해(예컨대, 잠재적 오류의 장소에서의 결함의 결함 포착률을 증가시키고, 잠재적 오류에서의 결함에 대한 감지도를 증가시키는 등) 선택된다.

[0691] 일부 실시예에서, 상기 방법은, 가능하게는 여기에 기술한 임의의 다른 정보(예컨대, 결함에 대한 설계 데이터의 민감도, 결함에 대한 설계 데이터에 대응하는 전기적 매개변수의 민감도 등)와 조합하여, 잠재적 오류의 위치에 가까운 설계 데이터의 1 이상의 속성에 기초하여 1 이상의 잠재적 오류를 우선순위화하는 단계를 포함한다. 그러한 우선순위화는 여기에 추가로 기술하는 바와 같이 수행할 수 있다. 또한, 가장 적합한 검사 시스템 및 검사 시스템의 매개변수는 여기에 추가로 기술하는 바와 같이 그러한 우선순위화의 결과에 기초하여 선택될 수 있다. 예컨대, 그러한 실시예에서, 가장 중요한 결함이 검사 프로세스에서 검출되도록, 가장 적합한 검사 시스템 및 검사 시스템의 매개변수는 가장 높은 우선순위를 갖는 잠재적 오류에 대한 검사를 최적화하도록 선택될 수 있다. 그러한 가장 적합한 검사 시스템의 결정 및 매개변수의 선택은 가장 낮은 우선순위를 갖는 잠재적 오류에 대한 검사의 최적화를 가져오거나 그렇지 않을 수 있다.

[0692] 다른 실시예에서, 상기 방법은, 단계 214에 도시한 바와 같이, 설계 데이터로 제조된 장치의 수율에 대한 잠재적 오류의 영향을 결정하는 단계를 포함한다. 이러한 방식에서, 상기 방법은 레시피 최적화 및 감시를 위해 사용될 수 있다. 추가의 실시예에서, 상기 방법은 검출 불가능하지만 수율에 영향을 미치는 것으로 결정된 잠재적 오류의 영향을 결정하는 단계를 포함할 수 있다. 이러한 방식에서, 상기 방법은 검사에 의해 검출 불가능한 수율 손실의 퍼센티지를 결정하는 단계를 포함할 수 있다. 여기에 개시된 방법에 사용될 수 있는 수율 예측 방법의 일 예는 여기에 완전히 언급한 것과 같이 참고자료로 포함 미국 특허 제6,813,572(Satya et al.)에 개시된다.

[0693] 따라서, 전술한 방법은 완전히 자동적인 예측, 트래킹, 및 핫 스폿의 유효화에 사용될 수 있다(일부 초기의 수동 셋업이 수행된 후). 전술한 방법은 복수의 상이한 검사 시스템의 어느 것이 잠재적 오류를 검출하는데 적합한지의 결정 결과를 저장 매체에 저장하는 단계를 추가로 포함한다. 이러한 단계의 결과는 여기에 기술한 임의의 결과일 수 있다. 또한, 이러한 방법은 여기에 추가로 기술하는 바와 같은 저장 단계를 수행할 수 있다. 저장 매체는 여기에 기술한 임의의 저장 매체를 포함할 수 있다.

[0694] 전술한 1 이상의 수율 관련 프로세스를 평가하기 위한 실시예의 각각은 여기에 기술한 임의의 방법의 임의의 다른 단계를 포함할 수 있다. 또한, 전술한 1 이상의 수율 관련 프로세스를 평가하기 위한 각 실시예는 여기에 기술한 임의의 시스템에 의해 수행할 수 있다.

[0695] 여기에 기술한 방법 및 시스템 실시예는 토탈 설계(total design)를 제공하기 위해 사용될 수 있다. 예컨대, 전술한 바와 같이, 상기 방법은 결함(인라인 및/또는 전기적 검사에 의해 검출된)을 체계적 결함 및 랜덤 결함으로 분리하는 단계를 포함할 수 있다. 여기에 기술한 상기 방법 및 시스템은 핫 스폿을 관리하는데 사용할 수 있다.

- [0696] 결함관련 매개변수적 수율 손실은 반도체 제조 프로세스의 일 매개변수에 기초하여 장치의 전기적 매개변수를 결정하는 시뮬레이션과 같은 시뮬레이션에 대한 입력으로서 사용될 수 있다. 이러한 방식에서, 매개변수적 수율 손실에 관련된 결함은 시뮬레이션을 조정 또는 최적화하기 위해 웨이퍼에 대해 수행되는 프로세스에 관한 정보와 조합하여 사용될 수 있다. 또한, 시뮬레이션 결과는 매개변수적 수율 손실에 관련된 결함을 줄이기 위해 변경될 수 있는 웨이퍼에 대해 수행된 프로세스의 매개변수를 식별하는데 사용될 수 있다. 또한, 여기에 기술한 시뮬레이션 및 방법의 결과는 매개변수적 수율 손실을 줄이기 위해 프로세스의 어느 매개변수가 중요한지를 식별하기 위해 사용될 수 있다.
- [0697] 체계적 패터닝 손실에 관련된 결함은 장치의 설계와 프로세스 사이의 상호작용에 관련된 패턴 결함을 식별하기 위해 사용될 수 있다. 이러한 방식에서, 결함에 대한 정보는, 결함을 줄이기 위해, 프로세스를 변경하거나, 설계를 변경하거나, 프로세스 및 설계를 변경하기 위하여 사용될 수 있다.
- [0698] 전술한 단계는 학습한 레슨을 고려하여 미래의 설계를 개선하기 위해 사용되는 설계 피드백 단계 동안에 수행될 수 있다. 즉, 핫 스팟 데이터베이스로부터의 지식 전달 및 감시 단계는 설계 단계에 제공될 수 있다(예컨대, 기술 검색 및 개발, 제품 설계, EET 설계 등). 이러한 단계는 다중-소스 스페이스 내에서 수행될 수 있다(예컨대, 설계, 웨이퍼, 테스트 및 프로세스 스페이스의 임의의 것 사이의 상관관계를 사용하여). 이러한 단계는 특정 셀 설계에 강한 상관관계를 갖는 핫 스팟에 기초하여 설계를 개선하는 단계를 포함할 수 있다. 또한, 이러한 단계는 제안된 설계 룰에 강한 상관관계를 갖는 핫 스팟을 사용하여 설계를 개선하는 단계를 포함할 수 있다.
- [0699] 랜덤 결함에 대한 정보는 결함 한계 수율(defect limited yield)(즉, 모든 체계적 및 리피터 결함이 제거되는 경우 달성될 수 있는 최대 가능 수율)을 결정하기 위해 사용될 수 있다. 그러한 정보는 상위 수율 손상자인 랜덤 결함을 식별하기 위해 장치에 대한 랜덤 결함의 영향을 결정하는 시뮬레이션과 조합하여, 온라인 및 오프라인 감시에 사용될 수 있다.
- [0700] 여기에 기술한 방법은 그 방법의 결과를 사용하여 반도체 제조 프로세스를 감시하는 단계를 포함할 수 있다. 반도체 제조 프로세스를 감시하는데 사용된 결과는 여기에 기술한 임의의 결과(예컨대, 인라인 검사 데이터, 체계적 결함 정보, 랜덤 결함 정보, 오류 밀도 맵, 비닝 결과 등) 또는 여기에 기술한 결과의 임의의 조합을 포함할 수 있다. 여기에 기술한 방법은 여기에 기술한 임의의 방법의 결과에 기초하여 1 이상의 반도체 제조 프로세스의 1 이상의 매개변수를 변경하는 단계를 또한 포함할 수 있다. 반도체 제조 프로세스의 매개변수는 피드백 기술, 피드포워드 기술, 인 시투 기술, 또는 그것의 일부 조합을 사용하여 제어할 수 있다. 이러한 방식에서, 여기에 기술한 방법 및 그 방법에 의해 생성한 결과는 SPC 애플리케이션을 위해 사용할 수 있다.
- [0701] 여기에 추가로 기술하는 바와 같이, 여기에 기술한 방법 및 시스템은 개선된 비닝, 리뷰 샘플링, 검사 셋업, 및 여기에 기술한 임의의 다른 분석에 대해 설계 데이터에 기초하여 온-툴 수율 예측을 위해 사용될 수 있다. 여기에 기술한 방법 및 시스템은 현재 사용되는 방법 및 시스템에 비하여 수많은 장점을 갖는다. 예컨대, KP 분석을 위해 현재 사용되는 방법 및 시스템은 사이즈 분포 및/또는 범주에 의한 결함 밀도를 고려함으로써 전체 랜덤 수율 손실 예측을 위해 이력 수율 데이터를 사용한다. 그러한 방법 및 시스템의 하나의 단점은, 다른 결함 그룹화(예컨대, 사이즈 빈, 범주 빈, 계층)가 1 이상의 결함이 다이를 파손하는 확률을 계산시 고려되지 않는다는 것이다. 또한, 이들 방법 및 시스템은 셋업을 위해 통계적으로 현저한 이력 데이터를 필요로 한다. 다른 예에서, KP 분석을 위해 현재 사용되는 방법 및 시스템은, 검출된 결함의 KP를 잘 예측하기 위해 일 영역 내의 사이즈 및/또는 범주를 고려함으로써, 이력 수율 데이터 및 결함당 수율 손실 예측을 사용한다. 그러한 방법 및 시스템의 하나의 단점은 통계적으로 현저한 이력 데이터가 셋업을 위해 필요하다는 것이다. 추가의 예에서, 주요 영역 분석(CAA; critical area analysis)을 위해 현재 사용되는 방법 및 시스템은, 결함에 의해 수율 손실 예측을 결정하고, 각종 결함 사이즈에 대한 구조(라인 폭, 간격)에 의해 전체 다이에 걸친 주요 영역의 사전-계산에 의존한다는 것이다. 그 접근법은 비교적 연산 집약적이지만, 일단 계산되면, 장소에 기초하여 주요 영역보다 큰 영역을 갖는 결함은 파손자로서 예측된다. 그러한 방법 및 시스템의 하나의 단점은 셋업을 위해 통계적으로 현저한 이력 데이터가 필요하다는 것이다. 또한, 그러한 방법 및 시스템은 연산 집약적인 사전-처리를 포함하고, 그러한 방법 및 시스템의 정확도는 결함 좌표 정확도에 의해 제한된다는 것이다.
- [0702] 대조적으로, 여기에 기술한 방법 및 시스템은 매우 높은 좌표 정밀도를 활용하며, 이는 여기에 기술한 CAA 및 방법에 대한 개선된 수율 예측 정확도의 결과를 낳는다. 여기에 기술한 방법 및 시스템은 액티브 CAA에 대해 사용될 수 있다. 예컨대, 여러 사이즈 및 장소에 걸쳐 록업 테이블을 생성하기 위해 데이터를 사전-처리하는 대신에, 본 접근법은 개선된 장소 및 사이즈에 기초하여 수율을 계산한다. 이는 설계 데이터가 검사 시스템에

이용가능하게 되는 것을 필요로 하고, 더욱 연산적으로 효율적인 잠재성을 갖는다. 또한, 여기에 기술한 방법 및 시스템은 체계적 결함에 대한 분석을 또는 패턴 그룹화에 의해 세이브하는 것을 포함하며, 이는 연산 효율성을 추가로 개선할 수 있다. 또한, 여기에 기술한 방법 및 시스템은 온-톨 결과의 수율을 예측하는데 사용할 수 있으며, 이는 웨이퍼가 척(chuck) 상에 있는 동안 그 결과가 리뷰(예컨대, 레시피 최적화를 위한 수동 리뷰, 고 해상도 이미지 그랩(grab) 등)을 위한 결함을 우선순위화하는데 사용되게 한다.

[0703] 본 발명의 각종 측면의 추가의 변형에 및 대안적인 실시예는 본 설명의 관점으로부터 당업자에게 자명할 것이다. 예컨대, 검사 데이터와 조합하여 설계 데이터를 활용하는 방법 및 시스템이 제공된다. 따라서, 본 설명은 단지 예시적인 것이며, 본 발명을 수행하기 위한 일반적 방식을 당업자에게 교시하기 위한 것으로서 이해되어야 한다. 여기에 도시하고 기술한 본 발명의 형태는 현재의 바람직한 실시예로서 취해진 것을 이해해야 한다. 본 발명의 본 실시예의 이점을 취한 후에 당업자에게 자명해지는 바와 같이, 요소 및 재료는 여기에 도시하고 기술한 것으로 대체될 수 있으며, 부분 및 프로세스는 역전될 수 있으며, 본 발명의 특정 특징은 독립적으로 활용될 수 있다. 이하의 청구의 범위에 기술하는 바와 같은 본 발명의 정신 및 범주를 이탈하지 않고, 여기에 기술한 요소에 변형이 이루어질 수 있다.

도면의 간단한 설명

[0145] 본 발명의 추가의 이점은 바람직한 실시예의 이하의 상세한 설명과 첨부 도면을 참조할 때 당업자에게 자명해질 것이다.

[0146] 도 1은 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하기 위한 컴퓨터 구현 방법의 일 실시예를 도시하는 플로차트.

[0147] 도 2 및 도 3은 소정의 정렬 사이트의 다른 실시예의 상면도를 나타내는 개략도.

[0148] 도 4는 웨이퍼간 비교를 수행하기 위한 컴퓨터 구현 방법의 각종 실시예를 설명하는 계층도.

[0149] 도 5는 웨이퍼간 비교를 수행하기 위한 컴퓨터 구현 방법의 일 실시예를 설명하는 개략도.

[0150] 도 6은 환형 링으로 분리된 웨이퍼 표면 영역에 대해 취득된 검사 데이터의 일 실시예의 상면도를 나타내는 개략도.

[0151] 도 7은 반경 방향 섹터로 분리된 웨이퍼 표면 영역에 대해 취득된 검사 데이터의 일 실시예의 상면도를 나타내는 개략도.

[0152] 도 8은 웨이퍼간 비교를 수행하기 위한 컴퓨터 구현 방법의 다른 실시예를 나타내는 개략도.

[0153] 도 9는 웨이퍼 상에 인쇄된 다이(die) 배열의 일 실시예의 상면도를 나타내는 개략도.

[0154] 도 10은 프레임(frame)으로 분리된 웨이퍼 상의 인쇄 다이에 대하여 취득된 검사 데이터의 일 실시예의 상면도를 나타내는 개략도.

[0155] 도 11은 웨이퍼간 비교를 수행하기 위한 컴퓨터 구현 방법의 다른 실시예를 나타내는 개략도.

[0156] 도 12는 웨이퍼 상의 스캔 경로와, 웨이퍼 상에 인쇄된 다이 배열의 일 실시예의 상면도를 나타내는 개략도.

[0157] 도 13은 웨이퍼에 대하여 취득된 검사 데이터의 연속 스와스(swath)의 상면도를 나타내는 개략도.

[0158] 도 14는 웨이퍼에 대하여 취득된 검사 데이터의 연속 스와스와, 스와스 오버랩 영역 내의 데이터를 사용하여 스와스 N에 대한 스와스 N+1의 위치를 결정하기 위한 컴퓨터 구현 방법에 의해 선택된 정렬 사이트의 상면도를 나타내는 개략도.

[0159] 도 14a는 정렬 사이트가 제 1 검사 스와스로부터 비교적 멀리 이격된 웨이퍼에 대하여 취득된 검사 데이터의 다른 스와스의 일 실시예의 상면도를 나타내는 개략도.

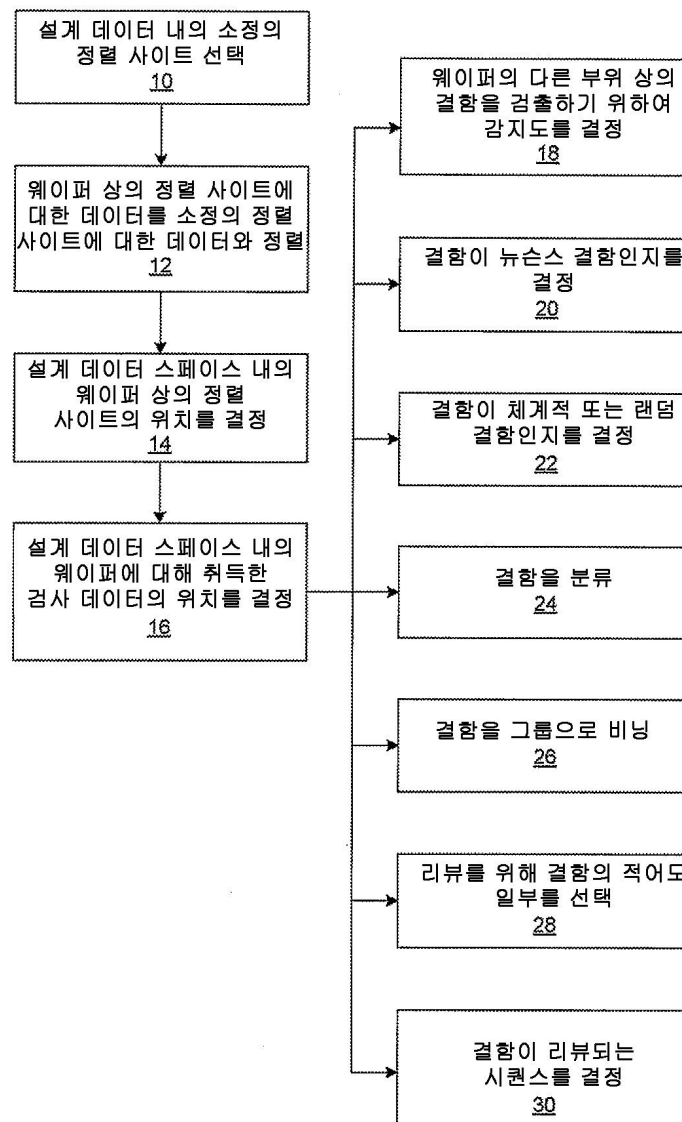
[0160] 도 14b 내지 도 14d는 웨이퍼에 대하여 취득된 검사 데이터의 다른 스와스의 각종 실시예의 상면도를 나타내는 개략도.

[0161] 도 15는 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하기 위한 컴퓨터 구현 방법의 다른 실시예를 나타내는 플로차트.

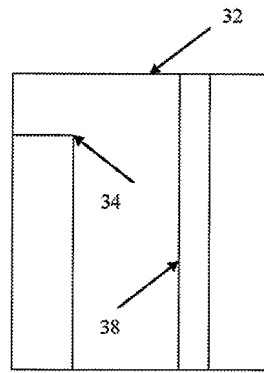
- [0162] 도 16은 설계 데이터 스페이스 내의 검사 데이터의 위치를 결정하도록 구성된 시스템의 각종 실시예의 측면도를 나타내는 개략도.
- [0163] 도 17은 웨이퍼 상의 검출된 결함을 비닝(binning) 하기 위한 컴퓨터 구현 방법의 일 실시예를 나타내는 개략도.
- [0164] 도 18은 삼각형 배열로 웨이퍼 상에 위치된, 3개의 다른 다이 내의 웨이퍼 상의 배열 사이트의 일 실시예의 상면도를 나타내는 개략도.
- [0165] 도 19는 웨이퍼 상에서 검출된 결함을 비닝하기 위한 컴퓨터 구현 방법의 다른 실시예를 나타내는 개략도.
- [0166] 도 20은 여기에 기술한 실시예에 따라 웨이퍼 상에서 검출된 결함을 비닝하기 위한 컴퓨터 구현 방법을 수행하도록 구성된 모듈의 입력 및 그것으로부터의 출력의 일 실시예를 나타내는 개략도.
- [0167] 도 21 및 도 22는 도 20의 모듈의 출력의 다른 실시예를 나타내는 개략도.
- [0168] 도 23은 도 20의 모듈의 입력 및 출력의 일 실시예를 나타내는 개략도.
- [0169] 도 24는 도 20의 모듈의 출력의 일 실시예의 상면도를 나타내는 개략도.
- [0170] 도 25는 결함 데이터 및 설계를 표시하고 분석하도록 구성된 시스템의 일 실시예의 측면도를 나타내는 개략도.
- [0171] 도 26은 웨이퍼 상의 1 이상의 결함 유형의 위치와 연관된 웨이퍼 상의 1 이상의 영역의 일 실시예의 상면도를 나타내는 개략도.
- [0172] 도 27은 설계 데이터에 대한 1 이상의 수율(yield) 관련 프로세스를 평가하기 위한 컴퓨터 구현 방법의 일 실시예를 나타내는 플로차트.
- [0173] 본 발명은 각종 변형예 및 대안적 형태의 여지가 있지만, 도면에서는 그것의 특정 실시예를 예시적으로 도시하였고, 여기에서 상세히 기술할 것이다. 도면은 크기 조정되지 않을 수 있다. 하지만, 도면 및 그것에 대한 상세한 설명은 본 발명을 개시된 특정 형태로 한정하도록 의도된 것이 아니고, 첨부한 청구의 범위에 의해 규정된 바와 같이 본 발명의 정신 및 범주 내의 모든 변형예, 등가물 및 대안을 포함하도록 의도된다.

도면

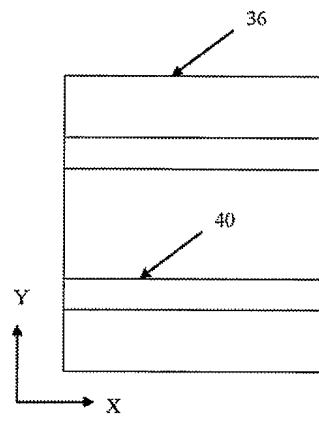
도면1



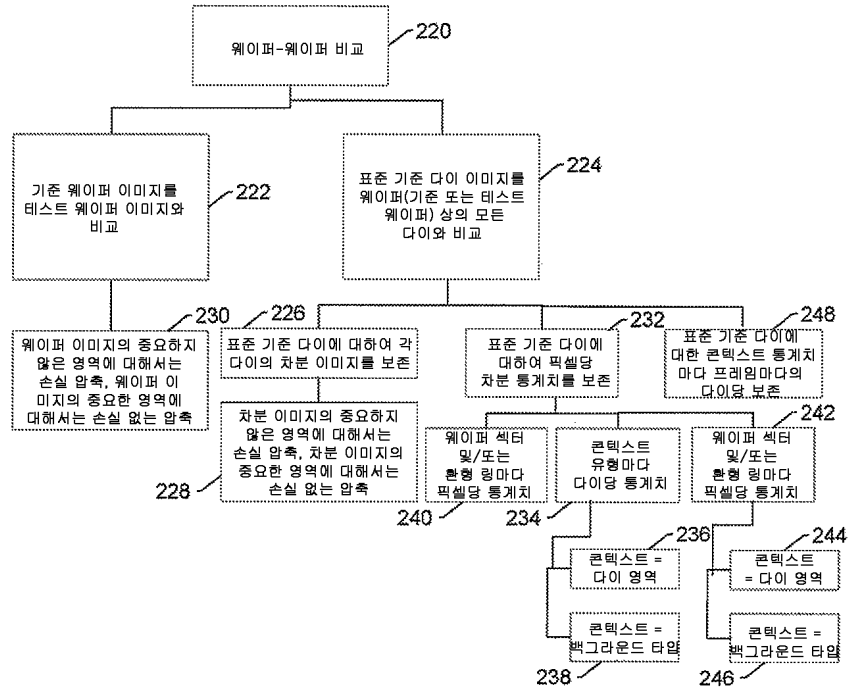
도면2



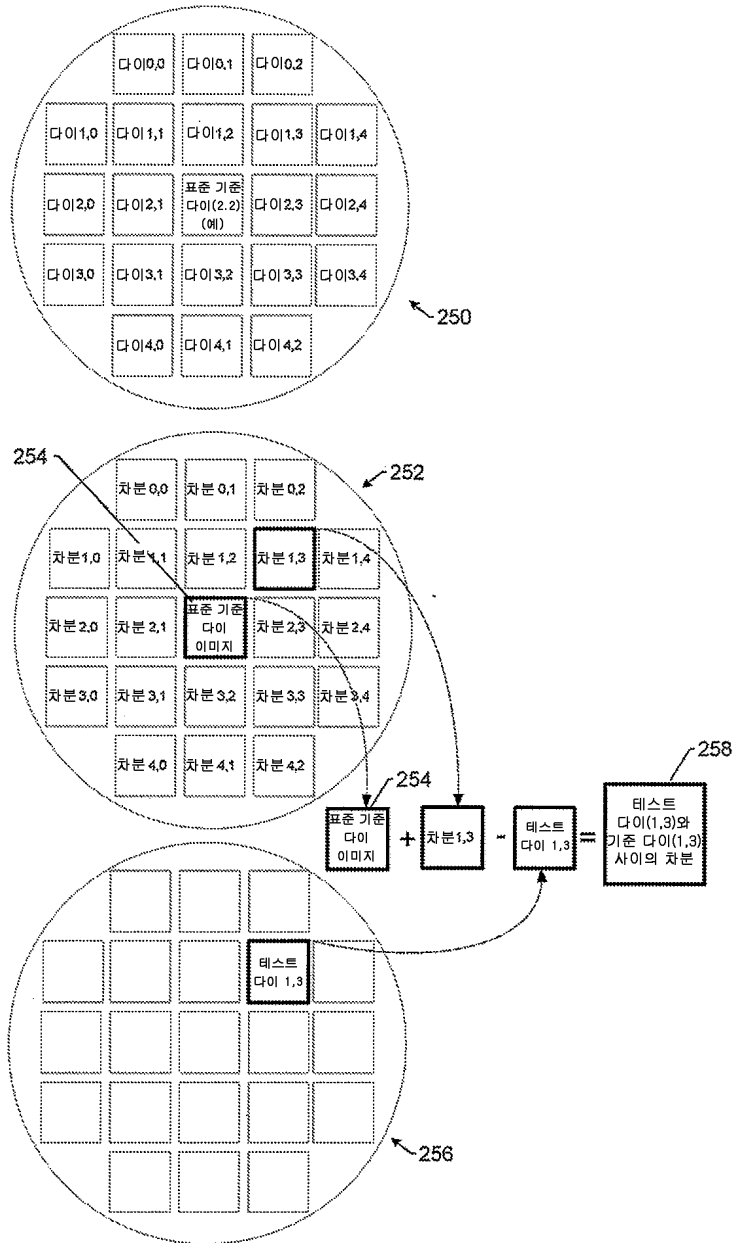
도면3



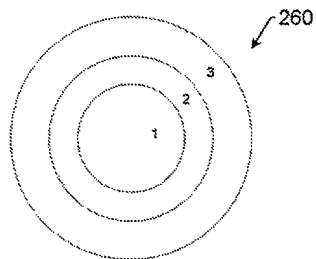
도면4



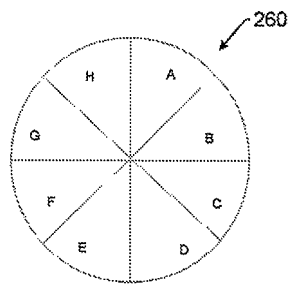
도면5



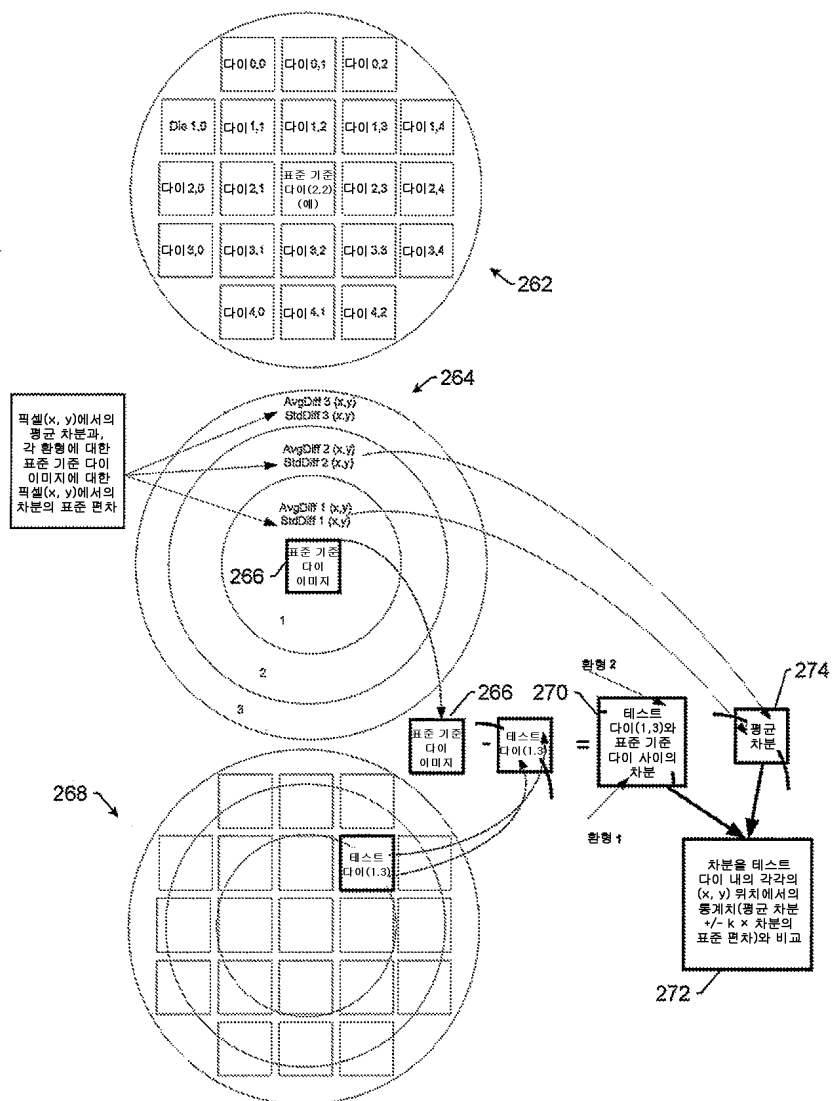
도면6



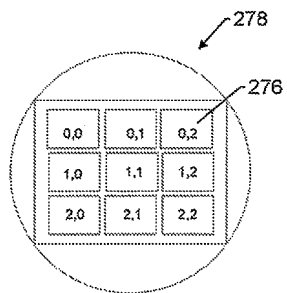
도면7



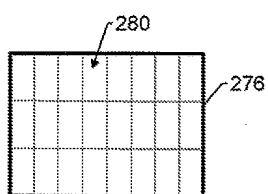
도면8



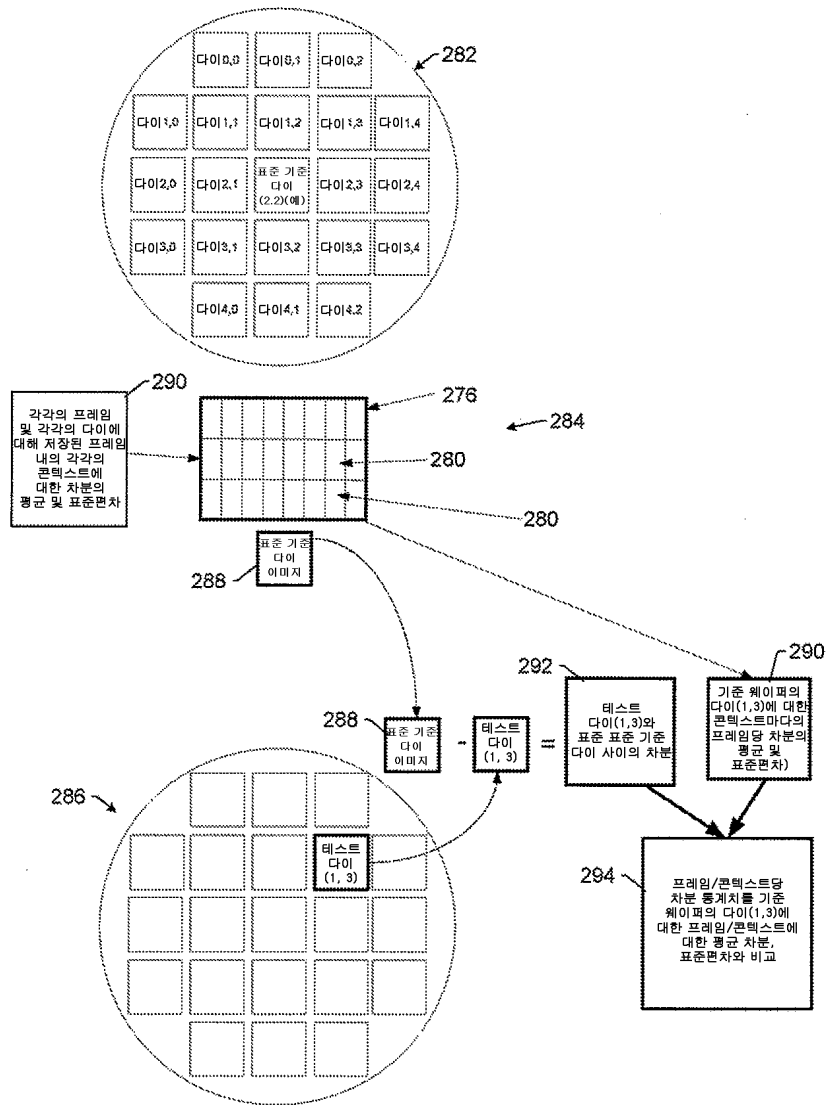
도면9



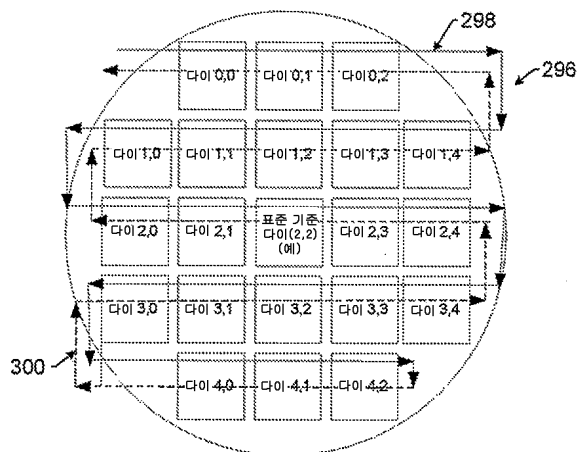
도면10



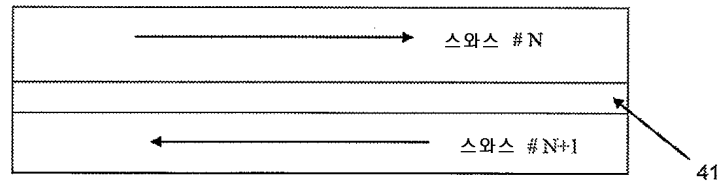
도면11



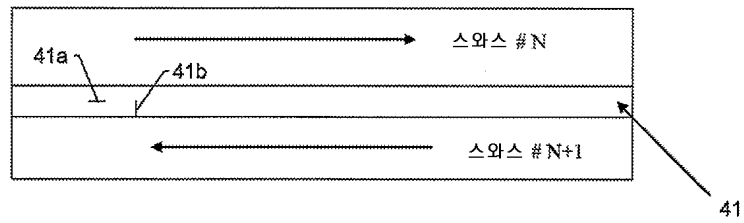
도면12



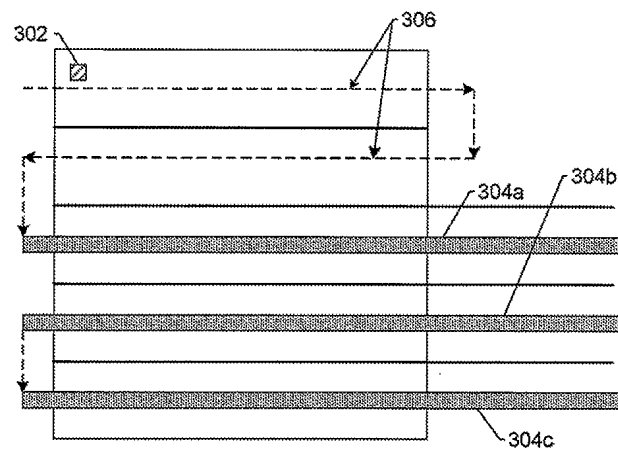
도면13



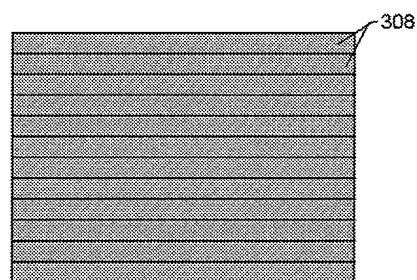
도면14



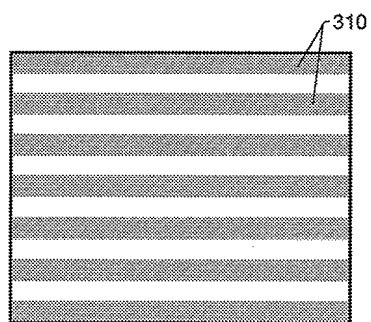
도면14a



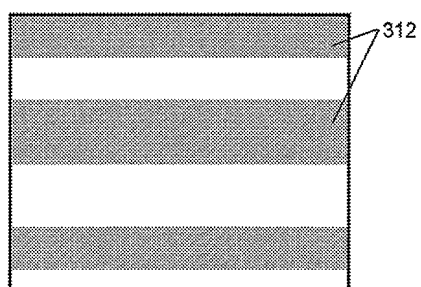
도면14b



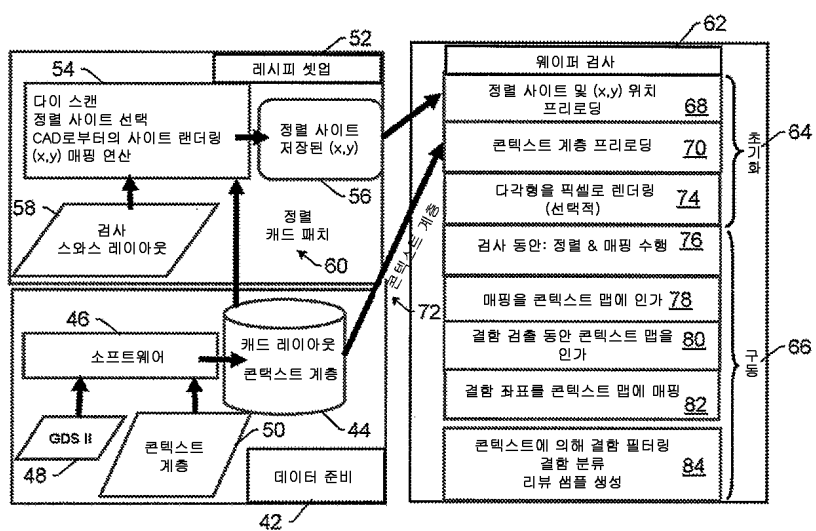
도면14c



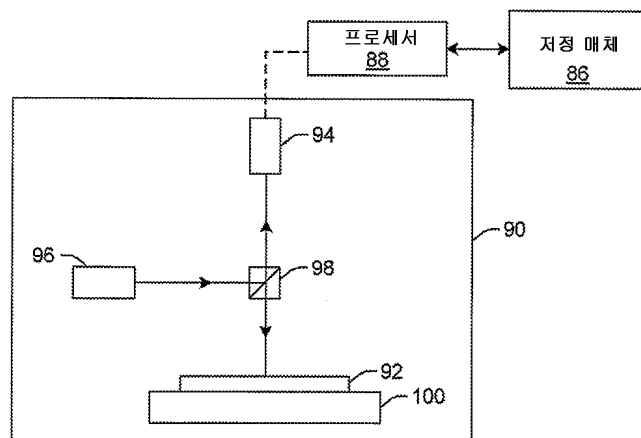
도면14d



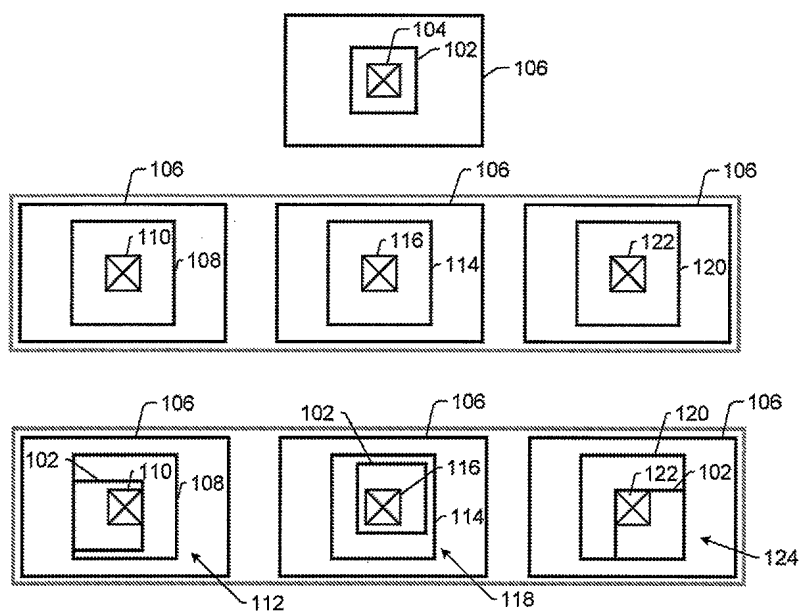
도면15



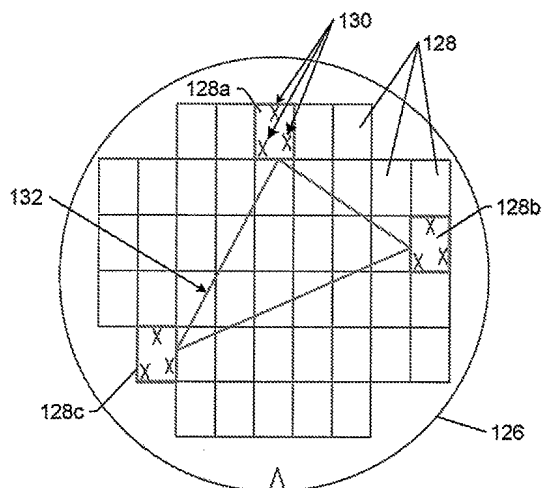
도면16



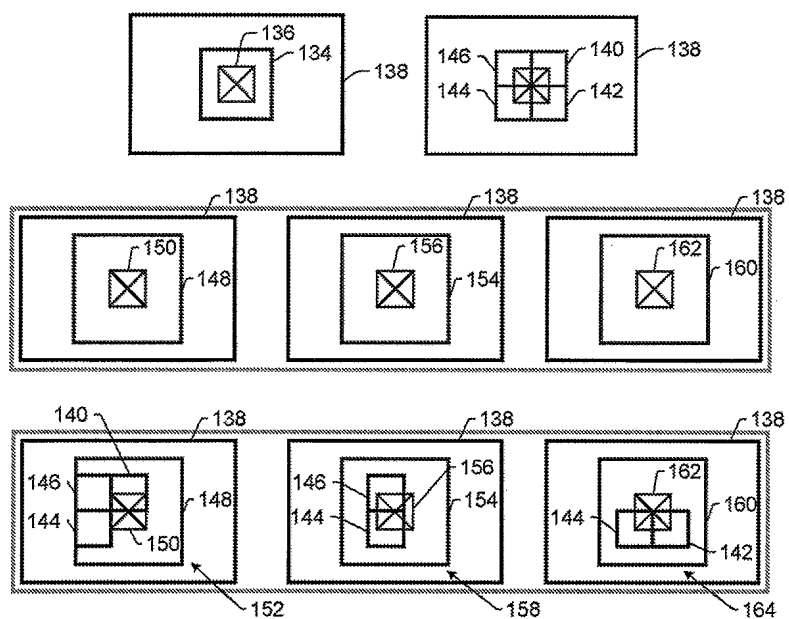
도면17



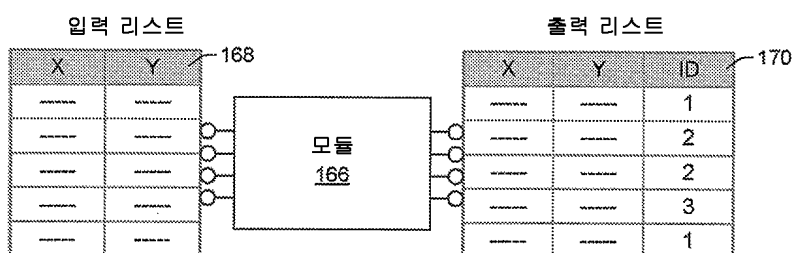
도면18



도면19



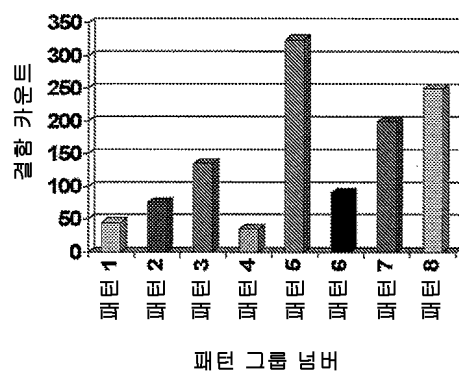
도면20



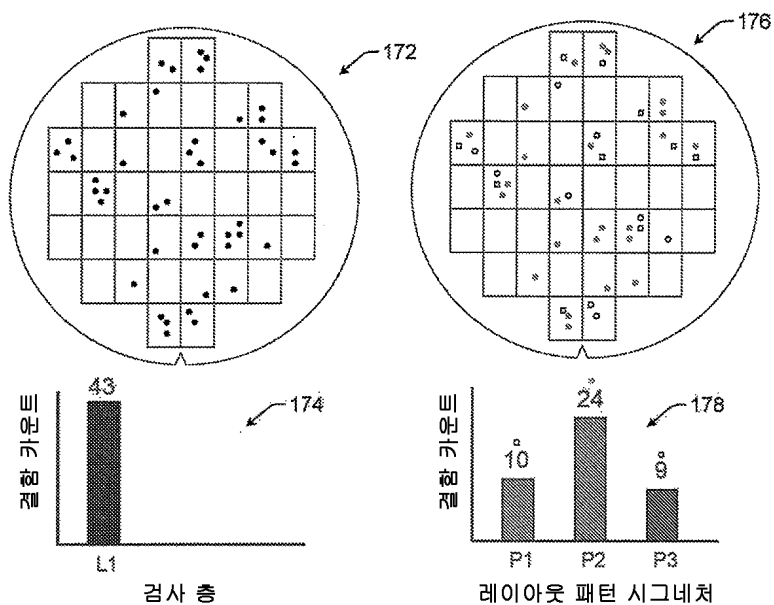
도면21

% 유사도	1	2	3	4	5
1	100	40	95	93	30
2	40	100	30	30	94
3	95	30	100	96	25
4	93	30	96	100	15
5	30	94	25	15	100

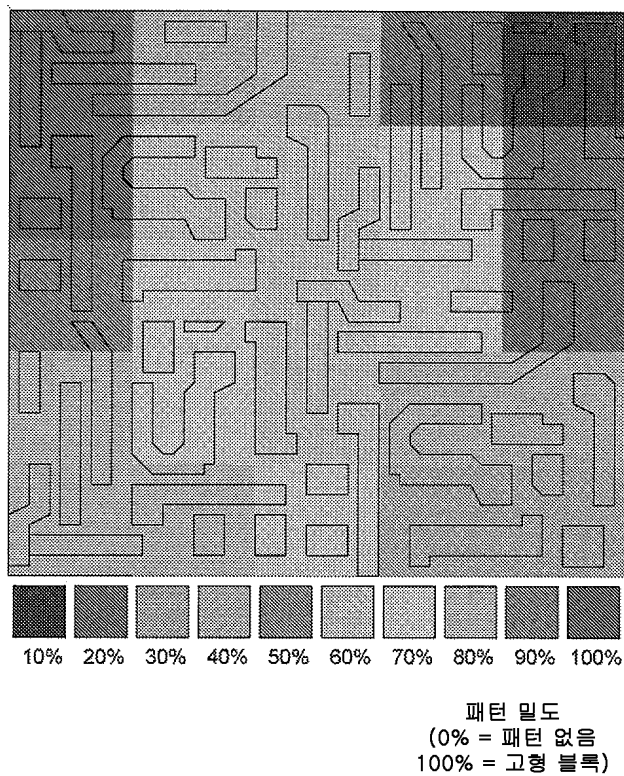
도면22



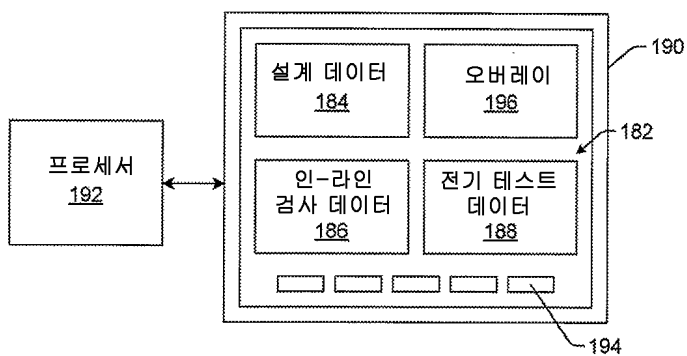
도면23



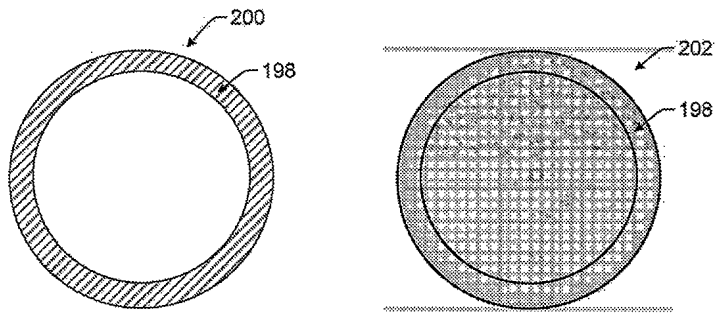
도면24



도면25



도면26



도면27

