

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G11C 16/22  
G11C 7/24  
G11C 7/02  
G11C 16/10

(11) 공개번호 10-2005-0062384  
(43) 공개일자 2005년06월23일

(21) 출원번호 10-2004-0103361  
(22) 출원일자 2004년12월09일

(30) 우선권주장 JP-P-2003-00422119 2003년12월19일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지  
일본 100-6334 도쿄도 지요다구 마루노우찌 2-쥬메 4-1

(72) 발명자 이시마루, 데쓰야  
일본 도쿄도 고크분지시 니시코이꾸보 3-8-1 히다찌고이까꾸보료 66  
야마조에다까노리  
일본 가나가와켄 하다노시오쓰아이 310-3

(74) 대리인 장수길  
이중희  
구영창

심사청구 : 없음

(54) 불휘발성 반도체 기억 장치

요약

본 발명은 불휘발성 반도체 기억 장치에 있어서, 기입 및 소거 시의 디스터브에 의해서 발생하는 비 선택 셀의 데이터 손실을 방지한다.

불휘발성 반도체 기억 장치에 있어서, 불휘발성 메모리의 재기입 단위보다도 큰 데이터 기억 블록 내에서 실행한 재기입 횟수를, 데이터 기억 블록마다 형성한 Erase/Write 카운터 EW CT(10)에 기억하고, Erase/Write 카운터(10)의 값이 미리 지정한 횟수 이상이 되면, 그 Erase/Write 카운터에 대응하는 데이터 기억 블록에 대해서 리프레시 동작을 실행한다. 리프레시 동작은, 데이터 기억 블록 내의 데이터를 데이터-시간 보관 영역(8)에 일시 보관하고, 데이터 기억 영역 일시 보관 영역의 데이터를 소거하여, 다시 일시 보관한 데이터를 데이터 기억 블록에 기입함으로써 행한다.

대표도

도 10

색인어

시퀀스, 리프레시, 상 변화막, 메모리 어레이, 비트선, 소스선

명세서

도면의 간단한 설명

도 1은 종래 기술인 Byte 재기입형 EEPROM의 메모리 셀 단면도.

도 2는 종래 기술인 Byte 재기입형 EEPROM의 메모리 셀 어레이도.

도 3은 종래 기술인 Byte 재기입형 EEPROM의 동작 전압을 나타내는 도면.

도 4는 본 발명의 실시예의 불휘발성 반도체 메모리 셀의 단면도.

도 5는 본 발명의 실시예의 불휘발성 반도체 메모리 셀의 어레이 구성의 실시예를 나타내는 도면.

도 6은 본 발명의 실시예의 불휘발성 반도체 메모리 셀의 어레이 구성의 실시예를 나타내는 도면.

도 7은 본 발명의 실시예의 불휘발성 반도체 메모리 셀의 어레이 구성의 실시예를 나타내는 도면.

도 8은 도 5~도 7의 메모리 어레이에 있어서 기입 시에 각 배선에 인가하는 전압의 파형을 나타내는 도면.

도 9는 도 5~도 7의 메모리 어레이에 있어서 소거 시에 각 배선에 인가하는 전압의 파형을 나타내는 도면.

도 10은 본 발명의 실시예의 불휘발성 반도체 기억 장치의 구성도.

도 11은 본 발명의 실시예의 1블록을 대상으로 한 기입·소거·리프래시 동작의 시퀀스를 나타내는 흐름도.

도 12는 본 발명의 실시예의 복수 블록을 대상으로 한 기입·소거·리프래시 동작의 제1 시퀀스를 나타내는 흐름도.

도 13은 본 발명의 실시예의 복수 블록을 대상으로 한 기입·소거·리프래시 동작의 제2 시퀀스를 나타내는 흐름도.

<도면의 주요 부분에 대한 부호의 설명>

MG : 메모리 게이트 전극

SG : 선택 게이트 전극

S : 소스 확산층 영역

D : 드레인 확산층 영역,

M : 메모리 게이트 전극·선택 게이트 전극 사이의 확산층 영역

WELL : P형 웰 영역

SUB : P형 실리콘 기판

SG0X : 게이트 절연막

TOPOX : 상부 산화막

SIN : 질화 실리콘막

BOTOX : 하부 산화막

BL0~BL7 : 비트선

SG0~SGn : 선택 게이트선

MG0~NIGn : 메모리 게이트선

SL, SLO~SL7 : 소스선

WELL0~WELLm : 웰

BYS, BYS0 : 바이트 선택선

1 : EEPROM 어레이 영역

2 : 비트선 디코더·드라이버

- 3 : 워드선 디코더 드라이버
- 4 : 감지 증폭기·라이트 정전류 MOS
- 5 : 전원 회로
- 6 : 주 제어부
- 7 : 리프레시 제어 회로
- 8 : 메모리 데이터 일시 보관 영역
- 9 : 메모리 블록
- 10 : Erase/Write 카운터 에리어

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 불휘발성 반도체 기억 장치에 관한 것으로, 특히 고속의 기입·소거를 행할 수 있고, 데이터 유지 특성이 우수한 Byte 재기입형 EEPROM에 있어서, 미세한 실패 셀 면적을 실현하고, 또한 기입·소거 시의 디스터브에 의한 데이터의 손실 방지를 가능하게 하는 기술에 관한 것이다.

전기적으로 재기입 가능한 불휘발성 반도체 기억 장치로서, EEPROM(Electrically Erasable and Programmable Read Only Memory)이 프로그램 저장 용도 혹은 데이터 저장 용도로서 폭 넓게 이용되고 있다. 최근에는, 특히, IC 카드를 시작으로, 데이터 저장 용도의 EEPROM의 수요가 증가하고 있다. 데이터 저장 용도의 EEPROM에는, 일반적으로, 수 k바이트 부터 수십 k바이트를 일괄해서 소거하는 플래시 EEPROM이 아닌, Byte 단위로 소거·기입을 행하는 Byte 재기입형 EEPROM이 이용된다. 요구되는 재기입 횟수는, 데이터 저장 용도인 경우에는 일반적으로 10만 회 이상으로, 프로그램 저장 용도보다도 많다. 또한, EEPROM을 마이크로컴퓨터와 동일 칩에 혼재함으로써 장치 외부로부터의 데이터의 관독을 불가능하게 할 수 있다.

이러한 데이터 저장 용도의 Byte 재기입형 EEPROM에서 과제로 되는 것이 비 선택 셀에서의 기입 시의 디스터브 및 소거 시의 디스터브이다. 여기서 말하는 디스터브란, 어떤 메모리 셀을 선택하여 그 메모리 셀의 기입 혹은 소거를 행할 때, 선택한 메모리 셀에 인가하는 전압이 동일한 배선에 접속되어 있는 비 선택 메모리 셀에도 인가되고, 비 선택 메모리 셀이 약한 기입 및 소거되어 서서히 데이터를 잃어버리게 되는 현상이다. 플래시 EEPROM에서, 기입 시 혹은 소거 시에 고전압을 인가하는 배선과 동일한 배선에 접속된 메모리 셀의 블록을 일괄해서 소거하는 경우, 소거 시의 디스터브는 문제는 되지 않고, 기입 시의 디스터브도 1회의 기입을 행하는 동안에 받을 뿐이다. 이에 대해, Byte 재기입형 EEPROM에서는, 최악의 경우, 동일 블록 내의 다른 모든 Byte가 10만 회 재기입되는 동안 전혀 기입 및 소거되지 않는 셀이 존재하는 경우가 있고, 이 셀은 10만 회×(블록 내의 바이트 수-1) 만큼의 디스터브를 계속 받는다. 이와 같이, Byte 재기입형 EEPROM은, 플래시 EEPROM과 비교하여, 디스터브의 조건이 약간 엄격해진다.

Byte 재기입형 EEPROM에서 10만 회의 재기입을 실현하는 기술에 관해서는, 비 특허 문헌 1에서 보고되어 있다. 이 EEPROM의 메모리 셀의 단면도를 도 1에, 메모리 셀의 어레이 구성을 도 2에 도시한다. 1개의 메모리 셀은, 도 1에 도시한 바와 같이, 질화막 SIN에 전하를 축적함으로써 정보를 기억하는 MNOS형 메모리와 관독 시에 셀 선택을 행하는 선택 트랜지스터로 이루어진다. 어레이 구성에 관해서는 도 2에 도시한 바와 같이, 선택 게이트 전극 SG를 접속하는 선택 게이트선(워드선) SG0~SGn과 메모리 게이트 MG를 접속하는 메모리 게이트선 MG0~MGn가 각각 평행하게 연장하고, 메모리 셀의 드레인 영역 D를 접속하는 비트선 BL0~BL7과 소스 영역 S를 접속하는 소스선 SL0~SL7이 워드선과 직교하는 방향으로 연장하고, 메모리 셀의 웰 WELL1~WELLn은 워드선에 접속되어 있는 메모리 셀 8비트마다 분할되어 있다. 공통의 메모리 게이트선 및 웰에 접속된 8비트, 즉 1바이트마다 재기입을 행한다. 도 2에서 선택 셀과 도시한 블록을 소거 및 기입할 때의 전압 조건을 도 3에 도시한다. 소거 및 기입을 행하는 선택 셀에서는, 메모리 게이트 MG와 웰 WELL 사이에 고전압을 인가하고, 하부 산화막 BOTOX를 통한 홀의 터널링에 의해 소거를, 전자의 터널링에 의해 기입을 행한다. 비 선택 셀에서는, 웰 WELL 혹은 소스선 SL에 메모리 게이트선 MG와 동일 전압을 인가하고, MNOS 메모리의 게이트 절연막에 전계가 걸리지 않도록 한다. 즉, 상기 공지 기술에서는, 웰 WELL을 바이트마다 분할하고, 기입 및 소거 시에 비 선택 셀의 MNOS 메모리의 게이트 절연막에 전계가 걸리지 않는 동작 전압 조건으로 함으로써, 디스터브의 영향 없이, 재기입을 10만 회 행하여도 데이터를 계속 보유할 수 있다.

상기 Byte 재기입형 EEPROM에서는, 선택 메모리 게이트선 MG와 비 선택 웰 WELL에 접속된 셀에서, 메모리 게이트 MG와 웰 WELL에는 동 전압이 인가되지만, 메모리 게이트 MG와 소스 사이에 고 전계가 걸리고, 도 1에 도시하는 소스 근방의 질화막 SIN 내에서는, 전자 및 홀의 주입이 발생하게 된다. 메모리 게이트 Lmg가 큰 경우, 소스 S로부터 떨어진 MNOS 메모리의 채널 중앙부에서, 질화막 SIN 중의 전하는 유지되기 때문에, 상기 소스 근방에서의 전하 주입은 문제가 되지 않는다. 그러나, 메모리 게이트 길이 Lmg가 작아지면, 소스 근방에서의 전하 주입에 의해서 기입 및 소거 디스터브에 대한 내성을 잃어버려, 10만 회의 재기입을 보장할 수 없게 된다. 즉, 상기 공지 기술은, 셀의 미세화에 한계가 있는 Byte 재기입형 EEPROM이다.

또한, 상기 공지 기술에서는, 전자 및 홀의 터널링에 의해서 기입 및 소거를 행하기 때문에, (1)기입·소거에 시간이 걸리고, (2)보텀 산화막 BOTOX를 후막화할 수 없고, 100°C 이상의 고온에서의 데이터 유지가 엄격한 등의 과제도 있다.

터널링 방식이 아닌, 핫 캐리어의 주입에 의해서 기입 및 소거를 행하는 불휘발성 메모리로서, 특허 문헌 1이 있다. 이 메모리 셀의 단면도를 도 4에 도시한다. 선택 게이트 SG와 메모리 게이트 MG 2개의 게이트를 갖는 스플릿 게이트형 MONOS 메모리로, 메모리 게이트 절연막이 상부 산화막 TOPOX, 질화막 SIN, 하부 산화막 BOTOX로 이루어지고, 질화막 SIN 내에 소스 사이드 주입 방식으로 열 전자를 주입함으로써 기입을, BTBT(Band-To-Band Tunneling)로 발생한 핫 홀을 주입함으로써 소거를 행한다. 핫 캐리어 주입을 이용함으로써 터널링 주입인 경우와 비교하여, 기입·소거의 고속화, 데이터 유지의 고 신뢰화를 실현한다.

그러나, 상기한 핫 캐리어 주입에 의한 기입 및 소거 방식에서는, 소스 영역 S와 메모리 게이트 MG의 양방에 고전압을 인가할 필요가 있기 때문에, 기입 시 및 소거 시의 디스터브 내성의 확보가 과제로 된다. 기입·소거 시의 비 선택 셀에 디스터브를 야기하는 고 전계가 걸리지 않도록 하기 위해서는, 메모리 게이트 MG를 접속하는 메모리 게이트선과 소스 영역 S를 접속하는 소스선을 바이트마다 분할해야 하는데, 이 분할을 위해서는, 바이트마다 메모리 게이트선과 소스선을 선택하는 고 내압의 MOS 트랜지스터를 형성할 필요가 있다. 고 내압의 MOS 트랜지스터를 포함시키면, 1셀 당 면적은 분할하지 않는 경우와 비교하여, 2배 증가하게 된다.

<특허 문헌 1> 미국 특허 USP5,969,383호

<특허 문헌 2> 특개평 6-215584호 공보

<비 특허 문헌 1> IEICE 트랜잭션 온 일렉트로닉스(IEICE TRANSACTIONS ON ELECTRONICS), 2001년, VOL. E84-C, p.713-723

### 발명이 이루고자 하는 기술적 과제

상기한 바와 같이, 열 전자 주입 혹은 핫 홀 주입에 의한 기입·소거를 행하는 불휘발성 반도체 메모리에서는, 고속으로 기입·소거할 수 있고, 전하 축적부 상하의 산화막의 후막화에 의해 데이터 유지는 뛰어나지만, 기입·소거 시에 게이트 전극과 소스 영역의 양방에 고전압을 인가하기 위해, 비 선택 셀이 기입·소거의 디스터브를 받는다. Byte 재기입형의 EEPROM에서 10만 회의 재기입을 실현하기 위해서는, 이 디스터브가 커다란 과제로 된다.

불휘발성 반도체 메모리에 있어서의 디스터브의 과제를 해결하는 방법으로서, 디스터브에 의해서 잃게 되는 데이터를 재기입하는 리프래시 동작을 행하는 방법이, 특허 문헌 2에 개시되어 있다. 이 방법에서는, 일괄 소거 블록을 리프래시 블록으로 하고, 일괄 소거 블록마다 플래그 셀을 형성하며, 일괄 소거 블록을 소거할 때에 플래그 셀 정보로부터 일괄 소거 블록 중에서 가장 최초로 리프래시 동작을 행한 블록을 선택하여 추가 기입의 리프래시 동작을 행한다. 리프래시 동작에 의해서 일정 재기입 횟수마다 전자를 주입하여 고치기 때문에, 디스터브에 의해서 약한 소거를 받은 셀을, 약한 소거를 받기 전의 상태로 되돌릴 수 있어서, 디스터브에 의한 데이터의 손실을 방지하는 것이 가능해진다.

그러나, 상기 방법을 Byte 재기입형의 EEPROM에 적용하는 경우, 한번에 소거를 행하는 소거 블록의 크기가 1Byte이기 때문에, Byte마다 플래그 셀을 형성해야 하고, EEPROM의 면적이 대폭 증가한다. 예를 들면, 1Byte의 소거 블록의 플래그 셀 1개를 형성할 때, 메모리 셀의 수가 10% 이상 증가하게 된다.

본 발명의 목적은, 고속의 기입·소거를 행할 수 있고, 데이터 유지 특성이 뛰어난 Byte 재기입형 EEPROM에서, 미세한 실효 셀 면적을 실현하고, 또한, 기입·소거 시의 디스터브에 의한 데이터의 손실을 방지하는데 있다.

### 발명의 구성 및 작용

본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

본 발명의 불휘발성 반도체 기억 장치는, EEPROM 메모리 어레이 내에, 동시에 소거를 행하는 1바이트의 불휘발성 메모리 셀로 이루어지는 소거 블록과, 복수개의 소거 블록으로 이루어지는 리프래시 블록과, 리프래시 블록 내에서 행해진 재기입 횟수를 기억하는 카운터 어레이가 리프래시 블록과 동일한 수 만큼 형성되고, 카운터 어레이에 기억된 리프래시 블록 내의 재기입 횟수가 미리 지정된 재기입 횟수에 달할 때마다 리프래시 블록 내의 데이터를 별도 형성한 데이터 일시 보관 메모리에 일단 보존하고, 리프래시 블록 내의 데이터를 모두 소거하고, 다시 보존한 데이터를 리프래시 블록에 기입함으로써, 디스터브 시간을 리셋하는 것이다.

<실시예>

본 발명에 따른 불휘발성 반도체 기억 장치의 기본적인 구성에 대하여 설명한다.

도 5에, 본 발명의 실시예를 도시하는 불휘발성 반도체 메모리 어레이 구성의 실시예를 도시한다. 불휘발성 메모리 셀로서, 도 4에 도시한 핫 캐리어에 의해 기입·소거를 행하는 스플릿 게이트형 MONOS 메모리를 이용하고 있다. 선택 게이트 전극 SG를 접속하는 선택 게이트선(워드선) SG0~SGn과 메모리 게이트 MG를 선택하는 메모리 게이트선 MGL 및 2개의 인접한 메모리 셀이 공유하는 소스 영역을 접속하는 소스선 SL이 각각 평행하게 연장하고, 메모리 셀의 드레인 영역을 접속하는 비트선 BL0~BL7이 선택 게이트선과 직교하는 방향으로 연장한다. 메모리 게이트선 MGL과 소스선을 메모리 셀 8비트마다 분할하고, 비트선 방향의 복수의 소스선을 접속하여, 공통의 소스선 SL로 하고 있다. 공통의 메모리 게이트선에 접속된 8비트, 즉 1바이트마다 재기입을 행한다.

도 5의 메모리 셀 어레이에서는, 비트선 방향의 복수 바이트의 메모리 셀이 소스선을 공유한 구성으로 되어 있는데, 도 6에 도시하는 메모리 셀 어레이와 같이, 선택 게이트선 방향의 메모리 셀이 소스선을 공유한 구성으로 해도 된다. 이 경우도, 공통의 소스선에 접속된 비 선택 셀이, 기입 시 및 소거 시의 디스터브를 받게 된다. 도 5 및 도 6에서는, 기입 및 소거 시에 고전압을 인가하는 메모리 게이트선과 소스선 중, 메모리 게이트선을 바이트 단위로 분할하여, 소스선을 복수 바이트로 공유하는 구성을 취하고 있는데, 반대로, 소스선을 바이트 단위로 분할하고, 메모리 게이트선을 복수 바이트로 공유하는 구성으로 해도 된다. 또한, 도 7에 메모리 셀 어레이도 도시한 바와 같이, 소스선을 복수 바이트로 공유하는 구성을 취하고 있는데, 비트선 방향의 메모리 셀이 소스선을 공유하고, 선택 게이트선 방향의 메모리 셀이 메모리 게이트선을 공유해도 된다. 이 경우, 소스선을 공유한 비 선택 셀과 메모리 게이트선을 공유한 비 선택 셀의 양방에 기입 시 혹은 소거 시의 전압이 인가되기 때문에, 디스터브를 받는 메모리 셀이 많아지지만, 메모리 셀 어레이의 면적은 도 5에 도시한 어레이 구성보다도 작게 할 수 있다. 도 7과는 반대로, 비트선 방향의 메모리 셀이 메모리 게이트선을 공유하고, 선택 게이트선 방향의 메모리 셀이 소스선을 공유해도 된다.

도 5~도 7에 도시한 선택 셀을, 기입 및 소거할 때의 전압 인가 시퀀스를, 각각 도 8과 도 9에 도시한다. 도 5~도 7의 메모리 셀 어레이는, 마찬가지로의 전압 시퀀스로 기입·소거된다. 기입·소거의 선택 셀에는, 메모리 게이트선 MG와 소스선 SL의 양방으로 고전압이 인가된다. 이에 대해, 도 5~도 7에서 디스터브 셀이라고 한 비 선택 셀은, 메모리 게이트선 혹은 소스선에 고전압이 인가되지, 기입 및 소거 시에 디스터브를 받게 된다. 즉, 공통의 소스선에 접속된 셀이, 디스터브를 받는 메모리 셀의 블록이 된다.

도 10은, 본 발명의 실시예의 Byte 재기입형 EEPROM 모듈의 블록도이다. 종래의 EEPROM 모듈을 구성하는 메모리 어레이(1), 비트선 디코더·드라이버(2), 워드선 디코더·드라이버(3), 감지 증폭기·기입 정전류 MOS(4), 전원 회로(5), 주 제어부(6) 외에, 제어 회로(7)와 데이터 일시 보관 영역(8)을 형성하고 있다. EEPROM 메모리 어레이는, 데이터 기억 블록(9)과 Erase/Write 카운터 에리어 EW CT(10)로 이루어진다. 데이터 기억 블록이 리프래시 단위가 되고, 도 5~도 7에 도시한 리프래시 블록에 대응한다. 여기서는, 예로서 1바이트×1024비트의 데이터 기억 블록이 128개 있는 구성을 나타낸다. 데이터 기억 블록(9) 내의 메모리 셀은 공통의 소스선 혹은 메모리 게이트선과 접속되어 있고, 재기입은 1바이트 단위로 행한다. Erase/Write 카운터 에리어 EW CT(10)는, 데이터 기억 블록에 대응한 수 만큼 형성하고 있다. 이 Erase/Write 카운터 에리어 EW CT에, 대응하는 데이터 기억 에리어 내에서 행해진 재기입 횟수를 기억한다. 데이터 기억 블록 내와 Erase/Write 카운터 에리어 EW CT 내에서의 소거 및 기입이 서로 미치는 디스터브를 피하기 위해, 양자를 구성하는 메모리 셀은 공통의 소스선 및 메모리 게이트선으로 접속되지 않도록 하는 것이 바람직하다.

도 11은, 본 발명의 소거, 기입 및 디스터브 시간을 리세트하는 동작을 도시하는 흐름도이다. 도 10 중의 No.54 Block 내의 1바이트를 Erase 및 Write 하는 경우를 예로 들었다.

상위 장치 또는 CPU는, 우선 No.54 Block의 1바이트의 소거와 기입을 실행한다. 다음으로 No.54에 대응하는 Erase/Write 카운터 에리어 EW CT를 리드한다. 이 리드값과 미리 정해진 값 y와 비교하여, 리드값이 y 이하의 경우에는, EW CT를 일단 Erase하고, EW CT를 Erase 전에 리드한 값에 +1을 더한 값을 EW CT에 Write한다. 이에 의해, 소거 및 기입 동작이 종료한다.

리드값이 y보다 큰 경우에는 리프래시 동작을 행한다. 우선, No.54 Block 데이터를 모두 리드하고, No.54 Block 모든 데이터를, 데이터 기억 블록(9)과 동등하거나 그 이상의 데이터 용량을 갖는 데이터 일시 보관 메모리(10)에 Write한다. 데이터 일시 보관 메모리로서는, SRAM이나 DRAM 등의 휘발성 메모리 혹은 EEPROM을 구성하는 불휘발성 메모리 어느 쪽이어도 된다. 단, 데이터 일시 보관 메모리로서 불휘발성 메모리를 사용한 경우에는, 대상 Block 데이터를 Write하기 이전에, 데이터 일시 보관 메모리 데이터를 Erase해 둘 필요가 있다.

No.54 Block의 모든 데이터를 데이터 일시 보관 메모리에 Write 종료 후, 다음에 No.54 Block 내 및 No.54 Block에 대응하는 EW CT 내의 모든 데이터를 Erase 한다. 다음으로, 데이터 일시 보관 메모리의 데이터를 No.54 Block에 Write한다. 이상으로 리프래시 동작이 종료하고, 리프래시 동작을 행한 경우의 소거 및 기입 동작도 종료한다.

상기 y의 값은, 메모리 셀의 디스터브 내성에 의해 결정되고, 예를 들면, 10만 회의 소거 기입에 대한 디스터브 내성을 갖는 메모리 셀의 경우, y의 값은 10만 회로 설정한다. 덧붙여서 말하면, 도 10에 도시하는 EEPROM 메모리 어레이의 블록 구성에 있어서 본 리프래시 동작을 행하지 않고서 10만 회의 재기입을 보증하는 경우, 최악의 케이스로 10만 회 ×1023bytes = 1억 회의 소거 및 기입에 대한 디스터브 내성이 요구된다. 즉, 본 발명의 리프래시 동작에서는, 디스터브에 의해 약한 소거 혹은 약한 기입을 받는 시간을 어떤 지정한 재기입 횟수마다 리세트함으로써 디스터브에 의한 데이터의 손실을 대폭 방지할 수 있다.

이상, 도 11에서는, 한번의 재기입으로 1블록 내의 1바이트만을 소거·기입 및 동작하는 경우의 동작을 설명했는데, 실제로는 복수 블록에 존재하는 복수 바이트의 셀을 소거 및 기입하는 경우도 있을 수 있다. 이러한 복수 블록에 존재하는 복수 바이트를 소거·기입하는 경우의 동작 시퀀스의 실시예를 도 12 및 도 13에 도시한다.

도 12는, 한번에 복수의 바이트를 소거, 기입하고, 재기입 시간에 제한을 두지 않고 리프래시 동작을 행하는 경우의 동작 시퀀스를 도시하는 흐름도이다. 여기서는, 한번에 No.54~No.54+x의 x개의 Block에 각 1바이트의 소거, 기입을 행하는 경우의 예를 도시했다.

우선, No.54~No.54+x Block의 1바이트의 소거와 기입을 실행하고, 각 Block에 대응하는 EW CT를 리드한다. 다음으로, No.54부터 No.54+x까지, 리드값이 미리 정해진 값 y보다 큰 경우에는 도 11에 도시한 방법과 동일한 리프래시 동작을 순차 실행한다. 리프래시 동작이 모두 종료한 후에는, 리프래시를 실시하지 않은 Block에 대하여, EW CT에 리드값에 +1을 더한 값의 Write를 실시한다.

도 13은, 한번에 복수의 바이트를 소거, 기입하고, 재기입 시간에 제한이 있는 경우의 동작 시퀀스를 도시하는 흐름도이다. 재기입 시간에 제한이 있는 경우, 리프래시 동작이 필요한 모든 리프래시 블록에 대하여 리프래시 동작이 가능하다고

는 한정할 수 없다. 여기서는, 한번에 No.54~No.54+ x의 x개의 Block에 각 1바이트를 소거, 기입을 실시하고, 1회의 재기입 동작에 허용되는 리프래시 동작의 횟수가 N회인 경우의 예를 도시했다. N의 값은, 리프래시에 요하는 시간을 기초로, 미리 지정해 두면 된다.

도 12와 마찬가지로, 우선, No.54~No.54+ x Block의 1바이트의 소거와 기입을 실행하고, 각 Block에 대응하는 EW CT를 리드한다. 모든 리드값이 미리 정해진 값 y 이하인 경우에는, 어느 Block에 대하여도 리프래시 동작을 행하지 않는다. 리드값이 y보다 큰 Block이 N개 이하인 경우에는, 리프래시의 대상으로 되는 Block 전부에 대하여 도 11에 도시한 리프래시 동작을 실시한다. 리드값이 y보다 큰 Block이 N보다 큰 경우에는, 이들의 Block에 대하여 리드값이 큰 순서대로 1번부터 순위를 매기고, 순위가 1번부터 N번까지의 Block의 리프래시 동작을 순서대로 행한다. 마지막으로, 리프래시를 실시하지 않은 Block에 대해, EW CT에 리드한 값에 +1을 더한 값을 Write하여, 소거·기입 동작을 종료한다. 이 방법으로는, 블록 내의 재기입 횟수가 y를 넘어도, 리프래시되지 않는 경우가 있기 때문에, 그 만큼 디스터브에 대한 마진을 확보해 둘 필요가 있다.

이상, 도 11~도 13에 도시하는 시퀀스를 이용하여, 본 발명의 소거, 기입 및 리프래시의 동작에 대하여 설명했는데, 소거만 혹은 기입만을 행하는 경우라도, EW CT의 리드값과 미리 정해진 값 y를 비교하고, 리드값이 y 이하인 경우에는 EW CT의 값에 +1을 더하고, 리드값이 y보다 큰 경우에는 리프래시 동작을 실행하도록 한다. 단, 소거 혹은 기입의 어느 한쪽만의 디스터브가 문제가 되는 경우, 그 동작을 행했을 때에만, EW CT의 카운트 및 동작을 행하면 된다. 상기 재기입 횟수의 카운트 방법은, 소거와 기입 동작으로 1회로 했는데, 기입과 소거 각각으로 1회로 카운트해도 상관없다.

도 10의 실시예에서는, 1024바이트를 공통의 소스선에 접속하는 1블록으로 했는데, 이 크기는 리프래시 동작에 필요한 시간에 의해 결정된다. 소거 및 기입 속도가 느린 EEPROM 메모리를 이용한 경우, 1회의 소거 및 기입 동작에 허용되는 시간 내에 리프래시 동작을 행하기 위해서, 공통의 소스선에 접속하는 블록 바이트 수를 적게 해야 한다. 바이트 수를 적게 하면, EEPROM 메모리 어레이의 면적이 증가하게 된다.

이상의 실시예에서는, 스플릿 게이트형 MONOS 메모리 셀로 구성되는 불휘발성 메모리를 기술했는데, 스플릿 게이트형이 아닌 공지 문헌 USP6,011,725에 기재되어 있는 단계이트형의 불휘발성 메모리에 있어서도, 또한, MONOS 메모리가 아닌 부유 게이트 내에 전하를 축적하는 불휘발성 메모리에 있어서도, 마찬가지로 디스터브에 의한 데이터의 손실을 방지하는 것이 가능하다. 또한, FeRAM, 상변화 메모리, MRAM 등의 불휘발성 메모리에 있어서도, 본 발명의 효과는 유효하다

### 발명의 효과

본 발명에 따르면, 불휘발성 반도체 기억 장치, 특히 핫 캐리어 주입에 의해 고속으로 기입·소거를 행할 수 있고, Byte 단위로 재기입을 행하는 불휘발성 반도체 기억 장치에 있어서, 미세한 실효 셀 면적을 실현하고, 또한, 기입·소거 시의 디스터브에 의한 데이터의 손실을 방지하는 것이 가능하게 된다.

### (57) 청구의 범위

#### 청구항 1.

불휘발성 메모리 셀을 포함하는 불휘발성 반도체 메모리 어레이에 있어서,

상기 불휘발성 메모리 셀 복수개를 일괄해서 소거하는 소거 블록과,

상기 소거 블록을 복수 포함하는 리프래시 블록을 포함하고,

상기 리프래시 블록 내에서 행해진 재기입 횟수를 기억하는 카운터 어레이가 상기 리프래시 블록과 동일한 수 만큼 형성되고,

상기 카운터 어레이에 기억된 리프래시 블록 내의 재기입 횟수가 미리 지정된 재기입 횟수에 달할 때마다 상기 리프래시 블록 내의 데이터를 별도로 구비된 데이터 일시 보관 메모리에 보관하고, 그 후에 상기 리프래시 블록 내의 데이터를 모두 소거하고, 상기 일시 보관 메모리에 보관한 데이터를 상기 리프래시 블록에 기입하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

#### 청구항 2.

제1항에 있어서,

상기 불휘발성 반도체 메모리가 EEPROM인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

#### 청구항 3.

제1항에 있어서,

상기 불휘발성 반도체 메모리가 게이트 절연막 내에 전하를 축적함으로써 정보를 기억하는 전하 트래핑형인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

#### 청구항 4.

제1항에 있어서,

상기 불휘발성 반도체 메모리가 부유 게이트 내에 전하를 축적함으로써 정보를 기억하는 부유 게이트형인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

#### 청구항 5.

제1항에 있어서,

상기 불휘발성 반도체 메모리가 강유전체의 분극 상태를 정보로서 기억하는 FeRAM인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

#### 청구항 6.

제1항에 있어서,

상기 불휘발성 반도체 메모리가 상변화막의 저 저항 상태를 고 저항 상태 정보로서 기억하는 상 변화 메모리인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

#### 청구항 7.

제1항에 있어서,

상기 불휘발성 반도체 메모리가 터널 자기 저항의 저 저항 상태와 고 저항 상태를 정보로서 기억하는 MRAM인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

#### 청구항 8.

제1항에 있어서,

상기 불휘발성 메모리 셀의 소거 혹은 기입 동작을 핫 캐리어 주입에 의해서 행하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

#### 청구항 9.

제1항에 있어서,

상기 불휘발성 메모리 셀의 소거 및 기입 동작을 핫 캐리어 주입에 의해 행하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

#### 청구항 10.

제8항에 있어서,

상기 핫 캐리어 주입을 행할 때에 고전압이 인가되는 상기 불휘발성 메모리 셀의 단자 중의 1개가, 상기 리프레시 블록 내의 모든 불휘발성 메모리 셀을 접속하고 있는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

### 청구항 11.

제8항에 있어서,

상기 핫 캐리어 주입을 행할 때에 고전압이 인가되는 상기 불휘발성 메모리 셀의 단자가, 상기 리프레시 블록 내의 불휘발성 메모리 셀과 상기 카운터 에리어 내의 불휘발성 메모리 사이에서 접속되어 있지 않은 것을 특징으로 하는 불휘발성 반도체 기억 장치.

### 청구항 12.

제1항에 있어서,

상기 소거 블록이 1바이트의 불휘발성 메모리 셀로 구성되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

### 청구항 13.

제1항에 있어서,

상기 리프레시 블록에서,

카운터 에리어에 기억된 리프레시 블록 내의 재기입 횟수가 미리 지정된 재기입 횟수에 달한 리프레시 블록이 복수개 있을 때, 그 복수개의 리프레시 블록 모두에 대하여, 순서대로, 리프레시 블록 내의 데이터를 별도로 형성한 데이터 일시 보관 메모리에 일단 보존하고, 리프레시 블록 내의 데이터를 모두 소거하고, 재차 보존한 데이터를 리프레시 블록에 기입하는 동작을 행하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

### 청구항 14.

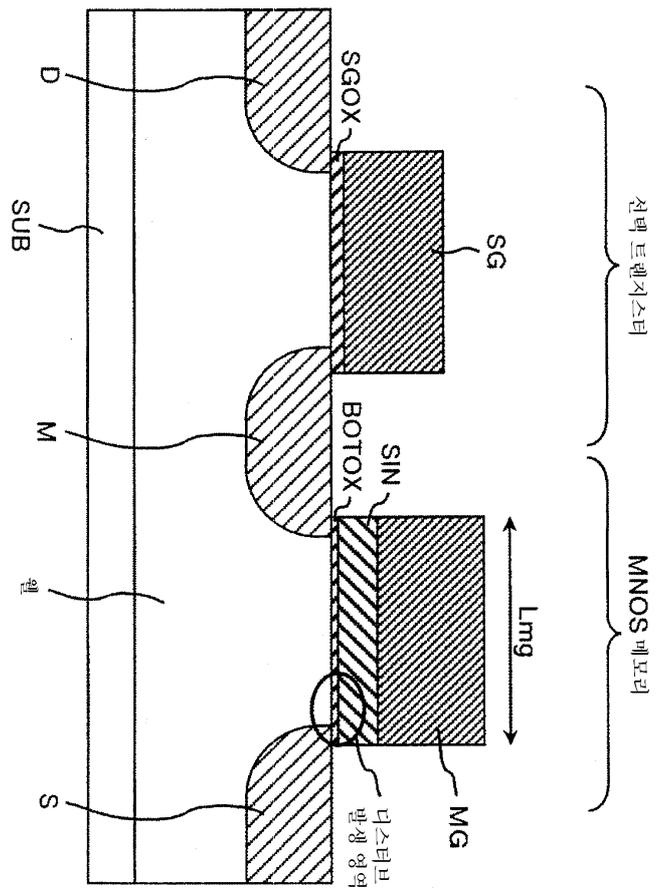
제1항에 있어서,

상기 리프레시 블록에서,

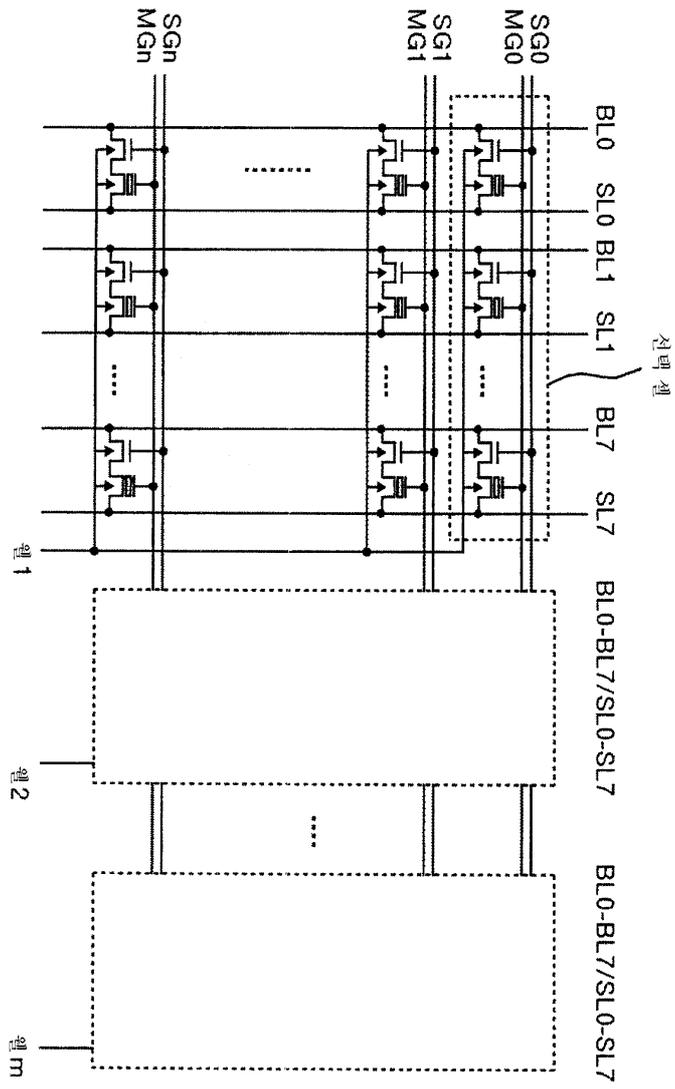
카운터 에리어에 기억된 리프레시 블록 내의 재기입 횟수가 미리 지정된 재기입 횟수에 달한 리프레시 블록이 복수개 있을 때, 리프레시 블록 내의 재기입 횟수가 많은 순서대로, 리프레시 블록 내의 데이터를 별도로 형성한 데이터 일시 보관 메모리에 일단 보존하고, 리프레시 블록 내의 데이터를 모두 소거하고, 재차 보존한 데이터를 리프레시 블록에 기입하는 동작을, 미리 지정된 리프레시 블록 수 만큼 행하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

도면

도면1



도면2

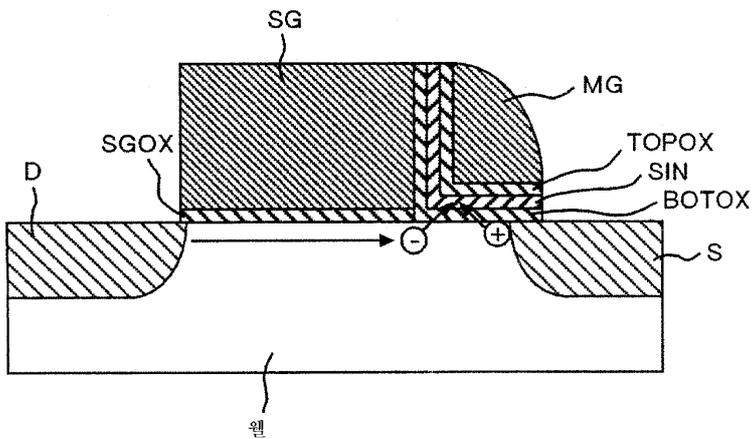


도면3

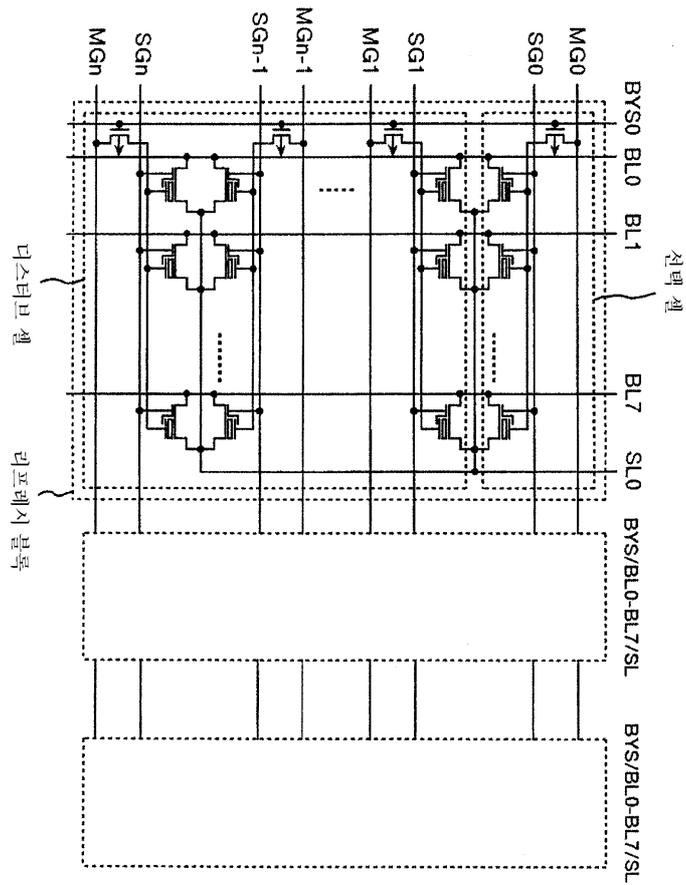
		선택 웰			비선택 웰		
		SL	BL	WELL	SL	BL	WELL
소기	선택 SG·MG	SG 1.5V	1.5V	1.5V	1.5V	OPEN	-13V
		MG -13V					
	비선택 SG·MG	SG 0V	1.5V	-13V	OPEN	-13V	
		MG 1.5V					
기입	선택 SG·MG	SG 1.5V	-13V /1.5V *	-13V	1.5V	OPEN	-13V
		MG 1.5V					
	비선택 SG·MG	SG 0V	-13V /1.5V *	-13V	OPEN	-13V	
		MG -13V					

\* 기입을 행하는 셀은 -13V, 행하지 않는 셀은 1.5V

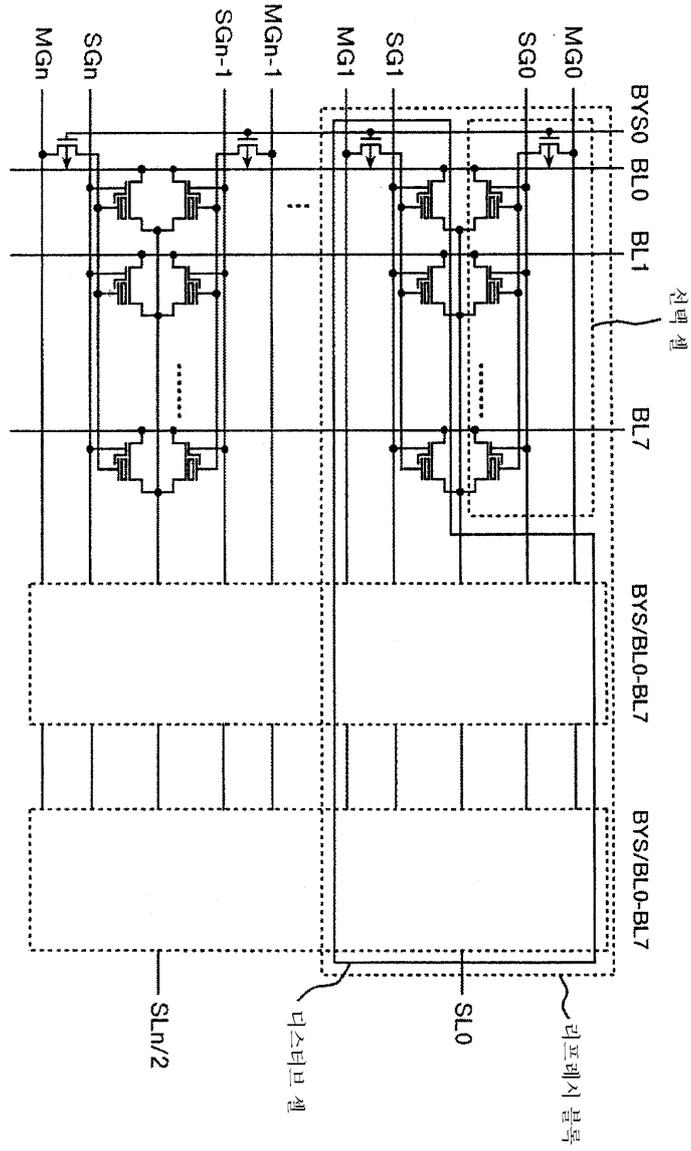
도면4



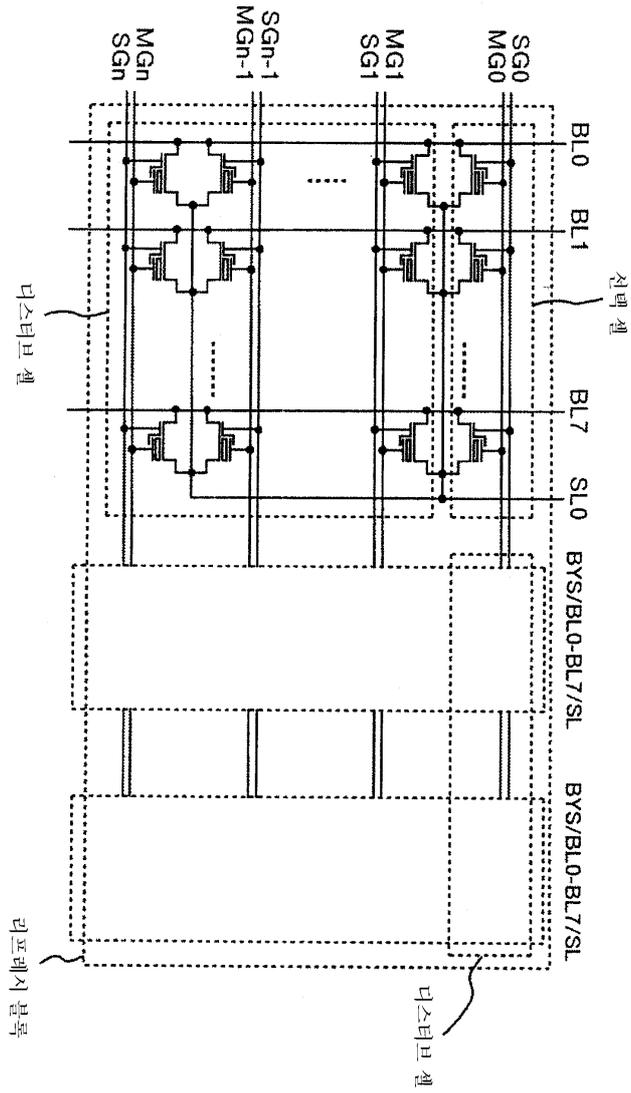
도면5



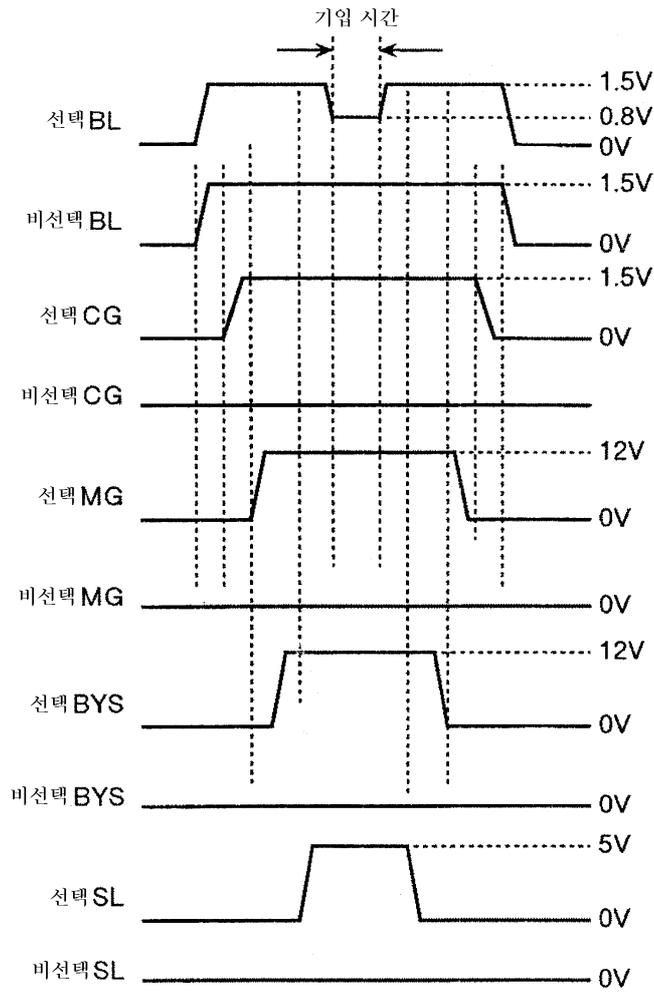
도면6



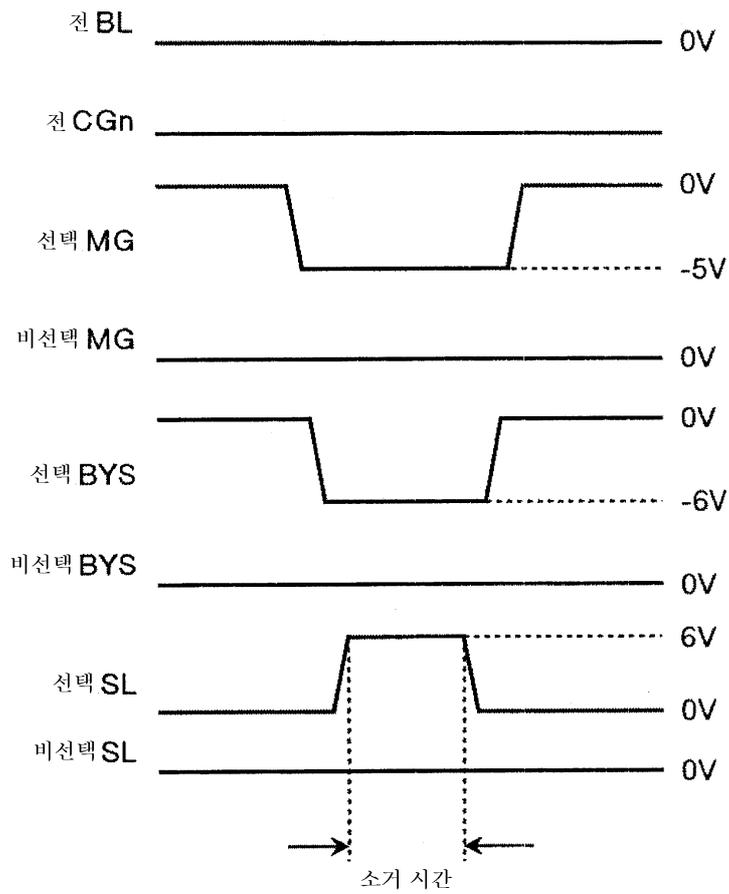
도면7



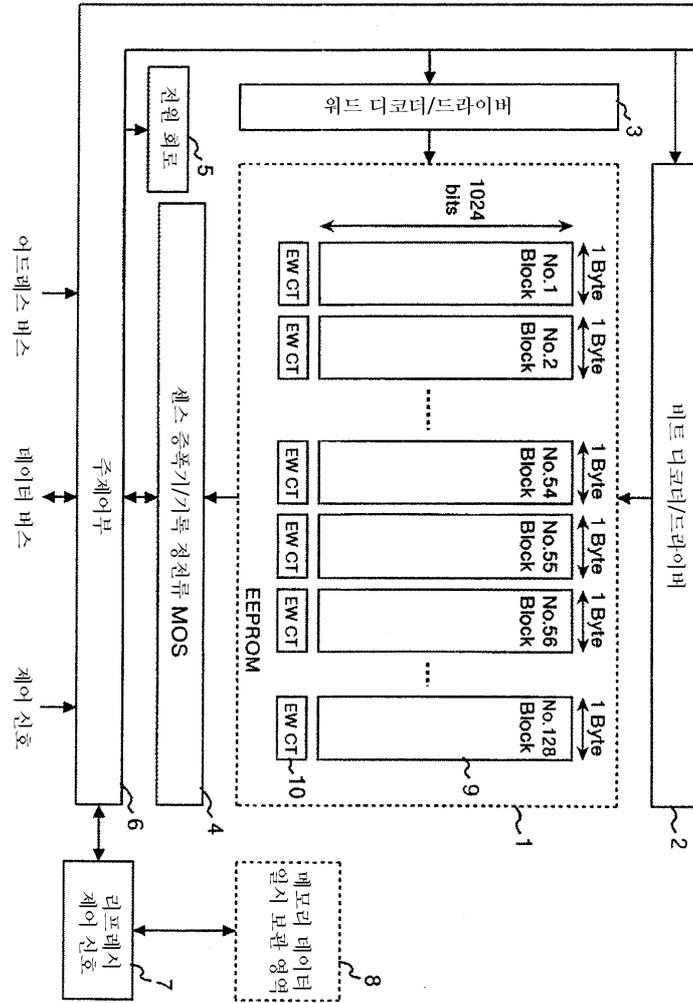
도면8



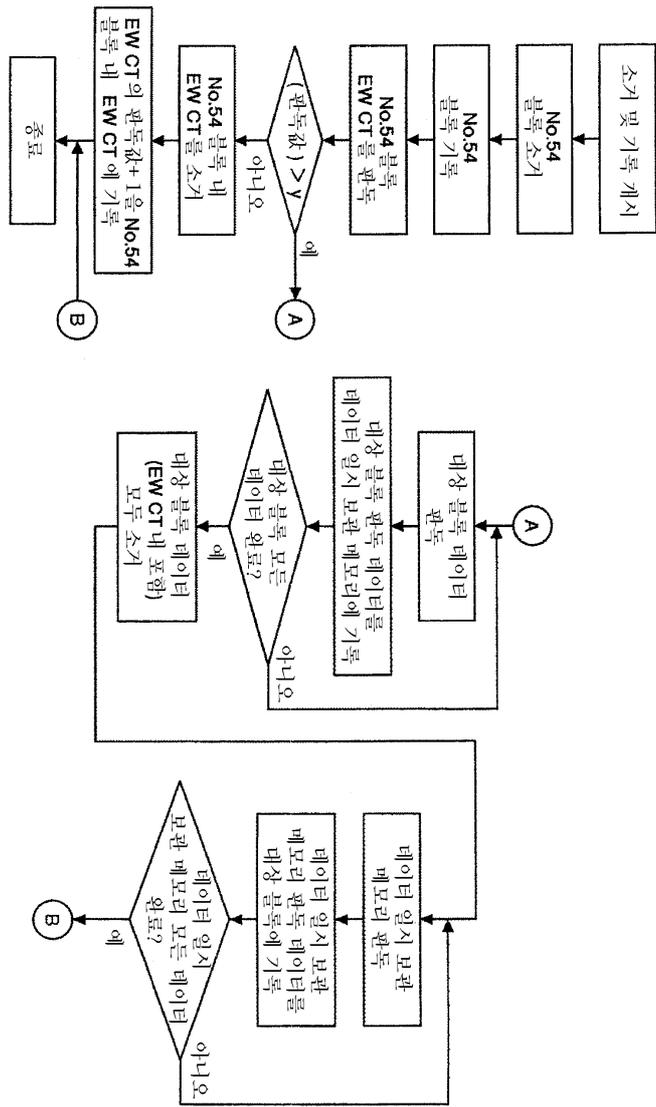
도면9



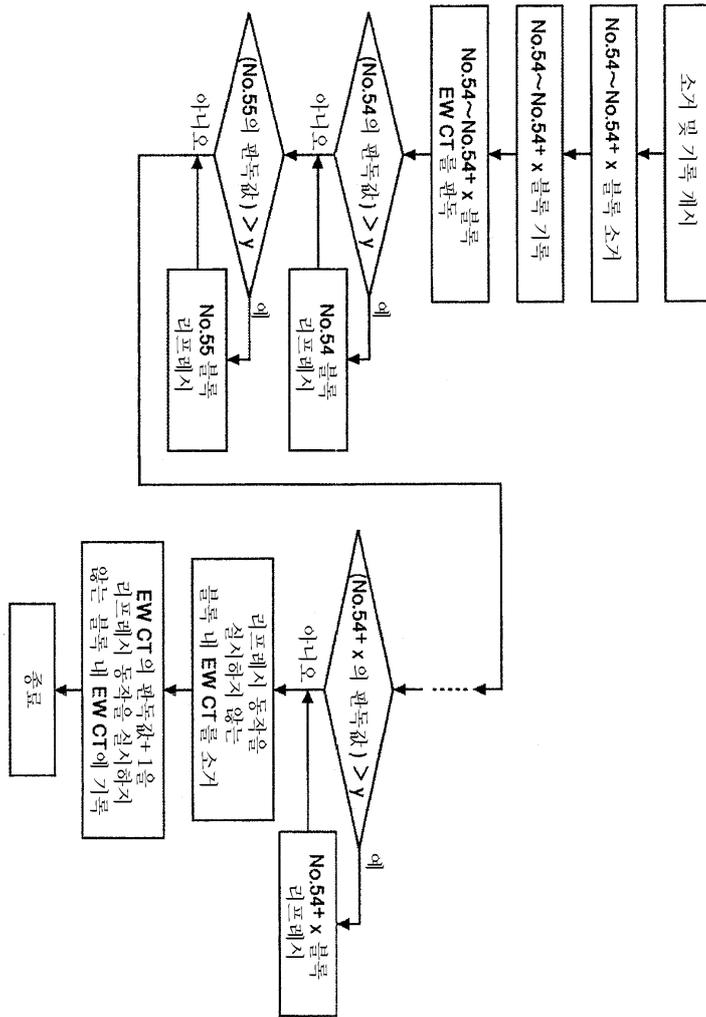
도면10



도면11



도면12



도면13

