

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 7 月 13 日 (13.07.2017)



(10) 国际公布号
WO 2017/117845 A1

- (51) 国际专利分类号:
G11C 19/28 (2006.01)
- (21) 国际申请号: PCT/CN2016/074462
- (22) 国际申请日: 2016 年 2 月 24 日 (24.02.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610007999.1 2016 年 1 月 7 日 (07.01.2016) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋丁珂, Hubei 430079 (CN)。
- (72) 发明人: 赵莽 (ZHAO, Mang); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋丁珂, Hubei 430079 (CN)。
- (74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: GATE DRIVER ON ARRAY CIRCUIT AND LIQUID CRYSTAL DISPLAY USING SAME

(54) 发明名称: 栅极驱动电路和使用栅极驱动电路的液晶显示器

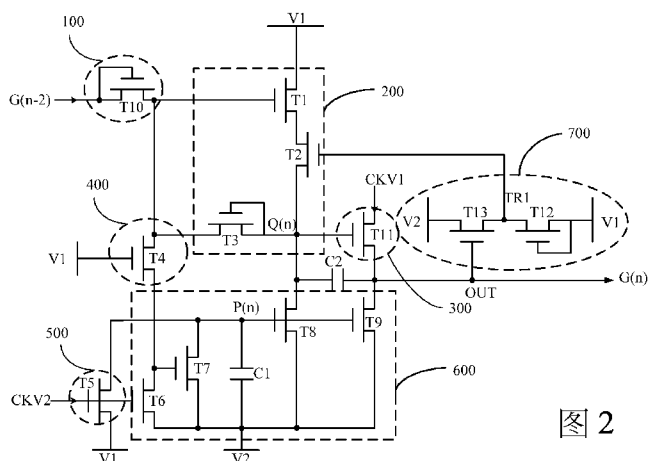


图 2

(57) Abstract: A gate driver on array (GOA) circuit (12), comprising a plurality of GOA circuit units (SR(1)-(SR(N))). In a GOA circuit unit (SR(n)), a capacitor is replaced with a latch module (200). A second transistor (T2) of the latch module (200) is turned on when a scan signal (G(n)) does not generate a pulse, so that a first transistor (T1) and a third transistor (T3) can latch the voltage of a first control node (Q(n)). Moreover, the first transistor (T1) and the second transistor (T2) form a direct current path between the first control node (Q(n)) and a first fixed voltage (V1), and therefore electric leakage does not cause any change in the voltage of the first control node (Q(n)). In addition, a second capacitor (C2) may couple the voltage of the first control node (Q(n)), so that the pulse of the scan signal (G(n)) output by the GOA circuit unit (SR(n)) has an ideal level. The gate driver on array circuit (12) resolves the predisposition of electric leakage in the prior art and improves the stability of the scan signal (G(n)).

(57) 摘要:

[见续页]

WO 2017/117845 A1



一种栅极驱动电路(12)，其包含数个 GOA 电路单元(SR(1)~SR(N))。GOA 电路单元(SR(n))利用锁存模块(200)取代电容。因为锁存模块(200)的第二晶体管(T2)在扫描信号(G(n))没有产生脉冲时开启，使得第一晶体管(T1)和第三晶体管(T3)能将第一控制节点(Q(n))的电压锁存。同时，因为第一晶体管(T1)和第二晶体管(T2)在第一控制节点(Q(n))和第一固定电压(V1)之间形成直流通路，因此第一控制节点(Q(n))的电压不会因漏电而变化。另外，由于第二电容(C2)会耦合第一控制节点(Q(n))的电压，使得 GOA 电路单元(SR(n))输出的扫描信号(G(n))的脉冲具有理想电平。该栅极驱动电路(12)解决了现有技术容易发生漏电的技术问题，提升了扫描信号(G(n))的稳定性。

栅极驱动电路和使用栅极驱动电路的液晶显示器

技术领域

- [1] 本发明是有关于一种液晶显示器，尤指一种使用栅极驱动(Gate driver on array, GOA)电路的液晶显示器。

背景技术

- [2] GOA电路是利用薄膜晶体管液晶显示器Array制程将栅极驱动器制作在具有薄膜晶体管(Thin film transistor, TFT)阵列的基板上，以实现逐行扫描的驱动方式。
- [3] GOA电路包含数个GOA电路单元。传统的GOA电路单元通过控制输出晶体管的栅极电压(亦即Q点电压)来输出扫描信号。为了确保该输出晶体管能准确地由漏极导通高电平的信号脉冲至源极，以形成扫描信号脉冲，现有技术是对该输出晶体管预充电，使得该Q点电压在该输出晶体管导通该高电平的信号之前就先充电至高电平。为了让该Q点电压维持在高电平至少两个时钟脉冲的时间，现有技术是利用电容来存储Q点电压。但是该电容仍电性连接GOA电路单元内的其它晶体管，因此会导致存储于该电容的电荷经由其它晶体管流出，导致漏电。这会造成Q点电压下降，使得该输出晶体管无法完全开启，导致该输出晶体管无法完全导通该高电平的信号而形成不完整的扫描信号脉冲。
- [4] 因此有必要对现有技术采用电容存储Q点电压的方式进行改良，以避免Q点漏电的现象。

对发明的公开

技术问题

- [5] 本发明的目的是提供一种栅极驱动电路和使用栅极驱动电路的液晶显示器，以解决现有技术的问题。

问题的解决方案

技术解决方案

- [6] 本发明的技术方案提供一种栅极驱动电路，其包含数个GOA电路单元，数个所

述GOA电路单元以串联的方式耦接，每一级GOA电路单元用来依据前两级GOA电路单元输出的扫描信号、第一时钟信号以及第二时钟信号，在输出端输出扫描信号。每一级GOA电路单元包含：输入控制模块，用于接收所述前两级GOA电路单元输出的扫描信号时导通；锁存模块，电性连接所述输入控制模块和第一控制节点，用来锁存所述第一控制节点的电平；稳压模块，电性连接所述锁存模块，用来防止漏电；输出控制模块，电性连接所述第一控制节点，用来依据施加于所述第一控制节点的电压，控制输出的所述扫描信号；上拉模块，电性连接第二控制节点，用于接收所述第二时钟信号时，使得所述第二控制节点处于高电平；下拉维持模块，电性连接所述输入控制模块、所述锁存模块、所述输出控制模块、所述上拉模块和所述稳压模块，用来维持所述第二控制节点在非扫描期间的低电平，以及维持所述扫描信号的低电平；及驱动模块，电性连接所述输出端及所述第二晶体管，用于输出所述扫描信号的脉冲时，输出所述驱动信号以开启所述第二晶体管。锁存模块包含：第一晶体管，其第一控制端电性连接所述输入控制模块，其第一输入端电性连接第一固定电压，其第一输出端电性连接所述第一控制节点；第二晶体管，其第二控制端电性连接驱动信号，其第二输入端电性连接所述第一晶体管的第一输出端，其第二输出端电性连接所述第一控制节点；以及第三晶体管，其第三控制端和第三输出端皆电性连接所述第一控制节点，其第三输入端电性连接所述输入控制模块。

[7] 依据本发明的实施例，所述稳压模块包含第四晶体管，其第四控制极电性连接所述第一固定电压，其第四输入极电性连接所述第一晶体管的第一控制极，其第四输出极电性连接所述第二控制节点。

[8] 依据本发明的实施例，所述上拉模块包含第五晶体管，其第五控制极电性连接所述第二时钟信号，其第五输入极电性连接所述第一固定电压，其第五输出极电性连接所述第二控制节点。

[9] 依据本发明的实施例，所述下拉维持模块包含：第六晶体管，其第六控制极电性连接所述第二时钟信号，其第六输入极电性连接所述第四晶体管的第四输出极，其第六输出极电性连接所述第二固定电压；第七晶体管，其第七控制极电性连接所述第四晶体管的第四输出极，其第七输入极电性连接所述第二控制节点。

点，其第七输出极电性连接所述第二固定电压；第八晶体管，其第八控制极电性连接所述第二控制节点，其第八输入极电性连接所述第一控制节点，其第八输出极电性连接所述第二固定电压；第九晶体管，其第九控制极电性连接所述第二控制节点，其第九输入极电性连接所述输出端，其第九输出极电性连接所述第二固定电压；及第一电容，其两端电性连接所述第二控制节点和所述第二固定电压。

[10] 依据本发明的实施例，所述输入控制模块包含第十晶体管，其第十控制极和第十输入极电性连接所述前两级GOA电路单元输出的扫描信号，其第十输出极电性连接所述第一晶体管的第一控制极。

[11] 依据本发明的实施例，所述输出控制模块包含第十一晶体管，其第十一控制极电性连接所述第一控制节点，其第十一输入极电性连接所述第一时钟信号，其第十一输出极电性连接所述输出端。

[12] 依据本发明的实施例，所述驱动电路是反相器，其用来反相所述输出端的所述扫描信号以输出为所述驱动信号。

[13] 依据本发明的实施例，所述驱动电路是或非门电路，其电性连接所述输出端和所述第二控制节点，用来依据所述扫描信号和施加于所述第二控制节点的电压执行或非运算以输出所述驱动信号。

[14] 依据本发明的实施例，所述驱动电路包含：第十二晶体管，其第十二控制极和第十二输入极皆电性连接所述第一固定电压，其第十二输出极电性连接所述第二晶体管的所述第二控制极；及第十三晶体管，其第十三控制极电性连接所述输出端，其第十三输入极电性连接所述第二晶体管的所述第二控制极，其第十三输出极电性连接所述第二固定电压。

[15] 依据本发明的实施例，所述驱动电路另包含第十四晶体管，其第十四控制极电性连接所述第二控制节点，其第十四输入极电性连接所述第二晶体管的所述第二控制极，其第十四输出极电性连接所述第二固定电压。

[16] 依据本发明的实施例，所述栅极驱动电路另包含第二电容，其两端电性连接所述第一控制节点和所述输出端。

[17] 本发明的技术方案又提供一种液晶显示器包含源极驱动器以及如上述的栅极驱

动电路，所述栅极驱动电路输出扫描信号使得数个所述晶体管开启，同时所述源极驱动器输出对应的数据信号至数个所述像素单元使其显示灰阶。

发明的有益效果

有益效果

- [18] 相较于现有技术，本发明的GOA电路单元利用锁存模块取代电容。因为锁存模块的第二晶体管在所述扫描信号没有产生脉冲时开启，使得第一晶体管和第三晶体管能将第一控制节点的电压锁存。同时因为晶体管在第一控制节点和第一固定电压之间形成直流通路，因此第一控制节点的电压不会因漏电而变化。另外，由于第二电容会耦合(couple)第一控制节点的电压，使得GOA电路单元输出的扫描信号的脉冲具有理想电平。此外，在非扫描期间，第八晶体管因第二控制节点的电压而开启，使得输出控制模块因第一控制节点的电压被下拉而关闭，因此GOA电路单元输出的扫描信号为低电平。因此本发明解决现有技术采用电容的GOA电路单元容易发生漏电的技术问题，具有提升GOA电路单元输出扫描信号稳定性的有益效果。

对附图的简要说明

附图说明

- [19] 图1是本发明的液晶显示器的功能方块图。
- [20] 图2是本发明第一实施例的GOA电路单元的电路图。
- [21] 图3是图2所示各种输入信号、输出信号和节点电压的时序图。
- [22] 图4是本发明第二实施例的GOA电路单元的电路图。
- [23] 图5是本发明第三实施例的GOA电路单元的电路图。
- [24] 图6是图5所示各种输入信号、输出信号和节点电压的时序图。
- [25] 图7是本发明第四实施例的GOA电路单元的电路图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [26] 请参阅图1，图1是本发明的液晶显示器10的功能方块图。液晶显示器10包含玻璃基板14、时序控制器30以及源极驱动器(source driver)16。玻璃基板14上设置数

个呈矩阵排列的像素(pixel)和栅极驱动(GOA)电路12, 而每一个像素包含三个分别代表红绿蓝(RGB)三原色的像素单元20构成。时序控制器30用来产生时钟信号CK1-CK4以及起始信号STV1、STV2。GOA电路12每隔一固定间隔输出扫描信号使得每一行的晶体管22依序开启, 同时源极驱动器16则输出对应的数据信号至一整列的像素单元20使其充电到各自所需的电压, 以显示不同的灰阶。当同一行充电完毕后, GOA电路12便将该行的扫描信号关闭, 然后GOA电路12再输出扫描信号将下一行的晶体管22打开, 再由源极驱动器16对下一行的像素单元20进行充放电。如此依序下去, 直到所有像素单元20都充电完成, 再从第一行开始充电。以一个 1024×768 分辨率的液晶显示器10以及60Hz的更新频率为例, 共需要 $1024 \times 768 \times$

3个像素单元20组合而成, 每一个画面的显示时间约为 $1/60=16.67\text{ms}$ 。图1所示的GOA电路12 控制包含N个GOA电路单元SR(1)、...、SR(N), N等于768。

- [27] 请参阅图1和图2, 图2是本发明第一实施例的GOA电路单元SR(n)的电路图。为了让液晶显示器10两边的非显示区(也就是玻璃基板14放置GOA电路12的区域)变窄, 玻璃基板14的两侧都有设置GOA电路12。GOA电路12包含数个串接(cascade-connected)的GOA电路单元SR(n)。较佳地, 两个GOA电路12分别包含用于产生奇数扫描信号G(1)、G(3)、...、G(767)的GOA电路单元SR(1)、SR(3)、...、SR(767), 以及用于产生偶数扫描信号G(2)、G(4)、...、G(768)的GOA电路单元SR(2)、SR(4)、...、SR(768)。当GOA电路单元SR(1)接收到起始信号STV1时, 就会依据时钟信号CK1和CK2产生扫描信号G(1)。当GOA电路单元SR(2)接收到起始信号STV2时, 就会依据时钟信号CK2和CK3产生扫描信号G(2)。接下来, 每一级GOA电路单元SR(n)用来依据前两级GOA电路单元SR(n-2)输出的扫描信号G(n-2)、第一时钟信号CKV1、第二时钟信号CKV2, 在输出端OUT输出扫描信号G(n)。第一时钟信号CKV1和第二时钟信号CKV2分别表示四个时钟信号CK1-CK4的其中两个时钟信号。四个时钟信号CK1-CK4轮流产生脉冲, 且彼此产生脉冲的时间互不重叠。具体来说, GOA电路单元SR(1)、SR(5)、...、SR(N-3)是依据时钟信号CK1和CK2(分别表示图2的第一时钟信号CKV1和第二时钟信号CKV2)产生扫描信号G(1)、G(5)、...、G(N-3); GOA电路单元SR(2)、SR(6)、...、SR(N-2)

)是依据时钟信号CK2和CK3(分别表示图2的第一时钟信号CKV1和第二时钟信号CKV2)产生扫描信号G(2)、G(6)、...、G(N-2); GOA电路单元SR(3)、SR(7)、...、SR(N-1)是依据时钟信号CK3和CK4(分别表示图2的第一时钟信号CKV1和第二时钟信号CKV2)产生扫描信号G(3)、G(7)、...、G(N-1); GOA电路单元SR(4)、SR(8)、...、SR(N)是依据时钟信号CK4和CK1(分别表示图2的第一时钟信号CKV1和第二时钟信号CKV2)产生扫描信号G(4)、G(8)、...、G(N)。

[28] 每一级GOA电路单元SR(n)包含输入控制模块100、锁存模块200、输出控制模块300、稳压模块400、上拉模块500、下拉维持模块600和驱动模块700。输入控制模块100用于接收前两级GOA电路单元SR(n-2)输出的扫描信号G(n-2)时导通。锁存模块200电性连接输入控制模块100和第一控制节点Q(n)，用来锁存第一控制节点Q(n)的电平。输出控制模块300电性连接第一控制节点Q(n)，用来依据施加于第一控制节点Q(n)的电压，控制输出的扫描信号G(n)。稳压模块400电性连接锁存模块200，用来防止漏电。上拉模块500电性连接第二控制节点P(n)，用于接收第二时钟信号CKV2时，使得第二控制节点P(n)处于高电平。下拉维持模块600电性连接输入控制模块100、锁存模块200、输出控制模块300、上拉模块500和稳压模块400，用来维持第二控制节点P(n)在非扫描期间的低电平，以及维持扫描信号G(n)的低电平。驱动模块700电性连接输出端OUT及第二晶体管T2，用于输出扫描信号G(n)的脉冲时，输出驱动信号TR1以开启第二晶体管T2。

[29] 锁存模块200包含第一晶体管T1、第二晶体管T2以及第三晶体管T3。第一晶体管T1的第一控制端电性连接输入控制模块100，其第一输入端电性连接第一固定电压V1，其第一输出端电性连接第一控制节点Q(n)。第二晶体管T2的第二控制端电性连接驱动信号TR1，其第二输入端电性连接第一晶体管T1的第一输出端，其第二输出端电性连接第一控制节点Q(n)。第三晶体管T3的第三控制端和第三输出端皆电性连接第一控制节点Q(n)，其第三输入端电性连接输入控制模块100。

[30] 稳压模块400包含第四晶体管T4。第四晶体管T4的第四控制极电性连接第一固定电压V1，其第四输入极电性连接第一晶体管T1的第一控制极，其第四输出极电性连接第二控制节点P(n)。

- [31] 上拉模块500包含第五晶体管T5。第五晶体管T5的第五控制极电性连接第二时钟信号CKV2，其第五输入极电性连接第一固定电压V1，其第五输出极电性连接第二控制节点P(n)。
- [32] 下拉维持模块600包含第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9和第一电容C1。第六晶体管T6的第六控制极电性连接第二时钟信号CKV2，其第六输入极电性连接第四晶体管T4的第四输出极，其第六输出极电性连接第二固定电压V2。第七晶体管T7的第七控制极电性连接第四晶体管T4的第四输出极，其第七输入极电性连接第二控制节点P(n)，其第七输出极电性连接第二固定电压V2。第八晶体管T8的第八控制极电性连接第二控制节点P(n)，其第八输入极电性连接第一控制节点Q(n)，其第八输出极电性连接第二固定电压V2。第九晶体管T9的第九控制极电性连接第二控制节点P(n)，其第九输入极电性连接输出端OUT，其第九输出极电性连接第二固定电压V2。第一电容C1的两端电性连接第二控制节点P(n)和第二固定电压V2。
- [33] 输入控制模块100包含第十晶体管T10。第十晶体管T10的第十控制极和第十输入极电性连接前两级GOA电路单元SR(n-2)输出的扫描信号G(n-2)，其第十输出极电性连接第一晶体管T1的第一控制极。
- [34] 输出控制模块300包含第十一晶体管T11。第十一晶体管T11的第十一控制极电性连接第一控制节点Q(n)，其第十一输入极电性连接第一时钟信号CKV1，其第十一输出极电性连接输出端OUT。
- [35] 驱动电路700是反相器，其用来反相输出端OUT的扫描信号G(n)以输出驱动信号TR1。驱动电路700包含第十二晶体管T12和第十三晶体管T13，第十二晶体管T12的第十二控制极和第十二输入极皆电性连接第一固定电压V1，其第十二输出极电性连接第二晶体管T2的第二控制极。第十三晶体管T13的第十三控制极电性连接输出端OUT，其第十三输入极电性连接第二晶体管T2的第二控制极，其第十三输出极电性连接第二固定电压V2。
- [36] 栅极驱动电路SR(n)另包含第二电容C2。第二电容C2的两端电性连接第一控制节点Q(n)和输出端OUT。
- [37] 图2的GOA电路单元SR(n)的所有晶体管皆为N型金属氧化物(N-type metal oxide

semiconductor, NMOS)晶体管。较佳地,所有晶体管T1-T13的控制极、输入极和输出极分别是晶体管T1-T13的栅极、漏极和源极,第一固定电压V1为高电平,第二固定电压V2为低电平。晶体管T1-T13的输入极和输出极也分别可以是晶体管的源极和漏极。

[38] 请一并参阅图3,图3是图2所示各种输入信号、输出信号和节点电压的时序图。每一GOA电路单元SR(n)输出扫描信号G(n)的期间,亦即图3所示的t3,称之为扫描期间,其余时间称为非扫描期间。非扫描期间又分为预充电期间t1-t2及等待(idle)期间t5。为便于说明,以下实施例是以采用时钟信号CK1和CK2(分别表示图2的第一时钟信号CKV1和第二时钟信号CKV2)的GOA电路单元SR(n)为例。

[39] 在时段t1时,晶体管T10的第十控制极接收高电平的扫描信号G(n-2)时,晶体管T10将高电平的扫描信号G(n-2)传送至晶体管T1的第一控制极,使得晶体管T1导通。同时,晶体管T6的第六控制极因接收高电平的第一固定电压V1而导通高电平的扫描信号G(n-2)至晶体管T9的第九控制极。因此晶体管T9导通低电平的第二固定电压V2至第二控制节点P(n)。此时,晶体管T5导通低电平的第一时钟信号CKV1至输出端OUT,所以扫描信号G(n)处于低电平。因为驱动模块700会反相扫描信号G(n)以输出高电平的驱动信号TR1,所以晶体管T2会开启。晶体管T1、T2皆开启,将高电平的第一固定电压V1导通至第一控制节点Q(n)。

[40] 在时段t2时,晶体管T1和T9皆不导通,此时通过锁存模块200的晶体管T1和T3将第一控制节点Q(n)的电压锁存(hold)在高电平。因为晶体管T1、T2在第一控制节点Q(n)和高电平的第一固定电压V1之间形成直流通路,因此第一控制节点Q(n)的电压不会因漏电而降低。此时,晶体管T5导通低电平的第一时钟信号CKV1至输出端OUT,所以扫描信号G(n)处于低电平。低电平的扫描信号G(n)会输出高电平的驱动信号TR1,使得晶体管T2开启。

[41] 在时段t3时,当晶体管T5的第五控制极接收锁存在第一控制节点Q(n)的高电平电压时,将高电平的第一时钟信号CKV1导通至输出端OUT而形成扫描信号G(n)的脉冲。高电平的扫描信号G(n)会输出低电平的驱动信号TR1,使得晶体管T2关闭。因此,第二电容C2会耦合第一控制节点Q(n)的电压,使得扫描信号G(n)脉冲的电平随着第一控制节点Q(n)的电压而上升,达到理想的高电平。高电平的扫描

信号G(n)会输出低电平的驱动信号TR1, 使得晶体管T2关闭不导通。

[42] 在时段t4时, 晶体管T5和T6因为高电平的第二时钟信号CKV2而开启, 高电平的第一固定电压V1会传送至第二控制节点P(n)。第八晶体管T8的第八控制极和晶体管T9的第九控制极因第二控制节点P(n)处于高电平而开启, 使得第一控制节点Q(n)和输出端OUT皆下拉为稳定的低电平。此时扫描信号G(n)处于低电平。低电平的扫描信号G(n)会输出高电平的驱动信号TR1, 使得晶体管T2开启。

[43] 请参阅图4, 图4是本发明第二实施例的GOA电路单元SR(n)的电路图。不同于图2, 图4的GOA电路单元SR(n)的所有晶体管皆为P型金属氧化物半导体(P-type metal oxide semiconductor, PMOS)晶体管, 第一固定电压V2为低电平, 第二固定电压V1为高电平。除了组件的连接与运作模式皆与图5相同之外, 用来驱动PMOS晶体管的信号和PMOS晶体管输出信号的电平正好相反于NMOS晶体管, 此为技术领域技术人员所熟知的, 在此不另赘述。此外, 本领域技术人员可以根据本发明的电路将其中全部或是部分NMOS晶体管以PMOS晶体管取代, 以实现同样功能的GOA电路单元。

[44] 相较于现有技术, 本发明的GOA电路单元SR(n)利用锁存模块200取代电容。因为锁存模块200的第二晶体管T2在扫描信号G(n)没有产生脉冲时开启, 使得第一晶体管T1和第三晶体管T3能将第一控制节点Q(n)的电压锁存。同时因为晶体管T1、T2在第一控制节点Q(n)和第一固定电压V1之间形成直流通路, 因此第一控制节点Q(n)的电压不会因漏电而变化。另外, 由于第二电容C2会耦合第一控制节点Q(n)的电压, 使得输出的扫描信号G(n)的脉冲具有理想电平。因此本发明解决现有技术采用电容的GOA电路单元容易发生漏电的技术问题, 具有提升GOA电路单元输出扫描信号稳定性的有益效果。

[45] 请参阅图5, 图5是本发明第三实施例的GOA电路单元SR(n)的电路图。图2所示的GOA电路单元SR(n)与图5所示的GOA电路单元SR(n)具有相同编号的组件, 其功能与运作是相同的, 在此不另赘述。不同于图2的GOA电路单元SR(n), 本实施例GOA电路单元SR(n)的第二晶体管T2的第二控制端电性连接驱动信号TR2, 且驱动模块800是或非门(NOR gate)电路, 其用来依据扫描信号G(n)和施加于第

二控制节点P(n)的电压执行或非运算(NOR operation)以输出驱动信号TR2。驱动电路800包含第十二晶体管T12、第十三晶体管T13和第十四晶体管T14。第十二晶体管T12的第十二控制极和第十二输入极皆电性连接第一固定电压V1，其第十二输出极电性连接第二晶体管T2的第二控制极。第十三晶体管T13的第十三控制极电性连接输出端OUT，其第十三输入极电性连接第二晶体管T2的第二控制极，其第十三输出极电性连接第二固定电压V2。第十四晶体管T14的第十四控制极电性连接第二控制节点P(n)，其第十四输入极电性连接第二晶体管T2的第二控制极，其第十四输出极电性连接第二固定电压V2。

[46] 图5的GOA电路单元SR(n)的所有晶体管皆为N型金属氧化物半导体(N-type metal oxide semiconductor, NMOS)晶体管。较佳地，所有晶体管T1-T14的控制极、输入极和输出极分别是晶体管T1-T14的栅极、漏极和源极，第一固定电压V1为高电平，第二固定电压V2为低电平。晶体管T1-T14的输入极和输出极也分别可以是晶体管的源极和漏极。

[47] 请一并参阅图6，图6是图5所示各种输入信号、输出信号和节点电压的时序图。每一GOA电路单元SR(n)输出扫描信号G(n)的期间，亦即图6所示的t3，称之为扫描期间，其余时间称为非扫描期间。非扫描期间又分为预充电期间t1-t2及等待(idle)期间t5。为便于说明，以下实施例是以采用时钟信号CK1和CK2(分别表示图2的第一时钟信号CKV1和第二时钟信号CKV2)的GOA电路单元SR(n)为例。

[48] 在时段t1时，晶体管T10的第十控制极接收高电平的扫描信号G(n-2)时，晶体管T10将高电平的扫描信号G(n-2)传送至晶体管T1的第一控制极，使得晶体管T1导通。同时，晶体管T6的第六控制极因接收高电平的第一固定电压V1而导通高电平的扫描信号G(n-2)至晶体管T9的第九控制极。因此晶体管T9导通低电平的第二固定电压V2至第二控制节点P(n)。此时，晶体管T5导通低电平的第一时钟信号CKV1至输出端OUT，所以扫描信号G(n)处于低电平。因为扫描信号G(n)为低电平且施加于第二控制节点P(n)的电压亦处于低电平，因此驱动模块800会执行或非运算而输出高电平的驱动信号TR2，所以晶体管T2会开启。此时，晶体管T1、T2皆开启，将高电平的第一固定电压V1导通至第一控制节点Q(n)。

[49] 在时段t2时，晶体管T1和T9皆不导通，此时通过锁存模块200的晶体管T1和T3

将第一控制节点Q(n)的电压锁存(hold)在高电平。因为晶体管T1、T2在第一控制节点Q(n)和高电平的第一固定电压V1之间形成直流通路，因此第一控制节点Q(n)的电压不会因漏电而降低。此时，晶体管T5导通低电平的第一时钟信号CKV1至输出端OUT，所以扫描信号G(n)处于低电平。因为扫描信号G(n)为低电平且施加于第二控制节点P(n)的电压亦处于低电平，因此驱动模块800会执行或非运算而输出高电平的驱动信号TR2，所以晶体管T2会开启。

[50] 在时段t3时，当晶体管T5的第五控制极接收锁存在第一控制节点Q(n)的高电平电压时，将高电平的第一时钟信号CKV1导通至输出端OUT而形成扫描信号G(n)的脉冲。高电平的扫描信号G(n)会输出低电平的驱动信号TR2，使得晶体管T2关闭。因此，第二电容C2会耦合第一控制节点Q(n)的电压，使得扫描信号G(n)脉冲的电平随着第一控制节点Q(n)的电压而上升，达到理想的高电平。因为扫描信号G(n)为高电平且施加于第二控制节点P(n)的电压处于低电平，因此驱动模块800会执行或非运算而输出低电平的驱动信号TR2，所以晶体管T2会关闭而不导通。

[51] 在时段t4时，晶体管T5和T6因为高电平的第二时钟信号CKV2而开启，高电平的第一固定电压V1会传送至第二控制节点P(n)。第八晶体管T8的第八控制极和晶体管T9的第九控制极因第二控制节点P(n)处于高电平而开启，使得第一控制节点Q(n)和输出端OUT皆下拉为稳定的低电平。

[52] 在t4-t5期间，因为扫描信号G(n)为低电平且施加于第二控制节点P(n)的电压处于高电平，因此驱动模块800会执行或非运算而输出低电平的驱动信号TR2，所以晶体管T2会关闭而不导通。

[53] 在非扫描期间t1-t2和t4-t5，第八晶体管T8和第九晶体管T9因第二控制节点P(n)的电压而开启，使得输出控制模块300因第一控制节点Q(n)的电压被下拉为低电平的第二固定电压V2而关闭。同时第九晶体管T9开启而导通低电平的第二固定电压V2至输出端OUT，因此扫描信号G(n)会是稳定的低电平。

[54] 请参阅图7，图7是本发明第四实施例的GOA电路单元SR(n)的电路图。不同于图5，图7的GOA电路单元SR(n)的所有晶体管皆为P型金属氧化物半导体(P-type metal oxide

semiconductor, PMOS)晶体管，第一固定电压V2为低电平，第二固定电压V1为

高电平。除了组件的连接与运作模式皆与图5相同之外，用来驱动PMOS晶体管的信号和PMOS晶体管输出信号的电平正好相反于NMOS晶体管，此为技术领域技术人员所熟知的，在此不另赘述。此外，本领域技术人员可以根据本发明的电路将其中全部或是部分NMOS晶体管以PMOS晶体管取代，以实现同样功能的GOA电路单元。

[55] 相较于现有技术，本发明的GOA电路单元SR(n)利用锁存模块200取代电容。因为锁存模块200的第二晶体管T2在扫描信号G(n)没有产生脉冲时开启，使得第一晶体管T1和第三晶体管T3能将第一控制节点Q(n)的电压锁存。同时因为晶体管T1、T2在第一控制节点Q(n)和第一固定电压V1之间形成直流通路，因此第一控制节点Q(n)的电压不会因漏电而变化。另外，由于第二电容C2会耦合第一控制节点Q(n)的电压，使得输出的扫描信号G(n)的脉冲具有理想电平。此外，在非扫描期间，第八晶体管T8因第二控制节点P(n)的电压而开启，使得输出控制模块300因第一控制节点Q(n)的电压被下拉而关闭，因此扫描信号G(n)为低电平。因此本发明解决现有技术采用电容的GOA电路单元容易发生漏电的技术问题，具有提升GOA电路单元输出扫描信号稳定性的有益效果。

[56] 综上所述，虽然本发明已以较佳实施例揭露如上，但该较佳实施例并非用以限制本发明，该领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1]

一种栅极驱动电路，其包含：

数个GOA电路单元，数个所述GOA电路单元以串联的方式耦接，每一级GOA电路单元用来依据前两级GOA电路单元输出的扫描信号、第一时钟信号以及第二时钟信号，在输出端输出扫描信号，其中每一级GOA电路单元包含：

输入控制模块，用于接收所述前两级GOA电路单元输出的扫描信号时导通；

锁存模块，电性连接所述输入控制模块和第一控制节点，用来锁存所述第一控制节点的电平，其包含：

第一晶体管，其第一控制端电性连接所述输入控制模块，其第一输入端电性连接第一固定电压，其第一输出端电性连接所述第一控制节点；

第二晶体管，其第二控制端电性连接驱动信号，其第二输入端电性连接所述第一晶体管的第一输出端，其第二输出端电性连接所述第一控制节点；以及

第三晶体管，其第三控制端和第三输出端皆电性连接所述第一控制节点，其第三输入端电性连接所述输入控制模块；

输出控制模块，电性连接所述第一控制节点，用来依据施加于所述第一控制节点的电压，控制输出的所述扫描信号；

稳压模块，电性连接所述锁存模块，用来防止漏电；

上拉模块，电性连接第二控制节点，用于接收所述第二时钟信号时，使得所述第二控制节点处于高电平；

下拉维持模块，电性连接所述输入控制模块、所述锁存模块、所述输出控制模块、所述上拉模块和所述稳压模块，用来维持所述第二控制节点在非扫描期间的低电平，以及维持所述扫描信号的低电平；及

驱动模块，电性连接所述输出端及所述第二晶体管，用于输出

所述扫描信号的脉冲时，输出所述驱动信号以开启所述第二晶体管。

[权利要求 2] 如权利要求1所述的栅极驱动电路，其中所述稳压模块包含第四晶体管，其第四控制极电性连接所述第一固定电压，其第四输入极电性连接所述第一晶体管的第一控制极，其第四输出极电性连接所述第二控制节点。

[权利要求 3] 如权利要求2所述的栅极驱动电路，其中所述上拉模块包含第五晶体管，其第五控制极电性连接所述第二时钟信号，其第五输入极电性连接所述第一固定电压，其第五输出极电性连接所述第二控制节点。

[权利要求 4] 如权利要求3所述的栅极驱动电路，其中所述下拉维持模块包含：
第六晶体管，其第六控制极电性连接所述第二时钟信号，其第六输入极电性连接所述第四晶体管的第四输出极，其第六输出极电性连接所述第二固定电压；
第七晶体管，其第七控制极电性连接所述第四晶体管的第四输出极，其第七输入极电性连接所述第二控制节点，其第七输出极电性连接所述第二固定电压；
第八晶体管，其第八控制极电性连接所述第二控制节点，其第八输入极电性连接所述第一控制节点，其第八输出极电性连接所述第二固定电压；
第九晶体管，其第九控制极电性连接所述第二控制节点，其第九输入极电性连接所述输出端，其第九输出极电性连接所述第二固定电压；及
第一电容，其两端电性连接所述第二控制节点和所述第二固定电压。

[权利要求 5] 如权利要求1所述的栅极驱动电路，其中所述输入控制模块包含第十晶体管，其第十控制极和第十输入极电性连接所述前两级GOA电路单元输出的扫描信号，其第十输出极电性连接所述第一晶体

管的第一控制极。

- [权利要求 6] 如权利要求1所述的栅极驱动电路，其中所述输出控制模块包含第十一晶体管，其第十一控制极电性连接所述第一控制节点，其第十一输入极电性连接所述第一时钟信号，其第十一输出极电性连接所述输出端。
- [权利要求 7] 如权利要求1所述的栅极驱动电路，其中所述驱动电路是反相器，其用来反相所述输出端的所述扫描信号以输出为所述驱动信号。
- [权利要求 8] 如权利要求1所述的栅极驱动电路，其中所述驱动电路是或非门电路，其电性连接所述输出端和所述第二控制节点，用来依据所述扫描信号和施加于所述第二控制节点的电压执行或非运算以输出所述驱动信号。
- [权利要求 9] 如权利要求1所述的栅极驱动电路，其中所述驱动电路包含：
第十二晶体管，其第十二控制极和第十二输入极皆电性连接所述第一固定电压，其第十二输出极电性连接所述第二晶体管的所述第二控制极；及
第十三晶体管，其第十三控制极电性连接所述输出端，其第十三输入极电性连接所述第二晶体管的所述第二控制极，其第十三输出极电性连接所述第二固定电压。
- [权利要求 10] 如权利要求9所述的栅极驱动电路，其中所述驱动电路另包含：
第十四晶体管，其第十四控制极电性连接所述第二控制节点，其第十四输入极电性连接所述第二晶体管的所述第二控制极，其第十四输出极电性连接所述第二固定电压。
- [权利要求 11] 如权利要求1所述的栅极驱动电路，其另包含：第二电容，其两端电性连接所述第一控制节点和所述输出端。
- [权利要求 12] 一种显示器，其包含源极驱动器以及权利要求1所述的栅极驱动电路，所述源极驱动器用来输出数据信号至数个像素单元使其显示灰阶。

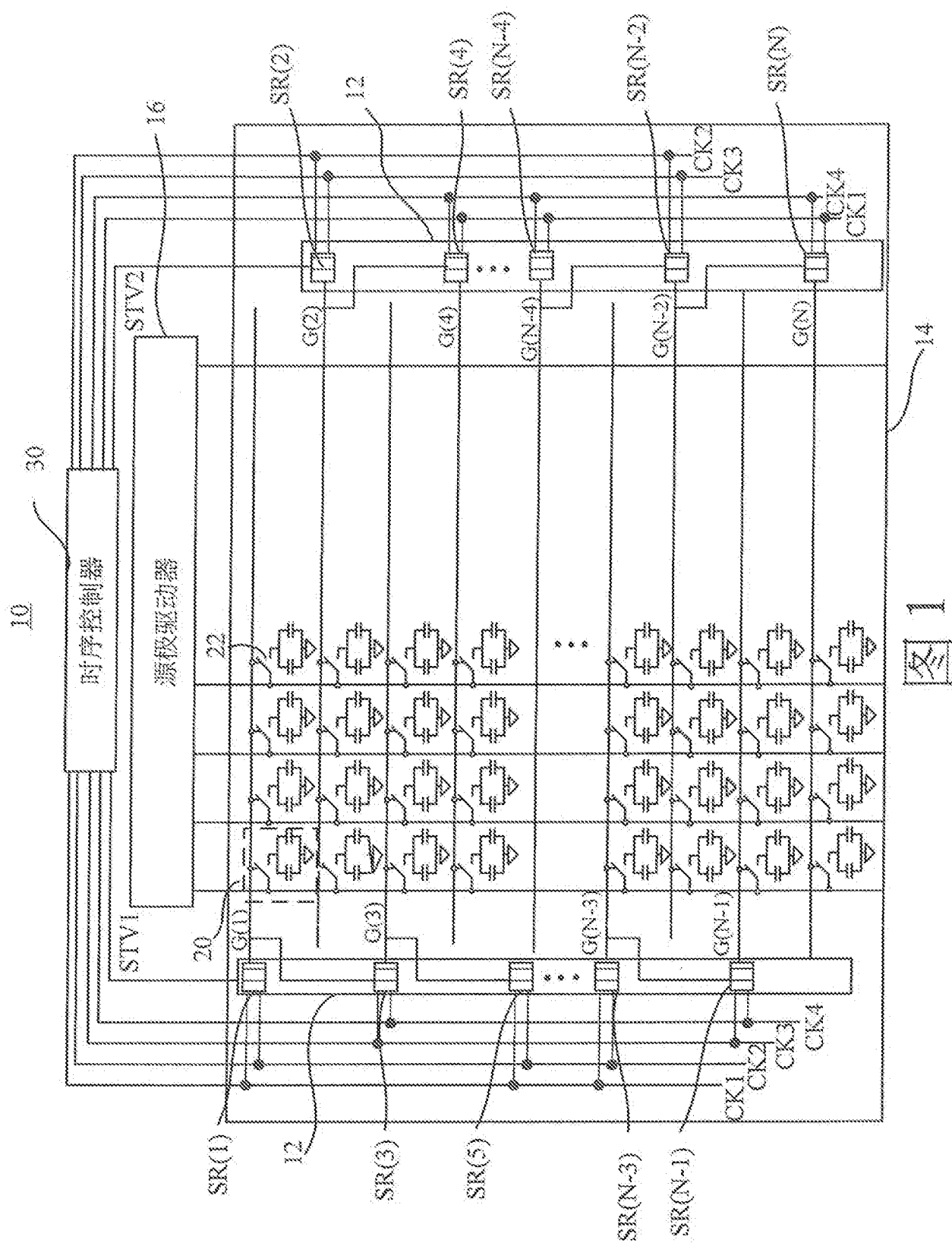


图 1

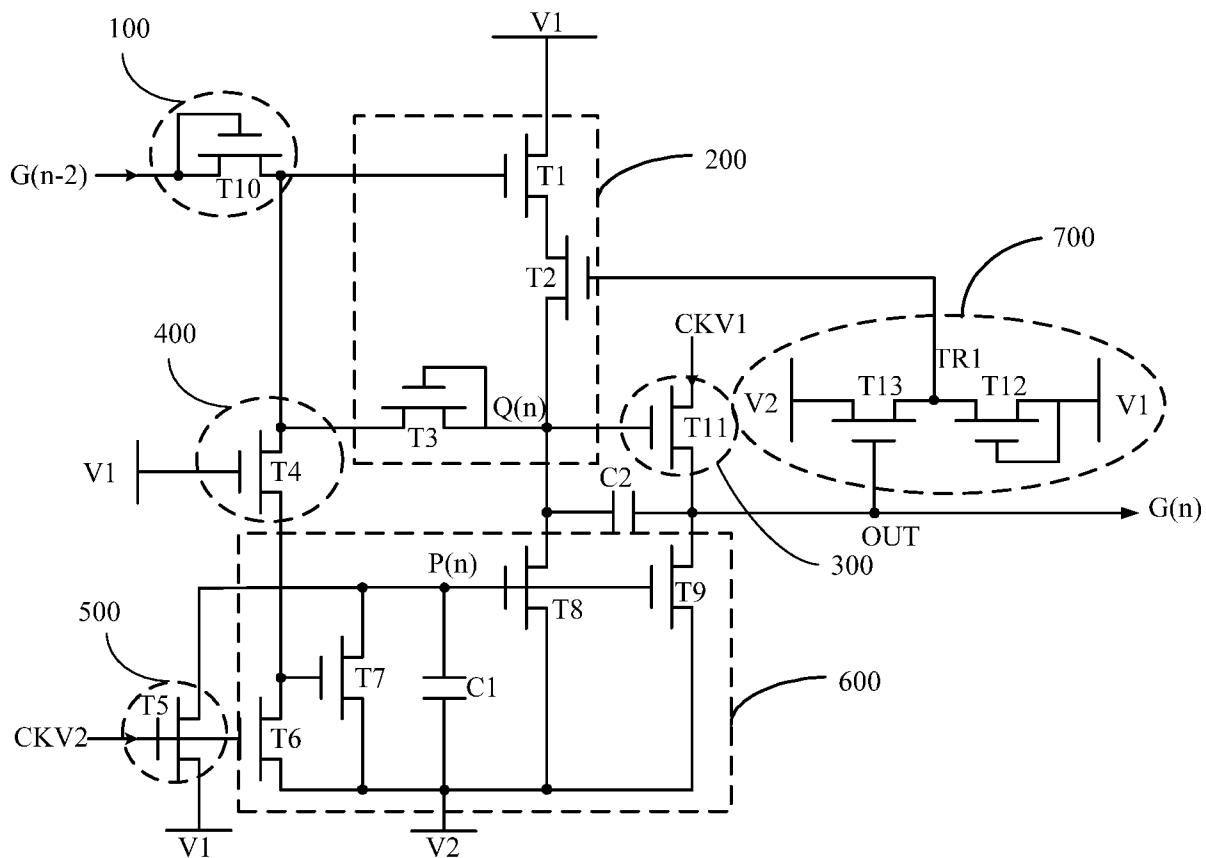


图 2

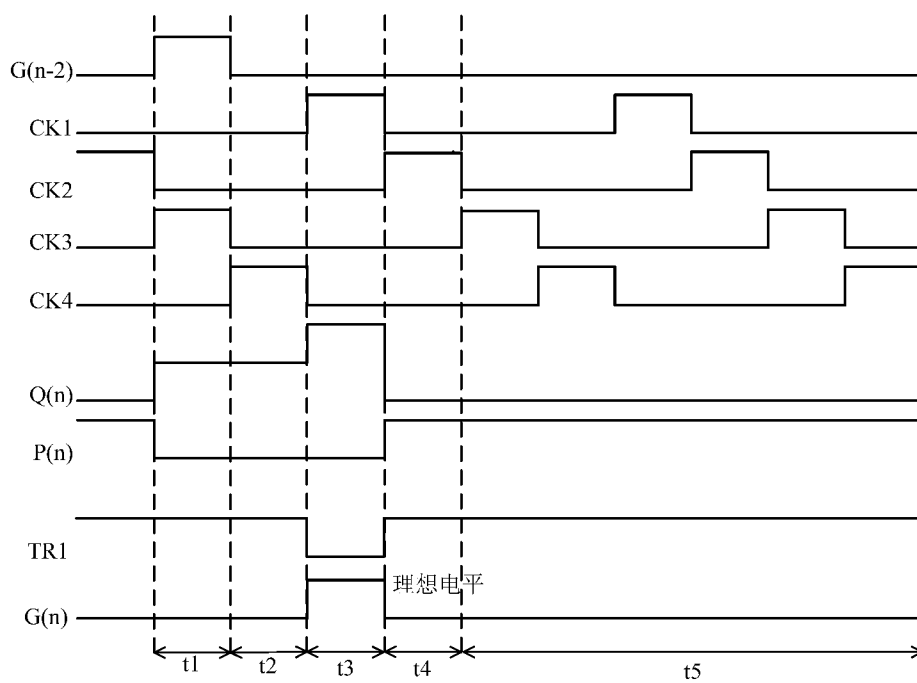
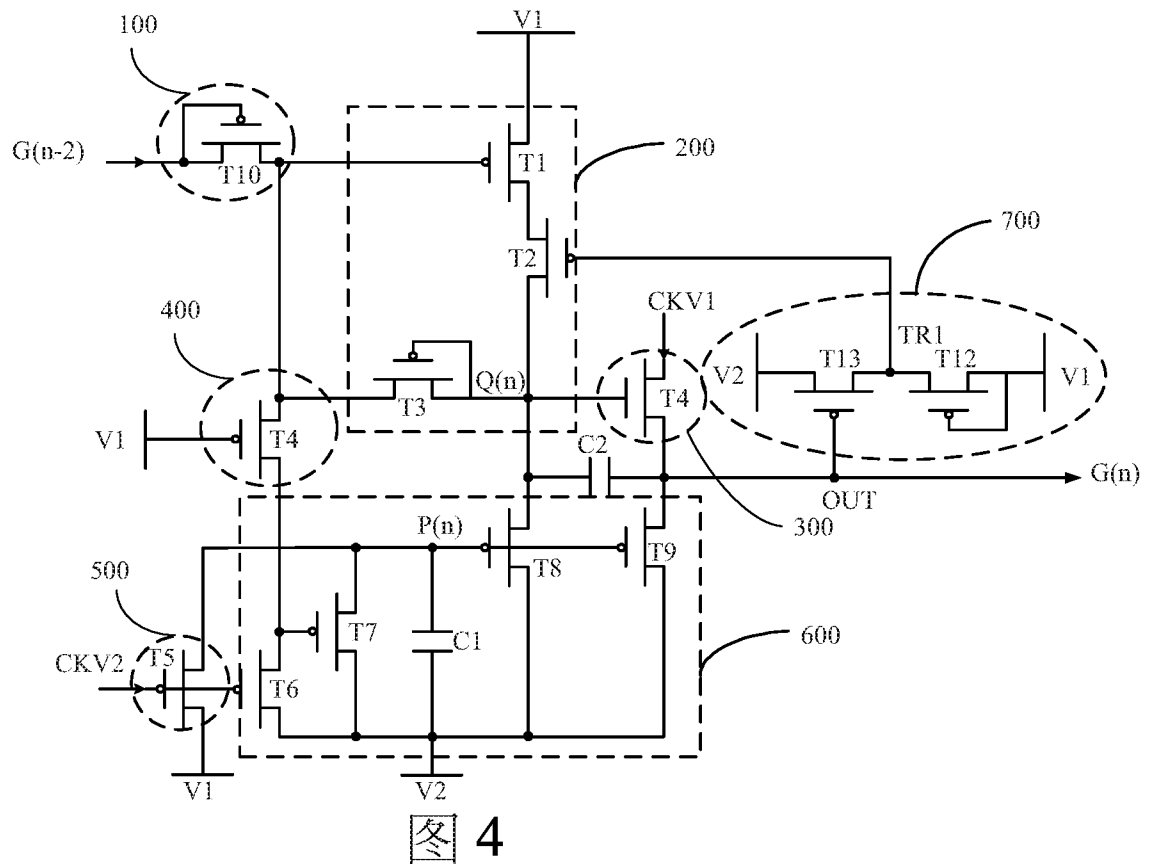


图 3



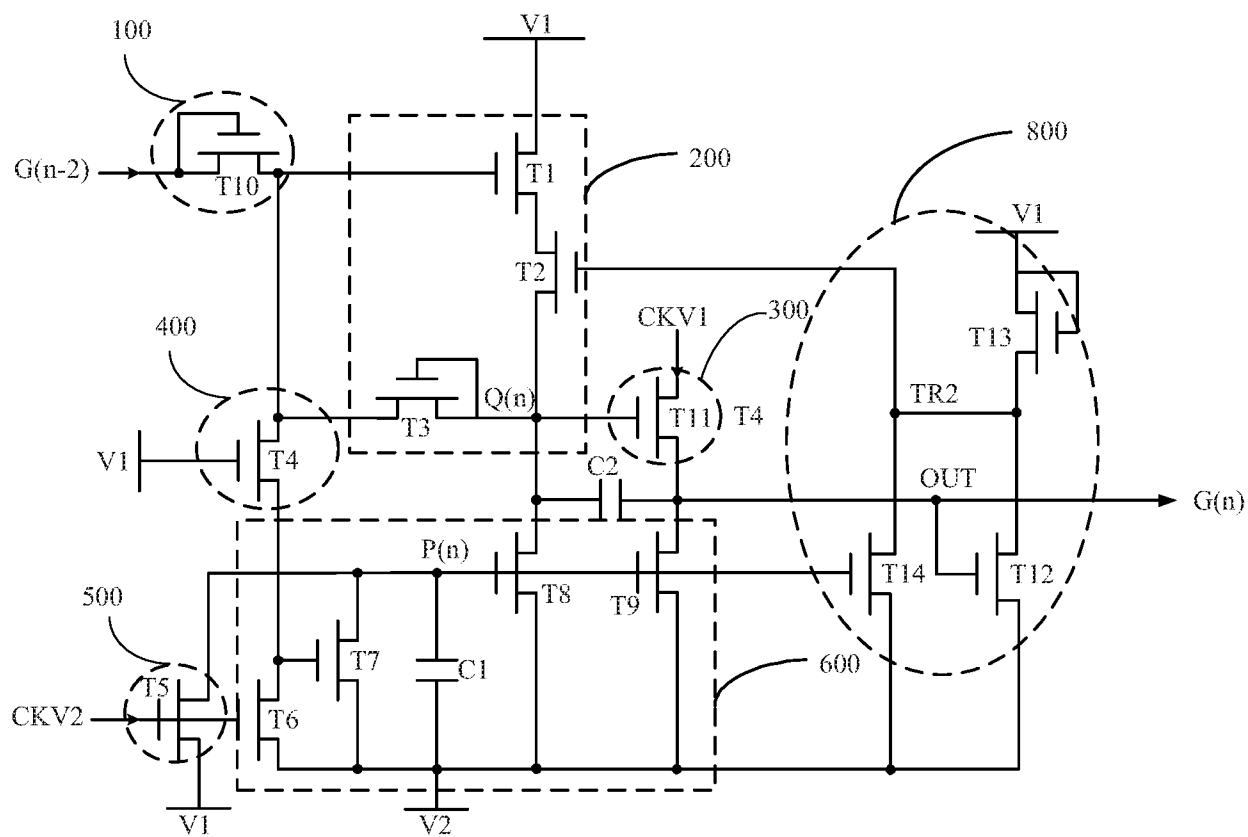


图 5

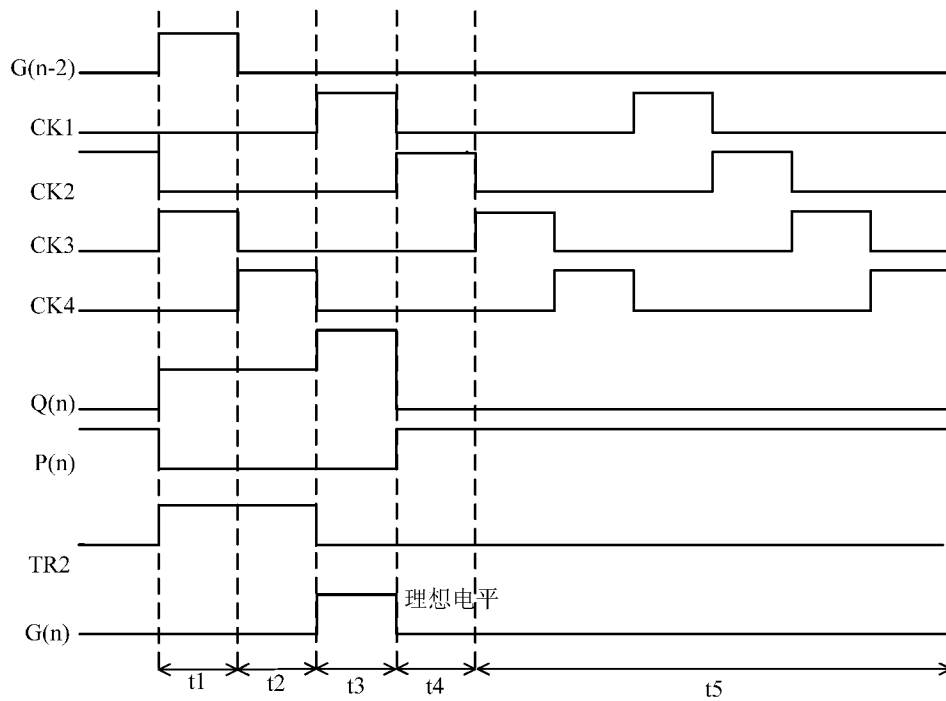
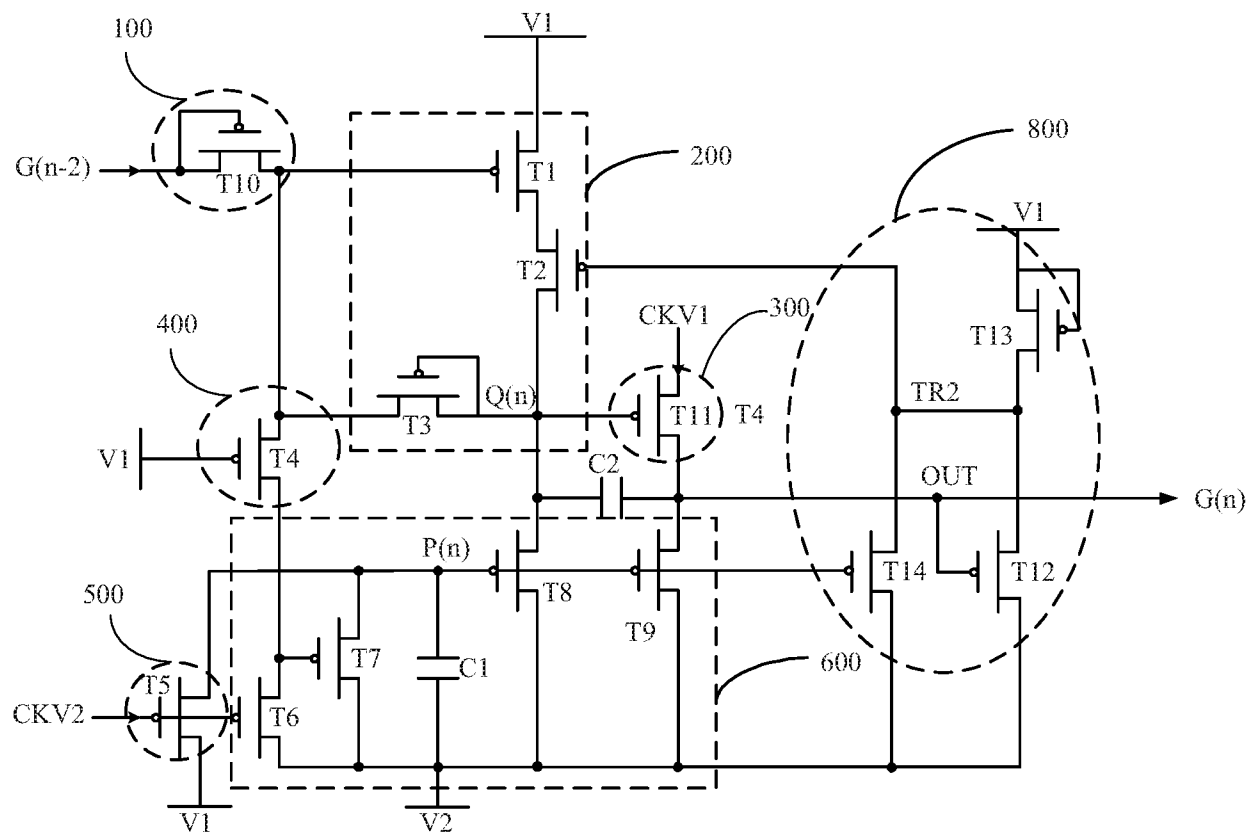


图 6



冬 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/074462

A. CLASSIFICATION OF SUBJECT MATTER

G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: ZHAO, Mang; cache, temporary storage, inverter, feeding, node, voltage regulation, 2 bits, denoising, impurity removal, latch, flip, shift register, SR, OUT, G(n), 2H, twice, bits, increa+, lengthen+, extend+, delay+, prolong+, protract+, precharg+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105206246 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 30 December 2015 (30.12.2015), description, paragraphs [0002] and [0024]-[0035], and figures 1-4	1-12
A	CN 104332127 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 04 February 2015 (04.02.2015), the whole document	1-12
A	CN 104700805 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 10 June 2015 (10.06.2015), the whole document	1-12
A	CN 104756405 A (SHARP KABUSHIKI KAISHA), 01 July 2015 (01.07.2015), the whole document	1-12
A	US 2007274432 A1 (AU OPTRONICS CORP.), 29 November 2007 (29.11.2007), the whole document	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 29 August 2016 (29.08.2016)	Date of mailing of the international search report 28 September 2016 (28.09.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Xiaolan Telephone No.: (86-10) 62414452

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/074462

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105206246 A	30 December 2015	None	
CN 104332127 A	04 February 2015	None	
CN 104700805 A	10 June 2015	None	
CN 104756405 A	01 July 2015	WO 2014073362 A1	15 May 2014
		US 2015295565 A1	15 October 2015
US 2007274432 A1	29 November 2007	TW I329298 B	21 August 2010
		US 7406146 B2	29 July 2008
		TW 200744061 A	01 December 2007

A. 主题的分类 G11C 19/28 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G; G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI, WPI, EPDOC: 赵莽, 锁存, 移位寄存, 缓存, 暂存, 反向器, 反相器, 馈, 节点, 结点, 预充电, 增, 延, 稳压, 两位, 2位, 2比特, 两比特, 去噪, 降噪, 去杂, 降杂, 除噪, 除杂, latch, flip, shift register, SR, OUT, G(n), 2H, twice, bits, increat+, lengthen+, extend+, delay+, prolong+, protract+, precharg+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 105206246 A (武汉华星光电技术有限公司) 2015年 12月 30日 (2015 - 12 - 30) 说明书第0002、0024-0035段, 附图1-4	1-12
A	CN 104332127 A (北京大学深圳研究生院) 2015年 2月 4日 (2015 - 02 - 04) 全文	1-12
A	CN 104700805 A (京东方科技集团股份有限公司 等) 2015年 6月 10日 (2015 - 06 - 10) 全文	1-12
A	CN 104756405 A (夏普株式会社) 2015年 7月 1日 (2015 - 07 - 01) 全文	1-12
A	US 2007274432 A1 (AU OPTRONICS CORP.) 2007年 11月 29日 (2007 - 11 - 29) 全文	1-12
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2016年 8月 29日		国际检索报告邮寄日期 2016年 9月 28日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 李小兰 电话号码 (86-10) 62414452

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/074462

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105206246	A	2015年 12月 30日	无			
CN	104332127	A	2015年 2月 4日	无			
CN	104700805	A	2015年 6月 10日	无			
CN	104756405	A	2015年 7月 1日	WO	2014073362	A1	2014年 5月 15日
				US	2015295565	A1	2015年 10月 15日
US	2007274432	A1	2007年 11月 29日	TW	I329298	B	2010年 8月 21日
				US	7406146	B2	2008年 7月 29日
				TW	200744061	A	2007年 12月 1日