

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
16. August 2012 (16.08.2012)



(10) Internationale Veröffentlichungsnummer
WO 2012/107271 A1

- (51) Internationale Patentklassifikation:
G06F 1/32 (2006.01) *G06F 1/26* (2006.01)
- (21) Internationales Aktenzeichen: PCT/EP2012/051037
- (22) Internationales Anmeldedatum:
24. Januar 2012 (24.01.2012)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
10 2011 010 610.3
8. Februar 2011 (08.02.2011) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **AUSTRIAMICROSYSTEMS AG** [AT/AT]; Schloss Premstätten, A-8141 Unterpremstätten (AT).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): **KAMMERLANDER, Peter** [AT/AT]; Hohenrainstr. 21C, A-8042 Graz (AT). **JESSENIG, Thomas** [AT/AT]; Körblergasse 74, A-8010 Graz (AT). **HALPER, Christian** [AT/AT]; Haxbach 345, A-7534 Olbendorf (AT).

(74) Anwalt: **EPPING HERMANN FISCHER**
PATENTANWALTSGESELLSCHAFT MBH;
Ridlerstraße 55, 80339 München (DE).

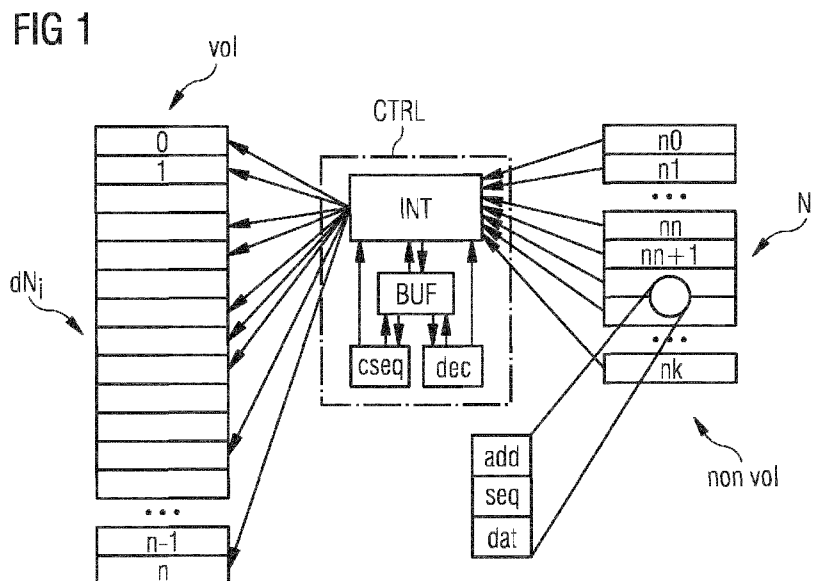
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[Fortsetzung auf der nächsten Seite]

(54) Title: CIRCUIT FOR GENERATING A START SEQUENCE AND METHOD FOR GENERATING A START SEQUENCE

(54) Bezeichnung : SCHALTUNG ZUM GENERIEREN EINER STARTSEQUENZ UND VERFAHREN ZUM GENERIEREN EINER STARTSEQUENZ



(57) Abstract: The invention relates to a circuit and to a method for generating a start sequence. The circuit comprises at least one partially programmable memory (nonvol) for storing an encoded start sequence (Ni) and a control unit (CTRL), which is equipped to read the encoded start sequence (Ni) and decode it into a decoded start sequence (dNi) and to generate a target register address (n) depending on the decoded start sequence (dNi). An addressable memory (vol) is provided, to which the decoded start sequence (dNi) can be written by means of the control unit (CTRL) at the target register address (n).

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]

WO 2012/107271 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

Die Erfindung betrifft eine Schaltung und ein Verfahren zum Generieren einer Startsequenz. Die Schaltung umfasst wenigstens einen teilweise programmierbaren Speicher (nonvol) zum Speichern einer kodierten Start-Sequenz (Ni) und eine Kontrolleinheit (CTRL), die dazu eingerichtet ist, die kodierte Start-Sequenz (Ni) zu lesen und zu einer dekodierten Start-Sequenz (dNi) zu dekodieren sowie eine Zielregisteradresse (n) in Abhängigkeit der dekodierten Start-Sequenz (dNi) zu generieren. Ein adressierbarer Speicher (vol) ist vorgesehen, in den mittels der Kontrolleinheit (CTRL) an der Zielregisteradresse (n) die dekodierte Start-Sequenz (dNi) schreibbar ist.

Beschreibung

Schaltung zum Generieren einer Startsequenz und Verfahren zum Generieren einer Startsequenz

5

Die vorliegende Erfindung betrifft eine Schaltung zum Generieren einer Startsequenz und ein Verfahren zum Generieren einer Startsequenz.

10 Moderne Prozessoren und integrierte Anwendungen umfassen eine Vielzahl von Bauteilen wie Prozessorkernen, Speichern, Schnittstellen und Registern. Diese werden meist über ein komplexes Netzwerk aus Stromleitungen und Spannungsversorgungen mit der notwendigen Elektrizität versorgt. Gerade beim
15 Einschalten solcher Systeme ist es dabei unbedingt notwendig, in definierten Startsequenzen Stromleitungen zu schalten und spezifische Spannungen bereitzustellen. Die dazu notwendigen Verwaltungsaufgaben werden von einer Stromverwaltungseinheit oder „power management unit“ (PMU) übernommen. Diese speziellen
20 Bauteile verfügen über Register, mit deren Hilfe sich Startsequenzen und Spannungswerte beim Einschalten und dem Betrieb kontrollieren lassen.

Eine Möglichkeit Startsequenzen zu definieren besteht darin,
25 eine Sequenz in einem platzsparenden Permanentenspeicher oder „read only memory“ (ROM) abzulegen. Aus diesem Speicher kann mittels geeigneter Mikrocontroller und Schnittstellen die Startsequenz schnell ausgelesen und zur Verfügung gestellt werden. Eine solche Lösung ist jedoch unflexibel und muss
30 aufwändig angepasst werden, sobald Komponenten wie der Prozessor ausgetauscht werden. Eine alternative Möglichkeit besteht darin, einen beliebig programmierbaren Direktzugriffsspeicher oder Random-Access-Memory (RAM) vorzusehen, auf dem

ein Benutzer werkseitig oder im Zusammenhang mit Hardwareänderungen eine Startsequenz programmieren kann. Solche Speicher haben jedoch einen Nachteil, denn sie haben einen großen Platzbedarf und fordern somit hohe Produktionskosten. Eine
5 weitere Möglichkeit besteht darin, alternative Startsequenzen zu programmieren und auf einem gemeinsamen Speicher vorzusehen. Je nach angeschlossenen Komponenten kann dann eine Sequenz gewählt werden. Auch diese Ausführung hat offensichtliche Nachteile, ist sie doch unflexible und nur auf wenige
10 Szenarien festgelegt.

Aufgabe der vorliegenden Erfindung ist es daher, eine Schaltung zum Generieren einer Startsequenz und ein Verfahren zum Generieren einer Startsequenz vorzuschlagen, das zum einen
15 eine höhere Flexibilität und eine einfache und kostensparende Implementierung erlaubt.

Die Aufgabe wird mit dem Gegenstand der unabhängigen Patentansprüche gelöst. Weiterbildungen und Ausgestaltungen sind
20 jeweils Gegenstand der abhängigen Ansprüche.

Im Folgenden ist mit Startsequenz eine Folge Operationen bezeichnet, die eine Recheneinheit wie ein Prozessor oder eine integrierte Anwendung beim Einschalten durchführt. Dabei kann
25 das Einschalten beim Starten der Recheneinheit oder auch beim Weiterbenutzen aus einem Stromsparmmodus oder ähnlichen erfolgen.

In einer Ausführungsform umfasst eine Schaltung zum Generieren einer Startsequenz wenigstens einen teilweise programmierbaren Speicher zum Speichern einer kodierten Startsequenz. Ferner weist die Schaltung eine Kontrolleinheit und einen adressierbaren Speicher auf.
30

In den programmierbaren Speicher legt beispielsweise ein Nutzer die kodierte Startsequenz ab. Dabei erfolgt die Kodierung mittels Programmierung derart, dass eine Startsequenz festgelegt ist und diese durch geeignete Bauteile ausgelesen werden kann. Die Kontrolleinheit ist dabei so vorgesehen und eingerichtet, dass sie die kodierte Startsequenz lesen kann und in der Folge zu einer dekodierten Startsequenz dekodiert. Dazu generiert sie in Abhängigkeit der kodierten Startsequenz geeignete Zielregisteradressen. Weiterhin wird mittels der Kontrolleinheit dann an der oder den generierten Zielregisteradressen die dekodierte Startsequenz in den adressierbaren Speicher geschrieben. Bevorzugt weist der adressierbare Speicher einen geeigneten Satz von Registern mit Registeradressen auf.

Die auf diese Weise in den adressierbaren Speicher geschriebene dekodierte Startsequenz kann dann nach einer Initialisierung ablaufen und definiert somit den Einschaltprozess einer Recheneinheit. Bevorzugt werden mittels der dekodierten Startsequenz schrittweise Operationen aufgerufen und definieren so einen Ablauf der Startsequenz. Mögliche Operationen setzen beispielsweise eine definierte Spannung oder Kontrollsignale.

Die vorgestellte Schaltung erlaubt eine besonders flexible und einfache Programmierung von Startsequenzen. Insbesondere kann der programmierbare Speicher relativ klein ausgeführt werden. Verwendet werden dabei bevorzugt Festwertspeicher (ROM), OTPs (sogenannte One Time Programmable Speicher) oder digitale Speicherchips beziehungsweise Flashspeicher. Diese Speichertypen sind besonders kostengünstig, leicht austauschbar und auf einfache Weise durch einen Benutzer programmierbar.

Durch das Generieren und Verwenden von Zielregisteradressen ist es weiterhin möglich, eine große Menge von adressierbaren Registern des adressierbaren Speichers zum Definieren der dekodierten Startsequenz zu benutzen. Auf diese größere Zahl von Registern ist dann während der Startsequenz Zugriff möglich. Auf diese Weise kann durch die Zielregisteradresse nicht nur Spannungsversorgungen Regler in einem integrierten Schaltkreis, beispielsweise ein DC/DC-Wandler oder eine Ladungspumpe, aufgerufen werden. Generell können auch allgemeine Eingang- und Ausgangspins oder „general purpose input output (GPIO)-Pins“ verwendet werden. Dadurch können auch interne und externe Kontrollsignale und Statusinformationen in die Startsequenz zu bestimmten Zeitpunkten integriert und synchronisiert werden. Dies erlaubt eine besonders große Flexibilität der Programmierung von Startsequenzen.

In einer weiteren Ausführungsform umfasst die Kontrolleinheit einen Mikrocontroller oder einen Zustandsautomaten.

In einer weiteren Ausführungsform weist der programmierbare Speicher wenigstens eine programmierbare Registeradresse auf. Diese wenigstens eine bevorzugt jedoch mehrere Registeradressen erlauben es einem Benutzer, relevante Informationen wie interne und externe Kontrollsignalwerte und Statusinformationen für den Ablauf einer Startsequenz zu kodieren. Dazu kann mittels der programmierbaren Registeradressen eine Reihenfolge für einen Ablauf der kodierten Startsequenz vorgegeben werden. Beispielsweise können Einträge an den Registeradressen schrittweise von kleinen zu großen Adressen ausgelesen werden. Andere Reihenfolgen sind grundsätzlich ebenso möglich. Ebenso kann vorgesehen sein, bestimmte programmierbare Registeradressen mit einer Permanentverbindung direkt mit

- 5 -

Zielregisteradressen zu verbinden und somit einen Teil der Startsequenz unveränderlich vorzugeben.

In einer weiteren Ausführungsform weist die programmierbare
5 Registeradresse programmierbare Felder auf.

Diese programmierbaren Felder dienen zur Aufnahme von Daten für den Ablauf der Startsequenz. Insbesondere können diese eine Zieladresse, eine Sequenzzeitmarke oder eine Zustandsvariable aufweisen.
10

Mit Hilfe dieser Informationen kann in der Folge durch die Schaltung die dekodierte Startsequenz festgelegt werden. Der Nutzer kann dazu entsprechende Zieladressen festlegen, an die
15 zu einer bestimmten Zeit, etwa charakterisiert durch die Sequenzzeitmarke, der Inhalt der Zustandsvariablen geschrieben wird. Auf diese Weise steht dem Nutzer eine Vielfalt an Gestaltungsoptionen zur Verfügung.

20 Nach einer weiteren Ausführungsform umfasst die Kontrolleinheit eine Schnittstelle, einen Puffer, eine Sequenzkontroll-einheit und einen Adressdekoder.

Die Schnittstelle ist dazu eingerichtet, die im programmierbaren Speicher gespeicherte kodierte Startsequenz zu lesen
25 und die dekodierte Startsequenz in den adressierbaren Speicher an die Zielregisteradresse oder Zielregisteradressen zu schreiben. Der Puffer dient dazu, notwendige Zwischenschritte in der Dekodierung der Startsequenz zu speichern. Dazu umfasst der Puffer einen Speicher und ist mittels einer bidirektionalen Datenverbindung mit der Schnittstelle verbunden.
30

Die Sequenzkontrolleinheit ist so eingerichtet, dass sie den Puffer und die Schnittstelle steuert. Sie dient dazu, die kodierte Startsequenz auszulesen und in Abhängigkeit von der darin kodierten Information einen zeitlichen Ablauf der dekodierten Startsequenz bevorzugt in Abhängigkeit von Sequenzzeitmarken zu schreiben. Zu diesem Zweck ist der Puffer mittels einer bidirektionalen Datenverbindung und die Schnittstelle mittels einer unidirektionalen Datenverbindung mit der Sequenzkontrolleinheit verbunden.

10

Der Adressdekoder ist eingerichtet, die kodierte Startsequenz in die dekodierte Startsequenz zu dekodieren. Dazu ist der Adressdekoder in der Lage, zu veranlassen, dass die dekodierte Startsequenz an die Zielregisteradressen geschrieben wird.

15 Der Adressdekoder ist dazu mit dem Puffer mittels einer bidirektionalen und mit der Schnittstelle mittels einer unidirektionalen Datenverbindung verbunden.

In einer weiteren Ausführungsform steuert die Sequenzkontrolleinheit in Abhängigkeit der kodierten Startsequenz den Puffer und die Schnittstelle derart, dass eine Zeitfolge der dekodierten Startsequenz festlegbar ist.

20 Bevorzugt wird die dekodierte Startsequenz schrittweise gemäß aufeinander folgenden Zielregisteradressen ausgelesen. Entsprechend wird damit festlegbar, zu welchen Zeitpunkten innerhalb der Sequenz bestimmte Spannungswerte oder Signale an definierten Anschlüssen anliegen.

30 In einer weiteren Ausführungsform generiert die Sequenzkontrolleinheit Zeitmarken zum Festlegen der dekodierten Sequenz.

Mit Hilfe der Zeitmarken oder Sequenzzeitmarken lässt sich der zeitliche Ablauf der dekodierten Startsequenz weiter bestimmen. So ist es möglich einen weiteren Schritt im Ablauf der Startsequenz mit einem vorherigen Schritt oder dem Beginn
5 der Sequenz zu synchronisieren. Es ist auch möglich, Verzögerungen zu programmieren und den Ablauf der Startsequenz für eine bestimmte Zeitdauer zu unterbrechen oder erst mittels eines Kontrollsignals wieder aufzunehmen. Grundsätzlich sind die Zeitmarken flexibel durch den Nutzer definierbar.

10

In einer Ausführungsform eines Verfahrens zum Generieren einer Startsequenz umfasst dieses zunächst ein Auslesen einer kodierten Startsequenz aus einem programmierbaren Speicher. Die kodierte Startsequenz kann im Vorfeld durch einen Pro-
15 grammierer extern oder intern festgelegt worden sein. Diese kodierte Startsequenz wird in der Folge zu einer dekodierten Startsequenz dekodiert. In Abhängigkeit der kodierten Startsequenz wird insbesondere eine Zielregisteradresse generiert. An dieser Zielregisteradresse erfolgt ein Schreiben der deko-
20 dierten Startsequenz in einen adressierbaren Speicher.

Das vorgestellte Verfahren erlaubt eine flexible und einfache Programmierung von Startsequenzen. Insbesondere kann mittels der Kodierung der Startsequenz in dem programmierbaren Spei-
25 cher platzsparend ausgeführt werden. Verwendet werden dabei bevorzugt Festwertspeicher (ROM), OTPs (sogenannte One Time Programmable Speicher) oder digitale Speicherchips beziehungsweise Flashspeicher. Diese Speichertypen sind besonders kostengünstig, leicht austauschbar und auf einfache Weise
30 durch einen Benutzer programmierbar.

Durch das Generieren und Verwenden von Zielregisteradressen ist es weiterhin möglich, eine große Menge von adressierbaren

Registern des adressierbaren Speichers zum Definieren der de-
kodierten Startsequenz zu benutzen. Auf diese größere Zahl
von Registern ist dann während der Startsequenz Zugriff mög-
lich. Auf diese Weise kann durch die Zielregisteradresse
5 nicht nur Spannungsversorgungen Regler in einem integrierten
Schaltkreis, beispielsweise ein DC/DC-Wandler oder eine La-
dungspumpe, aufgerufen werden. Generell können auch allgemei-
ne Eingang- und Ausgangspins oder „general purpose input out-
put (GPIO)-Pins“ verwendet werden. Dadurch können auch inter-
10 ne und externe Kontrollsignale und Statusinformationen in die
Startsequenz zu bestimmten Zeitpunkten integriert und syn-
chronisiert werden. Dies erlaubt eine besonders große Flexi-
bilität der Programmierung von Startsequenzen.

15 In einer Ausführungsform wird die kodierte Startsequenz durch
Programmierung programmierbarer Registeradressen festgelegt.

Die programmierbaren Registeradressen erlauben es einem Be-
nutzer, relevante Informationen wie interne und externe Kon-
20 trollsignalwerte und Statusinformationen für den Ablauf einer
Startsequenz zu kodieren. Dazu kann mittels der programmier-
baren Registeradressen eine Reihenfolge für einen Ablauf der
kodierten Startsequenz vorgegeben werden. Beispielsweise kön-
nen Einträge an den Registeradressen schrittweise von kleinen
25 zu großen Adressen ausgelesen werden. Andere Reihenfolgen
sind grundsätzlich ebenso möglich. Ebenso kann vorgesehen
sein, bestimmte programmierbare Registeradressen mit einer
Permanentverbindung direkt mit Zielregisteradressen zu ver-
binden und somit einen Teil der Startsequenz unveränderlich
30 vorzugeben.

In einer weiteren Ausführungsform erfolgt die Programmierung
indem ein oder mehrere Programmierfelder festgelegt werden.

Jedes Programmierfeld weist insbesondere eine Zieladresse, eine Sequenzzeitmarke oder eine Zustandsvariable auf. Mit diesen Feldvariablen hat ein Programmierer die Möglichkeit auf besonders flexible Weise die dekodierte Startsequenz zu definieren. Die Zieladresse legt dabei die Adresse im adressierbaren Speicher und dessen Position im Ablauf der Startsequenz fest. Mit der Sequenzzeitmarke können zeitliche Relationen zu anderen Sequenzschritten, beispielsweise eine Synchronisation oder Verzögerung, festgelegt werden. Die Zustandsvariable kann Statutsinformationen oder Spannungswerte aufnehmen.

In einer weiteren Ausführungsform wird eine Zielregisteradresse in Abhängigkeit einer Zeitmarke generiert. Insbesondere erfolgt dies in Abhängigkeit der Sequenzzeitmarke.

In einer weiteren Ausführungsform kann die Zeitmarke durch die folgenden Programmierschritte festgelegt werden. Mit einer ersten Zeitmarke können eine oder mehrere Unterbrechungen vorgesehen werden. Diese mittels eines Steuersignals, insbesondere mittels eines internen oder externen Steuersignals, aufgehoben werden. Eine zweite Zeitmarke kann eine Verzögerung definieren, die den Ablauf der Startsequenz zeitlich für eine bestimmte Zeitdauer verzögert. Schließlich kann es auch möglich sein, mit einer dritten Zeitmarke Programmierschleifen zu realisieren, die erlauben, die Abfolgen innerhalb der Startsequenz mehrfach zu durchlaufen. Dem Programmierer sind mit den Zeitmarken umfangreiche Eingriffsmöglichkeiten in der Erstellung von Startsequenzen gegeben.

30

In einer weiteren Ausführungsform erfolgt das Schreiben der dekodierten Startsequenz in den adressierbaren Speicher an der Zielregisteradresse mehrfach.

Die Erfindung wird nachfolgend an mehreren Ausführungsbeispielen anhand von Figuren näher erläutert. Insoweit sich Schaltungsteile oder Bauelemente in ihrer Funktion entsprechen, wird deren Beschreibung nicht in jeder der folgenden
5 Figuren wiederholt.

Es zeigen:

Figur 1 eine beispielhafte Ausführungsform einer Schaltung
10 zum Generieren einer Startsequenz nach dem vorgeschlagenen Prinzip,

Figur 2 eine beispielhafte dekodierte Startsequenz generiert nach dem vorgeschlagenen Prinzip, und
15

Figur 3 eine beispielhafte Anordnung einer Schaltung zum Generieren einer Startsequenz nach dem vorgeschlagenen Prinzip.

20 Figur 1 zeigt eine beispielhafte Ausführungsform einer Schaltung zum Generieren einer Startsequenz nach dem vorgeschlagenen Prinzip. Die Schaltung umfasst einen programmierbaren Speicher nonvol mit festen Registeradressen n0, n1 und programmierbaren Registeradressen nn, nn+1, ..., nk. Jedes dieser
25 programmierbaren Registeradressen ist weiter aufgeteilt in programmierbare Felder add, seq, dat. Jedes Programmierfeld weist insbesondere eine Zieladresse add, eine Sequenzzeitmarke seq oder eine Zustandsvariable dat auf. Mit diesen Feldvariablen hat ein Programmierer die Möglichkeit auf besonders
30 flexible Weise die dekodierte Startsequenz zu definieren. Die Zieladresse legt dabei die Zielregisteradresse n in einem adressierbaren Speicher vol und dessen Position im Ablauf der Startsequenz fest. Mit der Sequenzzeitmarke seq können zeit-

liche Relationen zu anderen Sequenzschritten, beispielsweise eine Synchronisation oder Verzögerung, festgelegt werden. Die Zustandsvariable dat kann Statutsinformationen oder Spannungswerte aufnehmen.

5

Die festen Registeradressen n0, n1 können fest mit bestimmten Bauteilen verbunden sein und so eine feste Zuordnung bestimmen, die üblicherweise auch in unterschiedlichen Verwendungen der Schaltung sinnvoll und wieder verwendbar ist.

10 Es ist daher auch nicht notwendig, dass die festen Registeradressen n0, n1 Adressinformationen aufweisen. Die festen Registeradressen werden für eine Startsequenz nicht gebraucht und werden beispielsweise für eine Chip-Konfiguration verwendet.

15

Eine Kontrolleinheit CTRL umfasst eine Schnittstelle INT, einen Puffer BUF, eine Sequenzkontrolleinheit CSEQ und einen Adressdekoder DEC.

20 Die Schnittstelle INT ist dazu eingerichtet, alle Aufgaben auszuführen, die mit einem Lese- und Schreibzugriff auf den programmierbaren Speicher nonvol und den adressierbaren Speicher vol auszuführen sind. Dazu ist die Schnittstelle INT in der Lage, eine kodierte Startsequenz Ni aus dem programmierbaren Speicher nonvol zu lesen und den adressierbaren Speicher vol eine dekodierte Startsequenz dNi zu schreiben.

25

Der Puffer BUF dient der vorübergehenden Speicherung von Daten, bevor sie in den adressierbaren Speicher vol geschrieben werden. Der Puffer BUF ist darüber hinaus in gewissem Rahmen in der Lage, eine Datenmanipulation durchzuführen. Ist beispielsweise die Eingangsinformation, wie sie im programmierbaren Speicher hinterlegt ist, von der Bitlänge kleiner als

30

das Datenformat des adressierbaren Speichers vol, so kann der Puffer BUF eine entsprechende Konvertierung vornehmen.

Der Adressdekoder DEC kontrolliert Zielregisteradressen 0, 1,
5 ..., n-1, n, wie sie in der kodierten Startsequenz Ni im programmierbaren Speicher nonvol hinterlegt wurden. Dazu übersetzt der Adressdekoder auf Basis von Adressen und Inhaltsvariablen, die in der kodierten Startsequenz Ni festgelegt sind, in die Zielregisteradressen 0, 1, ..., n-1, n des adressierbaren Speichers vol.
10

Die Sequenzkontrolle CSEQ ist eingerichtet, Informationen wie Adressen und Inhaltsvariablen aus der kodierten Startsequenz Ni zu lesen und dabei den Datenpuffer BUF wie auch die
15 Schnittstelle INT zu steuern. Insbesondere steuert die Sequenzkontrolle CSEQ die Schnittstelle INT derart, dass zu bestimmten Zeiten Einträge der dekodierten Startsequenz in den adressierbaren Speicher vol geschrieben werden. Dabei kann eine Zielregisteradresse auch mehrfach geschrieben werden.
20

Die Sequenzkontrolle CSEQ generiert zum Steuern der Schnittstelle INT Zeitmarken A, B, C. Diese werden im Zusammenhang mit Figur 2 erläutert.

25 Figur 2 zeigt eine beispielhafte dekodierte Startsequenz nach dem vorgeschlagenen Prinzip. Die gezeigten Zielregisteradressen n der dekodierten Startsequenz dNi werden in aufsteigender Folge, also hier in der Reihenfolge 0, n-1, n, n+1 und so weiter aufgerufen. An den entsprechenden Zielregisteradressen
30 n sind Sequenzzeitmarken seq abgelegt. Eine Sequenzzeitmarke vom Typ A bedeutet einen Bezug auf den Beginn der Startsequenz. Eine Zeitmarke vom Typ B bezieht sich in der Zeitabfolge auf das vorherliegende Register n. Eine Sequenzzeitmar-

ke vom Typ C bedeutet keine Verzögerung und bezieht sich auf dieselbe Zeit wie das vorliegende Ereignis. Auf diese Weise lassen sich durch Programmierung der Sequenzzeitmarken seq Abläufe der Startsequenz generieren und in weiten Bereichen
5 flexibel anpassen. Insbesondere ist es möglich, interne und externe Kontrollsignale einzubeziehen und auch ein Register mehrfach zu schreiben (siehe Register n+1 in Figur 2).

Figur 3 zeigt eine mögliche Anordnung einer Schaltung zum Ge-
10 nerieren einer Startsequenz nach dem vorgeschlagenen Prinzip. Gezeigt ist die Kontrolleinheit CTRL sowie der adressierbare Speicher vol. Entsprechend der dekodierten Startsequenz dNi, wie sie durch die Kontrolleinheit CTRL generiert wurde, werden über entsprechende Datenleitungen Prozesse, die etwa ei-
15 ner Stromversorgung von weiteren Komponenten dienen, ausgeführt.

So sind hier beispielsweise die Zielregisteradressen 0, 1, 2 mit jeweiligen Spannungswandlern DCDC1, DCDC2, DCDC3 verbun-
20 den. Diese stellen Spannungen V1, V2, V3 von einem festgelegten Wert zur Verfügung. Die Zielregisteradressen 3 und 4 sind in diesem Fall verbunden mit Regulatoren LDO1, LDO2 und stellen entsprechende Spannungen V4 und V5 zur Verfügung. Die Registeradresse 5 ist mit einer IO-Schnittstelle verbunden und
25 kann bidirektional ein Kontrollsignal CI, COUT schreiben oder einlesen. Des Weiteren ist mittels der Zielregisteradresse n-1 ein Zugriff auf einen Speicher RAM möglich. Zur Konfiguration oder weiteren Kommunikation mit einem Prozessorkern CORE ist beispielsweise das Zielregister n vorgesehen.

Bezugszeichenliste

	0	Zielregisteradresse
	1	Zielregisteradresse
5	2	Zielregisteradresse
	3	Zielregisteradresse
	4	Zielregisteradresse
	5	Zielregisteradresse
	A	Zeitmarke
10	add	Adresse
	B	Zeitmarke
	BUF	Puffer
	C	Zeitmarke
	cin	Kontrollsignal
15	core	Prozessorkern
	cout	Kontrollsignal
	cseq	Sequenzkontrolle
	CTRL	Kontrolleinheit
	dat	Zustandsvariable
20	DCDC1	Spannungswandler
	DCDC2	Spannungswandler
	DCDC3	Spannungswandler
	dec	Adressdekoder
	dNi	dekodierte Startsequenz
25	INT	Schnittstelle
	LD01	Regulator
	LD02	Regulator
	n0	programmierbare Registeradresse
	n1	programmierbare Registeradresse
30	Ni	kodierte Startsequenz
	n-1	Zielregisteradresse
	n	Zielregisteradresse
	n+1	Zielregisteradresse

	n+2	Zielregisteradresse
	n+3	Zielregisteradresse
	n+4	Zielregisteradresse
	nn	programmierbare Registeradresse
5	nn+1	programmierbare Registeradresse
	nk	programmierbare Registeradresse
	nonvol	programmierbarer Speicher
	I/O	Input/Output
	RAM	Speicher
10	seq	Sequenzzeitmarke
	V1	Spannung
	V2	Spannung
	V3	Spannung
	V4	Spannung
15	V5	Spannung
	vol	adressierbarer Speicher

Patentansprüche

1. Schaltung zum Generieren einer Start-Sequenz, umfassend:
 - einen wenigstens teilweise programmierbaren Speicher
5 (nonvol) zum Speichern einer kodierten Start-Sequenz (Ni),
 - eine Kontrolleinheit (CTRL), die dazu eingerichtet ist, die kodierte Start-Sequenz (Ni) zu lesen und zu einer dekodierten Start-Sequenz (dNi) zu dekodieren
10 sowie eine Zielregisteradresse (n) in Abhängigkeit der dekodierten Start-Sequenz (dNi) zu generieren, und
 - ein adressierbarer Speicher (vol), in den mittels der Kontrolleinheit (CTRL) an der Zielregisteradresse (n)
15 die dekodierte Start-Sequenz (dNi) schreibbar ist.
2. Schaltung nach Anspruch 1, bei der die Kontrolleinheit (CTRL) einen Mikrocontroller oder einen Zustandsautoma-
20 ten aufweist.
3. Schaltung nach Anspruch 1 oder 2, bei der der programmierbare Speicher (nonvol) wenigstens eine programmierbare Registeradresse (nn) aufweist.
- 25 4. Schaltung nach Anspruch 3, bei der die programmierbare Registeradresse (nn) programmierbare Felder (add, seq, dat), insbesondere zum Abspeichern einer Zieladresse (add), einer Sequenzzeitmarke (seq) oder eine Zustandsvariable (dat), aufweist.
- 30 5. Schaltung nach einem der Ansprüche 1 bis 4, bei der die Kontrolleinheit (CTRL) eine Schnittstelle (INT), einen

- 17 -

Puffer (BUF), eine Sequenzkontrolleinheit (CSEQ) und einen Adressdekoder (DEC) umfasst, wobei

- die Schnittstelle (INT) dazu eingerichtet ist, die im programmierbaren Speicher (nonvol) gespeicherte kodierte Start-Sequenz (Ni) zu lesen und die dekodierte Start-Sequenz (dNi) in das adressierbare Register (vol) an die Zielregisteradresse (n) zu schreiben,
- der Puffer (BUF) einen Speicher aufweist und mittels einer bidirektionalen Datenverbindung mit der Schnittstelle (INT) verbunden ist,
- die Sequenzkontrolleinheit (CSEQ) eingerichtet ist, den Puffer (BUF) und die Schnittstelle (INT) zu steuern, wobei der Puffer (BUF) mittels einer bidirektionalen Datenverbindung und die Schnittstelle (INT) mittels einer unidirektionalen Datenverbindung mit der Sequenzkontrolleinheit (CSEQ) verbunden ist, und
- der Adressdekoder (DEC) eingerichtet ist, die kodierte Start-Sequenz (Ni) in die dekodierte Startsequenz (dNi) zu dekodieren, wobei der Puffer (BUF) mittels einer bidirektionalen Datenverbindung und die Schnittstelle (INT) mittels einer unidirektionalen Datenverbindung mit dem Adressdekoder (DEC) verbunden ist.

6. Schaltung nach Anspruch 5, bei der die Sequenzkontrolleinheit (CSEQ) in Abhängigkeit der kodierten Start-Sequenz (Ni) den Puffer (BUF) und die Schnittstelle (INT) derart steuert, dass eine Zeitabfolge der dekodierten Start-Sequenz (dNi) festlegbar ist.

7. Schaltung nach Anspruch 6, bei der Sequenzkontrolleinheit (CSEQ) Zeitmarken (t) zum Festlegen einer zeitlichen Abfolge der dekodierten Sequenz (dNi) generiert.

8. Verfahren zum Generieren einer Start-Sequenz, umfassend:
- Auslesen einer kodierten Start-Sequenz (Ni) aus einem programmierbaren Speicher (nonvol),
 - Dekodieren der kodierten Start-Sequenz (Ni) zu einer dekodierten Start-Sequenz (dNi),
 - Generieren einer Zielregisteradresse (n) in Abhängigkeit der dekodierten Start-Sequenz (dNi), und
 - Schreiben der dekodierten Start-Sequenz (dNi) in einen adressierbaren Speicher (vol) an der Zielregisteradresse (n).
9. Verfahren nach Anspruch 8, bei dem die kodierte Start-Sequenz (Ni) mittels wenigstens einer programmierbaren Registeradresse (nn) festgelegt wird.
10. Verfahren nach Anspruch 9, bei dem die Programmierung ein Festlegen eines Programmier-Feldes (add, seq, dat) umfasst, welches eine Zieladresse (add), eine Sequenzzeitmarke (seq) oder eine Zustandsvariable (dat) aufweist.
11. Verfahren nach einem der Ansprüche 8 bis 10, bei dem das Generieren einer Zielregisteradresse (n) in Abhängigkeit einer Zeitmarke (t) erfolgt.
12. Verfahren nach Anspruch 11, bei dem in Abhängigkeit der Zeitmarke (t) in der dekodierten Start-Sequenz (dNi)
- eine oder mehrere Unterbrechungen festgelegt werden, die mittels eines Steuersignals, insbesondere mittels eines internen oder externen Steuersignals, aufhebbar sind,
 - eine oder mehrere Verzögerungen festgelegt werden, oder

- 19 -

- eine oder mehrere Schleifen festgelegt werden.

13. Verfahren nach einem der Ansprüche 8 bis 12, bei dem das
Schreiben der dekodierten Start-Sequenz (dNi) in den ad-
5 ressierbaren Speicher (vol) an der Zielregisteradresse
(n) mehrfach erfolgt.

FIG 1

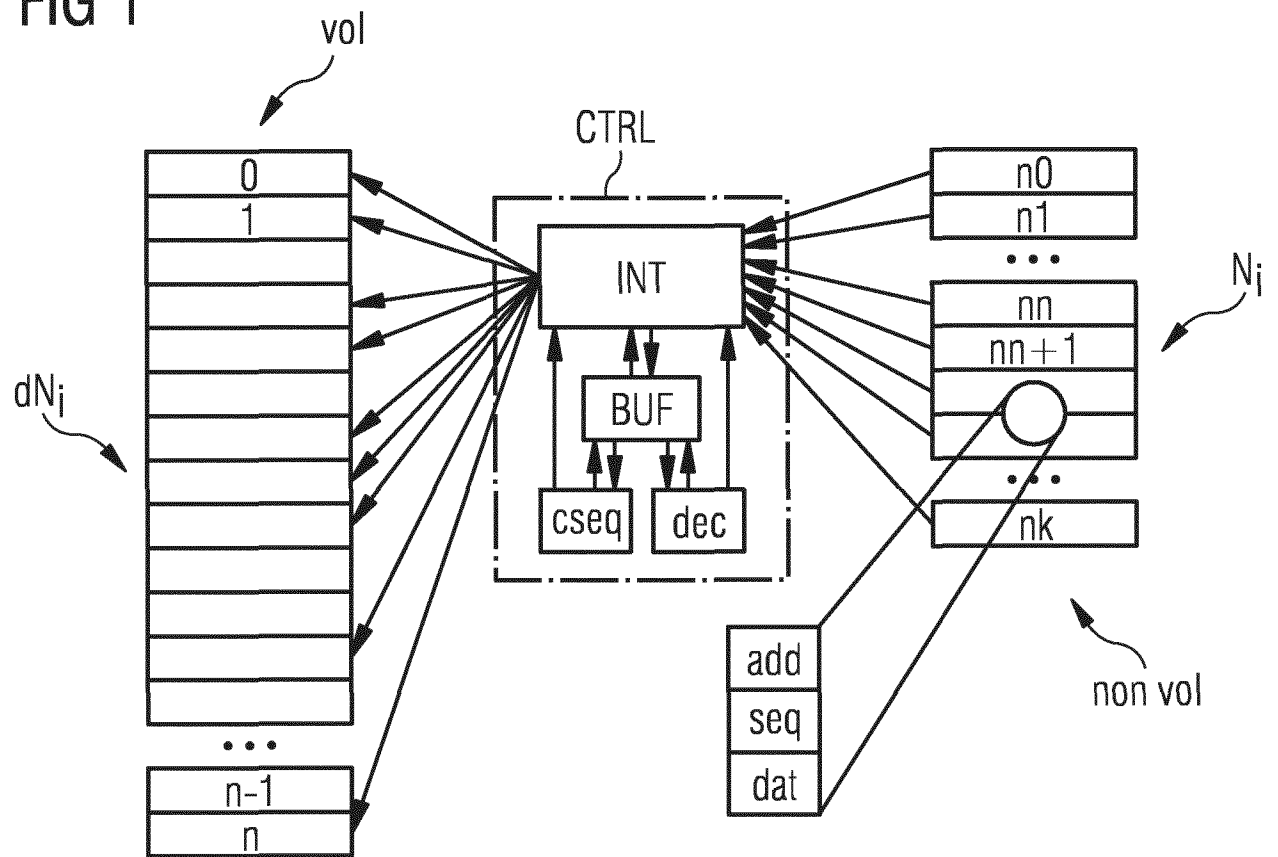


FIG 2

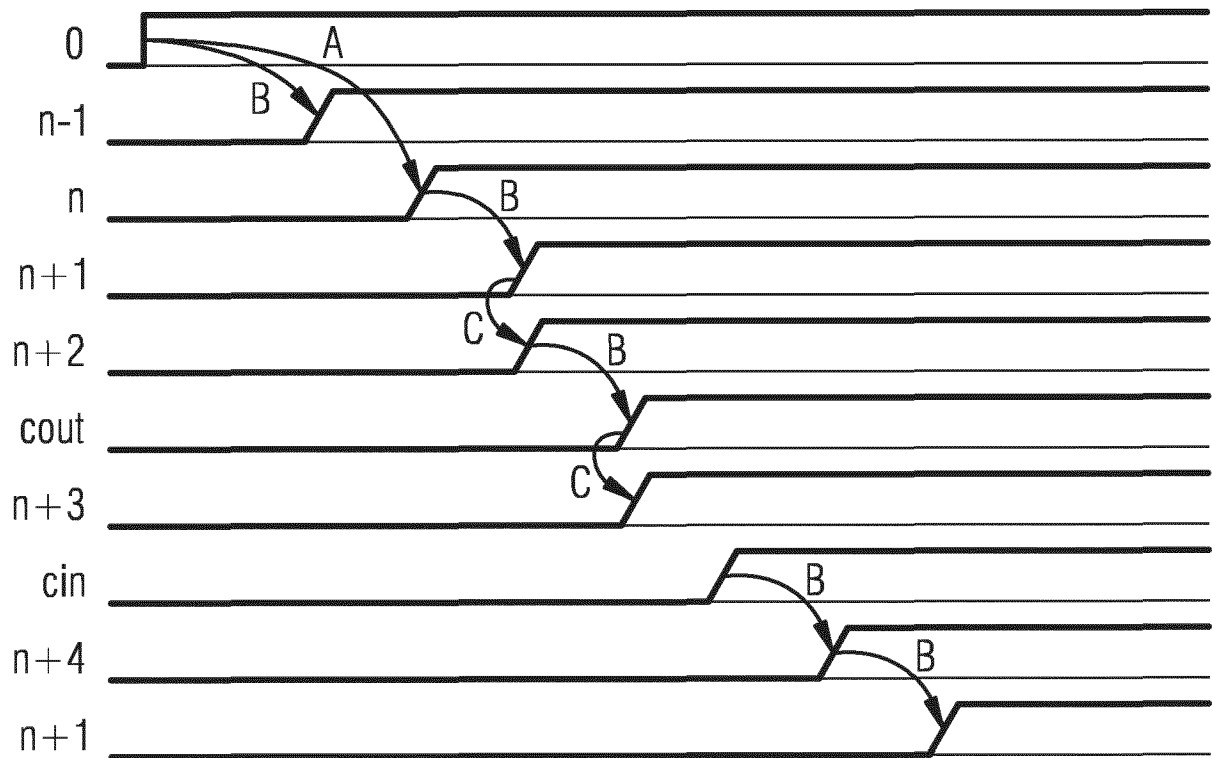
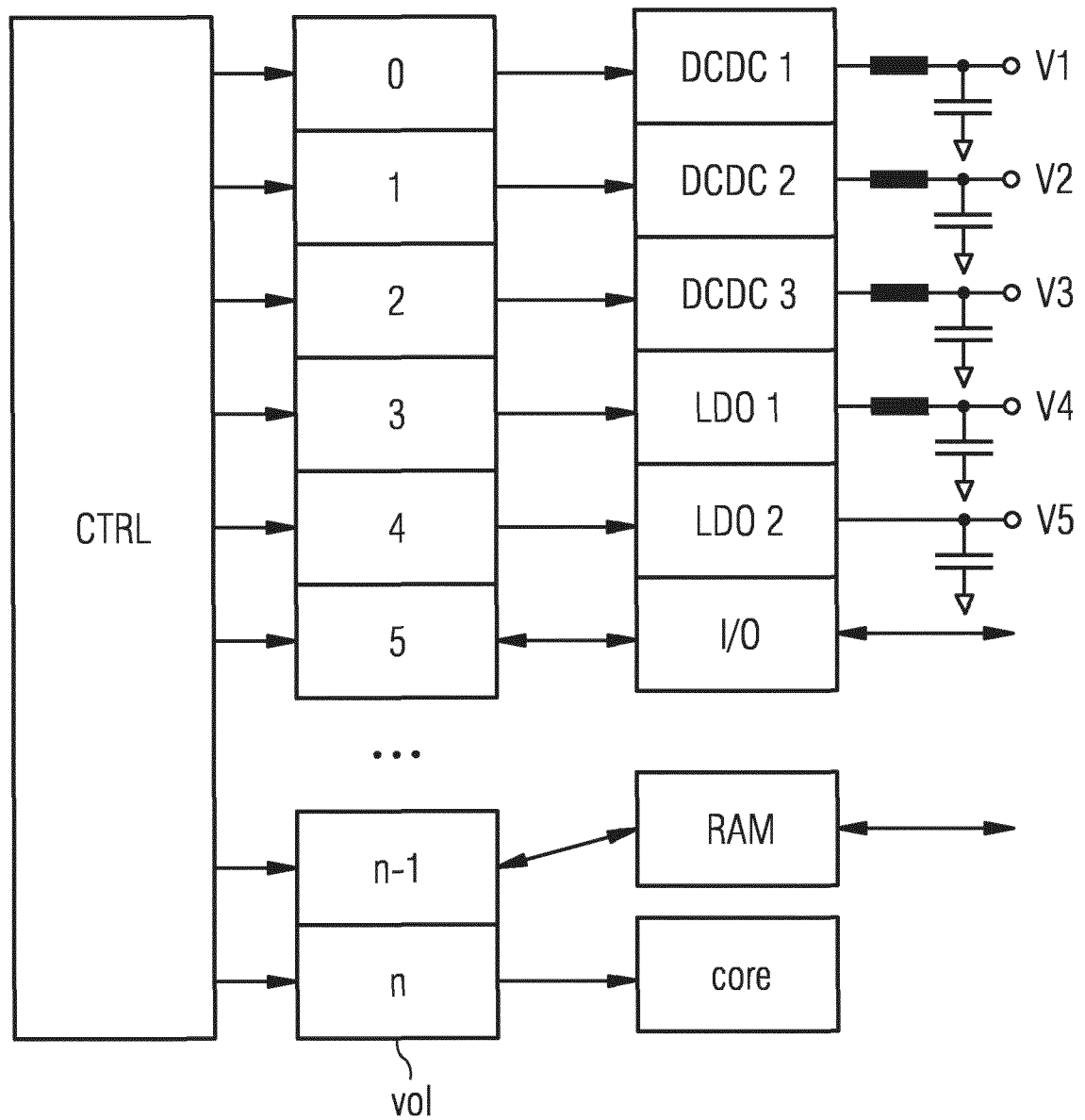


FIG 3



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2012/051037

A. CLASSIFICATION OF SUBJECT MATTER
INV. G06F1/32 G06F1/26
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2009/319871 A1 (SHIRAI YUTAKA [JP] ET AL) 24 December 2009 (2009-12-24)	1-3,5,8,9,13
Y	paragraph [0040] - paragraph [0043]; figure 1	4,6,7,10-12
	paragraph [0060] - paragraph [0110]	

X	US 2010/042773 A1 (YEH CHIH-KANG [TW]) 18 February 2010 (2010-02-18)	1-3,5,8,9,13
	paragraph [0026] - paragraph [0032]; figures 1,5	

Y	US 2007/101166 A1 (BOYUM KEVIN [US] ET AL) 3 May 2007 (2007-05-03)	4,6,7,10-12
	paragraph [0019] - paragraph [0033]; figures 1-5	

	-/--	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

20 April 2012

Date of mailing of the international search report

27/04/2012

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Toader, Elena Lidia

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2012/051037

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 2 151 738 A1 (NEC ELECTRONICS CORP [JP]) 10 February 2010 (2010-02-10) paragraph [0048] - paragraph [0064]; figures 4-6 -----	4,6,7, 10-12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2012/051037

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2009319871 A1	24-12-2009	JP 2010009141 A KR 20100002147 A US 2009319871 A1	14-01-2010 06-01-2010 24-12-2009
US 2010042773 A1	18-02-2010	TW 201007449 A US 2010042773 A1	16-02-2010 18-02-2010
US 2007101166 A1	03-05-2007	NONE	
EP 2151738 A1	10-02-2010	EP 2151738 A1 JP 2010057160 A KR 20100014131 A US 2010026258 A1	10-02-2010 11-03-2010 10-02-2010 04-02-2010

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. G06F1/32 G06F1/26
 ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 G06F

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2009/319871 A1 (SHIRAI YUTAKA [JP] ET AL) 24. Dezember 2009 (2009-12-24)	1-3,5,8,9,13
Y	Absatz [0040] - Absatz [0043]; Abbildung 1 Absatz [0060] - Absatz [0110]	4,6,7,10-12
X	US 2010/042773 A1 (YEH CHIH-KANG [TW]) 18. Februar 2010 (2010-02-18)	1-3,5,8,9,13
Y	Absatz [0026] - Absatz [0032]; Abbildungen 1,5	4,6,7,10-12
Y	US 2007/101166 A1 (BOYUM KEVIN [US] ET AL) 3. Mai 2007 (2007-05-03)	4,6,7,10-12
Y	Absatz [0019] - Absatz [0033]; Abbildungen 1-5	4,6,7,10-12
Y	EP 2 151 738 A1 (NEC ELECTRONICS CORP [JP]) 10. Februar 2010 (2010-02-10)	4,6,7,10-12
	Absatz [0048] - Absatz [0064]; Abbildungen 4-6	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

20. April 2012

Absendedatum des internationalen Recherchenberichts

27/04/2012

Name und Postanschrift der Internationalen Recherchenbehörde
 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Toader, Elena Lidia

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2012/051037

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2009319871	A1	24-12-2009	JP	2010009141 A	14-01-2010
			KR	20100002147 A	06-01-2010
			US	2009319871 A1	24-12-2009

US 2010042773	A1	18-02-2010	TW	201007449 A	16-02-2010
			US	2010042773 A1	18-02-2010

US 2007101166	A1	03-05-2007	KEINE		

EP 2151738	A1	10-02-2010	EP	2151738 A1	10-02-2010
			JP	2010057160 A	11-03-2010
			KR	20100014131 A	10-02-2010
			US	2010026258 A1	04-02-2010
