

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5259382号
(P5259382)

(45) 発行日 平成25年8月7日 (2013.8.7)

(24) 登録日 平成25年5月2日 (2013.5.2)

(51) Int.Cl.

F I

G 1 1 C 11/419 (2006.01)

G 1 1 C 11/34 3 1 1

G 1 1 C 11/413 (2006.01)

G 1 1 C 11/34 3 4 1 A

請求項の数 4 (全 14 頁)

(21) 出願番号 特願2008-333972 (P2008-333972)
 (22) 出願日 平成20年12月26日 (2008.12.26)
 (65) 公開番号 特開2010-157279 (P2010-157279A)
 (43) 公開日 平成22年7月15日 (2010.7.15)
 審査請求日 平成23年3月14日 (2011.3.14)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 110001612
 きさらぎ国際特許業務法人
 (72) 発明者 川澄 篤
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

審査官 堀 拓也

(56) 参考文献 特開2002-216481 (JP, A)
)
 特開平11-203877 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

複数のワード線、前記ワード線に交差する複数のビット線、前記ワード線及び前記ビット線の各交差部に設けられた複数のメモリセルからなるメモリセルアレイと、

前記ビット線の信号レベルを検知・増幅する複数のセンスアンプ回路と、

レプリカワード線、前記レプリカワード線に交差するレプリカビット線、前記レプリカワード線及びレプリカビット線の各交差部に設けられたレプリカメモリセルからなり、前記メモリセルの読み出し動作を模擬するレプリカ回路と、

基準タイミングから前記レプリカビット線が変化するまでの時間であるレプリカ遅延時間を量子化し、その結果に基づいて、前記センスアンプ回路の活性化タイミングを生成するタイミング発生回路と

を有し、

前記タイミング発生回路は、

所定数のゲートからなる単位回路（ステージ）を複数接続してなる往路回路を備え、

前記基本タイミングが前記複数のステージを順次伝搬されるタイミングと、前記レプリカビット線が変化するタイミングとを比較し、前記ステージ毎に生じる遅延時間単位で前記レプリカ遅延時間を量子化する

ことを特徴とする半導体記憶装置。

【請求項2】

複数のワード線、前記ワード線に交差する複数のビット線、前記ワード線及び前記ビット

10

20

ト線の各交差部に設けられた複数のメモリセルからなるメモリセルアレイと、
前記ビット線の信号レベルを検知・増幅する複数のセンスアンプ回路と、
レプリカワード線、前記レプリカワード線に交差するレプリカビット線、前記レプリカ
ワード線及びレプリカビット線の各交差部に設けられたレプリカメモリセルからなり、前
記メモリセルの読み出し動作を模擬するレプリカ回路と、
基準タイミングから前記レプリカビット線が変化するまでの時間であるレプリカ遅延時
間を量子化し、その結果に基づいて、前記センスアンプ回路の活性化タイミングを生成す
るタイミング発生回路と

を有し、

前記タイミング発生回路は、

前記基準タイミングを入力する縦続接続された第1及び第2のゲート、並びに、前記第2のゲートの出力が第1の入力端に入力され、前記レプリカビット線が変化するタイミングが第2の入力端に入力される第3のゲートを備えた第1の単位回路（ステージ）を複数縦続接続してなる往路回路と、

縦続接続された第4及び第5のゲートを備えた第2の単位回路（ステージ）を有し、前記第2の単位回路は、前記第1の単位回路と対応させて複数縦続接続され、前記第4のゲートの第1の入力端に前記第3のゲートの出力が入力され、前記第4のゲートの第2の入力端に前段の前記第2の単位回路の出力が入力され、最終段の前記第2の単位回路の出力の変化から、前記センスアンプ回路の活性化タイミングを生成する復路回路と

を有する

ことを特徴とする半導体記憶装置。

【請求項3】

複数のワード線、前記ワード線に交差する複数のビット線、前記ワード線及び前記ビッ
ト線の各交差部に設けられた複数のメモリセルからなるメモリセルアレイと、
前記ビット線の信号レベルを検知・増幅する複数のセンスアンプ回路と、
レプリカワード線、前記レプリカワード線に交差するレプリカビット線、前記レプリカ
ワード線及びレプリカビット線の各交差部に設けられたレプリカメモリセルからなり、前
記メモリセルの読み出し動作を模擬するレプリカ回路と、
基準タイミングから前記レプリカビット線が変化するまでの時間であるレプリカ遅延時
間を量子化し、その結果に基づいて、前記センスアンプ回路の活性化タイミングを生成す
るタイミング発生回路と

を有し、

前記タイミング発生回路は、

前記基準タイミングを入力する縦続接続された第1及び第2のゲート、並びに、前記第2のゲートの出力が第1の入力端に入力され、前記レプリカビット線が変化するタイミングが第2の入力端に入力される第3のゲートを備えた第1の単位回路（ステージ）を複数縦続接続してなる往路回路と、

縦続接続された第4乃至第7のゲートを備えた第2の単位回路（ステージ）を有し、前記第2の単位回路は、前記第1の単位回路と対応させて複数縦続接続され、前記第4のゲートの第1の入力端に前記第3のゲートの出力が入力され、前記第4のゲートの第2の入力端に前段の前記第2の単位回路の出力が入力され、最終段の前記第2の単位回路の出力の変化から、前記センスアンプ回路の活性化タイミングを生成する復路回路と

を有する

ことを特徴とする半導体記憶装置。

【請求項4】

複数のワード線、前記ワード線に交差する複数のビット線、前記ワード線及び前記ビッ
ト線の各交差部に設けられた複数のメモリセルからなるメモリセルアレイと、
前記ビット線の信号レベルを検知・増幅する複数のセンスアンプ回路と、
レプリカワード線、前記レプリカワード線に交差するレプリカビット線、前記レプリカ
ワード線及びレプリカビット線の各交差部に設けられたレプリカメモリセルからなり、前

記メモリセルの読み出し動作を模擬するレプリカ回路と、

基準タイミングから前記レプリカビット線が変化するまでの時間であるレプリカ遅延時間を量子化し、その結果に基づいて、前記センスアンプ回路の活性化タイミングを生成するタイミング発生回路と

を有し、

前記タイミング発生回路は、

前記基準タイミングが入力される第1のゲート、この第1のゲートの出力が第1の入力端に入力され、前記レプリカビット線が変化するタイミングが第2の入力端に入力される第2のゲートを備えた第1の単位回路（ステージ）、並びに、前記第1の単位回路の出力が入力される第3のゲート、この第3のゲートの出力が第1の入力端に入力され、前記レプリカビット線が変化するタイミングを逆論理にした信号が第2の入力端に入力される第4のゲートを備えた第2の単位回路（ステージ）を交互に複数縦続接続してなる往路回路と、

10

前記第1のゲートに対応する第5のゲートを備えた第3の単位回路（ステージ）、並びに、前記第3のゲートに対応する第6のゲートを備えた第4の単位回路（ステージ）が前記第1及び第2の単位回路に対応させて交互に複数縦続接続され、前記第5のゲートの第1の入力端に前記第2のゲートの出力が入力され、前記第5の第2の入力端に前段の前記第4の単位回路の出力が入力され、前記第6のゲートの第1の入力端に前記第4のゲートの出力が入力され、前記第6のゲートの第2の入力端に前段の前記第3の単位回路の出力が入力され、最終段の第4の単位回路の出力の変化から、前記センスアンプ回路の活性化タイミングを生成する復路回路と

20

を有する

ことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、特に、センスアンプ回路の活性化タイミングの生成に関する。

【背景技術】

30

【0002】

一般的な半導体記憶装置において、データ読み出しは、メモリセルの保持するデータに応じてビット線にあらわれた信号レベルが、センスアンプ回路で検知・増幅された上で、外部に出力されることで実現されている。

【0003】

したがって、半導体記憶装置の動作周期を早くするには、メモリセルの選択からセンスアンプ回路の活性化までの時間を短縮することが有効である。

【0004】

しかし、センスアンプ回路を早く活性化させると、ビット線に十分な信号レベルが現れる前のデータを検知・増幅することになる。この場合、誤読み出しの原因となる。

40

【0005】

そこで、適切なセンスアンプ回路の活性化タイミングを生成する技術として、レプリカ回路を用いるものがある（特許文献1）。このレプリカ回路は、メモリセルアレイと同等の構造を持つものであり、メモリセルからのデータ読み出しのタイミングをレプリカ回路で模擬した上で、そのタイミングによりセンスアンプ回路を活性化させるというものである。

【0006】

しかし、通常、レプリカ回路が生成したタイミングは、いくつかの回路を通過し、センスアンプ回路に与えられる。そのため、それら回路によって生じる遅延時間の影響から、レプリカ回路は、十分にメモリセルアレイを模擬しているとは言えない。

50

【0007】

また、温度等により生じるメモリセルの特性の変化を、レプリカ回路によって再現することができるものの、前述した回路については、この変化を反映することができないため問題となる。

【非特許文献1】特開平9-259589号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、レプリカ遅延時間を量子化し、その結果に基づいて最適なセンスアンプ回路の活性化タイミングを生成する半導体記憶装置を提供することを目的とする。

10

【課題を解決するための手段】

【0009】

本発明の一つの態様において、半導体記憶装置は、複数のワード線、前記ワード線に交差する複数のビット線、前記ワード線及び前記ビット線の各交差部に設けられた複数のメモリセルからなるメモリセルアレイと、前記ビット線の信号レベルを検知・増幅する複数のセンスアンプ回路と、レプリカワード線、前記レプリカワード線に交差するレプリカビット線、前記レプリカワード線及びレプリカビット線の各交差部に設けられたレプリカメモリセルからなり、前記メモリセルの読み出し動作を模擬するレプリカ回路と、基準タイミングから前記レプリカビット線が変化するまでの時間であるレプリカ遅延時間を量子化し、その結果に基づいて、前記センスアンプ回路の活性化タイミングを生成するタイミン

20

グ発生回路とを有することを特徴とする。

【発明の効果】

【0010】

本発明によれば、レプリカ遅延時間を量子化し、その結果に基づいて最適なセンスアンプ回路の活性化タイミングを生成する半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【0011】

以下、図面を参照しながら、本発明に係る半導体記憶装置の実施の形態について詳細に説明する。

【0012】

30

[第1の実施形態]

図1は、本発明の第1の実施形態に係る半導体記憶装置の概略図である。

【0013】

この半導体記憶装置は、複数のワード線WL、これら複数のワード線WLに交差する相補対のビット線BL、／BLからなるビット線対、及びワード線WL及びビット線対の各交差部に接続された複数のメモリセルからなるメモリセルアレイを備える。ここで、ビット線BLが持つ寄生容量をCとする。

【0014】

また、各ビット線対の端部に、ビット線BL、／BLに現れる微小信号を検知・増幅するためのセンスアンプ回路SAを備える。

40

【0015】

さらに、ビット線BLと同じ寄生容量Cを持つレプリカビット線RBL、このレプリカビット線RBLに交差するレプリカワード線RWL、及びこれらレプリカビット線RBL、レプリカワード線RWLに接続され、メモリセルMCと同じ構造を持つレプリカセルRCからなるレプリカ回路を備える。

【0016】

このレプリカ回路のレプリカビット線RBLの端部に、レプリカビット線に現れる微小信号を検知・増幅するためのインバータIV1を備える。また、2つの入力A及びBを備え、それぞれにレプリカワード線RWL及びインバータIV1の出力端が接続されたタイミング発生回路100を備える。ここで、入力Aに入力される信号を基準信号（基準タイ

50

ミング)、入力Bに入力される信号をレプリカ遅延信号と呼ぶ。このレプリカ発生回路100は、基準信号及びレプリカ遅延信号に基づいてセンスアンプ回路SAを活性化させるためのセンスアンプ回路活性化信号SAENBLを発生させるものである。また、外部より与えられる複数ビットの選択信号SELに応じて、センスアンプ回路活性化信号SAENBLより所定時間タイミングが早いデジタル出力DOを得ることができる。

【0017】

メモリセルMCは、例えば、図2に示すような6トランジスタ型メモリセルである。すなわち、6トランジスタ型メモリセルは、ソースが電源電圧Vddの電源線及び接地電圧Vssの接地線にそれぞれ接続され相補対接続されたPMOSトランジスタQ1及びNMOSトランジスタQ2を備えた第2のインバータIV2と、ソースが電源線及び接地線にそれぞれ接続され相補対接続されたPMOSトランジスタQ3及びNMOSトランジスタQ4を備えた第3のインバータIV3とを有する。これらインバータIV2、IV3の入力と出力は相互に接続されている。ビット線BLとインバータIV2の出力端との間には、トランスファトランジスタQ5が接続され、ビット線／BLとインバータIV3の出力端との間には、トランスファトランジスタQ6が接続されている。これらトランスファトランジスタQ5、Q6のゲートは、ワード線WLに接続されている。なお、この6トランジスタ型メモリセルを用いた書き込み動作は、ビット線BL及び／BLの双方で行われるが、読み出し動作については、一方のビット線BL又は／BLのみからなされるシングルエンド読み出しでも良い。

【0018】

なお、以下の説明において、電源電圧Vddの信号レベルを“H”、接地電圧Vssの信号レベルを“L”と表現することもある。

【0019】

次に、タイミング発生回路100について図3を用いて説明する。

【0020】

タイミング発生回路100は、往路回路100aと復路回路100bとを備える。

【0021】

往路回路100aは、基準信号が入力されるインバータG101を備える。また、このインバータG101の出力端が入力端に接続されたNANDゲートG103、このNANDゲートG103の出力端が入力端に接続されたインバータG104を備え、以降、1個のNANDゲート及び1個のインバータからなる回路パターンの繰り返しになっている。ここで、NANDゲートG103、G106、G109、G112のもう一方の入力は“H”に固定されている。以下において、インバータG101、G104、G107、G110、・・・の出力端をそれぞれノードNA0、NA1、NA2、NA3、・・・と呼ぶ。また、各ノードNA間の構成を「ステージ」と呼ぶ。つまり、図3の場合、各ステージは、1個のNANDゲートと1個のインバータで構成されていることになる。さらに、往路回路100aは、一方の入力端にノードNA0、NA1、NA2、NA3、・・・がそれぞれ接続され、もう一方の入力端に入力Bが共通に接続されたNANDゲートG102、G105、G108、G111を備える。

【0022】

この往路回路100aは、基準信号の立ち上がりとレプリカ遅延信号の立ち上がりのタイミング差を量子化するものである。その結果は、NANDゲートG101、G105、G108、G111、・・・の出力として現れる。以下において、これらNANDゲートの出力をそれぞれノードNB0、NB1、NB2、NB3、・・・と呼ぶ。

【0023】

復路回路100bは、インバータG113の出力が入力されるNANDゲートG115、このNANDゲートG115の出力端が入力端に接続されたインバータG116を備える。以降、往路回路100aと同様、1個のインバータ及び1個のNANDゲートからなる回路パターンが繰り返される。さらに、入力端の1つにインバータG122の出力端が接続されたNANDゲートG124を備える。このNANDゲートG124の出力がセン

スアンプ回路活性化信号 S A E N B L となる。ここで、N A N D ゲート G 1 2 4、G 1 2 1、G 1 1 8、G 1 1 5、・・・のもう一方の入力端には、それぞれ往路回路 1 0 0 a の N A N D ゲート G 1 0 2、G 1 0 5、G 1 0 8、G 1 1 1 の出力端が接続されている。さらに、一方の入力端にそれぞれインバータ G 1 2 2、G 1 1 9、G 1 1 6、G 1 1 3 の出力端が接続された N A N D ゲート G 1 2 3、G 1 2 0、G 1 1 7、G 1 1 4、・・・を備える。これら N A N D ゲート G 1 2 3、G 1 2 0、G 1 1 7、G 1 1 4、・・・のもう一方の入力端には、それぞれ選択信号 S E L [0]、S E L [1]、S E L [2]、S E L [3]、・・・が入力される。これら N A N D ゲート G 1 2 3、G 1 2 0、G 1 1 7、G 1 1 4、・・・の出力が、それぞれデジタル出力 D O [0]、D O [1]、D O [2]、D O [3]、・・・となる。なお、以下において、往路回路 1 0 1 a の場合と同様、インバータ G 1 2 2、G 1 1 9、G 1 1 6、G 1 1 3、・・・の出力端をそれぞれノード N C 0、N C 1、N C 2、N C 3、・・・と呼び、各 N C 間の構成を「ステージ」と呼ぶ。

10

【0024】

この復路回路 1 0 0 b は、ノード N B に現れた信号変化をノード N C を介してセンスアンプ回路活性化信号 S A E N B L として出力するものである。

【0025】

次に、以上の構成によるタイミング発生回路 1 0 0 の動作について説明する。

【0026】

図 3 は、タイミング発生回路 1 0 0 の動作波形である。

【0027】

20

データ読み出し前（時刻 T 0）において、レプリカワード線 R W L は、ワード線 W L とともに非選択状態である。したがって、入力 A に入力される基準信号は“ L ”である。一方、レプリカビット線 R B L は、ビット線 B L、／ B L 同様、“ H ”にプリチャージされている。したがって、インバータ I V 1 の出力、つまり入力 B の信号は“ L ”となっている。ここで、ノード N A 0、N A 1、N A 2、N A 3、・・・は、全て“ H ”となっている。

【0028】

続いて、時刻 T 1 において、所定のワード線 W L が選択されるとともに、レプリカワード線 R W L も選択される。したがって、基準信号は“ H ”になる。一方、レプリカビット線 R B L には、レプリカセル R C のデータが流入し、徐々に“ L ”に低下していく。

30

【0029】

続いて、時刻 T 2 において、先の時刻 T 1 で“ L ”から“ H ”に立ち上がった基準信号の影響により、ノード N A 0 は、“ H ”から“ L ”に立ち下がる。

【0030】

続いて、時刻 T 3 において、先の時刻 T 2 で“ L ”から“ H ”に立ち上がったノード N A 0 の影響により、ノード N A 1 は、“ H ”から“ L ”に立ち下がる。ここで、ノード N A 0 の立ち下がり（時刻 T 1）からノード N B 1 の立ち下がり（時刻 T 2）までの時間は、ノード N A 0 及び N A 1 間のステージを構成する N A N D ゲート G 1 0 3 及びインバータ G 1 0 4 で生じる遅延時間により決定する。以下において、ステージ毎の遅延時間を「ステップ時間」と呼ぶ。

40

【0031】

続いて、時刻 T 6 において、先の時刻 T 3 で“ L ”から“ H ”に立ち上がったノード N A 1 の影響により、ノード N A 2 は、“ H ”から“ L ”に立ち下がる。このときのステップ時間も、ノード N A 0 及び N A 1 間のステップ時間と同じである。

【0032】

続いて、時刻 T 8 において、先の時刻 T 6 で“ L ”から“ H ”に立ち上がったノード N A 2 の影響により、ノード N A 3 は、“ H ”から“ L ”に立ち下がる。このときのステップ時間も、ノード N A 0 及び N A 1 間のステップ時間と同じである。

【0033】

以降、先の時刻 T 2、T 3、T 6、及び T 8 と同様、1 ステップ時間毎に順次ノード N

50

Aが“H”から“L”に立ち下がる。

【0034】

一方、時刻T1から徐々に低下するレプリカビット線RBLのレベルが、インバータIV1の閾値以下になると、インバータIV3の出力、つまりレプリカ遅延信号が“L”から“H”に立ち上がる。このときの時刻を、ノートNA1及びNA2の信号が変化する時刻T3及びT6間の時刻T4とする。

【0035】

続いて、時刻T5において、時刻T4の時点で基準信号の立ちあがりの影響を受けていないノードNA2、NA3は“H”のままであるため、レプリカ遅延信号の立ち上がりをきっかけにノードNB2、NB3は、“L”に変化する。言い換えれば、基準電圧の立ち上がりが遅延を伴いながら順次ノードNA0、NA1、・・・に伝搬され、レプリカ遅延信号が立ち上がった時点で、まだ基準電圧の立ち上がりが伝搬されていない以後のノードNAとレプリカ遅延信号を入力とするNANDゲートの出力であるノードNBが“H”から“L”に立ち下がることになる。つまり、複数のノードNBは、レプリカワード線RWLの選択（基準信号の立ち上がり：時刻T1）からレプリカセルRCのデータがレプリカビット線RBLに十分に現れる（レプリカ遅延信号の立ち上がり：時刻T4）までの時間をステップ時間で量子化した結果となっている。

【0036】

続いて、時刻T7において、センスアンプ回路活性化信号SAENBLは、“L”から“H”に立ち上がる。

【0037】

ここで、時刻T5から時刻T7までの遅延時間は、“L”から“H”に立ち下がるノードNB2、NB3のうち、ノードNC0に最も近いノードNB2からノードNA0までのステージで生ずる遅延により決定する。往路回路100bのステージは、復路回路100aのステージと同じ構成となっているため、基準信号が立ち上がってからノードNA2が立ち下がるまでの時間と、ほぼ同じ遅延が生ずることになる。したがって、基準信号が立ち上がってからセンスアンプ回路活性化信号SAENBLが立ち上がるまでの時間は、基準電圧が立ち上がってからレプリカ遅延信号が立ち上がるまでの時間のほぼ2倍となる。言い換えれば、レプリカワード線RWLが選択されてからインバータIV1がレプリカビット線RBLの微小信号を検知するまでの時間のほぼ2倍のタイミングを生成したことになる。

【0038】

なお、復路回路100bが備えるNANDゲートG123、G120、・・・は、往路回路100aのNANDゲートG102、G105、・・・に相当するものである。これにより、往路回路100aのインバータG101、G104、・・・と復路回路100bのインバータG113、G116、・・・により駆動される負荷を同じにすることができる。また、複数のビットからなる選択信号SELの各ビット[0]、[1]、・・・はセンスノードNC0、NC1に対応しており、例えば、選択信号SEL[0]＝“H”を与えることでセンスノードNC0の信号をNANDゲートG123を介して外部に出力させることができる。つまり、NANDゲートG123、G120、・・・があることで、センスアンプ回路活性化信号SAENBLの活性化タイミングよりも早いタイミングの信号をステップ単位で取り出すことができる。

【0039】

ここで、データ読み出し時のセンスアンプ回路SAの活性化タイミングについて説明する。

【0040】

まず、半導体記憶装置の処理スピードの観点からすれば、ワード線WLを選択した後、できるだけ早くセンスアンプ回路SAを活性化させれば良い。しかし、“H”にプリチャージされたビット線BL、／BLが“L”に引き下がるまでには、ある程度の時間を要する。ここで、ビット線BLの容量をC、メモリセルMCに流入する電流をIc、メモリセ

10

20

30

40

50

ルMCが選択されてからの時間を t とすると、ビット線BL、／BL間の電位差 ΔV は、 $\Delta V = (I_c / C) \times t$ となる。したがって、時間 t 又は電流 I_c が大きくなると電位差 ΔV_{bl} が大きくなり、寄生容量 C が大きくなると、電位差 ΔV_{bl} が小さくなる。実際、ビット線BL、／BLの電位差 ΔV_{bl} を100mVとして寄生容量 C や電流 I_c を考慮すると、時間 t は100m~200ms程度となる。つまり、このタイミングでセンスアンプ回路SAを活性化させることが望ましい。ただし、寄生容量 C や電流 I_c は、温度などの環境変化によって変化するため、それぞれに対する時間 t の調整が必要となる。

【0041】

そこで、一般的にレプリカ回路が使用される。この場合、メモリセルアレイとレプリカ回路とは同じ環境下にあるため、レプリカビット線RBLの信号が検知したタイミングでセンスアンプ回路活性化信号を活性化すれば、環境の変化に対応した最適なタイミングでセンスアンプ回路SAを活性化させてやることも考えられる。

10

【0042】

ただし、1個のレプリカセルRCだけでは、レプリカビット線RBLを“L”に引き上げる駆動力が小さいため、レプリカビット線RBLに十分な信号レベルが現れてからセンスアンプ回路SAを活性化させていたのでは処理が遅くなる。そこで、通常、レプリカセルRCは複数同時に選択される。これに伴い、レプリカビット線RBLが“L”に引き下げられるまでの時間が短くなるため、インバータ等のゲートによりタイミングを遅延させた上で、センスアンプ回路SAを活性化させることになる。

20

【0043】

ここで、レプリカセルRCの個数を n とすると、レプリカビット線RBLに電源電圧 V_{dd} との電位差 ΔV が生じるまでの時間は、 $t = (C \times \Delta V) / (n \times I_c)$ となる。これを例えば2倍にしてセンスアンプ回路SAの活性化タイミングを生成しようと考えた場合、インバータ等のゲートにより生じる時間 t_d を $(C \times \Delta V) / (n \times I_c)$ と同程度に調整する必要がある。

【0044】

しかし、この時間 t_d は、メモリセルアレイの特性の変化に関係ない値である。したがって、インバータ等のゲートを用いてタイミング調整する方法では、メモリセルアレイの特性変化に対応することができない。

【0045】

この点、本実施形態の場合、レプリカビット線RBLに電源電圧 V_{dd} との電位差 ΔV_{bl} が現れるまでの時間、つまり基準電圧の立ち上がりからレプリカ遅延信号の立ち上がりまでの時間自体を往路回路100aにより量子化し、それと同等の遅延を復路回路100bが備えるゲートにより生じさせている。そのため、メモリセルアレイの特性変化に応じたセンスアンプ回路SAの活性化タイミングを生成することができる。

30

【0046】

次に、本半導体記憶装置の遅延回路100の効果について確認する。

【0047】

図5は、電源電圧 V_{dd} に対する基準信号の立ち上がりからセンスアンプ回路活性化信号の立ち上がりまでの時間の関係を示すシミュレーション結果である。

40

【0048】

シミュレーション条件は、基準信号の立ち上がりからレプリカ遅延信号の立ち上がりまでの時間（以下、「レプリカ遅延時間」と呼ぶ）を2ns、3ns、PMOSトランジスタ及びNMOSトランジスタのプロセス条件を共にTypical（図中“tt”）、Fast（図中“ff”）、及びSlow（図中“ss”）としている。

【0049】

図5から明らかなように、レプリカ遅延時間が2nsであった場合、トランジスタの条件及び電源電圧 V_{dd} に依らず、おおよそ2nsの2倍である4ns（図5中点線で表示）の遅延時間が得られることが分かる。また、レプリカ遅延時間が3nsであった場合でも、トランジスタの条件及び電源電圧 V_{dd} に依らず、おおよそ3nsの2倍である6n

50

s の遅延時間が得られていることが分かる。

【0050】

図6は、電源電圧V_{dd}とビット線対間の電位差ΔV_{bl}との関係を示すシミュレーション結果である。

【0051】

比較例として、インバータで構成された遅延回路に対するシミュレーション結果も併せて示す。図6中、“LP”は、低電圧プロセスのトランジスタでインバータを構成した場合、“HS”はハイスピードプロセスのトランジスタでインバータを構成した場合の遅延回路に対する結果となっている。

【0052】

ここで、タイミング発生回路100、あるいは比較例に係る遅延回路を設ける目的は、ビット線BL、／BL間の電位差ΔV_{bl}が最適な値となったタイミングで、センスアンプ回路を活性化させることにある。この点、トランジスタのプロセス条件、電源電圧V_{dd}に依らずこの電位差ΔV_{bl}が一定であることが望ましい。

【0053】

比較例に係る“HS”の遅延回路の場合、電源電圧V_{dd}の変化による電位差ΔV_{bl}の変化が大きい。例えば、トランジスタのプロセス条件が“ff”であった場合、V_{dd}=0.4Vのとき、ΔV_{bl}=0.06Vであるのに対し、V_{dd}=0.7Vのとき、ΔV_{bl}=0.38Vとなっている。つまり両者のΔV_{bl}の開きは、およそ0.32Vとなる。また、トランジスタのプロセス条件の変化による電位差ΔV_{bl}の変化も大きい。例えば、電源電圧V_{dd}=0.4Vのとき、プロセス条件が“ss”と“ff”の場合のΔV_{bl}の開きは、およそ0.32Vにもなる。結果として、ΔV_{bl}が最小の時（V_{dd}=0.4V、プロセス条件“ff”）と最大の時（V_{dd}=0.7V、プロセス条件“ss”）とのΔV_{bl}の開きは、およそ0.6Vにもなる。

【0054】

一方、比較例に係る“LP”の遅延回路の場合、“HS”の遅延回路に比べ良好である。電源電圧V_{dd}が0.4Vから0.7Vまで変化した場合のΔV_{bl}の開きが最も大きいプロセス条件が“ss”の場合であっても、およそ0.23Vとなっている。しかし、プロセス条件の変化によるΔV_{bl}の変化は、電源電圧V_{dd}によっては、“HS”の遅延回路よりも悪い。具体的には、電源電圧V_{dd}=0.4Vのとき、プロセス条件が“ss”と“ff”の場合のΔV_{bl}の開きは、およそ0.37Vにもなる。結果として、ΔV_{bl}が最小の時（V_{dd}=0.4V、プロセス条件“ff”）と最大の時（V_{dd}=0.4V、プロセス条件“ss”）とのΔV_{bl}の開きは、およそ0.37Vにもなる。

【0055】

この点、本実施形態によれば、比較例に係る遅延回路と比較し、電源電圧V_{dd}及びプロセス条件の変化によるビット線BL、／BL間の電位差ΔV_{bl}の差が小さいことが分かる。例えば、電源電圧V_{dd}が0.4Vから0.7Vに変化したときのΔV_{bl}の変化の開きが一番大きいプロセス条件が“ss”の場合であっても、およそ0.18Vしかない。また、プロセス条件の変化したときのΔV_{bl}の変化の開きが一番大きい電源電圧V_{dd}=0.7Vの場合であっても、およそ0.22Vに抑えられている。結果として、ΔV_{bl}が最小の時（V_{dd}=0.4V、プロセス条件“ff”）と最大の時（V_{dd}=0.7V、プロセス条件“ss”）とのΔV_{bl}の開きは、およそ0.32Vである。

【0056】

図7は、タイミング発生回路100をハイスピードプロセスのトランジスタで構成した場合、及び低電圧プロセスのトランジスタで構成した場合における電源電圧V_{dd}とステップ数増減による遅延時間の増減率の関係を示すシミュレーション結果である。

【0057】

往路回路100aによるレプリカ遅延時間の量子化のステップ時間を細かくしたい場合、閾値が小さく、生じる遅延が小さいハイスピードプロセスのトランジスタで構成すれば良い。しかし、図6の結果からもわかるようにハイスピードプロセスのトランジスタは、

10

20

30

40

50

電源電圧 V_{dd} の変化に弱いことが欠点である。その点、図 7 から明らかなように、本実施形態の場合、往路回路 100a によりレプリカ遅延時間を量子化し、それと同等の時間を復路回路 100b により付加するものである。したがって、電源電圧 V_{dd} の変化に伴い量子化のステップ時間は変動するものの、ステップ数増減による遅延時間の変化率はほぼ一定である。これは、ハイスピードプロセス、低電圧プロセス問わず、電源電圧 V_{dd} の変化に対する安定性が高いことを示すものである。

【0058】

以上の通り、本実施形態によれば、メモリセルアレイの特性の変化に伴うレプリカ回路への影響をそのまま反映してセルアレイ回路活性化信号を生成しているため、電源電圧の変化等、環境変化に応じた最適なセンスアンプ回路の活性化を実現することができる。

10

【0059】

また、本実施形態のタイミング発生回路 100 は、あらゆる条件のトランジスタであっても安定した特性を有する。そのため、本実施形態によれば、製造プロセスのばらつきによる影響が少なく、また、設計変更等にも柔軟に対応することができる。

【0060】

[第 2 の実施形態]

図 8 は、本発明の第 2 の実施形態に係る半導体記憶装置のタイミング発生回路 200 である。

【0061】

このタイミング発生回路 200 は、レプリカ遅延時間を 3 倍にする回路である。

20

【0062】

往路回路 200a は、タイミング発生回路 100 の場合と同様、1 ステージ毎に、1 個の NAND ゲート (G203 など) と 1 個のインバータ (G204 など) を備えている。

【0063】

一方、復路回路 200b は、1 ステップ毎に、例えば、ノード NC0 及び NC1 間の場合、NAND ゲート G218、インバータ G219、NAND ゲート G221、インバータ G222 で構成されている。言い換えれば、ノード NC0 及びインバータ G219 の出力端であるノード NC0' 間、並びにノード NC0' 及びノード NC1 間は、それぞれ往路回路 200a の 1 ステージを構成するものである。つまり、復路回路 200b のステップ時間は、往路回路 200a のステップ時間の 2 倍となる。

30

【0064】

結果として、レプリカ遅延時間のおよそ 3 倍を持つセンスアンプ回路活性化信号 SAENBL を生成することができる。

【0065】

本実施形態のように、1 ステージ毎の往路回路と復路回路のゲート数の比を変更することで、任意のタイミングでセンスアンプ回路を活性化するセンスアンプ回路活性化信号を生成することができる。

【0066】

[第 3 の実施形態]

図 9 は、本発明の第 3 の実施形態に係る半導体記憶装置のタイミング発生回路 300 の回路図である。

40

【0067】

このタイミング発生回路 300 は、ステップ時間を小さくしたい場合の実施形態である。

【0068】

ステップ時間を小さくする場合、往路回路 300a、復路回路 300b の 1 ステージ毎のゲート数を減らしてやれば良い。

【0069】

タイミング発生回路 300 の場合、先に説明したタイミング発生回路 100、200 に対し、ステージ毎に設けられたインバータを削減している。この場合、ノード NAi (i

50

=偶数)とノードNA_{i+1}では論理が逆転するため、ノードNA₁、NA₃、・・・が入力端に接続されたNANDゲートG₃₀₃、G₃₀₇、・・・の他方の入力端には、レプリカ遅延信号と逆論理の信号が入力されている。

【0070】

以上のように、本実施形態によれば、第1及び第2の実施形態に比べ、ステップ時間を小さくすることができるため、レプリカ遅延時間の量子化誤差が小さくなり、より最適なセンスアンプ回路の活性化タイミングを発生させることができる。

【0071】

[その他]

以上、発明の実施の形態としてSRAMを取り上げ説明したが、本発明はSRAMに限
定されるものではなく、DRAM、フラッシュメモリ等あらゆる半導体記憶装置に適用す
ることができる。

10

【0072】

なお、以上の各実施形態での他の特徴点を列挙すれば、以下の通りである。

【0073】

(1) タイミング発生回路は、複数のステージからなる復路回路を備え、往路回路の
量子化の結果に基づいて、ステージ毎に生じる遅延時間単位でセンスアンプ回路の活性化
タイミングを調整することを特徴とする。

【0074】

(2) 往路回路のステージと、復路回路のステージを構成するゲート数が同じである
ことを特徴とする。

20

【0075】

(3) 往路回路のステージと、復路回路のステージを構成するゲート数が異なること
を特徴とする。

【図面の簡単な説明】

【0076】

【図1】本発明の第1の実施形態に係る半導体記憶装置の概略図である。

【図2】同半導体記憶装置のメモリセルの回路図である。

【図3】同半導体記憶装置のタイミング発生回路を示す回路図である。

【図4】同半導体記憶装置のタイミング発生回路の動作波形を示すグラフである。

30

【図5】同半導体記憶装置のタイミング発生回路に対するシミュレーション結果を示すグ
ラフである。

【図6】同半導体記憶装置及び比較例に対するシミュレーション結果を示すグラフである。

。

【図7】同半導体記憶装置のタイミング発生回路に対するシミュレーション結果を示すグ
ラフである。

【図8】本発明の第2の実施形態に係る半導体記憶装置のタイミング発生回路の回路図で
ある。

【図9】本発明の第3の実施形態に係る半導体記憶装置のタイミング発生回路の回路図で
ある。

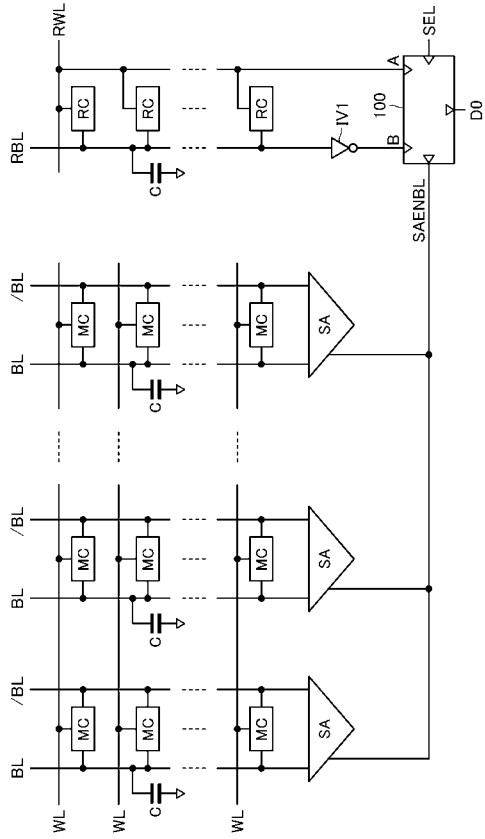
40

【符号の説明】

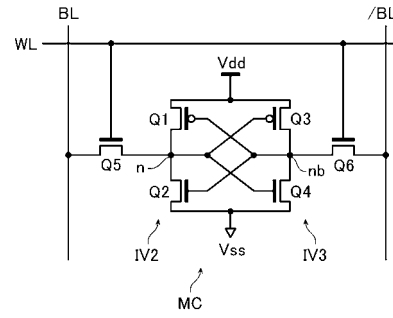
【0077】

100、200、300・・・タイミング発生回路、100a、200a、300a・
・・・往路回路、100b、200b、300b・・・復路回路。

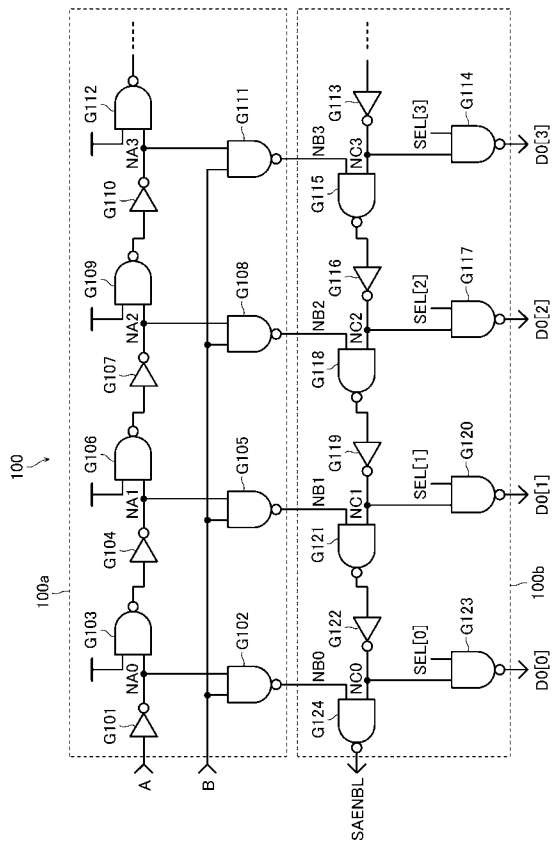
【図 1】



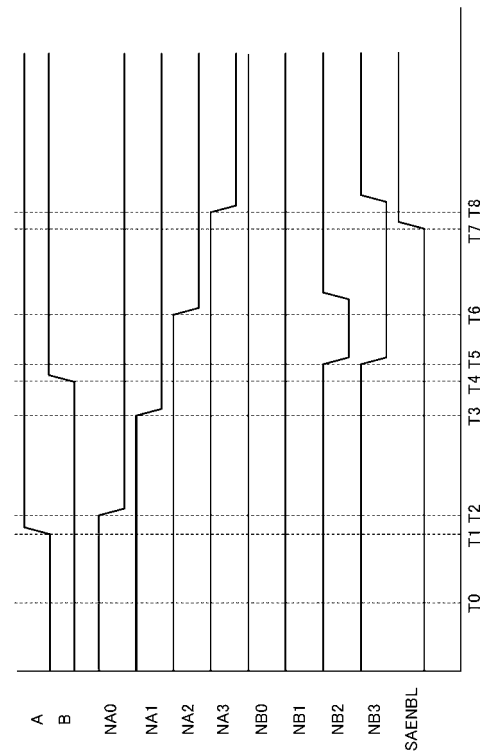
【図 2】



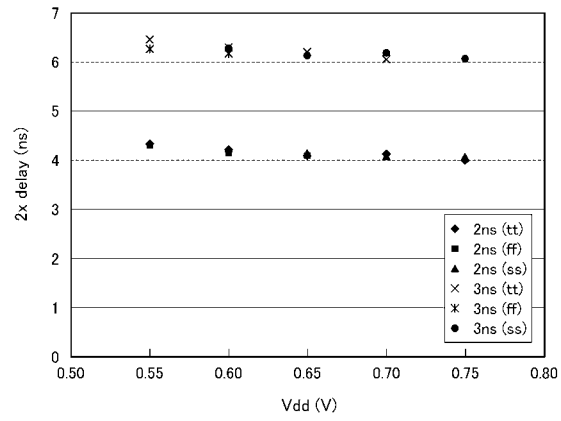
【図 3】



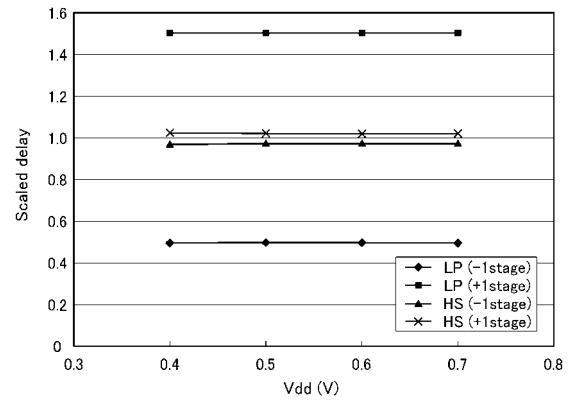
【図 4】



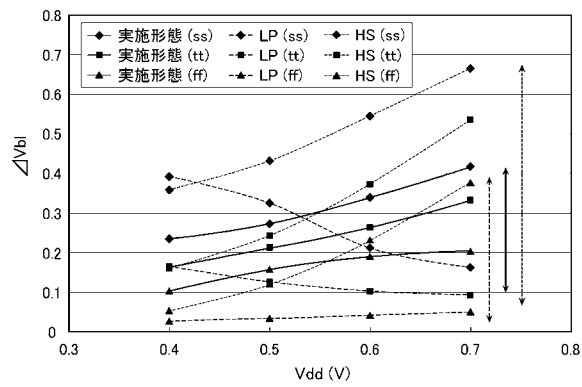
【図 5】



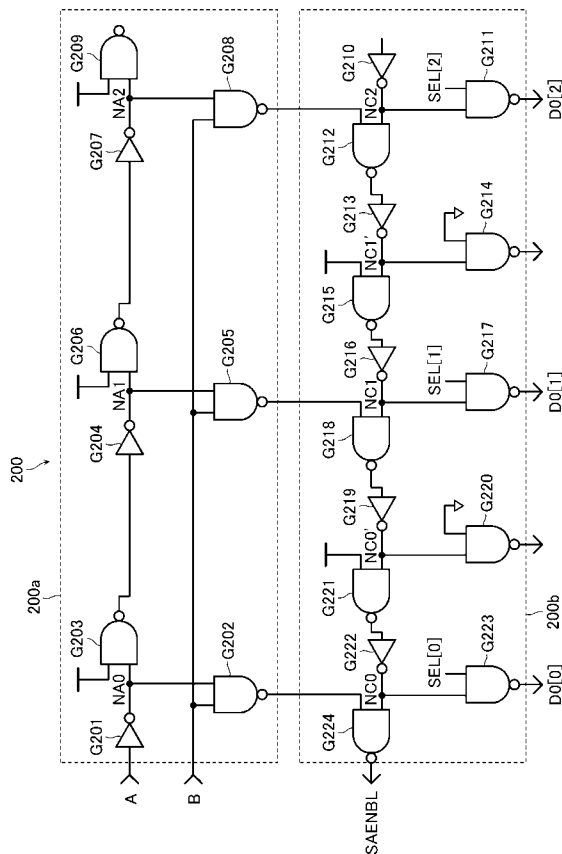
【図 7】



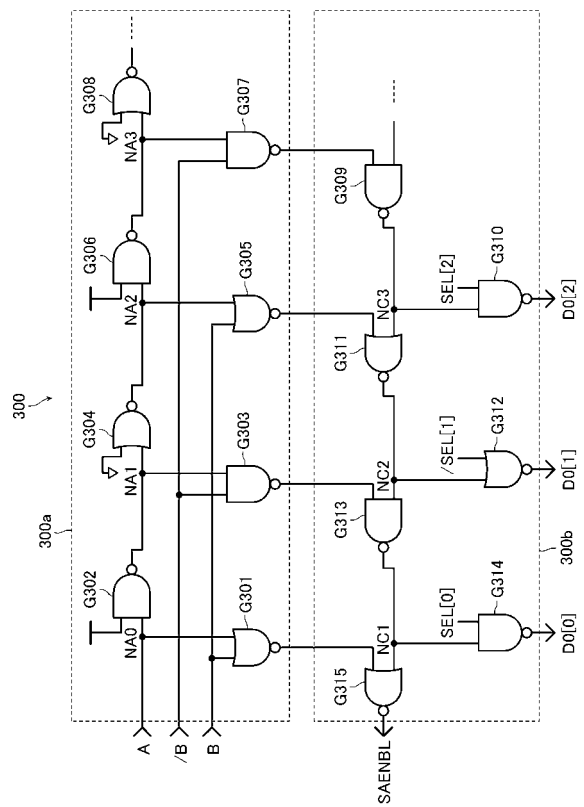
【図 6】



【図 8】



【図 9】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

G 1 1 C 1 1 / 4 1 9

G 1 1 C 1 1 / 4 1 3