

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約: 少ない消費電力で畳み込み処理が可能な半導体装置を提供する。第1回路が第1保持部と、第1トランジスタと、を有し、第2回路が第2保持部と、第2トランジスタと、を有する半導体装置である。第1、第2回路は、第1、第2入力配線と、第1、第2配線と、に電氣的に接続されている。第1保持部は、第1トランジスタに流れる第1電流を保持する機能を有し、第2保持部は、第2トランジスタに流れる第2電流を保持する機能を有する。また、第1、第2電流は、畳み込み処理に用いられるフィルタ値に応じて定まる。第1、第2入力配線に、畳み込み処理が施される画像データに応じた電位が入力されることで、第1回路は、第1配線又は第2配線の一方に電流を出力し、第2回路は、第1配線又は第2配線の他方に電流を出力する。第1、第2回路が第1配線又は第2配線に出力する電流の量は、フィルタ値と画像データと、に応じて決まる。

明細書

発明の名称

半導体装置、及び電子機器

技術分野

[0001]

本発明の一態様は、半導体装置、及び電子機器に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、駆動方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、プロセッサ、電子機器、システム、それらの駆動方法、それらの製造方法、又はそれらの検査方法を一例として挙げることができる。

背景技術

[0003]

現在、人間の脳の仕組みを模した集積回路の開発が盛んに進められている。当該集積回路は、脳の仕組みが電子回路として組み込まれており、人間の脳の「ニューロン」と「シナプス」に相当する回路を有する。そのため、そのような集積回路を、「ニューロモρφィック」、「ブレインモρφィック」、「ブレインインスパイア」などと呼ぶこともある。当該集積回路は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で並列処理を行えると期待されている。

[0004]

「ニューロン」と「シナプス」とを有する神経回路網を模した情報処理のモデルは、人工ニューラルネットワーク（ANN）と呼ばれる。例えば、非特許文献1、及び非特許文献2には、SRAM（Static Random Access Memory）を用いて、人工ニューラルネットワークを構成した演算装置について開示されている。

[先行技術文献]

[非特許文献]

[0005]

[非特許文献1] M. Kang et al., "IEEE Journal Of Solid-State Circuits", 2018, Volume 53, No. 2, p. 642-655.

[非特許文献2] J. Zhang et al., "IEEE Journal Of Solid-State Circuits", 2017, Volume 52, No. 4, p. 915-924.

発明の概要

発明が解決しようとする課題

[0006]

人工ニューラルネットワークでは、2つのニューロン同士を結合するシナプスの結合強度（重み

係数という場合がある。)と、2つのニューロン間で伝達する信号と、を乗じる計算が行われる。特に、階層型の人工ニューラルネットワークでは、第1層の複数の第1ニューロンと第2層の第2ニューロンの一との間のそれぞれのシナプスの結合強度と、第1層の複数の第1ニューロンから第2層の第2ニューロンの一に入力されるそれぞれの信号と、を乗じて足し合わせる必要があり、つまり積和演算を行う必要があり、人工ニューラルネットワークの規模に応じて、例えば、当該結合強度の数、当該信号を示すパラメータの数が決まる。また、第2ニューロンは、シナプスの結合強度と第1ニューロンが出力した信号との積和演算の結果を用いて、活性化関数による演算を行って、当該演算結果を信号として、第3層目の第3ニューロンに対して出力する。つまり、人工ニューラルネットワークは、階層の数、ニューロン数などが多くなる程、「ニューロン」及び「シナプス」のそれぞれに相当する回路の数が多くなり、演算量も膨大になることがある。これにより、回路の消費電力が大きくなり、回路からの発熱量も大きくなることもある。

[0007]

また、人工ニューラルネットワークにも様々なモデルが存在するが、例えば、画像分析に使われているモデルとして、畳み込みニューラルネットワーク(CNN)と呼ばれるものがある。畳み込みニューラルネットワークは、画像認識の分野で優れた性能を発揮するニューラルネットワークの一種であるが、画像の解像度、フィルタの大きさなどによって、演算量が決まってくる。具体的には、例えば、画像の解像度が高くなるほど、フィルタの大きさが大きくなるほど、ストライドが小さいほど、畳み込みニューラルネットワークにおける演算量は大きくなるため、回路の消費電力が大きくなる場合がある。

[0008]

また、チップを構成する回路の数が増えると消費電力が高くなり、装置の駆動時に発生する発熱量も大きくなる。特に、発熱量が高くなるほど、チップに含まれている回路素子の特性に影響が出るため、チップを構成する回路は温度による影響を受けにくい回路素子を有することが好ましい。また、チップに含まれているトランジスタ、電流源などの特性がばらつくと、演算結果もばらついてしまう。

[0009]

本発明の一態様は、積和演算、及び／又は関数演算を行う半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、畳み込み処理を行う半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、AI向けの半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、DNN向けの半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、消費電力が低い半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、環境の温度の影響を受けにくい半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、トランジスタの特性ばらつきの影響を受けにくい半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、電流源の特性ばらつきの影響を受けにくい半導体装置などを提供することを課題の一とする。又は、本発明の一態様は、新規な半導体装置などを提供することを課題の一とする。

[0010]

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出

せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

課題を解決するための手段

[0011]

(1)

本発明の一態様は、第1回路と、第2回路と、を有する半導体装置である。第1回路は、第1保持部と、第1駆動トランジスタと、を有し、第2回路は、第2保持部と、第2駆動トランジスタと、を有する。第1回路は、第1入力配線と、第2入力配線と、第1配線と、第2配線と、に電氣的に接続され、第2回路は、第1入力配線と、第2入力配線と、第1配線と、第2配線と、に電氣的に接続されている。第1保持部は、第1配線から第1駆動トランジスタのソースドレイン間に流れる第1電流に応じた第1電位を保持する機能を有し、第2保持部は、第2配線から第2駆動トランジスタのソースドレイン間に流れる第2電流に応じた第2電位を保持する機能を有する。また、第1回路は、第1入力配線に第1レベル電位が入力され、かつ第2入力配線に第2レベル電位が入力されたときに、第1電流を第1配線に出力する機能と、第1入力配線に第2レベル電位が入力され、かつ第2入力配線に第1レベル電位が入力されたときに、第1電流を第2配線に出力する機能と、第1入力配線に第2レベル電位が入力され、かつ第2入力配線に第2レベル電位が入力されたときに、第1電流を第1配線、及び第2配線に出力しない機能と、を有する。また、第2回路は、第1入力配線に第1レベル電位が入力され、かつ第2入力配線に第2レベル電位が入力されたときに、第2電流を第2配線に出力する機能と、第1入力配線に第2レベル電位が入力され、かつ第2入力配線に第1レベル電位が入力されたときに、第2電流を第1配線に出力する機能と、第1入力配線に第2レベル電位が入力され、かつ第2入力配線に第2レベル電位が入力されたときに、第2電流を第1配線、及び第2配線に出力しない機能と、を有する。第1電流と、第2電流と、のそれぞれの電流量は、畳み込み処理に用いられるフィルタに含まれるフィルタ値に応じた量である。また、第1入力配線と、第2入力配線と、のそれぞれに入力される第1レベル電位、及び第2レベル電位は、畳み込み処理が施される画像データに応じて決められる。

[0012]

(2)

又は、本発明の一態様は、第1回路と、第2回路と、を有し、上記(1)とは構成要素が異なる半導体装置である。第1回路は、第1保持部と、第1駆動トランジスタと、を有し、第2回路は、第2保持部と、第2駆動トランジスタと、を有する。第1回路は、第1入力配線と、第2入力配線と、第1配線と、第2配線と、に電氣的に接続され、第2回路は、第1入力配線と、第2入力配線と、第1配線と、第2配線と、に電氣的に接続されている。第1保持部は、第1配線から第1駆動トランジスタのソースドレイン間に流れる第1電流に応じた第1電位を保持する機能を有し、第2保持部は、第2配線から第2駆動トランジスタのソースドレイン間に流れる第2電流に応じた第2電位を保持する機能を有する。第1駆動トランジスタは、第1駆動トランジスタのソースドレイン間において、保持された第1電位に応じた第1電流を流す機能を有し、第2駆動トランジスタは、第2駆動トランジスタのソースドレイン間において、保持された第2電位に応じた第2電流を流す機能を有する。また、第1回路は、第1期間に、第1入力配線に第1レベル電位が入力され、かつ第2入力配線に第2レベル電位が入力されたときに、第1電流を第1配線に出力する機能

と、第1期間に、第1入力配線に第2レベル電位が入力され、かつ第2入力配線に第1レベル電位が入力されたときに、第1電流を第2配線に出力する機能と、第1期間に、第1入力配線に第2レベル電位が入力され、かつ第2入力配線に第2レベル電位が入力されたときに、第1電流を第1配線、及び第2配線に出力しない機能と、を有する。また、第2回路は、第1期間に、第1入力配線に第1レベル電位が入力され、かつ第2入力配線に第2レベル電位が入力されたときに、第2電流を第2配線に出力する機能と、第1期間に、第1入力配線に第2レベル電位が入力され、かつ第2入力配線に第1レベル電位が入力されたときに、第2電流を第1配線に出力する機能と、第1期間に、第1入力配線に第2レベル電位が入力され、かつ第2入力配線に第2レベル電位が入力されたときに、第2電流を第1配線、及び第2配線に出力しない機能と、を有する。第1電流と、第2電流と、のそれぞれの電流量は、畳み込み処理に用いられるフィルタに含まれるフィルタ値に応じた量であり、第1入力配線と、第2入力配線と、のそれぞれに入力される第1レベル電位、及び第2レベル電位と、第1期間の長さと、は、畳み込み処理が施される画像データに応じて決められる。

[0013]

(3)

又は、本発明の一態様は、上記(2)の構成において、第1期間が、第2期間と、第3期間と、を有する構成としてもよい。具体的には、第1入力配線は、第2期間において、第1回路及び第2回路の両方に第1レベル電位又は第2レベル電位を与える機能を有する。また、第2入力配線は、第2期間において、第1回路及び第2回路の両方に第1レベル電位又は第2レベル電位を与える機能を有する。また、第1入力配線は、第3期間において、第1回路及び第2回路の両方に第1レベル電位又は第2レベル電位を与える機能を有する。また、第2入力配線は、第3期間において、第1回路及び第2回路の両方に第1レベル電位又は第2レベル電位を与える機能を有する。なお、第3期間の長さは、第2期間の長さの1.8倍以上2.2倍以下であることが好ましい。

[0014]

(4)

又は、本発明の一態様は、上記(1)乃至(3)のいずれか一において、第1回路は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第1容量と、を有し、第2回路は、第4トランジスタと、第5トランジスタと、第6トランジスタと、第2容量と、を有する構成としてもよい。具体的には、第1保持部は、第1トランジスタと、第1容量と、を有し、第2保持部は、第4トランジスタと、第2容量と、を有する。第1トランジスタの第1端子は、第1容量の第1端子と、第1駆動トランジスタのゲートに電氣的に接続され、第1トランジスタの第2端子は、第1配線に電氣的に接続されている。また、第1駆動トランジスタの第1端子は、第2トランジスタの第1端子と、第3トランジスタの第1端子と、に電氣的に接続され、第2トランジスタの第2端子は、第1配線に電氣的に接続され、第2トランジスタのゲートは、第1入力配線に電氣的に接続され、第3トランジスタの第2端子は、第2配線に電氣的に接続され、第3トランジスタのゲートは、第2入力配線に電氣的に接続されている。また、第4トランジスタの第1端子は、第2容量の第1端子と、第2駆動トランジスタのゲートに電氣的に接続され、第4トランジスタの第2端子は、第2配線に電氣的に接続されている。また、第2駆動トランジスタの第1端子は、第5トランジスタの第1端子と、第6トランジスタの第1端子と、に電氣的に接続され、第5トランジスタの第2端子は、第2配線に電氣的に接続され、第5トランジスタのゲートは、第1入力配線に電氣的に接続され、第6トランジスタの第2端子は、第1配線に電氣的に接続され、第6トランジスタのゲートは、

第2入力配線に電氣的に接続されている。

[0015]

(5)

又は、本発明の一態様は、上記(4)において、第1回路は、第7トランジスタを有し、第2回路は、第8トランジスタを有する構成としてもよい。具体的には、第7トランジスタの第1端子は、第1駆動トランジスタの第1端子と、第2トランジスタの第1端子と、第3トランジスタの第1端子と、に電氣的に接続され、第7トランジスタの第2端子は、第1トランジスタの第1端子、又は第2端子の一方に電氣的に接続されている。また、第8トランジスタの第1端子は、第2駆動トランジスタの第1端子と、第5トランジスタの第1端子と、第6トランジスタの第1端子と、に電氣的に接続され、第8トランジスタの第2端子は、第4トランジスタの第1端子、又は第2端子の一方に電氣的に接続されている。また、第1トランジスタのゲートは、第4トランジスタのゲートと、第7トランジスタのゲートと、第8トランジスタのゲートと、に電氣的に接続されている。

[0016]

(6)

又は、本発明の一態様は、上記(1)乃至(3)のいずれか一において、第1回路が、第1トランジスタと、第2トランジスタと、第3トランジスタと、第1容量と、を有し、第2回路が、第4トランジスタと、第5トランジスタと、第6トランジスタと、第2容量と、を有する構成としてもよい。具体的には、第1保持部は、第1トランジスタと、第1容量と、を有し、第2保持部は、第4トランジスタと、第2容量と、を有する。第1トランジスタの第1端子は、第1容量の第1端子と、第1駆動トランジスタのゲートと、に電氣的に接続され、第1駆動トランジスタの第1端子は、第1トランジスタの第2端子と、第2トランジスタの第1端子と、第3トランジスタの第1端子と、に電氣的に接続されている。また、第2トランジスタの第2端子は、第1配線に電氣的に接続され、第2トランジスタのゲートは、第1入力配線に電氣的に接続され、第3トランジスタの第2端子は、第2配線に電氣的に接続され、第3トランジスタのゲートは、第2入力配線に電氣的に接続されている。また、第4トランジスタの第1端子は、第2容量の第1端子と、第2駆動トランジスタのゲートに電氣的に接続され、第2駆動トランジスタの第1端子は、第4トランジスタの第2端子と、第5トランジスタの第1端子と、第6トランジスタの第1端子と、に電氣的に接続されている。また、第5トランジスタの第2端子は、第2配線に電氣的に接続され、第5トランジスタのゲートは、第1入力配線に電氣的に接続され、第6トランジスタの第2端子は、第1配線に電氣的に接続され、第6トランジスタのゲートは、第2入力配線に電氣的に接続されている。

[0017]

(7)

又は、本発明の一態様は、上記(1)乃至(3)のいずれか一において、第1回路は、第3保持部と、第3駆動トランジスタと、を有し、第2回路は、第4保持部と、第4駆動トランジスタと、を有する構成としてもよい。具体的には、第1回路は、第3配線に電氣的に接続され、第2回路は、第3配線に電氣的に接続されている。また、第3保持部は、第1配線から第3駆動トランジスタのソースドレイン間に流れる第3電流に応じた第3電位を保持する機能を有し、第4保持部は、第2配線から第4駆動トランジスタのソースドレイン間に流れる第4電流に応じた第4電位を保持する機能を有する。また、第3駆動トランジスタは、第3駆動トランジスタのソースドレイン間において、保持された第3電位に応じた第3電流を流す機能を有し、第4駆動トランジスタは、第

4 駆動トランジスタのソースドレイン間において、保持された第 4 電位に応じた第 4 電流を流す機能を有する。また、半導体装置は、第 3 配線に入力される信号に応じて、第 1 配線又は第 2 配線の一方に流れる第 1 電流を第 3 電流に切り替え、かつ第 1 配線又は第 2 配線の他方に流れる第 2 電流を第 4 電流に切り替える機能を有する。

[0018]

(8)

又は、本発明の一態様は、上記 (1) 乃至 (7) のいずれか一において、第 3 回路と、第 4 回路と、第 5 回路と、を有する構成としてもよい。第 3 回路は、第 1 配線を介して、第 1 回路に、フィルタ値に応じた第 1 電流を供給する機能と、第 2 配線を介して、第 2 回路に、フィルタ値に応じた第 2 電流を供給する機能と、を有する。また、第 4 回路は、画像データに応じて、第 1 入力配線に、第 1 レベル電位又は第 2 レベル電位を入力する機能と、画像データに応じて、第 2 入力配線に、第 1 レベル電位又は第 2 レベル電位を入力する機能と、を有する。また、第 5 回路は、第 1 配線と、第 2 配線と、のそれぞれから流れる電流を比較して、第 5 回路の出力端子から、フィルタ値と画像データの積に応じた電位を出力する機能を有する。

[0019]

(9)

又は、本発明の一態様は、上記 (1) 乃至上記 (8) のいずれか一の半導体装置と、筐体と、を有する電子機器である。また、電子機器は、畳み込み処理によって、画像の特徴抽出が行われてもよい。

[0020]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品などは半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置である場合があり、半導体装置を有している場合がある。

[0021]

また、本明細書等において、X と Y とが接続されていると記載されている場合は、X と Y とが電氣的に接続されている場合と、X と Y とが機能的に接続されている場合と、X と Y とが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも、図又は文章に開示されているものとする。X、Y は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層など）であるとする。

[0022]

X と Y とが電氣的に接続されている場合の一例としては、X と Y との電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示デバイス、発光デバイス、負荷など）が、X と Y との間に 1 個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

[0023]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（デジタルアナログ変換回路、アナログデジタル変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

[0024]

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。

[0025]

また、例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0026]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0027]

また、本明細書等において、「抵抗素子」とは、例えば、 $0\ \Omega$ よりも高い抵抗値を有する回路素子、配線などとすることができる。そのため、本明細書等において、「抵抗素子」は、抵抗値を有

する配線、ソースドレイン間に電流が流れるトランジスタ、ダイオード、コイルなどを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」、「負荷」、「抵抗値を有する領域」などの用語に言い換えることができる場合がある。逆に「抵抗」、「負荷」、「抵抗値を有する領域」という用語は、「抵抗素子」などの用語に言い換えることができる場合がある。抵抗値としては、例えば、好ましくは $1\text{ m}\Omega$ 以上 $10\text{ }\Omega$ 以下、より好ましくは $5\text{ m}\Omega$ 以上 $5\text{ }\Omega$ 以下、更に好ましくは $10\text{ m}\Omega$ 以上 $1\text{ }\Omega$ 以下とすることができる。また、例えば、 $1\text{ }\Omega$ 以上 $1 \times 10^9\text{ }\Omega$ 以下としてもよい。

[0028]

また、本明細書等において、「容量素子」とは、例えば、 0 F よりも高い静電容量の値を有する回路素子、静電容量の値を有する配線の領域、寄生容量、トランジスタのゲート容量などとすることができる。そのため、本明細書等において、「容量素子」、「寄生容量」、「ゲート容量」などという用語は、「容量」などの用語に言い換えることができる場合がある。逆に、「容量」という用語は、「容量素子」、「寄生容量」、「ゲート容量」などの用語に言い換えることができる場合がある。また、「容量」の「一对の電極」という用語は、「一对の導電体」、「一对の導電領域」、「一对の領域」などに言い換えることができる。なお、静電容量の値としては、例えば、 0.05 fF 以上 10 pF 以下とすることができる。また、例えば、 1 pF 以上 $10\text{ }\mu\text{F}$ 以下としてもよい。

[0029]

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型（ n チャネル型、 p チャネル型）及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソース、及びドレインの用語は、言い換えることができるものとする。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第1ゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第2ゲートと呼称することがある。更に、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、3以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第1ゲート、第2ゲート、第3ゲートなどと呼称することがある。

[0030]

また、回路図上では、単一の回路素子が図示されている場合でも、当該回路素子が複数の回路素子を有する場合がある。例えば、回路図上に1個の抵抗が記載されている場合は、2個以上の抵抗が直列に電氣的に接続されている場合を含むものとする。また、例えば、回路図上に1個の容量が記載されている場合は、2個以上の容量が並列に電氣的に接続されている場合を含むものとする。また、例えば、回路図上に1個のトランジスタが記載されている場合は、2個以上のトランジスタが直列に電氣的に接続され、かつそれぞれのトランジスタのゲート同士が電氣的に接続されている場合を含むものとする。また、同様に、例えば、回路図上に1個のスイッチが記載されている場合は、当該スイッチが2個以上のトランジスタを有し、2個以上のトランジスタが直列に電氣的に接

続され、それぞれのトランジスタのゲート同士が電氣的に接続されている場合を含むものとする。

[0031]

また、本明細書等において、ノードは、回路構成、デバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0032]

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも0Vを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

[0033]

また、本明細書等において、「高レベル電位」、「低レベル電位」という用語は、特定の電位を意味するものではない。例えば、2本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、2本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

[0034]

「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとは、電子、正孔、アニオン、カチオン、錯イオン等が挙げられ、電流の流れる系（例えば、半導体、金属、電解液、真空中など）によってキャリアが異なる。また、配線等における「電流の向き」は、正電荷となるキャリアが移動する方向とし、正の電流量で記載する。換言すると、負電荷となるキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」等の記載は「素子Bから素子Aに電流が流れる」等と言い換えることができるものとする。また、「素子Aに電流が入力される」等の記載は「素子Aから電流が出力される」等と言い換えることができるものとする。

[0035]

また、本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0036]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下面に位置する絶縁体」と言い換えることができる。

[0037]

また、「上」、又は「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0038]

また、本明細書等において、「膜」、「層」などの語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」、「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

[0039]

また、本明細書等において「電極」、「配線」、「端子」などの用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」又は「配線」の用語は、複数の「電極」、「配線」などが一体となって形成されている場合なども含む。また、例えば、「端子」は「配線」、「電極」などの一部として用いられることがあり、その逆もまた同様である。更に、「端子」の用語は、複数の「電極」、「配線」、「端子」などが一体となって形成されている場合なども含む。そのため、例えば、「電極」は「配線」又は「端子」の一部とすることができ、また、例えば、「端子」は「配線」又は「電極」の一部とすることができる。また、「電極」、「配線」、「端子」などの用語は、場合によって、「領域」などの用語に置き換える場合がある。

[0040]

また、本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」、「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

[0041]

本明細書等において、半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、キャリア移動度が低下すること、結晶性が低下すること、などが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。具体的には、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第15族元素など（但し、酸素、水素は含まない）がある。

[0042]

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。一例としては、電氣的なスイッチ、機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

[0043]

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

[0044]

機械的なスイッチの一例としては、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

[0045]

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」又は「概略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

発明の効果

[0046]

本発明の一態様によって、積和演算、及び／又は関数演算を行う半導体装置などを提供することができる。又は、本発明の一態様によって、畳み込み処理を行う半導体装置などを提供することができる。又は、本発明の一態様によって、消費電力が低い半導体装置などを提供することができる。又は、本発明の一態様によって、環境の温度の影響を受けにくい半導体装置などを提供することができる。又は、本発明の一態様によって、トランジスタの特性ばらつきの影響を受けにくい半導体装置などを提供することができる。又は、本発明の一態様によって、電流源の特性ばらつきの影響を受けにくい半導体装置などを提供することができる。又は、本発明の一態様によって、新規な半導体装置などを提供することができる。

[0047]

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

[0048]

図1A、及び図1Bは、階層型のニューラルネットワークを説明する図である。

図2は、半導体装置の構成例を示す回路図である。

図3は、半導体装置の構成例を示す回路図である。

図4は、半導体装置の構成例を示す回路図である。

図5A乃至図5Fのそれぞれは、半導体装置が有する回路の構成例を示す回路図である。

図6A乃至図6Fのそれぞれは、半導体装置が有する回路の構成例を示す回路図である。

図7は、半導体装置の構成例を示す回路図である。

図8A乃至図8Dのそれぞれは、半導体装置が有する回路の構成例を示す回路図である。

図9A乃至図9Fのそれぞれは、半導体装置が有する回路の構成例を示す回路図である。

図10A、及び図10Bは、半導体装置が有する回路の構成例を示す回路図である。

図11は、半導体装置の構成例を示す回路図である。

図12は、半導体装置の構成例を示す回路図である。

図13は、半導体装置の構成例を示す回路図である。

図14は、半導体装置の構成例を示す回路図である。

図15A乃至図15Cのそれぞれは、半導体装置が有する回路の構成例を示す回路図である。

図16A、及び図16Bは、半導体装置が有する回路の構成例を示す回路図である。

図17A乃至図17Cのそれぞれは、半導体装置が有する回路の構成例を示す回路図である。

図18A乃至図18Cのそれぞれは、半導体装置の動作例を説明するタイミングチャートである。

図19A乃至図19Cのそれぞれは、半導体装置の動作例を説明するタイミングチャートである。

図20A乃至図20Cのそれぞれは、半導体装置の動作例を説明するタイミングチャートである。

図21A、及び図21Bは、半導体装置が有する回路の構成例を示す回路図である。

図22A、及び図22Bは、半導体装置が有する回路の構成例を示す回路図である。

図23A、及び図23Bは、半導体装置が有する回路の構成例を示す回路図である。

図 2 4 は、半導体装置が有する回路の構成例を示す回路図である。

図 2 5 は、半導体装置が有する回路の構成例を示す回路図である。

図 2 6 は、半導体装置が有する回路の構成例を示す回路図である。

図 2 7 は、半導体装置が有する回路の構成例を示す回路図である。

図 2 8 は、半導体装置が有する回路の構成例を示す回路図である。

図 2 9 は、半導体装置が有する回路の構成例を示す回路図である。

図 3 0 A、及び図 3 0 B は、半導体装置が有する回路の構成例を示す回路図である。

図 3 1 は、半導体装置が有する回路の構成例を示す回路図である。

図 3 2 は、半導体装置が有する回路の構成例を示す回路図である。

図 3 3 は、半導体装置が有する回路の構成例を示す回路図である。

図 3 4 は、半導体装置が有する回路の構成例を示す回路図である。

図 3 5 は、半導体装置が有する回路の構成例を示す回路図である。

図 3 6 は、半導体装置が有する回路の構成例を示す回路図である。

図 3 7 は、半導体装置が有する回路の構成例を示す回路図である。

図 3 8 は、半導体装置が有する回路の構成例を示す回路図である。

図 3 9 は、半導体装置が有する回路の構成例を示す回路図である。

図 4 0 は、半導体装置が有する回路の構成例を示す回路図である。

図 4 1 A 乃至図 4 1 C のそれぞれは、半導体装置が有する回路の構成例を示す回路図である。

図 4 2 は、半導体装置が有する回路の構成例を示す回路図である。

図 4 3 は、半導体装置が有する回路の構成例を示す回路図である。

図 4 4 は、半導体装置が有する回路の構成例を示す回路図である。

図 4 5 は、半導体装置が有する回路の構成例を示す回路図である。

図 4 6 は、半導体装置が有する回路の構成例を示す回路図である。

図 4 7 A、及び図 4 7 B は、半導体装置が有する回路の構成例を示す回路図である。

図 4 8 は、半導体装置が有する回路の構成例を示す回路図である。

図 4 9 A 乃至図 4 9 C のそれぞれは、半導体装置の動作例を説明するタイミングチャートである。

図 5 0 A 乃至図 5 0 C のそれぞれは、半導体装置の動作例を説明するタイミングチャートである。

図 5 1 は、半導体装置が有する回路の構成例を示す回路図である。

図 5 2 は、半導体装置が有する回路の構成例を示す回路図である。

図 5 3 は、半導体装置が有する回路の構成例を示す回路図である。

図 5 4 は、半導体装置が有する回路の構成例を示す回路図である。

図 5 5 A、及び図 5 5 B は、半導体装置が有する回路の構成例を示す回路図である。

図 5 6 A 乃至図 5 6 C のそれぞれは、半導体装置が有する回路の構成例を示す回路図である。

図 5 7 A、及び図 5 7 B は、半導体装置が有する回路の構成例を示す回路図である。

図 5 8 は、半導体装置が有する回路の構成例を示す回路図である。

図 5 9 A、及び図 5 9 B は、半導体装置が有する回路の構成例を示す回路図である。

図 6 0 A、及び図 6 0 B は、半導体装置が有する回路の構成例を示す回路図である。

図 6 1 A、及び図 6 1 B は、半導体装置が有するトランジスタの電圧－電流特性を示す図である。

図 6 2 は、半導体装置が有する回路の構成例を示す回路図である。

図 6 3 は、半導体装置が有する回路の構成例を示す回路図である。

図64は、半導体装置が有する回路の構成例を示す回路図である。
図65は、半導体装置が有する回路の構成例を示す回路図である。
図66は、CNNの構成例を示すブロック図である。
図67Aは画素の構成例を示す図であり、図67Bはフィルタの構成例を示す図である。
図68A及び図68Bは、畳み込み処理の例を説明する図である。
図69は、畳み込み処理の例を説明する図である。
図70は、特徴マップの構成例を示す図である。
図71は、畳み込み処理の演算を行う半導体装置の一例を説明するブロック図である。
図72は、畳み込み処理の演算を行う半導体装置の一例を説明するブロック図である。
図73は、畳み込み処理の演算を行う半導体装置の一例を説明するブロック図である。
図74は、畳み込み処理の演算を行う半導体装置の一例を説明するブロック図である。
図75A、及び図75Bは、半導体装置が有する回路の構成例を示す回路図である。
図76A乃至図76Dは、半導体装置が有する回路の構成例を示す回路図である。
図77は、半導体装置の構成例を示す断面模式図である。
図78A乃至図78Cは、トランジスタの構成例を示す断面模式図である。
図79は、半導体装置の構成例を示す断面模式図である。
図80A、及び図80Bは、トランジスタの構成例を示す断面模式図である。
図81は、トランジスタの構成例を示す断面模式図である。
図82AはIGZOの結晶構造の分類を説明する図であり、図82Bは結晶性IGZOのXRDスペクトルを説明する図であり、図82Cは結晶性IGZOの極微電子線回折パターンを説明する図である。
図83Aは半導体ウェハの一例を示す斜視図であり、図83Bはチップの一例を示す斜視図であり、図83C及び図83Dは電子部品の一例を示す斜視図である。
図84は、電子機器の一例を示す斜視図である。
図85A乃至図85Cは、電子機器の一例を示す斜視図である。

発明を実施するための形態

[0049]

人工ニューラルネットワーク（以後、ニューラルネットワークと呼称する。）において、シナプスの結合強度は、ニューラルネットワークに既存の情報を与えることによって、変化することができる。このように、ニューラルネットワークに既存の情報を与えて、結合強度を決める処理を「学習」と呼ぶ場合がある。

[0050]

また、「学習」を行った（結合強度を定めた）ニューラルネットワークに対して、何らかの情報を与えることにより、その結合強度に基づいて新たな情報を出力することができる。このように、ニューラルネットワークにおいて、与えられた情報と結合強度に基づいて新たな情報を出力する処理を「推論」又は「認知」と呼ぶ場合がある。

[0051]

ニューラルネットワークのモデルとしては、例えば、ホップフィールド型、階層型などが挙げられる。特に、多層構造としたニューラルネットワークを「ディープニューラルネットワーク」（DNN）と呼称し、ディープニューラルネットワークによる機械学習を「ディープラーニング」と呼

称する場合がある。

[0052]

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor 又は単に OS ともいう) などに分類される。例えば、トランジスタのチャネル形成領域に金属酸化物が含まれている場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも1つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体 (metal oxide semiconductor) と呼称することができる。また、OS トランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

[0053]

また、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0054]

また、本明細書等において、各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

[0055]

なお、ある一つの実施の形態の中で述べる内容 (一部の内容でもよい) は、その実施の形態で述べる別の内容 (一部の内容でもよい) と、一つ若しくは複数の別の実施の形態で述べる内容 (一部の内容でもよい) との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

[0056]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

[0057]

なお、ある一つの実施の形態において述べる図 (一部でもよい) は、その図の別の部分、その実施の形態において述べる別の図 (一部でもよい) と、一つ若しくは複数の別の実施の形態において述べる図 (一部でもよい) との少なくとも一つの内容に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0058]

本明細書に記載の実施の形態について図面を参照しながら説明している。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

[0059]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“ $_1$ ”、“ $[n]$ ”、“ $[m, n]$ ”等の識別用の符号を付記して記載する場合がある。また、図面等において、符号に“ $_1$ ”、“ $[n]$ ”、“ $[m, n]$ ”等の識別用の符号を付記している場合、本明細書等において区別する必要が無いときには、識別用の符号を記載しない場合がある。

[0060]

また、本明細書の図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0061]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置である、積和演算、及び／又は関数演算を行う演算回路について説明する。

[0062]

<階層型のニューラルネットワーク>

初めに、階層型のニューラルネットワークについて説明する。階層型のニューラルネットワークは、一例としては、一の入力層と、一又は複数の中間層（隠れ層）と、一の出力層と、を有し、合計3以上の層によって構成されている。図1Aに示す階層型のニューラルネットワーク100はその一例を示しており、ニューラルネットワーク100は、第1層乃至第R層（ここでのRは4以上の整数とすることができる。）を有している。特に、第1層は入力層に相当し、第R層は出力層に相当し、それら以外の層は中間層に相当する。なお、図1Aには、中間層として第 $(k-1)$ 層、第k層（ここでのkは3以上 $R-1$ 以下の整数とする。）を図示しており、それ以外の中間層については図示を省略している。

[0063]

ニューラルネットワーク100の各層は、一又は複数のニューロンを有する。図1Aにおいて、第1層はニューロン $N_1^{(1)}$ 乃至ニューロン $N_p^{(1)}$ （ここでのpは1以上の整数である。）を有し、第 $(k-1)$ 層はニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ （ここでのmは1以上の整数である。）を有し、第k層はニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ （ここでのnは1以上の整数である。）を有し、第R層はニューロン $N_1^{(R)}$ 乃至ニューロン $N_q^{(R)}$ （ここでのqは1以上の整数である。）を有する。

[0064]

なお、図1Aには、ニューロン $N_1^{(1)}$ 、ニューロン $N_p^{(1)}$ 、ニューロン $N_1^{(k-1)}$ 、ニューロン $N_m^{(k-1)}$ 、ニューロン $N_1^{(k)}$ 、ニューロン $N_n^{(k)}$ 、ニューロン $N_1^{(R)}$ 、ニューロン $N_q^{(R)}$ に加えて、第 $(k-1)$ 層のニューロン $N_i^{(k-1)}$ （ここでのiは1以上m以下の整数である。）、第k層のニューロン $N_j^{(k)}$ （ここでのjは1以上n以下の整数である。）も図示しており、それ以外のニューロンについては図示を省略している。

[0065]

次に、前層のニューロンから次層のニューロンへの信号の伝達、及びそれぞれのニューロンにおいて入出力される信号について説明する。なお、本説明では、第 k 層のニューロン $N_j^{(k)}$ に着目する。

[0066]

図1Bは、第 k 層のニューロン $N_j^{(k)}$ と、ニューロン $N_j^{(k)}$ に入力される信号と、ニューロン $N_j^{(k)}$ から出力される信号と、を示している。

[0067]

具体的には、第 $(k-1)$ 層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれの出力信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ が、ニューロン $N_j^{(k)}$ に向けて出力されている。そして、ニューロン $N_j^{(k)}$ は、 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ に応じて $z_j^{(k)}$ を生成して、 $z_j^{(k)}$ を出力信号として第 $(k+1)$ 層（図示しない。）の各ニューロンに向けて出力する。

[0068]

前層のニューロンから次層のニューロンに入力される信号は、それらのニューロン同士を接続するシナプスの結合強度（以後、重み係数と呼称する。）によって、信号の伝達の度合いが定まる。ニューラルネットワーク100では、前層のニューロンから出力された信号は、対応する重み係数を乗じられて、次層のニューロンに入力される。 i を1以上 m 以下の整数として、第 $(k-1)$ 層のニューロン $N_i^{(k-1)}$ と第 k 層のニューロン $N_j^{(k)}$ との間のシナプスの重み係数を $w_{ij}^{(k-1)}$ としたとき、第 k 層のニューロン $N_j^{(k)}$ に入力される信号は、式(1.1)で表すことができる。

[0069]

[数1]

$$w_{ij}^{(k-1)} \cdot z_i^{(k-1)} \quad \dots(1.1)$$

[0070]

つまり、第 $(k-1)$ 層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれから第 k 層のニューロン $N_j^{(k)}$ に信号が伝達するとき、当該信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ には、それぞれの信号に対応する重み係数 $w_{1j}^{(k-1)}$ 乃至 $w_{mj}^{(k-1)}$ が乗じられる。そして、第 k 層のニューロン $N_j^{(k)}$ には、 $w_{1j}^{(k-1)} \cdot z_1^{(k-1)}$ 乃至 $w_{mj}^{(k-1)} \cdot z_m^{(k-1)}$ が入力される。このとき、第 k 層のニューロン $N_j^{(k)}$ に入力される信号の総和 $u_j^{(k)}$ は、式(1.2)となる。

[0071]

[数2]

$$u_j^{(k)} = \sum_{i=1}^m w_{ij}^{(k-1)} \cdot z_i^{(k-1)} \quad \dots(1.2)$$

[0072]

また、重み係数 $w_{1j}^{(k-1)}$ 乃至 $w_{mj}^{(k-1)}$ と、ニューロンの信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ と、の積和の結果には、偏りとしてバイアスを与えてもよい。バイアスを b としたとき、式

(1. 2) は、次の式に書き直すことができる。

[0073]

[数3]

$$u_j^{(k)} = \sum_{i=1}^m w_i^{(k-1)} z_i^{(k-1)} + b \quad \dots(1.3)$$

[0074]

ニューロン $N_j^{(k)}$ は、 $u_j^{(k)}$ に応じて、出力信号 $z_j^{(k)}$ を生成する。ここで、ニューロン $N_j^{(k)}$ からの出力信号 $z_j^{(k)}$ を次の式で定義する。

[0075]

[数4]

$$z_j^{(k)} = f(u_j^{(k)}) \quad \dots(1.4)$$

[0076]

関数 $f(u_j^{(k)})$ は、階層型のニューラルネットワークにおける活性化関数であり、ステップ関数、ランプ関数 (ReLU関数)、シグモイド関数、tanh関数、ソフトマックス関数などを用いることができる。なお、活性化関数は、全てのニューロンにおいて同一でもよいし、又は異なってもよい。加えて、ニューロンの活性化関数は、層毎において、同一でもよいし、異なってもよい。

[0077]

ところで、各層のニューロンが出力する信号、重み係数 w 、または、バイアス b は、アナログ値としてもよいし、デジタル値としてもよい。デジタル値としては、例えば、2値としてもよいし、3値としてもよい。さらに大きなビット数の値でもよい。一例として、アナログ値の場合、活性化関数として、例えば、線型ランプ関数、シグモイド関数などを用いればよい。デジタル値の2値の場合、例えば、出力を-1若しくは1、又は、0若しくは1、とするステップ関数を用いればよい。また、各層のニューロンが出力する信号は3値以上としてもよく、例えば、3値を出力する活性化関数としては、例えば3値以上、例えば出力は-1、0、若しくは1とするステップ関数、又は、0、1、若しくは2とするステップ関数などを用いればよい。また、例えば、5値を出力する活性化関数として、-2、-1、0、1、若しくは2とするステップ関数などを用いてもよい。各層のニューロンが出力する信号、重み係数 w 、または、バイアス b について、少なくとも一つについて、デジタル値を用いることにより、回路規模を小さくすること、消費電力を低減すること、または、演算スピードを速くすること、などができる。また、各層のニューロンが出力する信号、重み係数 w 、または、バイアス b について、少なくとも一つについて、アナログ値を用いることにより、演算の精度を向上させることができる。

[0078]

ニューラルネットワーク100は、第1層 (入力層) に入力信号が入力されることによって、第1層 (入力層) から最後の層 (出力層) までの各層において順次に、前層から入力された信号を基に、式 (1. 1)、式 (1. 2) (又は式 (1. 3))、式 (1. 4) を用いて出力信号を生成し

て、当該出力信号を次層に出力する動作を行う。最後の層（出力層）から出力された信号が、ニューラルネットワーク 100 によって計算された結果に相当する。

[0079]

<演算回路の構成例>

ここでは、上述のニューラルネットワーク 100 において、式 (1. 2) (又は式 (1. 3))、及び式 (1. 4) の演算を行うことができる演算回路の例について説明する。なお、当該演算回路において、一例として、ニューラルネットワーク 100 のシナプス回路の重み係数を、2 値 (“−1”、“+1”の組み合わせ、又は“0”、“+1”の組み合わせ等。)、3 値 (“−1”、“0”、“1”の組み合わせ等。)、又は 4 値以上の多値 (5 値の場合、“−2”、“−1”、“0”、“1”、“2”の組み合わせ等) とし、ニューロンの活性化関数が 2 値 (“−1”、“+1”の組み合わせ、又は“0”、“+1”の組み合わせ等。)、3 値 (“−1”、“0”、“1”の組み合わせ等。)、4 値以上の多値 (4 値の場合、“0”、“1”、“2”、“3”の組み合わせ等) を出力する関数とする。また、本明細書等において、重み係数と、前層のニューロンから次層のニューロンに入力される信号の値 (演算値と呼称する場合がある) とについて、そのいずれか一方を第 1 データと呼称し、他方を第 2 データと呼称する場合がある。なお、ニューラルネットワーク 100 のシナプス回路の重み係数、及び演算値は、デジタル値に限定されず、少なくとも一方について、アナログ値を用いることも可能である。

[0080]

図 2 に示す演算回路 110 は、一例として、アレイ部 ALP と、回路 ILD と、回路 WLD と、回路 XLD と、回路 AFP と、を有する半導体装置である。演算回路 110 は、図 1 A、及び図 1 B における第 k 層のニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ に入力される信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ を処理して、ニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ のそれぞれから出力される信号 $z_1^{(k)}$ 乃至 $z_n^{(k)}$ を生成する回路である。

[0081]

なお、演算回路 110 の全体、または、その一部について、ニューラルネットワーク、AI など以外の用途で使用してよい。例えば、グラフィック向けの計算 (画像の特徴抽出を行うための畳み込み処理など)、科学計算などにおいて、積和演算処理、行列演算処理などを行う場合に、演算回路 110 の全体、または、その一部を用いて、処理を行ってもよい。つまり、AI 向けの計算だけでなく、一般的な計算のために、演算回路 110 の全体、または、その一部を用いてもよい。

[0082]

回路 ILD は、一例として、配線 IL [1] 乃至配線 IL [n] と、配線 ILB [1] 乃至配線 ILB [n] と、に電氣的に接続される。回路 WLD は、一例として、配線 WLS [1] 乃至配線 WLS [m] に電氣的に接続される。回路 XLD は、一例として、配線 XLS [1] 乃至配線 XLS [m] に電氣的に接続されている。回路 AFP は、一例として、配線 OL [1] 乃至配線 OL [n] と、配線 OLB [1] 乃至配線 OLB [n] と、に電氣的に接続されている。

[0083]

<<アレイ部 ALP>>

アレイ部 ALP は、一例として、 $m \times n$ 個の回路 MP を有している。回路 MP は、一例として、アレイ部 ALP 内において、 m 行 n 列のマトリクス状に配置されている。なお、図 2 では、 i 行 j 列 (ここでの i は 1 以上 m 以下の整数であって、 j は 1 以上 n 以下の整数である。) に位置する回

路MPを、回路MP $[i, j]$ と表記している。但し、図2では、回路MP $[1, 1]$ 、回路MP $[m, 1]$ 、回路MP $[i, j]$ 、回路MP $[1, n]$ 、回路MP $[m, n]$ のみ図示しており、それ以外の回路MPについては図示を省略している。

[0084]

回路MP $[i, j]$ は、一例として、配線IL $[j]$ と、配線ILB $[j]$ と、配線WLS $[i]$ と、配線XLS $[i]$ と、配線OL $[j]$ と、配線OLB $[j]$ と、に電氣的に接続されている。

[0085]

回路MP $[i, j]$ は、一例として、ニューロン $N_i^{(k-1)}$ とニューロン $N_j^{(k)}$ との間の重み係数（第1データ又は第2データ的一方と呼称する場合がある。ここでは第1データと呼称する）を保持する機能を有する。具体的には、回路MP $[i, j]$ は、配線IL $[j]$ 及び配線ILB $[j]$ から入力される、第1データ（重み係数）に応じた情報（例えば、電位、抵抗値、電流値など）の保持を行う。また、回路MP $[i, j]$ は、ニューロン $N_i^{(k-1)}$ から出力される信号 $z_i^{(k-1)}$

（第1データ又は第2データの他方と呼称する場合がある。ここでは第2データと呼称する）と第1データとの積を出力する機能を有する。具体的な例としては、回路MP $[i, j]$ は、配線XLS $[i]$ から第2データ $z_i^{(k-1)}$ が入力されることで、第1データと第2データとの積に応じた情報（例えば、電流、電圧など）、又は第1データと第2データとの積に関連した情報（例えば、電流、電圧など）を配線OL $[j]$ 及び配線OLB $[j]$ に出力する。なお、配線IL $[j]$ 及び配線ILB $[j]$ が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。配線IL $[j]$ 及び配線ILB $[j]$ のいずれか一方のみが配置されていてもよい。

[0086]

<<回路ILD>>

回路ILDは、一例として、配線IL $[1]$ 乃至配線IL $[n]$ と、配線ILB $[1]$ 乃至配線ILB $[n]$ と、を介して、回路MP $[1, 1]$ 乃至回路MP $[m, n]$ のそれぞれに対して、重み係数である第1データ $w_1^{(k-1)} \dots w_m^{(k-1)}$ 乃至 $w_1^{(k)} \dots w_n^{(k)}$ に対応する情報（例えば、電位、抵抗値、電流値など）を入力する機能を有する。具体的な例としては、回路ILDは、回路MP $[i, j]$ に対して、重み係数である第1データ $w_i^{(k-1)} \dots w_j^{(k)}$ に対応する情報（例えば、電位、抵抗値、または、電流値など）を、配線IL $[j]$ 、配線ILB $[j]$ によって供給する。

[0087]

<<回路XLD>>

回路XLDは、一例として、配線XLS $[1]$ 乃至配線XLS $[m]$ を介して、回路MP $[1, 1]$ 乃至回路MP $[m, n]$ のそれぞれに対して、ニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ から出力された演算値に相当する第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ を供給する機能を有する。具体的には、回路XLDは、回路MP $[i, 1]$ 乃至回路MP $[i, n]$ に対して、ニューロン $N_i^{(k-1)}$ から出力された第2データ $z_i^{(k-1)}$ に対応する情報（例えば、電位、電流値など）を、配線XLS $[i]$ によって供給する。なお、配線XLS $[i]$ が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。例えば、図2の演算回路110において、配線XLS $[i]$ を複数本の配線としてもよい。具体例として、図3には、演算回路110の回路MP $[i, j]$ に電氣的に接続されている配線XLS $[i]$ を、配線X1L、配線X2Lの2本に置き換えた構成の演算回路120を示している。なお、配線XLS $[i]$ が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。配線XLS $[i]$ の他に、例えば、配線XLS $[i]$

に入力される信号の反転信号を送信する配線が別途配置されていてもよい。

[0088]

<<回路WLD>>

回路WLDは、一例として、回路ILDから入力される第1データに応じた情報（例えば、電位、抵抗値、電流値など）の書き込む先となる回路MPを選択する機能を有する。例えば、アレイ部ALPの*i*行目に位置する回路MP [*i*, 1] 乃至回路MP [*i*, *n*] に情報（例えば、電位、抵抗値、電流値など）の書き込みを行う場合、回路WLDは、例えば、回路MP [*i*, 1] 乃至回路MP [*i*, *n*] に含まれる書き込み用スイッチング素子をオン状態又はオフ状態にするための信号を配線WLS [*i*] に供給し、*i* 行目以外の回路MPに含まれる書き込み用スイッチング素子をオフ状態にする電位を配線WLS に供給すればよい。なお、配線WLS [*i*] が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。配線WLS [*i*] の他に、例えば、配線WLS [*i*] に入力される信号の反転信号を送信する配線が別途配置されていてもよい。

[0089]

なお、図2の演算回路110には、配線WLS [*i*] が配置されている構成例を示したが、本発明の一態様は、これに限定されない。例えば、配線WLS [*i*] を複数の配線として置き換えてもよい。また、例えば、図3の演算回路120の配線X1L [*i*] を、回路MP [*i*, 1] 乃至回路MP [*i*, *n*] に情報を書き込むための選択信号線として兼用してもよい。具体的には、図4に示す演算回路130のように、演算回路120の配線X1L [*i*] を配線WX1L [*i*] として、配線WX1Lは、回路WLDと、回路XLDと、に電氣的に接続されていてもよい。なお、配線WX1L [*i*] に、回路MP [*i*, 1] 乃至回路MP [*i*, *n*] に含まれる書き込み用スイッチング素子をオン状態又はオフ状態にするための信号を回路WLDから供給する場合、回路XLDは、回路XLDと配線WX1Lとの間を非導通状態にする機能を有するのが好ましい。また、配線WX1L [*i*] を介して、ニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ から出力された演算値に相当する第2データ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ の信号を回路XLDから回路MP [*i*, 1] 乃至回路MP [*i*, *n*] に供給する場合、回路WLDは、回路WLDと配線WX1Lとの間を非導通状態にする機能を有するのが好ましい。

[0090]

<<回路AFP>>

回路AFPは、一例としては、回路ACTF [1] 乃至回路ACTF [*n*] を有する。回路ACTF [*j*] は、一例としては、配線OL [*j*] と、配線OLB [*j*] と、のそれぞれに電氣的に接続されている。回路ACTF [*j*] は、一例としては、配線OL [*j*] と配線OLB [*j*] から入力されるそれぞれの情報（例えば、電位、電流値など）に応じた信号を生成する。一例としては、配線OL [*j*] と配線OLB [*j*] から入力されるそれぞれの情報（例えば、電位、電流値など）を比較し、その比較結果に応じた信号を生成する。当該信号は、ニューロン $N_j^{(k)}$ から出力される信号 $z_j^{(k)}$ に相当する。つまり、回路ACTF [1] 乃至回路ACTF [*n*] は、一例としては、上述したニューラルネットワークの活性化関数の演算を行う回路として機能する。ただし、本発明の一態様は、これに限定されない。例えば、回路ACTF [1] 乃至回路ACTF [*n*] は、アナログ信号をデジタル信号に変換する機能を有していてもよい。又は、例えば、回路ACTF [1] 乃至回路ACTF [*n*] は、アナログ信号を増幅して出力する機能、つまり、出力インピーダンスを変換する機能を有していてもよい。または、例えば、回路ACTF [1] 乃至回路ACTF [*n*]

は、電流、又は電荷を電圧に変換する機能を有していてもよい。または例えば、回路ACTF[j]は、配線OL[j]及び配線OLB[j]の電位を初期化する機能を有していてもよい。

[0091]

なお、図2乃至図4のそれぞれに示す演算回路110、演算回路120、演算回路130では、回路ACTFが配置されている場合の例を示したが、本発明の一態様は、これに限定されない。例えば、回路AFPには、回路ACTFが配置されていなくてもよい。

[0092]

次に、回路ACTF[1]乃至回路ACTF[n]について説明する。回路ACTF[1]乃至回路ACTF[n]は、一例として、図5Aに示す回路構成とすることができる。図5Aは、一例として、配線OL[j]、配線OLB[j]から入力された電流に応じて、信号 $z_j^{(k)}$ を生成する回路である。具体的には、図5Aには、2値によって表される出力信号 $z_j^{(k)}$ を出力する活性化関数の演算回路の一例を示している。

[0093]

図5Aにおいて、回路ACTF[j]は、一例として、抵抗RE、抵抗REB、比較器CMPを有する。抵抗RE、抵抗REBは、電流を電圧に変換する機能を有する。したがって、電流を電圧に変換する機能を有する素子または回路であれば、抵抗に限定されない。配線OL[j]は、抵抗REの第1端子と、比較器CMPの第1入力端子と、電気的に接続され、配線OLB[j]は、抵抗REBの第1端子と、比較器CMPの第2入力端子と、電気的に接続されている。また、抵抗REの第2端子は、配線VALに電気的に接続され、抵抗REBの第2端子は、配線VALに電気的に接続されている。なお、抵抗REの第2端子と抵抗REBの第2端子とは、同一の配線に接続されていてもよい。または、電位が同じである別の配線に接続されていてもよい。

[0094]

抵抗RE、抵抗REBのそれぞれの抵抗値は、互いに等しいことが好ましい。例えば、抵抗RE、抵抗REBのそれぞれの抵抗値の差は、抵抗REの抵抗値の10%以内、より好ましくは、5%以内に収まっていることが望ましい。ただし、本発明の一態様は、これに限定されない。場合によっては、又は、状況に応じて、抵抗RE、抵抗REBのそれぞれの抵抗値は互いに異なる値としてもよい。

[0095]

配線VALは、一例としては、定電圧を与える配線として機能する。当該定電圧としては、例えば、高レベル電位であるVDD、低レベル電位であるVSS、接地電位(GND)などとすることができる。また、当該定電圧は、回路MPの構成に応じて、適宜設定するのが好ましい。また、例えば、配線VALには、定電圧ではなく、パルス信号が供給されていてもよい。

[0096]

抵抗REの第1端子と第2端子との間の電圧は、配線OL[j]から流れてくる電流に応じて定まる。このため、比較器CMPの第1入力端子には、抵抗REの抵抗値と当該電流に応じた電圧が入力される。同様に、抵抗REBの第1端子と第2端子との間の電圧は、配線OLB[j]から流れてくる電流に応じて定まる。このため、比較器CMPの第2入力端子には、抵抗REBの抵抗値と当該電流に応じた電圧が入力される。

[0097]

比較器CMPは、一例としては、第1入力端子、第2入力端子のそれぞれに入力された電圧を比

較して、その比較結果に応じて、比較器CMPの出力端子から信号を出力する機能を有する。例えば、比較器CMPは、第1入力端子に入力された電圧よりも第2入力端子に入力された電圧が高い場合に、高レベル電位を比較器CMPの出力端子から出力し、第2入力端子に入力された電圧よりも第1入力端子に入力された電圧が高い場合に、低レベル電位を比較器CMPの出力端子から出力することができる。つまり、比較器CMPの出力端子から出力される電位は、高レベル電位と低レベル電位の2通りであるため、回路ACTF [j] が出力する出力信号 $z_j^{(k)}$ は2値とすることができる。例えば、比較器CMPの出力端子から出力される高レベル電位、低レベル電位のそれぞれは、出力信号 $z_j^{(k)}$ として“+1”、“-1”に対応することができる。また、場合によっては、比較器CMPの出力端子から出力される高レベル電位、低レベル電位のそれぞれは、出力信号 $z_j^{(k)}$ として“+1”、“0”と対応してもよい。

[0098]

また、図5Aの回路ACTF [j] では、抵抗RE、抵抗REBを用いたが、電流を電圧に変換する機能を有する素子または回路であれば、抵抗に限定されない。そのため、図5Aの回路ACTF [j] の抵抗RE、抵抗REBは、別の回路素子に置き換えることができる。例えば、図5Bに示す回路ACTF [j] は、図5Aの回路ACTF [j] に含まれる抵抗RE、抵抗REBを、容量CE、容量CEBに置き換えた回路であり、図5Aの回路ACTF [j] とほぼ同様の動作を行うことができる。なお、容量CE、容量CEBのそれぞれの静電容量の値は、互いに等しいことが好ましい。例えば、容量CE、容量CEBのそれぞれの静電容量の値の差は、容量CEの静電容量値の10%以内、より好ましくは、5%以内に収まっていることが望ましい。ただし、本発明の一態様は、これに限定されない。なお、容量CE、容量CEBに蓄積された電荷を初期化する回路が設けられていてもよい。例えば、容量CEと並列に、スイッチが設けられていてもよい。つまり、スイッチの第2端子が、配線VALに接続され、スイッチの第1端子が、容量CEの第1端子、配線OL [j]、および、比較器CMPの第1入力端子と接続されていてもよい。または、スイッチの第2端子が、配線VALとは異なる配線に接続され、スイッチの第1端子が、容量CEの第1端子、配線OL [j]、および、比較器CMPの第1入力端子と接続されていてもよい。また、図5Cに示す回路ACTF [j] は、図5Aの回路ACTF [j] に含まれる抵抗RE、抵抗REBを、ダイオード素子DE、ダイオード素子DEBに置き換えた回路であり、図5Aの回路ACTF [j] とほぼ同様の動作を行うことができる。ダイオード素子DE、ダイオード素子DEBの向き（アノードとカソードの接続箇所）は、配線VALの電位の大きさにより、適宜変更することが望ましい。

[0099]

また、図5A乃至図5Cの回路ACTF [j] に含まれる比較器CMPは、一例として、オペアンプOPに置き換えることができる。図5Dに示す回路ACTF [j] は、図5Aの回路ACTF [j] の比較器CMPをオペアンプOPに置き換えた回路図を示している。

[0100]

また、図5Bの回路ACTF [j] にスイッチS01a、スイッチS01bを設けてもよい。これにより、回路ACTF [j] は、容量CE、容量CEBのそれぞれに配線OL [j]、配線OLB [j] から入力された電流に応じた電位を保持することができる。その具体的な回路の一例としては、図5Eに示すとおり、スイッチS01aの第1端子に配線OL [j] が電氣的に接続され、スイッチS01aの第2端子に容量CEの第1端子と比較器CMPの第1入力端子とが電氣的に接続され、スイッチS01bの第1端子に配線OLB [j] が電氣的に接続され、スイッチS01b

の第2端子に容量CEBの第1端子と比較器CMPの第2入力端子とが電氣的に接続された構成とすればよい。図5Eの回路ACTF[j]において、比較器CMPの第1入力端子、第2入力端子のそれぞれに配線OL[j]、配線OLB[j]の電位を入力するとき、スイッチS01a、スイッチS01bのそれぞれをオン状態にすることによって行うことができる。また、その後、スイッチS01a、スイッチS01bのそれぞれをオフ状態にすることによって、比較器CMPの第1入力端子、第2入力端子のそれぞれに入力された電位を容量CE、容量CEBに保持することができる。なお、スイッチS01a、スイッチS01bとしては、例えば、アナログスイッチ、トランジスタなどの電氣的なスイッチを適用することができる。また、スイッチS01a、スイッチS01bとしては、例えば、機械的なスイッチを適用してもよい。なお、スイッチS01a、スイッチS01bにトランジスタを適用する場合、当該トランジスタは、OSトランジスタ、またはチャネル形成領域にシリコンを有するトランジスタ（以後、Siトランジスタと呼称する。）とすることができる。または、スイッチS01a、スイッチS01bのそれぞれをオン状態にしておく期間を制御することにより、容量CE、容量CEBの電圧値を制御することができる。例えば、容量CE、容量CEBに流れる電流値が大きい場合には、スイッチS01a、スイッチS01bのそれぞれをオン状態にしておく期間を短くしておくことにより、容量CE、容量CEBの電圧値が大きくなりすぎることを防ぐことができる。

[0101]

また、図5A乃至図5C、図5Eの回路ACTF[j]に含まれる比較器CMPは、例えば、チョッパ型の比較器とすることができる。図5Fに示す比較器CMPは、チョッパ型の比較器を示しており、比較器CMPはスイッチS02a、スイッチS02b、スイッチS03と、容量CCと、インバータ回路INV3と、を有する。なお、スイッチS02a、スイッチS02b、スイッチS03は、前述したスイッチS01a、スイッチS01bと同様に、機械的なスイッチ、OSトランジスタ、Siトランジスタなどのトランジスタとすることができる。

[0102]

スイッチS02aの第1端子は、端子VinTに電氣的に接続され、スイッチS02bの第1端子は、端子VrefTに電氣的に接続され、スイッチS02aの第2端子は、スイッチS02bの第2端子と、容量CCの第1端子と、に電氣的に接続されている。容量CCの第2端子は、インバータ回路INV3の入力端子と、スイッチS03の第1端子と、に電氣的に接続されている。端子VoutTは、インバータ回路INV3の出力端子と、スイッチS03の第2端子と、に電氣的に接続されている。

[0103]

端子VinTは、比較器CMPに入力電位を入力するための端子として機能し、端子VrefTは、比較器CMPに参照電位を入力するための端子として機能し、端子VoutTは、比較器CMPから出力電位を出力するための端子として機能する。なお、端子VinTは、図5A乃至図5C、図5Eの比較器CMPの第1端子又は第2端子の一方に対応し、端子VrefTは、図5A乃至図5C、図5Eの比較器CMPの第1端子又は第2端子の他方に対応することができる。

[0104]

図5A乃至図5Eの回路ACTF[j]は、2値によって表される出力信号 $z_j^{(k)}$ を出力する活性化関数の演算回路であるが、回路ACTF[j]は出力信号 $z_j^{(k)}$ を3値以上、又はアナログ値として出力する構成としてもよい。

[0105]

図6A乃至図6Fは、配線OL[j]、配線OLB[j]から入力された電流に応じて、信号 $z_j^{(k)}$ を生成する回路であり、3値によって表される出力信号 $z_j^{(k)}$ を出力する活性化関数の演算回路の一例を示している。

[0106]

図6Aに示す回路ACTF[j]は、抵抗RE、抵抗REB、比較器CMPa、比較器CMPbを有する。配線OL[j]は、抵抗REの第1端子と、比較器CMPaの第1入力端子と、電氣的に接続され、配線OLB[j]は、抵抗REBの第1端子と、比較器CMPbの第1入力端子と、電氣的に接続されている。また、比較器CMPaの第2入力端子と、比較器CMPbの第2入力端子と、は、配線VrefLに電氣的に接続されている。更に、抵抗REの第2端子は、配線VALに電氣的に接続され、抵抗REBの第2端子は、配線VALに電氣的に接続されている。

[0107]

配線VrefLは、定電圧Vrefを与える電圧線として機能し、Vrefは、例えば、GND以上、VDD以下であることが好ましい。また、状況に応じて、Vrefは、GND未満の電位、又はVDより高い電位としてもよい。Vrefは、比較器CMPa、比較器CMPbにおける参照電位（比較用の電位）として扱われる。

[0108]

抵抗REの第1端子と第2端子との間の電圧は、配線OL[j]から流れてくる電流に応じて定まる。このため、比較器CMPaの第1入力端子には、抵抗REの抵抗値と当該電流に応じた電圧が入力される。同様に、抵抗REBの第1端子と第2端子との間の電圧は、配線OLB[j]から流れてくる電流に応じて定まる。このため、比較器CMPbの第1入力端子には、抵抗REBの抵抗値と当該電流に応じた電圧が入力される。

[0109]

比較器CMPaは、第1入力端子、第2入力端子のそれぞれに入力された電圧を比較して、その比較結果に応じて、比較器CMPaの出力端子から信号を出力する。例えば、比較器CMPaは、第1入力端子に入力された電圧よりも第2入力端子に入力された電圧（Vref）が高い場合に、高レベル電位を比較器CMPaの出力端子から出力し、第2入力端子に入力された電圧（Vref）よりも第1入力端子に入力された電圧が高い場合に、低レベル電位を比較器CMPaの出力端子から出力することができる。

[0110]

比較器CMPbは、比較器CMPaと同様に、第1入力端子、第2入力端子のそれぞれに入力された電圧を比較して、その比較結果に応じて、比較器CMPbの出力端子から信号を出力する。例えば、比較器CMPbは、第1入力端子に入力された電圧よりも第2入力端子に入力された電圧（Vref）が高い場合に、高レベル電位を比較器CMPbの出力端子から出力し、第2入力端子に入力された電圧（Vref）よりも第1入力端子に入力された電圧が高い場合に、低レベル電位を比較器CMPbの出力端子から出力することができる。

[0111]

このとき、比較器CMPa、比較器CMPbのそれぞれの出力端子から出力された電位は、例えば、3値の出力信号 $z_j^{(k)}$ として表すことができる。例えば、比較器CMPaの出力端子から高レベル電位が出力され、比較器CMPbの出力端子から低レベル電位が出力された場合、出力信号 z

$j^{(k)}$ は “+1” とし、比較器CMP a の出力端子から低レベル電位が出力され、比較器CMP b の出力端子から高レベル電位が出力された場合、出力信号 $z_j^{(k)}$ は “-1” とし、比較器CMP a の出力端子から低レベル電位が出力され、比較器CMP b の出力端子から低レベル電位が出力された場合、出力信号 $z_j^{(k)}$ は “0” とすることができる。

[0112]

また、回路ACTF [j] は、図6Aに示した回路構成に限定されず、状況に応じて、変更することができる。例えば、図6Aの回路ACTF [j] において、比較器CMP a、比較器CMP b の2つの出力結果を、1つの信号としてまとめたい場合、回路ACTF [j] に変換回路TRFを設ければよい。図6Bの回路ACTF [j] は、図6Aの回路ACTF [j] に変換回路TRFを設けた構成例であり、比較器CMP a、比較器CMP b のそれぞれの出力端子は、変換回路TRFの入力端子に電氣的に接続されている。変換回路TRFの具体的な例としては、デジタルアナログ変換回路（この場合、信号 $z_j^{(k)}$ はアナログ値となる。）などとすることができる。

[0113]

また、例えば、図6Aにおいて、比較器CMP a、比較器CMP b のそれぞれの第2入力端子に電氣的に接続されている配線VrefLを、配線Vref1L、配線Vref2Lの別々の配線に置き換えてもよい。図6Cの回路ACTF [j] は、図6Aの回路ACTF [j] に含まれている比較器CMP a の第2入力端子が配線VrefLでなく配線Vref1Lと電氣的に接続され、比較器CMP b の第2入力端子が配線VrefLでなく配線Vref2Lと電氣的に接続された構成となっている。配線Vref1L、配線Vref2Lに入力される電位を互いに異なる値にすることによって、比較器CMP a、比較器CMP b における参照電位を別々に設定することができる。

[0114]

また、例えば、図6A乃至図6Cの回路ACTF [j] とは別の構成として、増幅回路、または、インピーダンス変換回路などを用いてもよい。例えば、図6Dに示す回路ACTF [j] を図2の演算回路110の回路AFPに適用することができる。図6Dの回路ACTF [j] は、抵抗RE、抵抗REB、オペアンプOP a、オペアンプOP bを有しており、増幅回路として機能する。

[0115]

配線OL [j] は、抵抗REの第1端子と、オペアンプOP a の非反転入力端子と、電氣的に接続され、配線OLB [j] は、抵抗REBの第1端子と、オペアンプOP b の非反転入力端子と、電氣的に接続されている。また、オペアンプOP a の反転入力端子は、オペアンプOP a の出力端子に電氣的に接続され、オペアンプOP b の反転入力端子は、オペアンプOP b の出力端子に電氣的に接続されている。更に、抵抗REの第2端子は、配線VALに電氣的に接続され、抵抗REBの第2端子は、配線VALに電氣的に接続されている。

[0116]

つまり、図6Dの回路ACTF [j] に含まれているオペアンプOP a、オペアンプOP b はボルテージフォロワの接続構成となっている。これによって、オペアンプOP a の出力端子から出力される電位は、オペアンプOP a の非反転入力端子に入力された電位とほぼ等しくなり、オペアンプOP b の出力端子から出力される電位は、オペアンプOP b の非反転入力端子に入力された電位とほぼ等しくなる。この場合、出力信号 $z_j^{(k)}$ は、2つのアナログ値として回路ACTF [j] から出力される。なお、オペアンプOP a の出力端子と、オペアンプOP b の出力端子とを、比較器CMPの入力端子にそれぞれ接続してもよい。そして、比較器CMPからの出力を出力信号 $z_j^{(k)}$

としてもよい。

[0117]

また、例えば、図6A乃至図6Dの回路ACTF[j]とは別の構成として、積分回路、または、電流電圧変換回路などを用いてもよい。さらに、オペアンプを用いて、積分回路、または、電流電圧変換回路を構成してもよい。一例として、図6Eに示す回路ACTF[j]を図2の演算回路110の回路AFPに適用することができる。図6Eの回路ACTF[j]は、オペアンプOPa、オペアンプOPb、負荷LEa、負荷LEbを有する。

[0118]

配線OL[j]は、オペアンプOPaの第1入力端子（例えば、反転入力端子）と、負荷LEaの第1端子と、に電氣的に接続され、配線OLB[j]は、オペアンプOPbの第1入力端子（例えば、反転入力端子）と、負荷LEbの第1端子と、電氣的に接続されている。また、オペアンプOPaの第2入力端子（例えば、非反転入力端子）は、配線Vref1Lに電氣的に接続され、オペアンプOPbの第2入力端子（例えば、非反転入力端子）は、配線Vref2Lに電氣的に接続されている。負荷LEaの第2端子は、オペアンプOPaの出力端子に電氣的に接続され、負荷LEbの第2端子は、オペアンプOPbの出力端子に電氣的に接続されている。

[0119]

なお、ここでの配線Vref1L、配線Vref2Lは、互いに等しい電圧、又は異なる電圧を供給する配線として機能する。したがって、配線Vref1L、配線Vref2Lは、1本の配線にまとめることができる場合がある。

[0120]

図6Eの回路ACTF[j]において、負荷LEa、負荷LEbとしては、例えば、抵抗、容量とすることができる。特に、負荷LEa、負荷LEbとして容量を用いることによって、オペアンプOPaと負荷LEa、オペアンプOPbと負荷LEb、はそれぞれ積分回路として機能する。つまり、配線OL[j]または配線OLB[j]に流れる電流量に応じて、それぞれの容量（負荷LEa、負荷LEb）に電荷が蓄えられる。つまり、配線OL[j]、配線OLB[j]から流れる電流は、積分回路によって、積分された電流量が電圧に変換されて、信号 $z_j^{(k)}$ として出力される。なお、オペアンプOPaの出力端子と、オペアンプOPbの出力端子とを、比較器CMPの入力端子にそれぞれ接続してもよい。そして、比較器CMPからの出力を出力信号 $z_j^{(k)}$ としてもよい。なお、負荷LEa、負荷LEbの容量に蓄積された電荷を初期化する回路が設けられていてもよい。例えば、負荷LEa（容量）と並列に、スイッチが設けられていてもよい。つまり、スイッチの第2端子が、オペアンプOPaの出力端子に接続され、スイッチの第1端子が、配線OL[j]、および、オペアンプOPaの第1入力端子（例えば、反転入力端子）と接続されていてもよい。

[0121]

また、図6Eの回路ACTF[j]において、配線OL[j]、配線OLB[j]から流れる電流を電圧に変換して出力したい場合、負荷LEa、負荷LEbとしては、容量以外としては抵抗を用いることができる。

[0122]

また、例えば、図6A乃至図6Eの回路ACTF[j]とは別の構成として、図6Fに示す回路ACTF[j]を図2の演算回路110の回路AFPに適用することができる。図6Fの回路ACTF[j]は、抵抗RE、抵抗REB、アナログデジタル変換回路ADCa、アナログデジタル変

換回路ADC bを有する。

[0123]

配線OL[j]は、アナログデジタル変換回路ADC aの入力端子と、抵抗REの第1端子と、に電氣的に接続され、配線OLB[j]は、アナログデジタル変換回路ADC bの入力端子と、抵抗REBの第1端子と、に電氣的に接続されている。抵抗REの第2端子は、配線VALに電氣的に接続され、抵抗REBの第2端子は、配線VALに電氣的に接続されている。

[0124]

図6Fの回路ACTF[j]において、配線OL[j]、OLB[j]から流れる電流に応じて、抵抗RE、抵抗REBのそれぞれの第1端子の電位が定められる。そして、回路ACTF[j]は、アナログ値である当該電位をアナログデジタル変換回路ADC a、アナログデジタル変換回路ADC bによって、2値、又は3値以上（例えば、256値など）のデジタル値に変換して、信号z_j^(k)として出力する機能を有する。

[0125]

なお、図6A乃至図6D、図6Fに示した抵抗RE、抵抗REBは、図5B、図5Cと同様に、容量CE、容量CEB、又はダイオード素子DE、ダイオード素子DEBに置き換えることができる。特に、図6A乃至図6D、図6Fに示した抵抗RE、抵抗REBを容量CE、容量CEBに置き換えた場合、さらに図5Eと同様にスイッチS01a、スイッチS01bを設けることで、配線OL[j]、配線OLB[j]から入力された電位を保持することができる。

[0126]

なお、図2乃至図4のそれぞれに示す演算回路110、演算回路120、演算回路130では、配線IL、配線ILB、配線OL、配線OLBを配置した場合の例を示したが、本発明の一態様は、これに限定されない。例えば、演算回路110、演算回路120、演算回路130のそれぞれは、配線ILと配線OLとは一本の配線としてまとめ、かつ配線ILBと配線OLBとは一本の配線としてまとめた構成としてもよい。図7はその具体的な構成を示している。図7に示す演算回路140は、切り替え回路TW[1]乃至切り替え回路TW[n]を有する。

[0127]

切り替え回路TW[1]乃至切り替え回路TW[n]のそれぞれは、端子TSaと、端子TSaBと、端子TSbと、端子TSbBと、端子TScと、端子TScBと、を有する。

[0128]

端子TSaは配線OL[j]に電氣的に接続され、端子TSbは回路ILDに電氣的に接続され、端子TScは回路ACTF[j]に電氣的に接続されている。端子TSaBは配線OLB[j]に電氣的に接続され、端子TSbBは回路ILDに電氣的に接続され、端子TScBは回路ACTF[j]に電氣的に接続されている。

[0129]

切り替え回路TW[j]は、端子TSaと、端子TSb又は端子TScの一方との間を導通状態にし、端子TSaと、端子TSb又は端子TScの他方との間を非導通状態にする機能を有する。また、切り替え回路TW[j]は、端子TSaBと、端子TSbB又は端子TScBの一方との間を導通状態にし、端子TSaBと、端子TSbB又は端子TScBの他方との間を非導通状態にする機能を有する。

[0130]

つまり、回路MP [1, j] 乃至回路MP [m, j] のいずれかに重み係数である第1データ $w_1^{(k-1)} \dots w_m^{(k-1)}$ 乃至 $w_1^{(k)} \dots w_n^{(k)}$ に対応する情報（例えば、電位、抵抗値、電流値など）を入力したい場合、切り替え回路TW [j] において、端子TS aと端子TS bとの間を導通状態にし、かつ端子TS a Bと端子TS b Bとの間を導通状態にすることで、回路ILDから配線OL [j]、又は配線OLB [j] を介して回路MP [1, j] 乃至回路MP [m, j] のいずれかに第1データ $w_1^{(k-1)} \dots w_m^{(k-1)}$ 乃至 $w_1^{(k)} \dots w_n^{(k)}$ に対応する情報（例えば、電位、抵抗値、電流値など）を供給することができる。

[0131]

また、回路ACTF [j] が回路MP [1, j] 乃至回路MP [m, j] によって計算された、重み係数とニューロンの信号との積和（式（1. 2））の結果を取得したい場合、切り替え回路TW [j] において、端子TS aと端子TS cとの間を導通状態にし、かつ端子TS a Bと端子TS c Bとの間を導通状態にすることで、配線OL [j]、配線OLB [j] から回路ACTF [j] に積和の結果に応じた情報（例えば、電位、電流値など）を供給することができる。また、回路ACTF [j] において、入力された積和の結果から活性化関数の値が計算されて、ニューロンの出力信号として信号 $z_j^{(k)}$ を得ることができる。

[0132]

次に、演算回路140に含まれる切り替え回路TW [j] と、回路ILDと、について説明する。図8Aには、演算回路140に適用することができる、切り替え回路TW [j] と、回路ILDと、の構成例を示している。なお、図8Aでは、切り替え回路TW [j] と、回路ILDと、の電気的な接続の構成を示すため、配線OL [j] と、配線OLB [j] と、回路AFPと、も図示している。

[0133]

切り替え回路TW [j] は、一例として、スイッチSWIと、スイッチSWIBと、スイッチSWOと、スイッチSWOBと、スイッチSWLと、スイッチSWLBと、スイッチSWHと、スイッチSWHBと、を有する。

[0134]

回路ILDは、一例として、電流源回路ISCを有する。ただし、本発明の一態様は、これに限定されない。例えば、電流源回路ISCを有さず、その代わりに、電圧源回路を配置してもよい。電流源回路ISCは、配線OL [j]、及び／又は配線OLB [j] に対して、回路MPに入力する重み係数（第1データ）に応じた電流を流す機能を有する。なお、電流源回路ISCは、配線OL [j] のための回路と、配線OLB [j] のための回路として、それぞれ別々の回路として、少なくとも1個ずつ配置されていてもよい。または、図8Aに示すように、配線OL [j]、および、配線OLB [j] という一組の配線に対して、少なくとも1個の電流源回路ISCを有していてもよい。

[0135]

また、電流源回路ISCは、一つ又は複数の定電流源を有しており、図8Aでは、一例として、複数の定電流源として、定電流源回路ISC1と、定電流源回路ISC2と、定電流源回路ISC3と、を有する。また、電流源回路ISCは、一例として、複数の定電流源を選択するために、複数のスイッチを有しており、図8Aでは、複数のスイッチとして、スイッチSWC1と、スイッチSWC2と、スイッチSWC3と、を有する。なお、電流源回路ISCが1つの定電流源のみを有

する場合、電流源回路ISCはスイッチを有さなくてもよい。または、定電流源回路ISC1と、定電流源回路ISC2と、定電流源回路ISC3とが、それぞれ、電流を出力するか否かを制御する機能を有する場合には、スイッチSWC1と、スイッチSWC2と、スイッチSWC3は、設けなくてもよい。

[0136]

ところで、配線OL[j]、配線OLB[j]のそれぞれに流す電流は、図8Aに示すとおり、同じ電流源回路ISCで生成されることが好ましい。配線OL[j]、配線OLB[j]のそれぞれに流す電流を異なる電流源回路で生成する場合、トランジスタの作製工程時などを起因とする当該トランジスタの特性のバラつきが生じることがあるため、異なる電流源回路同士では性能に差が現れることがある。一方、同一の電流源回路を用いる場合には、配線OL[j]と、配線OLB[j]とに、同じ大きさの電流を供給することが可能となり、演算精度を向上させることができる。

[0137]

なお、図8Aで説明するスイッチSWI、スイッチSWIB、スイッチSWO、スイッチSWOB、スイッチSWL、スイッチSWLB、スイッチSWH、スイッチSWHB、スイッチSWC1、スイッチSWC2、スイッチSWC3としては、例えば、スイッチS01a、及びスイッチS01bと同様に、アナログスイッチ、トランジスタなどの電氣的なスイッチ、機械的なスイッチなどを適用することができる。

[0138]

切り替え回路TW[j]の一例において、端子TSaは、スイッチSWIの第1端子と、スイッチSWOの第1端子と、スイッチSWLの第1端子と、スイッチSWHの第1端子と、に電氣的に接続されている。端子TSaBは、スイッチSWIBの第1端子と、スイッチSWOBの第1端子と、スイッチSWLBの第1端子と、スイッチSWHBの第1端子と、に電氣的に接続されている。スイッチSWIの第2端子は、端子TSb1に電氣的に接続されている。スイッチSWIBの第2端子は、端子TSbB1に電氣的に接続されている。スイッチSWOの第2端子は、端子TSbCに電氣的に接続されている。スイッチSWOBの第2端子は、端子TSbCBに電氣的に接続されている。スイッチSWLの第2端子は、端子TSb2に電氣的に接続されている。スイッチSWLBの第2端子は、端子TSbB2に電氣的に接続されている。スイッチSWHの第2端子は、端子TSb3に電氣的に接続されている。スイッチSWHBの第2端子は、端子TSbB3に電氣的に接続されている。

[0139]

図8Aに図示している端子TSb1、端子TSb2、端子TSb3は、図7に図示している端子TSbに相当する。また、図8Aに図示している端子TSbB1、端子TSbB2、端子TSbB3は、図7に図示している端子TSbBに相当する。

[0140]

回路ILDに含まれている電流源回路ISCにおいて、端子TSb1は、スイッチSWC1の第1端子と、スイッチSWC2の第1端子と、スイッチSWC3の第1端子と、に電氣的に接続されている。また、端子TSbB1は、スイッチSWC1の第1端子と、スイッチSWC2の第1端子と、スイッチSWC3の第1端子と、に電氣的に接続されている。スイッチSWC1の第2端子は、定電流源回路ISC1の出力端子に電氣的に接続され、スイッチSWC2の第2端子は、定電流源回路ISC2の出力端子に電氣的に接続され、スイッチSWC3の第2端子は、定電流源回路ISC

C 3 の出力端子に電氣的に接続されている。定電流源回路 I S C 1 の入力端子と、定電流源回路 I S C 2 の入力端子と、定電流源回路 I S C 3 の入力端子と、のそれぞれは、配線 V S O に電氣的に接続されている。

[0141]

なお、図 8 A では、定電流源回路 I S C 1、定電流源回路 I S C 2、定電流源回路 I S C 3 のそれぞれは、出力端子がそれぞれのスイッチの端子に電氣的に接続され、入力端子が配線 V S O に電氣的に接続されている構成となっているが、本発明の一態様はこれに限定されない。例えば、定電流源回路 I S C 1、定電流源回路 I S C 2、定電流源回路 I S C 3 のそれぞれは、入力端子がそれぞれのスイッチの端子に電氣的に接続され、出力端子を配線 V S O に電氣的に接続されている構成としてもよい。なお、回路 M P から電流を出力する前に、配線 O L [j]、配線 O L B [j] に定電位を入力するために、配線 V C N 2 を配置してもよい。配線 V C N 2 は、スイッチ S W H を介して、配線 O L [j] と接続されている。また、配線 V C N 2 は、スイッチ S W H B を介して、配線 O L B [j] と接続されている。配線 V C N 2 は、後述する配線 V C N とは異なる電位を供給することができる。例えば、配線 V C N に、V S S、または、接地電位が供給されている場合には、配線 V C N 2 には、V D D などが供給されていてもよい。配線 O L [j]、配線 O L B [j] に配線 V C N 2 の定電位を与えることによって、回路 M P に含まれる各回路素子に当該定電位を与えることができる。

[0142]

定電流源回路 I S C 1、定電流源回路 I S C 2、定電流源回路 I S C 3 の具体的な構成例を図 8 B、及び図 8 C に示す。図 8 B に示す定電流源回路 I S C 1（定電流源回路 I S C 2、定電流源回路 I S C 3）は、p チャンネル型トランジスタを有し、当該トランジスタの第 1 端子は、配線 V S O に電氣的に接続され、当該トランジスタの第 2 端子は、スイッチ S W C 1（スイッチ S W C 2、スイッチ S W C 3）の第 2 端子に電氣的に接続され、当該トランジスタのゲートは、配線 V B に電氣的に接続されている。また、図 8 C に示す定電流源回路 I S C 1（定電流源回路 I S C 2、定電流源回路 I S C 3）は、n チャンネル型トランジスタを有し、当該トランジスタの第 1 端子は、配線 V S O に電氣的に接続され、当該トランジスタの第 2 端子は、スイッチ S W C 1（スイッチ S W C 2、スイッチ S W C 3）の第 2 端子に電氣的に接続され、当該トランジスタのゲートは、配線 V B に電氣的に接続されている。図 8 B、及び図 8 C のそれぞれの定電流源回路 I S C 1（定電流源回路 I S C 2、定電流源回路 I S C 3）において、配線 V B は、それぞれのトランジスタのゲートにバイアス電圧を入力するための配線として機能する。なお、配線 V B に、パルス信号を供給してもよい。これにより、それぞれの定電流源回路から電流を出力するか否かを制御することができる。その場合、スイッチ S W C 1 と、スイッチ S W C 2 と、スイッチ S W C 3 は、設けなくてもよい。または、配線 V B に、アナログ電圧を供給してもよい。これにより、定電流源回路から、アナログ電流を供給することができる。

[0143]

配線 V S O は、定電流源回路 I S C 1、定電流源回路 I S C 2、定電流源回路 I S C 3 のそれぞれに対して、定電圧を供給する配線として機能する。例えば、回路 I L D から、切り替え回路 T W [j] を介して配線 O L 又は配線 O L B に電流を供給する場合、当該定電圧としては、接地電位よりも高い電位（例えば、V D D など。）とするのが好ましく、更に、図 8 B に示す定電流源回路 I S C 1（定電流源回路 I S C 2、定電流源回路 I S C 3）を用いるのが好ましい。また、例えば、

回路 I L D から、切り替え回路 T W [j] を介して配線 O L 又は配線 O L B に電流を供給する場合、当該定電圧としては、接地電位よりも高く当該高レベル電位よりも低い電位、接地電位などとするのが好ましく、更に、図 8 C に示す定電流源回路 I S C 1（定電流源回路 I S C 2、定電流源回路 I S C 3）を用いるのが好ましい。なお、本明細書において、回路 I L D から、切り替え回路 T W [j] を介して配線 O L 又は配線 O L B に流れる電流を正の電流と記載する場合がある。そのため、配線 O L 又は配線 O L B から、切り替え回路 T W [j] を介して回路 I L D に流れる電流を負の電流と記載する場合がある。

[0144]

また、定電流源回路 I S C 1、定電流源回路 I S C 2、定電流源回路 I S C 3 に適用できる、図 8 B、及び図 8 C 以外の回路としては、例えば、図 8 D に示す回路構成が挙げられる。図 8 D に示す定電流源回路 I S C 1（定電流源回路 I S C 2、定電流源回路 I S C 3）は、バックゲートを有する n チャンネル型トランジスタを有し、当該トランジスタの第 1 端子は、配線 V S O に電氣的に接続され、当該トランジスタの第 2 端子は、当該トランジスタのゲート及びバックゲートと、スイッチ S W C 1（スイッチ S W C 2、スイッチ S W C 3）の第 2 端子に電氣的に接続されている。

[0145]

ここで、配線 V S O が与える定電圧を高レベル電位としたとき、図 8 D に図示されたトランジスタの第 1 端子には高レベル電位が入力される。また、当該トランジスタの第 2 端子の電位は、当該高レベル電位よりも低い電位とする。このとき、当該トランジスタの第 1 端子はドレインとして機能し、当該トランジスタの第 2 端子はソースとして機能する。また、当該トランジスタのゲート、及び第 2 端子は、互いに電氣的に接続されているため、当該トランジスタのゲートーソース間電圧は 0 V となる。このため、当該トランジスタのしきい値電圧が適切な範囲内である場合、当該トランジスタはサブスレッショルド領域で動作し、当該トランジスタの第 1 端子ー第 2 端子間には、サブスレッショルド領域の電流（ドレイン電流）が流れる。当該電流の量としては、当該トランジスタが O S トランジスタである場合、例えば、 1.0×10^{-8} A 以下であることが好ましく、また、 1.0×10^{-12} A 以下であることがより好ましく、また、 1.0×10^{-15} A 以下であることがより好ましい。また、例えば、当該電流はゲートーソース間電圧に対して指数関数的に増大する範囲内であることがより好ましい。つまり、当該トランジスタは、サブスレッショルド領域で動作するときの電流範囲の電流を流すための電流源として機能する。

[0146]

または、図 8 B の場合には、図 8 B のトランジスタにおいて配線 V S O 側をソースであるとする、配線 V B の電位を、配線 V S O の電位と同じ、または、配線 V S O の電位よりも高くしてもよい。つまり、ゲートーソース間電圧の絶対値を小さくすることにより、サブスレッショルド領域で動作させることが可能となる。または、ゲートーソース間電圧を正の値にすること、又はしきい値電圧よりも大きな電圧にすることにより、サブスレッショルド領域で動作させることが可能となる。ただし、本発明の一態様はこれに限定されない。例えば、図 8 B に示すトランジスタを飽和領域で動作させてもよい。または、図 8 B に示すトランジスタを飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。

[0147]

ところで、本明細書などにおいて、飽和領域とサブスレッショルド領域の境界付近としては、例えば、トランジスタのしきい値電圧を V_{th} としたとき、ゲートーソース間電圧が $V_{th} - 1.0$ V 以上、

$V_{th} - 0.5$ V以上、又は $V_{th} - 0.1$ V以上であり、かつ $V_{th} + 0.1$ V以下、 $V_{th} + 0.5$ V以下、又は $V_{th} + 1.0$ V以下である場合を含むものとする。なお、上述した下限値、上限値は互いに組み合わせることができるものとする。

[0148]

次に、図8Cの場合にも、図8Bの場合と同様である。つまり、図8Cの場合には、図8Cのトランジスタにおいて配線VSO側をソースであるとする、配線VBの電位を、配線VSOの電位と同じ、または、配線VSOの電位よりも低くしてもよい。つまり、ゲートソース間電圧の絶対値を小さくすることにより、サブスレッショルド領域で動作させることが可能となる。または、ゲートソース間電圧を負の値にすること、しきい値電圧よりも小さな電圧にすることにより、サブスレッショルド領域で動作させることが可能となる。ただし、本発明の一態様はこれに限定されない。例えば、図8Cに示すトランジスタを飽和領域で動作させてもよい。または、図8Cに示すトランジスタを飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。

[0149]

ところで、定電流源回路ISC1が流す電流を I_{ut} としたとき、一例としては、定電流源回路ISC2が流す電流は $2 I_{ut}$ とすることが好ましく、定電流源回路ISC3が流す電流は $4 I_{ut}$ とすることが好ましい。つまり、電流源回路ISCが、P個（Pは1以上の整数である。）の定電流源を有する場合、p番目（pは1以上P以下の整数である。）の定電流源が流す電流は、 $2^{(p-1)} \times I_{ut}$ とするのが好ましい。このようにして、電流源回路ISCから流れる電流の大きさを変更することができる。

[0150]

例えば、電流源回路ISCの定電流源の個数を3個（ $P=3$ ）とする。配線OL[j]に I_{ut} の電流を流したい場合は、スイッチSWIをオン状態、スイッチSWIBをオフ状態にした上で、スイッチSWC1をオン状態にし、スイッチSWC2、スイッチSWC3をオフ状態にすればよい。また、配線OL[j]に $5 I_{ut}$ の電流を流したい場合は、スイッチSWC1、スイッチSWC3をオン状態にし、スイッチSWC2をオフ状態にすればよい。つまり、電流源回路ISCから出力される電流は、8値（“0”、“ I_{ut} ”、“ $2 I_{ut}$ ”、“ $3 I_{ut}$ ”、“ $4 I_{ut}$ ”、“ $5 I_{ut}$ ”、“ $6 I_{ut}$ ”、“ $7 I_{ut}$ ”）のいずれか一とすることができる。なお、8値よりも大きな値の電流を出力したい場合には、定電流源の個数を4個以上にすればよい。また、同様に、スイッチSWIをオフ状態、スイッチSWIBをオン状態にすることによって、配線OLB[j]に8値のいずれか一の電流を流すことができる。なお、電流源回路ISCから電流の出力をしない場合、電流源回路ISCのスイッチSWC1乃至スイッチSWC3をオフ状態にせず、切り替え回路TWのスイッチSWI、スイッチSWIBをオフ状態にしてもよい。このように複数の定電流源を配置することにより、電流源回路ISCは、各スイッチのオン状態、オフ状態の切り替えを行う制御信号（デジタル値）に応じた電流量を出力することができる。換言すると、電流源回路ISCは、当該制御信号から電流量へのデジタルアナログ（DA）変換を行っているといえることができる。なお、電流源回路を、当該電流源回路から出力される電流値をアナログ値として自由に変更できるような構成として、回路ILDは当該電流源回路を1個のみ有する構成としてもよい。

[0151]

ただし、上記の例では、電流源回路ISCが、P個の定電流源を有する場合、p番目の定電流源が流す電流は、 $2^{(p-1)} \times I_{ut}$ として説明したが、本発明の一態様はこれに限定されない。例えば、

定電流源回路 I S C 1 が流す電流、定電流源回路 I S C 2 が流す電流、定電流源回路 I S C 3 が流す電流の大きさを、全て同じ大きさにしてもよい。例えば、電流源回路 I S C から出力される電流を、8 値とする場合、電流源回路 I S C の中の定電流源の個数を 7 個 ($P = 7$) として、電流源回路 I S C の中の定電流源の電流の大きさを全て同じにして、何個の電流源から電流を出力するのかを制御することにより、電流源回路 I S C から出力される電流の大きさを制御してもよい。

[0152]

また、回路 I L D において、端子 T S b 2 は、配線 V C N に電氣的に接続され、端子 T S b B 2 は、配線 V C N に電氣的に接続されている。

[0153]

配線 V C N は、配線 O L [j] 及び／又は配線 O L B [j] に対して、定電圧を供給する配線として機能する。例えば、回路 I L D から、切り替え回路 T W [j] を介して配線 O L 又は配線 O L B に電流（正の電流）を供給する場合、配線 V C N が与える定電圧としては、低レベル電位（例えば V S S など。）とすることが好ましい。また、例えば、配線 O L 又は配線 O L B から、切り替え回路 T W [j] を介して回路 I L D に電流（負の電流）を供給する場合、配線 V C N が与える定電位としては、高レベル電位とすることが好ましい。なお、後述する図 4 2 乃至図 4 5 などに示すように、容量 C 3 がトランジスタ M 1 などのソース端子に接続され、そのソース端子が電源線などに接続されていない場合には、回路 I L D から、切り替え回路 T W [j] を介して配線 O L 又は配線 O L B に正の電流を供給するとき、配線 V C N が与える定電圧としては、高レベル電位（例えば V D D など。）とすることが好ましい。つまり、配線 V C N から定電圧を供給するときに、容量 C 3 の両端の電位差がゼロに近くなるようにすることが望ましい。言い換えると、回路 M C より、電流が出力されなくなるような電位を配線 V C N に供給することが望ましい。

[0154]

また、回路 I L D において、端子 T S b 3 は、配線 V C N 2 に電氣的に接続され、端子 T S b B 3 は、配線 V C N 2 に電氣的に接続されている。

[0155]

配線 V C N 2 は、配線 O L [j] 及び／又は配線 O L B [j] に対して、定電圧を供給する配線として機能する。例えば、回路 I L D から、切り替え回路 T W [j] を介して配線 O L 又は配線 O L B に電流（正の電流）を供給する場合、配線 V C N が与える定電圧としては、高レベル電位（例えば V D D など。）とするのが好ましい。また、例えば、配線 O L 又は配線 O L B から、切り替え回路 T W [j] を介して回路 I L D に電流（負の電流）を供給する場合、配線 V C N が与える定電位としては、低レベル電位とするのが好ましい。

[0156]

切り替え回路 T W [j] は、スイッチ S W I、スイッチ S W I B、スイッチ S W O、スイッチ S W O B、スイッチ S W L、スイッチ S W L B、スイッチ S W H、スイッチ S W H B のそれぞれをオン状態又はオフ状態に切り替えることによって、配線 O L [j] 及び配線 O L B [j] と導通状態となる回路を変更することができる。

[0157]

ここで、回路 M P に入力される重み係数について説明する。

[0158]

回路 M P に正の重み係数を入力したいとき、配線 O L [j] に当該重み係数に応じた電流を入力

し、配線OLB[j]に配線VCNが与える定電位を入力すればよい。一例としては、電流源回路ISCと配線OL[j]との間を導通状態にし、電流源回路ISCと配線OLB[j]との間を非導通状態にし、回路AFPと配線OL[j]との間を非導通状態にし、回路AFPと配線OLB[j]との間を非導通状態にし、配線VCNと配線OL[j]との間を非導通状態にし、配線VCNと配線OLB[j]との間を導通状態にし、配線VCN2と配線OL[j]との間を非導通状態にし、配線VCN2と配線OLB[j]との間を非導通状態にすればよい。すなわち、切り替え回路TW[j]において、スイッチSWI、SWLBをオン状態とし、スイッチSWIB、スイッチSWO、スイッチSWOB、スイッチSWL、スイッチSWH、スイッチSWHBのそれぞれをオフ状態とすればよい。これにより、電流源回路ISCと配線OL[j]との間が導通状態となるので、電流源回路ISCから、配線OL[j]を介して、回路MPに電流を流すことができる。ところで、電流源回路ISCの定電流源の個数をP個としたとき、当該電流は、 $2^P - 1$ 値のいずれか一となる（ゼロ電流を含まない）。回路MPに入力される正の重み係数は当該電流に応じて決まるため、当該重み係数は $2^P - 1$ 値のいずれか一とすることができる。また、配線VCNと配線OLB[j]との間が導通状態となるので、配線OLB[j]には、配線VCNからの定電圧が入力される。

[0159]

また、回路MPに負の重み係数を入力したいとき、配線OLB[j]に当該重み係数に応じた電流を入力し、配線OL[j]に配線VCNが与える定電位を入力すればよい。一例としては、電流源回路ISCと配線OL[j]との間を非導通状態にし、電流源回路ISCと配線OLB[j]との間を導通状態にし、回路AFPと配線OL[j]との間を非導通状態にし、回路AFPと配線OLB[j]との間を非導通状態にし、配線VCNと配線OL[j]との間を導通状態にし、配線VCNと配線OLB[j]との間を非導通状態にし、配線VCN2と配線OL[j]との間を非導通状態にし、配線VCN2と配線OLB[j]との間を非導通状態にすればよい。すなわち、切り替え回路TW[j]において、スイッチSWIB、スイッチSWLをオン状態とし、スイッチSWI、スイッチSWO、スイッチSWOB、スイッチSWLB、スイッチSWH、スイッチSWHBのそれぞれをオフ状態とすればよい。これにより、電流源回路ISCと配線OLB[j]との間が導通状態となるので、電流源回路ISCから、配線OLB[j]を介して、回路MPに電流を流すことができる。ところで、電流源回路ISCの定電流源の個数をP個としたとき、当該電流は、 $2^P - 1$ 値のいずれか一となる（ゼロ電流を含まない）。回路MPに入力される負の重み係数は当該電流に応じて決まるため、当該重み係数は $2^P - 1$ 値のいずれか一とすることができる。また、配線VCNと配線OL[j]との間が導通状態となるので、配線OL[j]には、配線VCNからの定電圧が入力される。

[0160]

また、回路MPに0の重み係数を入力したいとき、配線OL[j]、配線OLB[j]のそれぞれに配線VCNが与える定電位を入力すればよい。一例としては、電流源回路ISCと配線OL[j]との間を非導通状態にし、電流源回路ISCと配線OLB[j]との間を非導通状態にし、回路AFPと配線OL[j]との間を非導通状態にし、回路AFPと配線OLB[j]との間を非導通状態にし、配線VCNと配線OL[j]との間を導通状態にし、配線VCNと配線OLB[j]との間を導通状態にし、配線VCN2と配線OL[j]との間を非導通状態にし、配線VCN2と配線OLB[j]との間を非導通状態にすればよい。すなわち、切り替え回路TW[j]において、

スイッチSWL、スイッチSWLBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWO、スイッチSWOB、スイッチSWH、スイッチSWHBのそれぞれをオフ状態とすればよい。これにより、配線VCNと配線OL[j]との間が導通状態となり、配線VCNと配線OLB[j]との間が導通状態となるので、配線OL[j]、OLB[j]には、配線VCNからの定電圧が入力される。

[0161]

つまり、電流源回路ISCの定電流源の個数をP個とすることによって、回路MPに入力できる重み係数の数（正の重み係数、負の重み係数、0の重み係数）は、 $2^{P+1}-1$ 個となる。

[0162]

次に、回路MPから回路AFPに情報（例えば、電位、電流など）を供給する場合について説明する。

[0163]

回路MPから回路AFPに情報（例えば、電位、電流など）を供給する前には、配線OL[j]、配線OLB[j]を所定の電位にしておくことが好ましい。例えば、回路AFPから、配線OL又は配線OLBを介して回路MPに正の電流が流れる場合、所定の電位としては、高レベル電位とするのがよい。また、例えば、回路MPから、配線OL又は配線OLBを介して回路AFPに正の電流が流れる場合、所定の電位としては、低レベル電位とするのがよい。そのため、回路MPから回路AFPに情報（例えば、電位、電流など）を供給する前では、一例としては、電流源回路ISCと配線OL[j]との間を非導通状態にし、電流源回路ISCと配線OLB[j]との間を非導通状態にし、回路AFPと配線OL[j]との間を非導通状態にし、回路AFPと配線OLB[j]との間を非導通状態にし、配線VCNと配線OL[j]との間を非導通状態にし、配線VCNと配線OLB[j]との間を非導通状態にし、配線VCN2と配線OL[j]との間を導通状態にし、配線VCN2と配線OLB[j]との間を導通状態にすればよい。すなわち、切り替え回路TW[j]において、スイッチSWH、スイッチSWHBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWO、スイッチSWOB、スイッチSWL、スイッチSWLBのそれぞれをオフ状態とすればよい。これにより、配線OL[j]と配線VCN2との間が導通状態となり、配線OLB[j]と配線VCN2との間が導通状態となるので、配線OL[j]、配線OLB[j]には、配線VCN2からの定電圧が入力される。

[0164]

回路MP[i, j]から回路AFPに情報（例えば、電位、電流など）を供給する時には、一例としては、電流源回路ISCと配線OL[j]との間を非導通状態にし、電流源回路ISCと配線OLB[j]との間を非導通状態にし、回路AFPと配線OL[j]との間を導通状態にし、回路AFPと配線OLB[j]との間を導通状態にし、配線VCNと配線OL[j]との間を非導通状態にし、配線VCNと配線OLB[j]との間を非導通状態にし、配線VCN2と配線OL[j]との間を非導通状態にし、配線VCN2と配線OLB[j]との間を非導通状態にすればよい。すなわち、切り替え回路TW[j]において、スイッチSWO、スイッチSWOBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、スイッチSWHBのそれぞれをオフ状態とすればよい。これにより、回路AFPと回路MP[i, j]との間が導通状態となるので、回路MP[i, j]から回路AFPに情報（例えば、電位、電流など）を供給することができる。

[0165]

以上のとおり、回路ILDと、切り替え回路TW[j]と、を図8Aに示す構成とすることにより、配線OL[j]、及び配線OLB[j]に所定の電流を流す際、同じ電流源回路ISCを用いることができるため、配線OL[j]、及び配線OLB[j]のそれぞれに与える電流源の特性ばらつきの影響を小さくすることができる。

[0166]

<<回路MP>>

次に、演算回路110、演算回路120、演算回路130、演算回路140に含まれる回路MP[i, j]の構成例について説明する。

[0167]

図9Aは、演算回路140に適用できる回路MP[i, j]の構成例を示しており、回路MP[i, j]は、一例としては、回路MCと、回路MCrと、を有する。回路MC及び回路MCrは、回路MPにおいて、重み係数と、ニューロンの入力信号（演算値）と、の積を計算する回路である。回路MCは、回路MCrと同様の構成、又は回路MCrと異なる構成とすることができる。そのため、回路MCrは、回路MCと区別をするため、符号に「r」を付している。また、回路MCrに含まれている、後述する回路素子の符号にも「r」を付している。

[0168]

回路MCは、一例としては、回路HCを有し、回路MCrは、回路HCrを有する。回路HC、及び回路HCrは、それぞれ情報（例えば、電位、抵抗値、電流値など）を保持する機能を有する。なお、回路MP[i, j]に設定される第1データ $w_i^{(k-1)}j^{(k)}$ は、回路HC、及び回路HCrのそれぞれに保持される情報（例えば、電位、抵抗値、電流値など）に応じて定められる。そのため、回路HC及び回路HCrのそれぞれは、第1データ $w_i^{(k-1)}j^{(k)}$ に応じた各情報（例えば、電位、抵抗値、電流値など）を供給する配線OL[j]及び配線OLB[j]に電氣的に接続されている。

[0169]

図9Aにおいて、回路MP[i, j]は、配線VE[j]と、配線VER[j]と、に電氣的に接続されている。配線VE[j]、配線VER[j]は、定電圧を供給する配線として機能する。また、配線VE[j]は、回路MCを介して配線OLからの電流を排出する配線としても機能する。また、配線VER[j]は、回路MCrを介して配線OLBからの電流を排出する配線としても機能する。

[0170]

図9Aに示した配線WL[i]は、図7における配線WL[i]に相当する。配線WL[i]は、回路HC及び回路HCrのそれぞれに電氣的に接続されている。回路MP[i, j]に含まれる回路HC、及び回路HCrに第1データ $w_i^{(k-1)}j^{(k)}$ に応じた情報（例えば、電位、抵抗値、電流値など）を書き込むとき、配線WL[i]に所定の電位を供給することによって、配線OL[j]と回路HCとの間を導通状態にし、かつ配線OLB[j]と回路HCrとの間を導通状態にする。そして、配線OL[j]、OLB[j]のそれぞれに第1データ $w_i^{(k-1)}j^{(k)}$ に応じた電位などを供給することによって、回路HC、及び回路HCrのそれぞれに当該電位などを入力することができる。その後、配線WL[i]に所定の電位を供給して、配線OL[j]と回路HCとの間を非導通状態にし、かつ配線OLB[j]と回路HCrとの間を非導通状態にする。そして、回路HC、

及び回路HC rのそれぞれに第1データ $w_{i^{(k-1)}j^{(k)}}$ に応じた各電流などが保持される。

[0171]

例えば、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“−1”、“0”、“1”の3値のいずれかをとる場合を考える。第1データ $w_{i^{(k-1)}j^{(k)}}$ が“1”である場合、一例として、配線OL[j]から回路MCを介して配線VE[j]に“1”に応じた電流が流れるように、回路HCには所定の電位が保持され、かつ配線OLB[j]から回路MC rを介して配線VE r[j]に電流が流れないように、回路HC rには電位 V_0 が保持される。また、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“−1”である場合、一例として、配線OL[j]から回路MCを介して配線VE[j]に電流が流れないように、回路HCには電位 V_0 が保持され、かつ配線OLB[j]から回路MC rを介して配線VE r[j]に“−1”に応じた電流が流れるように、回路HC rには所定の電位が保持される。そして、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“0”である場合、一例として、配線OL[j]から回路MCを介して配線VE[j]に電流が流れないように、回路HCに電位 V_0 が保持され、かつ配線OLB[j]から回路MC rを介して配線VE r[j]に電流が流れないように、回路HC rに電位 V_0 が保持される。なお、電位 V_0 は、図8Aの説明において、配線VCNが与える電位とすることができる。

[0172]

なお、別の例として、第1データ $w_{i^{(k-1)}j^{(k)}}$ がアナログ値、具体的には、“負のアナログ値”、“0”、または、“正のアナログ値”をとる場合を考える。第1データ $w_{i^{(k-1)}j^{(k)}}$ が“正のアナログ値”である場合、一例として、配線OL[j]から回路MCを介して配線VE[j]に“正のアナログ値”に応じたアナログ電流が流れるように、回路HCには所定の電位が保持され、かつ配線OLB[j]から回路MC rを介して配線VE r[j]に電流が流れないように、回路HC rには電位 V_0 が保持される。また、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“負のアナログ値”である場合、一例として、配線OL[j]から回路MCを介して配線VE[j]に電流が流れないように、回路HCには電位 V_0 が保持され、かつ配線OLB[j]から回路MC rを介して配線VE r[j]に“負のアナログ値”に応じたアナログ電流が流れるように、回路HC rには所定の電位が保持される。そして、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“0”である場合、一例として、配線OL[j]から回路MCを介して配線VE[j]に電流が流れないように、回路HCに電位 V_0 が保持され、かつ配線OLB[j]から回路MC rを介して配線VE r[j]に電流が流れないように、回路HC rに電位 V_0 が保持される。なお、電位 V_0 は、先の例と同様に、図8Aの説明において、配線VCNが与える電位とすることができる。

[0173]

また、一例として、回路MCは、回路HCに保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流などを、配線OL[j]又は配線OLB[j]の一方に出力する機能を有し、回路MC rは、回路HC rに保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流などを、配線OL[j]又は配線OLB[j]の他方に出力する機能を有する。例えば、回路HCに第1電位が保持されている場合、回路MCは配線OL[j]又は配線OLB[j]から配線VEに第1電流値を持つ電流を流すものとし、回路HCに第2電位が保持されている場合、回路MCは配線OL[j]又は配線OLB[j]から配線VEに第2電流値を持つ電流を流すものとする。同様に、回路HC rに第1電位が保持されている場合、回路MC rは配線OL[j]又は配線OLB[j]から配線VE rに第1電流値を持つ電流を流すものとし、回路HC rに第2電位が保持されている場合、回路MC rは配線OL[j]又は配線OLB[j]から配線VE rに第2電

流値を持つ電流を流すものとする。なお、第1電流値、第2電流値のそれぞれの大きさは、第1データ $w_{i^{(k-1)}j^{(k)}}$ の値によって定められる。一例としては、第1電流値は第2電流値よりも大きい場合もあり、又は小さい場合もある。更に、一例としては、第1電流値又は第2電流値の一方はゼロ電流、つまり電流値が0の場合もある。または、第1電流値を持つ電流と第2電流値を持つ電流とで、電流が流れる向きが異なる場合もある。

[0174]

特に、例えば、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“−1”、“0”、“1”の3値のいずれかをとる場合、第1電流値又は第2電流値の一方がゼロとなるように、回路MC、及び回路MC rを構成するのが好ましい。なお、第1データ $w_{i^{(k-1)}j^{(k)}}$ がアナログ値、例えば、“負のアナログ値”、“0”、または、“正のアナログ値”をとる場合には、第1電流値又は第2電流値についても、一例としては、アナログ値をとることができる。

[0175]

ところで、配線OL[j]又は配線OLB[j]から、回路MCを介して配線VEに流す電流と、配線OL[j]又は配線OLB[j]から、回路MC rを介して配線VE rに流す電流と、を等しくする場合、トランジスタの作製工程などを起因として当該トランジスタの特性がバラつくことがあるため、回路MCに保持する電位と、回路MC rに保持する電位と、は等しくなることがある。本発明の一態様の半導体装置は、トランジスタの特性にバラつきがあっても、配線OL[j]又は配線OLB[j]から、回路MCを介して配線VEに流す電流の量を、配線OL[j]又は配線OLB[j]から、回路MC rを介して配線VE rに流す電流の量に、ほぼ等しくすることができる。

[0176]

なお、本明細書などにおいて、回路HC、及び回路HC rに保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流または電圧などは、正の電流または電圧などとしてもよいし、負の電流または電圧などとしてもよいし、ゼロ電流またはゼロ電圧などとしてもよいし、正と負と0とが混在していてもよい。つまり、例えば、上述の「回路HCに保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流または電圧などを、配線OL[j]又は配線OLB[j]の一方に出力する機能を有し、回路MC rは、回路HC rに保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流または電圧などを、配線OL[j]又は配線OLB[j]の他方に出力する機能を有する」という記載は、「回路HCに保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流、電圧などを、配線OL[j]又は配線OLB[j]の一方から排出する機能を有し、回路MC rは、回路HC rに保持された情報（例えば、電位、抵抗値、または、電流値など）に応じた電流、電圧などを、配線OL[j]又は配線OLB[j]の他方から排出する機能を有する」という記載に換言することができる。

[0177]

図9Aに示した配線X1L[i]、及び配線X2L[i]は、図7における配線XLS[i]に相当する。なお、回路MP[i, j]に入力される第2データ $z_{i^{(k-1)}}$ は、一例としては、配線X1L[i]、及び配線X2L[i]のそれぞれの電位または電流などによって定められる。そのため、回路MC、及び回路MC rには、例えば、配線X1L[i]及び配線X2L[i]を介して、第2データ $z_{i^{(k-1)}}$ に応じた各電位が入力される。

[0178]

回路MCは、配線OL [j] と、配線OLB [j] と、に電氣的に接続され、回路MC rは、配線OL [j] と、配線OLB [j] と、に電氣的に接続されている。回路MC、及び回路MC rは、一例としては、配線X1L [i] 及び配線X2L [i] に入力された電位または電流などに応じて、配線OL [j] 及び配線OLB [j] に、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積に応じた電流または電位などを出力する。具体的な例としては、回路MC、及び回路MC rからの電流の出力先は、配線X1L [i] 及び配線X2L [i] の電位によって定められる。例えば、回路MC、及び回路MC rは、回路MCから出力される電流が配線OL [j] 又は配線OLB [j] の一方に流れ、回路MC rから出力される電流が配線OL [j] 又は配線OLB [j] の他方に流れるような回路構成となっている。つまり、回路MC、及び回路MC rから出力されたそれぞれの電流は、同一の配線でなく、互いに異なる配線に流れる。なお、一例としては、回路MC、及び回路MC rから、配線OL [j] 又は配線OLB [j] のいずれにも電流が流れない場合もある。

[0179]

例えば、第2データ $z_i^{(k-1)}$ が“−1”、“0”、“1”の3値のいずれかをとり場合を考える。例えば、第2データ $z_i^{(k-1)}$ が“1”である場合、回路MPは、回路MCと配線OL [j] との間を導通状態とし、回路MC rと配線OLB [j] との間を導通状態とする。例えば、第2データ $z_i^{(k-1)}$ が“−1”である場合、回路MPは、回路MCと配線OLB [j] との間を導通状態とし、回路MC rと配線OL [j] との間を導通状態とする。例えば、第2データ $z_i^{(k-1)}$ が“0”である場合、回路MC、及び回路MC rのそれぞれが出力した電流を、配線OL [j]、及び配線OLB [j] のいずれにも流さないようにするため、回路MPは、回路MCと配線OL [j] との間、及び、回路MCと配線OLB [j] との間を非導通状態にし、回路MC rと配線OL [j] との間、及び、回路MCと配線OLB [j] との間を非導通状態にする。

[0180]

以上の動作をまとめた場合の例を示す。第1データ $w_i^{(k-1)} j^{(k)}$ が“1”の場合には、回路MCを介して配線OL [j] または配線OLB [j] から配線VE [j] に電流が流れる場合があり、回路MC rを介して配線OL [j] または配線OLB [j] から配線VER [j] に電流が流れない。第1データ $w_i^{(k-1)} j^{(k)}$ が“−1”の場合には、回路MCを介して配線OL [j] または配線OLB [j] から配線VE [j] に電流が流れず、回路MC rを介して配線OL [j] または配線OLB [j] から配線VER [j] に電流が流れる場合がある。そして、第2データ $z_i^{(k-1)}$ が“1”の場合には、回路MCと配線OL [j] との間、および、回路MC rと配線OLB [j] との間が導通状態になる。第2データ $z_i^{(k-1)}$ が“−1”の場合には、回路MCと配線OLB [j] との間、および、回路MC rと配線OL [j] との間が導通状態になる。以上より、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ の積が正の値の場合には、回路MCを介して配線OL [j] から配線VE [j] に電流が流れる、又は、回路MC rを介して配線OL [j] から配線VER [j] に電流が流れる、の一方となる。第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ の積が負の値の場合には、回路MC rを介して配線OL [j] から配線VER [j] に電流が流れる、又は、回路MCを介して配線OLB [j] から配線VE [j] に電流が流れる、の一方となる。第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ の積がゼロの値の場合には、配線OL [j] または配線OLB [j] から配線VE [j] に電流が流れず、配線OL [j] または配線OLB [j] から配線VER [j] に電流が流れない。

[0181]

上述した例を具体的な例として記すと、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“1”であって、第2データ $z_{i^{(k-1)}}^{(k)}$ が“1”である場合、例えば、回路MCから配線OL[j]に第1電流値を持つ電流 $I1[i, j]$ が流れ、回路MC rから配線OLB[j]に第2電流値を持つ電流 $I2[i, j]$ が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。第1データ $w_{i^{(k-1)}j^{(k)}}$ が“−1”であって、第2データ $z_{i^{(k-1)}}^{(k)}$ が“1”である場合、例えば、回路MCから配線OL[j]に第2電流値を持つ電流 $I1[i, j]$ が流れ、回路MC rから配線OLB[j]に第1電流値を持つ電流 $I2[i, j]$ が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。第1データ $w_{i^{(k-1)}j^{(k)}}$ が“0”であって、第2データ $z_{i^{(k-1)}}^{(k)}$ が“1”である場合、回路MCから配線OL[j]に第2電流値を持つ電流 $I1[i, j]$ が流れ、回路MC rから配線OLB[j]に第2電流値を持つ電流 $I2[i, j]$ が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。

[0182]

また、第1データ $w_{i^{(k-1)}j^{(k)}}$ が“1”であって、第2データ $z_{i^{(k-1)}}^{(k)}$ が“−1”である場合、回路MCから配線OLB[j]に第1電流値を持つ電流 $I1[i, j]$ が流れ、回路MC rから配線OL[j]に第2電流値を持つ電流 $I2[i, j]$ が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。第1データ $w_{i^{(k-1)}j^{(k)}}$ が“−1”であって、第2データ $z_{i^{(k-1)}}^{(k)}$ が“−1”である場合、回路MCから配線OLB[j]に第2電流値を持つ電流 $I1[i, j]$ が流れ、回路MC rから配線OL[j]に第1電流値を持つ電流 $I2[i, j]$ が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。第1データ $w_{i^{(k-1)}j^{(k)}}$ が“0”であって、第2データ $z_{i^{(k-1)}}^{(k)}$ が“−1”である場合、回路MCから配線OLB[j]に第2電流値を持つ電流 $I1[i, j]$ が流れ、回路MC rから配線OL[j]に第2電流値を持つ電流 $I2[i, j]$ が流れる。このとき、第2電流値の大きさは、一例としては、ゼロである。

[0183]

また、第2データ $z_{i^{(k-1)}}^{(k)}$ が“0”である場合、一例としては、回路MCと配線OL[j]との間、及び、回路MCと配線OLB[j]との間が非導通状態となる。同様に、回路MC rと配線OL[j]との間、及び、回路MC rと配線OLB[j]との間が非導通状態となる。そのため、第1データ $w_{i^{(k-1)}j^{(k)}}$ がどんな値であっても、回路MC及び回路MC rから配線OL[j]及び配線OLB[j]に電流は出力されない。

[0184]

このように、一例としては、第1データ $w_{i^{(k-1)}j^{(k)}}$ と第2データ $z_{i^{(k-1)}}^{(k)}$ との積の値が正の値を取る場合には、回路MCまたは回路MC rのいずれかから、配線OL[j]に電流が流れる。このとき、第1データ $w_{i^{(k-1)}j^{(k)}}$ が正の値の場合には、回路MCから配線OL[j]に電流が流れ、第1データ $w_{i^{(k-1)}j^{(k)}}$ が負の値の場合には、回路MC rから配線OL[j]に電流が流れる。一方、第1データ $w_{i^{(k-1)}j^{(k)}}$ と第2データ $z_{i^{(k-1)}}^{(k)}$ との積の値が、負の値を取る場合には、回路MCまたは回路MC rのいずれかから、配線OLB[j]に電流が流れる。このとき、第1データ $w_{i^{(k-1)}j^{(k)}}$ が正の値の場合には、回路MCから配線OLB[j]に電流が流れ、第1データ $w_{i^{(k-1)}j^{(k)}}$ が負の値の場合には、回路MC rから配線OLB[j]に電流が流れる。そのため、配線OL[j]に接続された複数の回路MCまたは回路MC rから出力された電流の総和が、配線OL[j]に流れることになる。つまり、配線OL[j]では、正の値の和をとった値となる電流が流れることになる。一方、配線OLB[j]に接続された複数の回路MCまたは回路

MC r から出力された電流の総和が、配線OLB [j] に流れることになる。つまり、配線OLB [j] では、負の値の和をとった値となる電流が流れることになる。以上のような動作の結果、配線OL [j] に流れる総電流値、つまり、正の値の総和と、配線OLB [j] に流れる総電流値、つまり、負の値の総和とを利用することにより、積和演算処理を行うことができる。例えば、配線OL [j] に流れる総電流値の方が、配線OLB [j] に流れる総電流値よりも大きい場合には、積和演算の結果としては、正の値をとると判断することができる。配線OL [j] に流れる総電流値の方が、配線OLB [j] に流れる総電流値よりも小さい場合には、積和演算の結果としては、負の値をとると判断することができる。配線OL [j] に流れる総電流値と、配線OLB [j] に流れる総電流値とが概ね同じ値である場合には、積和演算の結果としては、ゼロの値をとると判断することができる。

[0185]

なお、第2データ $z_i^{(k-1)}$ が“−1”、“0”、“1”のうちの、いずれか2値、例えば、“−1”、“1”の2値の場合、または、“0”、“1”の2値の場合も、同様に動作させることができる。同様に、第1データ $w_i^{(k-1)} j^{(k)}$ が“−1”、“0”、“1”、でのうちの、いずれか2値、例えば、“−1”、“1”の2値の場合、または、“0”、“1”の2値の場合も、同様に動作させることができる。

[0186]

なお、第1データ $w_i^{(k-1)} j^{(k)}$ は、アナログ値、または、多ビット（多値）のデジタル値を取ってもよい。具体的な例としては、“−1”の代わりに“負のアナログ値”、および、“1”の代わりに“正のアナログ値”をとっても良い。この場合、回路MCまたは回路MC r から流れる電流の大きさも、一例としては、第1データ $w_i^{(k-1)} j^{(k)}$ の値の絶対値に応じたアナログ値となる。

[0187]

次に、図9Aの回路MP [i, j] を変形した例について、説明する。なお、回路MP [i, j] の変形例については、図9Aの回路MP [i, j] と異なる部分を主に説明し、図9Aの回路MP [i, j] と共通する部分については説明を省略することがある。

[0188]

図9Bに示す回路MP [i, j] は、配線X1Lを配線WX1Lに置き換えた構成となっている。すなわち、図9Bの回路MP [i, j] において、配線WX1Lと配線WLは、配線OL [j] と回路HC との間を導通状態、又は非導通状態の切り替えと、配線OLB [j] と回路HC r との間を導通状態、又は非導通状態の切り替えを行うために、所定の電位を供給する配線として機能する。また、図9Bの回路MP [i, j] において、配線WX1Lと配線X2Lは、回路MP [i, j] に入力される第2データ $z_i^{(k-1)}$ に応じた電流、電圧などを与える配線として機能する。

[0189]

図9Bの回路MP [i, j] は、図4に示す演算回路130のように、配線WX1Lを有し、かつ図7に示す演算回路140のように、配線IL、配線ILBを有さない演算回路に適用することができる。具体的には、例えば、図9Bの回路MP [i, j] は、図11に示す演算回路150の回路MP [i, j] に適用することができる。

[0190]

次に、図9Bとは異なる、図9Aの回路MP [i, j] を変形した例について、説明する。図9Cに示す回路MP [i, j] は、図9Aの回路MP [i, j] の変形例である。図9Cの回路MP

$[i, j]$ は、図 9 A の回路 MP $[i, j]$ と同様に、回路 MC と、回路 MC r と、を有する。但し、図 9 C の回路 MP $[i, j]$ は、回路 MC r に回路 HC r が含まれていない点で、図 9 A の回路 MP $[i, j]$ と異なる。

[0191]

また、回路 MC r は回路 HC r を有していないため、図 9 C の回路 MP $[i, j]$ を適用した演算回路は、回路 HC r に保持する電位を供給するための配線 ILB $[j]$ を有さなくてもよい。加えて、回路 MC r は配線 WL $[i]$ に電氣的に接続されていなくてもよい。

[0192]

図 9 C の回路 MP $[i, j]$ において、回路 MC に含まれる回路 HC は、回路 MC r に電氣的に接続されている。つまり、図 9 C の回路 MP $[i, j]$ は、回路 MC r と回路 MC とが互いに回路 HC を共有するような構成となっている。一例としては、回路 HC で保持された信号に対して、反転した信号を、回路 HC から回路 MC r に供給することができる。これにより、回路 MC と回路 MC r とで、異なる動作をすることが可能となる。または、回路 MC と回路 MC r とで、内部の回路構成が異なるようにして、その結果、回路 HC で保持された同一の信号に対して、回路 MC と回路 MC r とで、出力する電流の大きさが異なるようにすることも可能である。ここで、回路 HC に第 1 データ $w_i^{(k-1)} j^{(k)}$ に応じた電位を保持し、第 2 データ $z_i^{(k-1)}$ に応じた電位を配線 X1L $[i]$ 及び配線 X2L $[i]$ に供給することによって、回路 MP $[i, j]$ は、配線 OL $[j]$ 及び配線 OLB $[j]$ に、第 1 データ $w_i^{(k-1)} j^{(k)}$ と第 2 データ $z_i^{(k-1)}$ との積に応じた電流を出力することができる。

[0193]

なお、図 9 C の回路 MP を適用した演算回路 110 は、例えば、図 7 に示す演算回路 140 の回路構成に変更することができる。

[0194]

図 9 D に示す回路 MP $[i, j]$ は、図 9 A の回路 MP $[i, j]$ の変形例であり、具体的には、後述する図 12 の演算回路 160 に適用できる回路 MP $[i, j]$ の構成例である。なお、演算回路 160 は、図 2 の演算回路 110 から配線 ILB $[1]$ 乃至配線 ILB $[n]$ を除いた構成となっている。図 9 D の回路 MP $[i, j]$ は、図 9 A の回路 MP $[i, j]$ と同様に、回路 MC と、回路 MC r と、を有する。但し、図 9 D の回路 MP $[i, j]$ と図 9 A の回路 MP $[i, j]$ は、電氣的に接続されている配線の構成が異なっている。

[0195]

図 9 D に示した配線 W1L $[i]$ 、及び配線 W2L $[i]$ は、図 12 における配線 WLS $[i]$ に相当する。配線 W1L $[i]$ は回路 HC に電氣的に接続され、配線 W2L $[i]$ は回路 HC r に電氣的に接続されている。

[0196]

また、配線 IL $[j]$ は、回路 HC と、回路 HC r と、に電氣的に接続されている。

[0197]

図 9 D の回路 MP $[i, j]$ において、回路 HC と回路 HC r のそれぞれに異なる情報（例えば、電圧、抵抗値、電流など）を保持するとき、回路 HC と回路 HC r への情報の保持動作は、同時ではなく、順に行うことが好ましい。例えば、回路 MP $[i, j]$ の第 1 データ $w_i^{(k-1)} j^{(k)}$ は、回路 HC に第 1 の情報、回路 HC r に第 2 の情報を保持することによって表現できる場合を考える。

初めに、配線W1L[i]及び配線W2L[i]のそれぞれに所定の電位を与えて、回路HCと配線IL[j]との間を導通状態にし、かつ回路HC_rと配線IL[j]との間を非導通状態にする。次に、配線IL[j]に第1情報に応じた電流、電圧などを供給することで、回路HCに第1の情報を与えることができる。その後に、配線W1L[i]及び配線W2L[i]のそれぞれに所定の電位を与えて、回路HCと配線IL[j]との間を非導通状態にし、かつ回路HC_rと配線IL[j]との間を導通状態にする。そして、配線IL[j]に第2の情報に応じた電流、電圧などを供給することで、回路HC_rに第2の情報を与えることができる。これにより、回路MP[i, j]は、第1データとして $w_i^{(k-1)} j^{(k)}$ を設定することができる。

[0198]

なお、回路HCと回路HC_rのそれぞれにほぼ等しい情報（例えば、電圧、抵抗値、電流など）を保持する場合（回路MP[i, j]の第1データ $w_i^{(k-1)} j^{(k)}$ が、回路HCと回路HC_rのそれぞれにほぼ等しい情報を保持することによって設定される場合）、回路HCと配線IL[j]との間を導通状態とし、かつ回路HC_rと配線IL[j]との間を導通状態となるように、配線W1L[i]及び配線W2L[i]のそれぞれに所定の電位を与えて、その後に、配線IL[j]から回路HC、及び回路HC_rに対して当該情報に応じた電流、電圧などを供給すればよい。

[0199]

図9Dの回路MP[i, j]は、回路HC、及び回路HC_rに第1データ $w_i^{(k-1)} j^{(k)}$ に応じた電位を保持し、第2データ $z_i^{(k-1)}$ に応じた電位を配線X1L[i]及び配線X2L[i]に供給することによって、図9Aの回路MP[i, j]と同様に、配線OL[j]及び配線OLB[j]に、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積に応じた電流を出力することができる。

[0200]

図9Eに示す回路MP[i, j]は、図9Dの回路MP[i, j]の変形例である。図9Eの回路MP[i, j]は、図9Dの回路MP[i, j]と同様に、回路MCと、回路MC_rと、を有する。但し、図9Eの回路MP[i, j]と図9Dの回路MP[i, j]は、電氣的に接続されている配線の構成が異なっている。

[0201]

具体的には、図9Eの回路MPは、図9Dの回路MPに配線ILB[j]を加え、かつ図9Dの回路MPに電氣的に接続されている配線W1L[i]、配線W2L[i]を配線WL[i]に置き換えた構成となっている。

[0202]

図9Eの回路MPにおいて、配線IL[j]は回路HCに電氣的に接続され、配線ILB[j]は回路HC_rに電氣的に接続されている。つまり、図9Dの回路MPにおいて、配線IL[j]は、回路HCと回路HC_rのそれぞれに情報（例えば、電圧、抵抗値、電流など）に応じた電流、電圧などを供給する配線として機能するが、図9Eの回路MPにおいて、配線IL[j]は、回路HCに情報に応じた電流、電圧などを供給する配線として機能し、配線ILB[j]は、回路HC_rに情報に応じた電流、電圧などを供給する配線として機能する。

[0203]

また、図9Eの回路MPにおいて、回路HC、及び回路HC_rにそれぞれ配線IL[j]、及び配線ILB[j]が電氣的に接続されているため、回路HC、及び回路HC_rのそれぞれに同時に

情報（例えば、電圧、抵抗値、電流など）に応じた電流、電圧などを供給することができる。そのため、回路HCと配線IL[j]との間を導通状態、又は非導通状態の切り替えと、回路HC_rと配線ILB[j]との間を導通状態、又は非導通状態の切り替えと、を同時に行うことができる。図9Dの回路MPでは、回路HCと配線IL[j]との間を導通状態、又は非導通状態の切り替えを制御する配線として配線W1L[i]を図示し、回路HC_rと配線ILB[j]との間を導通状態、又は非導通状態の切り替えを制御する配線として配線W2L[i]を図示しているが、図9Eの回路MPでは、配線W1L[i]と配線W2L[i]とをまとめた配線として、配線WL[i]を図示している。

[0204]

なお、図9Eの回路MPは、例えば、図2の演算回路110、図3の演算回路120に適用することができる。

[0205]

図9Fに示す回路MP[i, j]は、図9Aの回路MP[i, j]の変形例である。図9Fの回路MP[i, j]は、図9Aの回路MP[i, j]と同様に、回路MCと、回路MC_rと、を有する。但し、図9Fの回路MP[i, j]は、回路MCが配線OLB[j]に電氣的に接続されていない点と、回路MC_rが配線OL[j]に電氣的に接続されていない点と、で図9Aの回路MP[i, j]と異なっている。

[0206]

図9Fに示した配線WL[i]は、回路HCと、回路HC_rと、に電氣的に接続されている。また、図9Fに示した配線XL[i]は、回路MCと、回路MC_rと、に電氣的に接続されている。

[0207]

図9Fの回路MP[i, j]は、前述した通り、回路MCが配線OLB[j]に電氣的に接続されていなく、かつ回路MC_rが配線OL[j]に電氣的に接続されていない。つまり、図9Fの回路MP[i, j]は、図9A乃至図9Eの回路MP[i, j]と異なり、回路MCから出力された電流は配線OLB[j]に流れず、回路MC_rから出力された電流は配線OL[j]に流れない構成となっている。

[0208]

そのため、図9Fの回路MP[i, j]は、第2データ $z_i^{(k-1)}$ が“0”、又は“1”の2値である場合に、演算回路に適用するのが好ましい。例えば、第2データ $z_i^{(k-1)}$ が“1”である場合、回路MPは、回路MCと配線OL[j]との間を導通状態にし、回路MC_rと配線OLB[j]との間を導通状態にする。また、例えば、第2データ $z_i^{(k-1)}$ が“0”である場合、回路MC、及び回路MC_rのそれぞれが出力した電流を、配線OL[j]、及び配線OLB[j]のいずれにも流さなくするため、回路MPは、回路MCと配線OL[j]との間、及び、回路MCと配線OLB[j]との間を非導通状態にし、回路MC_rと配線OL[j]との間、及び、回路MC_rと配線OLB[j]との間を非導通状態にする。

[0209]

図9Fの回路MP[i, j]は、演算回路110に適用することによって、一例としては、第1データ $w_i^{(k-1)}j^{(k)}$ が“−1”、“0”、“1”の3値のいずれかをとり、第2データ $z_i^{(k-1)}$ が“0”、“1”の2値をとる場合における、演算を行うことができる。なお、第1データ $w_i^{(k-1)}j^{(k)}$ が“−1”、“0”、“1”、のうちの、いずれか2値、例えば、“−1”、“1”の2

値の場合、または、“0”、“1”の2値の場合も、動作させることができる。なお、第1データ $w_i^{(k-1)} j^{(k)}$ は、アナログ値、または、多ビット（多値）のデジタル値を取ってもよい。具体的な例としては、“-1”の代わりに“負のアナログ値”、および、“1”の代わりに“正のアナログ値”をとっても良い。この場合、回路MCまたは回路MC_rから流れる電流の大きさも、一例としては、第1データ $w_i^{(k-1)} j^{(k)}$ の値の絶対値に応じたアナログ値となる。

[0210]

図10Aに示す回路MP [i, j] は、図9Aと同様に、配線OL [j] 及び配線OLB [j] に、第1データ $w_i^{(k-1)} j^{(k)}$ と第2データ $z_i^{(k-1)}$ との積に応じた電流を出力することが可能な回路である。なお、図10Aの回路MP [i, j] は、例えば、図2の演算回路110に適用することができる。

[0211]

図10Aの回路MP [i, j] は、回路MCと、回路MC_rと、に加えて、トランジスタMZを有する。

[0212]

トランジスタMZの第1端子は、回路MCの第1端子と、回路MC_rの第1端子と、に電氣的に接続されている。トランジスタMZの第2端子は、配線VLに電氣的に接続されている。トランジスタMZのゲートは、配線XL [i] に電氣的に接続されている。

[0213]

配線VLは、一例としては、定電圧を与える配線として機能する。当該定電圧は、回路MP [i, j]、演算回路110などの構成によって決めることが好ましい。当該定電圧としては、例えば、高レベル電位であるVDD、低レベル電位であるVSS、接地電位などとすることができる。

[0214]

また、図10Aに示した配線WL [i] は、図2の演算回路110における配線WLS [i] に相当する。配線WL [i] は、回路HCと、回路HC_rと、に電氣的に接続されている。

[0215]

また、配線OL [j] は、回路MCの第2端子に電氣的に接続されている。また、配線OLB [j] は、回路MC_rの第2端子に電氣的に接続されている。

[0216]

また、配線IL [j] は、回路HCに電氣的に接続され、配線ILB [j] は、回路HC_rに電氣的に接続されている。

[0217]

図10Aの回路MP [i, j] において、回路HCと回路HC_rのそれぞれに第1データに応じた電位を保持する場合の動作については、図9Aの回路MP [i, j] における第1データに応じた電位を保持する動作の説明を参酌する。

[0218]

図10Aの回路MP [i, j] において、回路MCは、回路MCの第1端子に配線VLが与える定電圧が供給されているときに、回路HCに保持された電位に応じた電流を、回路MCの第1端子と第2端子との間に流す機能を有する。また、回路MC_rは、回路MCの第1端子に配線VLが与える定電圧が供給されているときに、回路HC_rに保持された電位に応じた電流を、回路MC_rの第1端子と第2端子との間に流す機能を有する。つまり、回路MP [i, j] の回路HC、回路H

C r のそれぞれに第1データ $w_{i^{(k-1)}j^{(k)}}$ に応じた電位を保持することによって、回路MCの第1端子と第2端子との間に流れる電流量と、回路MC r の第1端子と第2端子との間に流れる電流量を定めることができる。なお、回路MC（回路MC r）の第1端子に配線VLが与える定電圧が供給されていない場合、回路MC（回路MC r）は、例えば、回路MC（回路MC r）の第1端子と第2端子との間に電流を流さないものとしてもよい。

[0219]

例えば、回路HC、回路HC r のそれぞれに“1”の第1データ $w_{i^{(k-1)}j^{(k)}}$ に応じた電位が保持されているとき、回路MCに配線VLが与える定電圧が与えられることによって、回路MCは、回路MCの第1端子と第2端子との間に所定の電流を流す。そのため、回路MCと配線OLとの間に電流が流れる。なお、このとき、回路MC r は回路MC r の第1端子と第2端子との間に電流を流さないものとする。そのため、回路MC r と配線OLBとの間には電流は流れない。また、例えば、回路HC、回路HC r のそれぞれに“−1”の第1データ $w_{i^{(k-1)}j^{(k)}}$ に応じた電位が保持されているとき、回路MCに配線VLが与える定電圧が与えられることによって、回路MC r は、回路MC r の第1端子と第2端子との間に所定の電流を流す。そのため、回路MC r と配線OLBとの間に電流が流れる。なお、このとき、回路MCは回路MCの第1端子と第2端子との間に電流を流さないものとする。そのため、回路MCと配線OLとの間には電流は流れない。また、例えば、回路HC、回路HC r のそれぞれに“0”の第1データ $w_{i^{(k-1)}j^{(k)}}$ に応じた電位が保持されているとき、回路MC及び回路MC r に配線VLの定電圧が与えられるかどうかに関わらず、回路MCは回路MCの第1端子と第2端子との間に電流を流さず、回路MC r は回路MC r の第1端子と第2端子との間に電流を流さない。つまり、回路MCと配線OLとの間には電流は流れず、回路MC r と配線OLBとの間には電流は流れない。

[0220]

なお、図10Aの回路MP [i, j] において、回路HC、回路HC r に保持される、第1データ $w_{i^{(k-1)}j^{(k)}}$ に応じた電位の具体例については、図9Aの回路MP [i, j] の記載を参酌する。また、図10Aの回路MP [i, j] において、回路HC、回路HC r は、図9Aの回路MP [i, j] と同様に、電位でなく、電流、抵抗値などの情報を保持する機能を有し、回路MC、回路MC r は当該情報に応じた電流を流す機能を有してもよい。

[0221]

図10Aに示した配線XL [i] は、図2の演算回路110における配線XLS [i] に相当する。なお、回路MP [i, j] に入力される第2データ $z_{i^{(k-1)}}$ は、一例としては、配線XL [i] の電位、電流などによって定められる。そのため、トランジスタMZのゲートには、例えば、配線XL [i] を介して、第2データ $z_{i^{(k-1)}}$ に応じた電位が入力される。

[0222]

例えば、第2データ $z_{i^{(k-1)}}$ が“0”、“1”の2値のいずれかをとり場合を考える。例えば、第2データ $z_{i^{(k-1)}}$ が“1”である場合、配線XL [i] には高レベル電位が与えられるものとする。このとき、トランジスタMZがオン状態となるので、回路MPは、配線VLと回路MCの第1端子との間を導通状態にし、配線VLと回路MC r の第1端子との間を導通状態にする。つまり、第2データ $z_{i^{(k-1)}}$ が“1”であるとき、回路MCと、回路MC r と、に配線VLからの定電圧が与えられる。また、例えば、第2データ $z_{i^{(k-1)}}$ が“0”である場合、配線XL [i] には低レベル電位が与えられるものとする。このとき、回路MPは、回路MCと配線OLB [j] との間

を非導通状態とし、回路MC r と配線OL [j] との間を非導通状態とする。つまり、第2データ $z_i^{(k-1)}$ が“0”であるとき、回路MC と、回路MC r と、には、配線VLからの定電圧が与えられない。

[0223]

ここで、例えば、第1データ $w_i^{(k-1)} j^{(k)}$ が“1”であって、第2データ $z_i^{(k-1)}$ が“1”である場合、回路MC と配線OL との間には電流は流れ、回路MC r と配線OL B との間には電流は流れない結果となる。また、例えば、第1データ $w_i^{(k-1)} j^{(k)}$ が“-1”であって、第2データ $z_i^{(k-1)}$ が“1”である場合、回路MC と配線OL との間には電流は流れず、回路MC r と配線OL B との間には電流は流れる結果となる。また、例えば、第1データ $w_i^{(k-1)} j^{(k)}$ が“0”であって、第2データ $z_i^{(k-1)}$ が“1”である場合、回路MC と配線OL との間、及び回路MC r と配線OL B との間には電流は流れない結果となる。また、例えば、第2データ $z_i^{(k-1)}$ が“0”である場合、第1データ $w_i^{(k-1)} j^{(k)}$ が“-1”、“0”、“1”のいずれかであっても、回路MC と配線OL との間、及び回路MC r と配線OL B との間には電流は流れない結果となる。

[0224]

つまり、図10Aの回路MP [i , j] は、図9Fの回路MP [i , j] と同様に、一例として、第1データ $w_i^{(k-1)} j^{(k)}$ が“-1”、“0”、“1”の3値のいずれかを取り、第2データ $z_i^{(k-1)}$ が“0”、“1”の2値をとる場合における、演算を行うことができる。また、図9Fの回路MP [i , j] と同様に、図10Aの回路MP [i , j] は、第1データ $w_i^{(k-1)} j^{(k)}$ が“-1”、“0”、“1”のうちの、いずれか2値、例えば、“-1”、“1”の2値の場合、または、“0”、“1”の2値の場合も、動作させることができる。なお、第1データ $w_i^{(k-1)} j^{(k)}$ は、アナログ値、または、多ビット（多値）のデジタル値を取ってもよい。具体的な例としては、“-1”の代わりに“負のアナログ値”、および、“1”の代わりに“正のアナログ値”をとってもよい。この場合、回路MC または回路MC r から流れる電流の大きさも、一例としては、第1データ $w_i^{(k-1)} j^{(k)}$ の値の絶対値に応じたアナログ値となる。

[0225]

なお、図10Aに示す回路MP [i , j] は、図10Bに示す回路MP [i , j] のとおり、配線IL [j] と配線OL [j] を1本の配線OL [j] にまとめ、かつ配線IL B [j] と配線OL B [j] を1本の配線OL B [j] にまとめた構成に変更してもよい。

[0226]

<演算回路の動作例>

次に、図7の演算回路140の動作例について説明する。なお、本動作例の説明では、一例として、図13に示す演算回路140を用いる。

[0227]

図13の演算回路140は、図7の演算回路140のj列目に位置する回路に着目して図示されたものである。つまり、図13の演算回路140は、図1Aに示したニューラルネットワーク100における、ニューロン $N_j^{(k)}$ に入力される、ニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ からの信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ と、重み係数 $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ と、の積和演算と、当該積和演算の結果を用いた活性化関数の演算と、行う回路に相当する。更に、図13の演算回路140のアレイ部ALPに含まれている回路MPは、図9Bの回路MPを適用しているものとする。

[0228]

初めに、演算回路140において、回路MP [1, j] 乃至回路MP [m, j] に第1データ $w_{1^{(k-1)}j^{(k)}}$ 乃至 $w_{m^{(k-1)}j^{(k)}}$ が設定される。第1データ $w_{1^{(k-1)}j^{(k)}}$ の設定の方法としては、回路WLDによって、配線WLS [1] 乃至配線WLS [m] に順に所定の電位を入力して、回路MP [1, j] 乃至回路MP [m, j] を順に選択していき、選択された回路MPに含まれている回路MC、及び回路MC_rのそれぞれの回路HC、及び回路HC_rに対して、回路ILDから、切り替え回路TW [j]、配線OL [j]、OLB [j] を介して、第1データに応じた電位、電流などを供給する。そして、電位、電流などの供給後に、回路WLDによって回路MP [1, j] 乃至回路MP [m, j] のそれぞれを非選択にすることにより、回路MP [1, j] 乃至回路MP [m, j] のそれぞれが有する回路MC、及び回路MC_rのそれぞれの回路HC、及び回路HC_rに第1データ $w_{1^{(k-1)}j^{(k)}}$ 乃至 $w_{m^{(k-1)}j^{(k)}}$ に応じた電位、電流などを保持することができる。一例としては、第1データ $w_{1^{(k-1)}j^{(k)}}$ 乃至 $w_{m^{(k-1)}j^{(k)}}$ のそれぞれについて、正の値を取る場合には、回路HCには、その正の値に応じた値を入力し、回路HC_rには、ゼロに相当する値を入力する。一方、第1データ $w_{1^{(k-1)}j^{(k)}}$ 乃至 $w_{m^{(k-1)}j^{(k)}}$ のそれぞれについて、負の値を取る場合には、回路HCには、ゼロに相当する値を入力し、回路HC_rには、負の値の絶対値に応じた値を入力する。

[0229]

次に、回路XLDによって、配線X1L [1] 乃至配線X1L [m]、配線X2L [1] 乃至配線X2L [m] のそれぞれに、第2データ $z_{1^{(k-1)}}$ 乃至 $z_{m^{(k-1)}}$ を供給する。具体的な一例としては、配線X1L [i] 及び配線X2L [i] に第2データ $z_{1^{(k-1)}}$ が供給される。なお、配線X1L [i]、及び配線X2L [i] は、図7に示す演算回路140の配線XLS [i] に相当する。

[0230]

回路MP [1, j] 乃至回路MP [m, j] のそれぞれに入力される第2データ $z_{1^{(k-1)}}$ 乃至 $z_{m^{(k-1)}}$ に応じて、回路MP [1, j] 乃至回路MP [m, j] に含まれる回路MC、及び回路MC_rと配線OL [j]、及び配線OLB [j] との導通状態が決まる。具体的な例としては、回路MP [i, j] は、第2データ $z_{1^{(k-1)}}$ に応じて、「回路MCと配線OL [j] との間が導通となり、回路MC_rと配線OLB [j] との間が導通となる」状態と、「回路MCと配線OLB [j] との間が導通となり、回路MC_rと配線OL [j] との間が導通となる」状態と、「回路MC、及び回路MC_rはそれぞれ配線OL [j]、及び配線OLB [j] と非導通となる」状態と、のいずれか一をとる。一例としては、第2データ $z_{1^{(k-1)}}$ について、正の値を取る場合には、配線X1L [1] には、回路MCと配線OL [j] との間が導通状態となり、かつ、回路MC_rと配線OLB [j] との間が導通状態とすることができる値を入力する。そして、配線X2L [1] には、回路MCと配線OLB [j] との間が非導通状態となり、かつ、回路MC_rと配線OL [j] との間が非導通状態とすることができる値を入力する。そして、第2データ $z_{1^{(k-1)}}$ について、負の値を取る場合には、配線X1L [1] には、回路MCと配線OLB [j] との間が導通状態となり、かつ、回路MC_rと配線OL [j] との間が導通状態とすることができる値を入力する。そして、配線X2L [1] には、回路MCと配線OL [j] との間が非導通状態となり、かつ、回路MC_rと配線OLB [j] との間が非導通状態とすることができる値を入力する。そして、第2データ $z_{1^{(k-1)}}$ について、ゼロの値を取る場合には、配線X1L [1] には、回路MCと配線OL

B [j] との間が非導通状態となり、かつ、回路MC r と配線OL [j] との間が非導通状態となることができる値を入力する。そして、配線X 2 L [1] には、回路MC と配線OL [j] との間が非導通状態となり、かつ、回路MC r と配線OL B [j] との間が非導通状態となることができる値を入力する。

[0 2 3 1]

回路MP [i , j] に入力される第2データ $z_i^{(k-1)}$ に応じて、回路MP [i , j] に含まれる回路MC、及び回路MC r と配線OL [j]、及び配線OL B [j] との間の導通状態、又は非導通状態が決まることによって、回路MC、及び回路MC r と配線OL [j]、及び配線OL B [j] との間で電流の入出力が行われる。更に、当該電流の量は、回路MP [i , j] に設定された第1データ $w_i^{(k-1)} j^{(k)}$ 及び／又は第2データ $z_i^{(k-1)}$ に応じて決まる。

[0 2 3 2]

例えば、回路MP [i , j] において、配線OL [j] から、回路MC又は回路MC r に流れる電流を $I [i , j]$ とし、配線OL B [j] から、回路MC又は回路MC r に流れる電流を $I_B [i , j]$ とする。そして、回路ACT F [j] から配線OL [j] に流れる電流を $I_{out} [j]$ とし、配線OL B [j] から回路ACT F [j] に流れる電流を $I_{Bout} [j]$ とすると、 $I_{out} [j]$ 及び $I_{Bout} [j]$ は、次の式で表すことができる。

[0 2 3 3]

[数5]

$$I_{out}[j] = \sum_{i=1}^m I[i,j] \quad \dots(1.5)$$

$$I_{Bout}[j] = \sum_{i=1}^m I_B[i,j] \quad \dots(1.6)$$

[0 2 3 4]

回路MP [i , j] において、一例として、第1データ $w_i^{(k-1)} j^{(k)}$ が“+1”であるとき、回路MCは $I (+1)$ を排出し、回路MC r は $I (-1)$ を排出するものとし、第1データ $w_i^{(k-1)} j^{(k)}$ が“-1”であるとき、回路MCは $I (-1)$ を排出し、回路MC r は $I (+1)$ を排出するものとし、第1データ $w_i^{(k-1)} j^{(k)}$ が“0”であるとき、回路MCは $I (-1)$ を排出し、回路MC r は $I (-1)$ を排出するものとする。

[0 2 3 5]

更に、回路MP [i , j] は、第2データ $z_i^{(k-1)}$ が“+1”であるときに、「回路MCと配線OL [j] との間が導通となり、回路MC r と配線OL B [j] との間が導通となり、回路MCと配線OL B [j] との間が非導通となり、回路MC r と配線OL [j] との間が非導通となる」状態をとり、第2データ $z_i^{(k-1)}$ が“-1”であるときに、「回路MCと配線OL B [j] との間が導通となり、回路MC r と配線OL [j] との間が導通となり、回路MCと配線OL [j] との間が非導通となり、回路MC r と配線OL B [j] との間が非導通となる」状態をとり、第2データ $z_i^{(k-1)}$ が“0”であるときに、「回路MCと配線OL [j] との間、および、回路MCと配線OL B [j] との間は、非導通となり、回路MC r と配線OL [j] との間、および、回路MC r とOL B [j] との間は、非導通となる」状態をとるものとする。

[0 2 3 6]

このとき、回路MP [i , j] において、配線OL [j] から、回路MC又は回路MC_rに流れる電流 I [i , j] と、配線OLB [j] から、回路MC又は回路MC_rに流れる電流 I_B [i , j] と、は、下表に示すとおりとなる。なお、場合によっては、I (− 1) の電流量が 0 となるように、回路MP [i , j] を構成してもよい。なお、電流 I [i , j] は、回路MC又は回路MC_rから配線OL [j] に流れる電流であつてもよい。同様に、電流 I_B [i , j] は、回路MC又は回路MC_rから配線OLB [j] に流れる電流であつてもよい。

[0 2 3 7]

[表 1]

$w_i^{(k-1)(k)}{}_j$	$z_i^{(k-1)}$	I[i,j]	I _B [i,j]
0	+1	I(−1)	I(−1)
+1	+1	I(+1)	I(−1)
−1	+1	I(−1)	I(+1)
0	−1	I(−1)	I(−1)
+1	−1	I(−1)	I(+1)
−1	−1	I(+1)	I(−1)
0	0	0	0
+1	0	0	0
−1	0	0	0

[0 2 3 8]

そして、配線OL [j] 、及び配線OLB [j] のそれぞれから流れてくる I_{out} [j] 及び I_{Bout} [j] のそれぞれが、回路ACTF [j] に入力されることによって、回路ACTF [j] は、一例としては、I_{out} [j] 及び I_{Bout} [j] の比較などを行う。回路ACTF [j] は、一例としては、当該比較の結果に応じて、ニューロン N_j^(k) が第 (k + 1) 層のニューロンに送信する信号 z_j^(k) を出力する。

[0 2 3 9]

図 1 3 の演算回路 1 4 0 によって、一例としては、ニューロン N_j^(k) に入力される、ニューロン N₁^(k-1) 乃至ニューロン N_m^(k-1) からの信号 z₁^(k-1) 乃至 z_m^(k-1) と、重み係数 w₁^(k-1)_j^(k) 乃至 w_m^(k-1)_j^(k) と、の積和演算と、当該積和演算の結果を用いた活性化関数の演算と、を行うことができる。更に、図 1 3 の演算回路のアレイ部ALPにおいて、回路MPを n 列設けることで、図 7 の演算回路 1 4 0 と同等の回路を構成できる。つまり、図 7 の演算回路 1 4 0 によって、ニューロン N₁^(k) 乃至ニューロン N_n^(k) のそれぞれにおける、積和演算と、当該積和演算の結果を用いた活性化関数の演算と、を同時に行うことができる。

[0 2 4 0]

<<演算回路に含まれる回路などの変更例>>

上述した演算回路 1 1 0、演算回路 1 2 0、演算回路 1 3 0、演算回路 1 4 0、演算回路 1 5 0、演算回路 1 6 0 のそれぞれは、式 (1 . 2) の演算ではなく式 (1 . 3) の演算を行う回路に変更することができる。式 (1 . 3) は、式 (1 . 2) の積和の結果にバイアスを与えた演算に相当す

る。そのため、演算回路110、演算回路120、演算回路130、演算回路140、演算回路150、演算回路160のそれぞれにおいて、配線OL、及び配線OLBにバイアスの値を与える回路を設けてもよい。

[0241]

図14に示す演算回路170は、図11の演算回路150のアレイ部ALPに回路BS[1]乃至回路BS[n]を加えた回路構成となっている。

[0242]

回路BS[j]は、配線OL[j]と、配線OLB[j]と、配線WLSと、配線WXSと、に電氣的に接続されている。

[0243]

配線WLSは、図2の演算回路110などの配線WLS[1]乃至配線WLS[m]、図7の演算回路140などの配線WL[1]乃至配線WL[m]と同様に、回路BS[1]乃至回路BS[n]に含まれる書き込み用スイッチング素子をオン状態又はオフ状態にするための信号を供給するための配線として機能する。そのため、配線WLSは、回路WLDに電氣的に接続されることによって、回路WLDから配線WLSに対して、当該信号を供給することができる。

[0244]

配線WXSは、図2の演算回路110などの配線XLS[1]乃至配線XLS[m]と同様に、ニューロン $N_i^{(k-1)}$ から出力された第2データ $z_i^{(k-1)}$ に対応する情報（例えば、電位、電流値など）を、回路BS[1]乃至回路BS[n]に供給する配線として機能する。そのため、配線WXSは、回路XLDに電氣的に接続されることによって、回路XLDから配線WXSに対して、当該情報を供給することができる。

[0245]

また、配線WXSは、図7の演算回路140などの配線WX1L[1]乃至配線WX1L[n]と同様に、回路BS[1]乃至回路BS[n]に情報を書き込むための選択信号線として兼用してもよい。図14の演算回路170では、配線WXSは、回路WLDに電氣的に接続されている例を示している。このような構成の場合、回路WLDは、配線WLS、配線WXSのそれぞれに、回路BS[1]乃至回路BS[n]に含まれる書き込み用スイッチング素子をオン状態又はオフ状態にするための信号を供給することができる。

[0246]

演算回路170のアレイ部ALPのj列において、回路MP[1, j]乃至回路MP[m, j]から配線OL[j]又は配線OLB[j]に流れる電流量は、それぞれ式(1.5)、式(1.6)で表すことができる。また、配線OL[j]、配線OLB[j]のそれぞれは、回路BS[j]に電氣的に接続されているため、回路BS[j]から配線OL[j]に流れる電流を $I_{BIAS}[j]$ 、回路BS[j]から配線OLB[j]に流れる電流を $I_{BIASB}[j]$ としたとき、式(1.5)、式(1.6)のそれぞれは下の式に書き直すことができる。

[0247]

[数 6]

$$I_{\text{out}}[j] = \sum_{i=1}^m I[i, j] + I_{\text{BIAS}}[j] \quad \cdots(1.7)$$

$$I_{\text{Bout}}[j] = \sum_{i=1}^m I_{\text{B}}[i, j] + I_{\text{BIASB}}[j] \quad \cdots(1.8)$$

[0248]

これにより、式(1.3)の演算として、バイアスが含まれる $I_{\text{out}}[j]$ 及び $I_{\text{Bout}}[j]$ を生成することができる。また、バイアスが含まれる $I_{\text{out}}[j]$ 及び $I_{\text{Bout}}[j]$ は、回路ACTF[j]に入力されることによって、バイアスがかかった、ニューロン $N_j^{(k)}$ からの出力信号 $z_j^{(k)}$ を生成することができる。

[0249]

図14の演算回路170では、回路BS[1]乃至回路BS[n]は、アレイ部ALPに対して1行分設けた構成としたが、本発明の一態様は、これに限定されない。例えば、回路BS[1]乃至回路BS[n]は、アレイ部ALPに対して2行以上設けてもよい。

[0250]

上述した、アレイ部ALP、回路ILD、回路WLD、回路XLD、回路AFP、回路MP、切り替え回路TWなどのそれぞれに含まれているトランジスタの一部、または、全部は、一例としては、OSトランジスタであることが好ましい。例えば、オフ電流を低くすることが望ましいようなトランジスタの場合、具体例としては、容量素子などに蓄積された電荷を保持する機能を有するトランジスタは、OSトランジスタであることが好ましい。特に、当該トランジスタとしてOSトランジスタを適用する場合、OSトランジスタは、特に実施の形態5に記載するトランジスタの構造であることがより好ましい。OSトランジスタのチャネル形成領域に含まれる金属酸化物としては、例えば、インジウム、元素M(元素Mはアルミニウム、ガリウム、イットリウム、またはスズ)、亜鉛から一又は複数選ばれる材料とすることができる。特に、インジウム、ガリウム、亜鉛からなる金属酸化物は、バンドギャップが高く、真性(I型ともいう。)、又は実質的に真性である半導体であって、当該金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。また、当該金属酸化物がチャネル形成領域に含まれるOSトランジスタのオフ電流は、チャネル幅 $1 \mu\text{m}$ あたり 10 aA ($1 \times 10^{-17} \text{ A}$)以下、好ましくはチャネル幅 $1 \mu\text{m}$ あたり 1 aA ($1 \times 10^{-18} \text{ A}$)以下、さらには好ましくはチャネル幅 $1 \mu\text{m}$ あたり 10 zA ($1 \times 10^{-20} \text{ A}$)以下、さらに好ましくはチャネル幅 $1 \mu\text{m}$ あたり 1 zA ($1 \times 10^{-21} \text{ A}$)以下、さらに好ましくはチャネル幅 $1 \mu\text{m}$ あたり 100 yA ($1 \times 10^{-22} \text{ A}$)以下とすることができる。また当該OSトランジスタは、金属酸化物のキャリア濃度が低いため、OSトランジスタの温度が変化した場合でも、オフ電流は低いままとなる。例えば、OSトランジスタの温度が 150°C であっても、オフ電流を、チャネル幅 $1 \mu\text{m}$ あたり 100 zA とすることもできる。

[0251]

ただし、本発明の一態様は、上記に限定されず、アレイ部ALP、回路ILD、回路WLD、回

路XLD、回路AFP、回路MP、切り替え回路TWなどに含まれるトランジスタは、OSトランジスタでなくてもよい。OSトランジスタ以外では、一例としては、チャンネル形成領域にシリコンを含むトランジスタ（Siトランジスタ）としてもよい。また、シリコンとしては、例えば、単結晶シリコン、非晶質シリコン（水素化アモルファスシリコンという場合がある）、微結晶シリコン、または多結晶シリコン等を用いることができる。また、OSトランジスタ、Siトランジスタ以外のトランジスタとしては、例えば、Geなどがチャンネル形成領域に含まれているトランジスタ、ZnSe、CdS、GaAs、InP、GaN、SiGeなどの化合物半導体がチャンネル形成領域に含まれているトランジスタ、カーボンナノチューブがチャンネル形成領域に含まれるトランジスタ、有機半導体がチャンネル形成領域に含まれるトランジスタ等を用いることができる。

[0252]

なお、OSトランジスタの半導体層の金属酸化物において、インジウムを含む金属酸化物（例えば、In酸化物）、あるいは亜鉛を含む金属酸化物（例えば、Zn酸化物）では、n型半導体は作製できているが、p型半導体は移動度及び信頼性の点で作製が難しい場合もある。そのため、演算回路110、演算回路120、演算回路130、演算回路140、演算回路150、演算回路160、演算回路170は、アレイ部ALP、回路ILD、回路WLD、回路XLD、回路AFP、回路MPなどに含まれるnチャンネル型トランジスタとしてOSトランジスタを適用し、pチャンネル型トランジスタとしてSiトランジスタを適用した構成としてもよい。

[0253]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0254]

（実施の形態2）

本実施の形態では、実施の形態1で説明した回路MPの具体的な構成例について説明する。

[0255]

なお、実施の形態1では、回路MPの符号に、アレイ部ALP内の位置を示す[1, 1]、[i, j]、[m, n]等を付記したが、本実施の形態では、特に断らない限り、回路MPの符号に対して[1, 1]、[i, j]、[m, n]等の記載を省略する。

[0256]

<構成例1>

初めに、図9Bの回路MPに適用できる回路構成の例について説明する。図15Aに示す回路MPは、図9Bの回路MPの構成の一例であり、図15Aの回路MPに含まれている回路MCは、一例としては、トランジスタM1乃至トランジスタM4と、容量C1と、を有する。なお、例えば、トランジスタM2と、容量C1とによって、回路HCが構成されている。

[0257]

図15Aの回路MPにおいて、回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。

[0258]

図15Aに図示しているトランジスタM1乃至トランジスタM4は、一例としては、チャンネルの上下にゲートを有するマルチゲート構造のnチャンネル型トランジスタとしており、トランジスタM1乃至トランジスタM4のそれぞれは第1ゲートと第2ゲートとを有する。特に、一例としては、

トランジスタM3、及びトランジスタM4のそれぞれのサイズは等しいことが好ましい。但し、本明細書等において、便宜上、一例として、第1ゲートをゲート（フロントゲートと記載する場合がある。）、第2ゲートをバックゲートとして区別するように記載しているが、第1ゲートと第2ゲートは互いに入れ替えることができる。そのため、本明細書等において、「ゲート」という語句は「バックゲート」という語句と入れ替えて記載することができる。同様に、「バックゲート」という語句は「ゲート」という語句と入れ替えて記載することができる。具体例としては、「ゲートは第1配線に電氣的に接続され、バックゲートは第2配線に電氣的に接続されている」という接続構成は、「バックゲートは第1配線に電氣的に接続され、ゲートは第2配線に電氣的に接続されている」という接続構成として置き換えることができる。例えば、図15Bに示すとおり、トランジスタM1のバックゲートが容量C1の第1端子と、トランジスタM2の第1端子と、に電氣的に接続される構成としてもよい。

[0259]

また、本発明の一態様の半導体装置は、トランジスタのバックゲートの接続構成に依らない。図15Aに図示されているトランジスタM1乃至トランジスタM4には、バックゲートが図示され、当該バックゲートの接続構成については図示されていないが、当該バックゲートの電氣的な接続先は、設計の段階で決めることができる。例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのオン電流を高めるために、ゲートとバックゲートとを電氣的に接続してもよい。つまり、例えば、トランジスタM2のゲートとバックゲートとを電氣的に接続してもよい。また、例えば、バックゲートを有するトランジスタにおいて、そのトランジスタのしきい値電圧を変動させるため、または、そのトランジスタのオフ電流を小さくするために、外部回路などと電氣的に接続されている配線を設けて、当該外部回路などによってトランジスタのバックゲートに固定電位、又は可変電位を与えてもよい。なお、これについては、図15Aだけでなく、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

[0260]

また、本発明の一態様の半導体装置は、当該半導体装置に含まれるトランジスタの構造に依らない。例えば、図15Aに図示しているトランジスタM1乃至トランジスタM4は、図15Cに示すとおり、バックゲートを有さないような構成、つまり、シングルゲート構造のトランジスタとしてもよい。また、一部のトランジスタはバックゲートを有している構成であり、別の一部のトランジスタは、バックゲートを有さない構成であってもよい。なお、これについては、図15Aに示す回路図だけでなく、明細書の他の箇所に記載されているトランジスタ、又は他の図面に図示されているトランジスタについても同様である。

[0261]

また、本明細書等において、トランジスタとして、様々な構造のトランジスタを用いることができる。よって、用いるトランジスタの種類に限定はない。トランジスタの一例としては、単結晶シリコンを有するトランジスタ、または、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有するトランジスタなどを用いることができる。または、それらの半導体を薄膜化した薄膜トランジスタ（TFET）などを用いることができる。TFETを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのた

め、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。または、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透光性を有する基板上にトランジスタを製造できる。または、透光性を有する基板上のトランジスタを用いて表示素子での光の透過を制御することができる。または、トランジスタの膜厚が薄いため、トランジスタを形成する膜の一部は、光を透過させることができる。そのため、開口率が向上させることができる。

[0262]

なお、トランジスタの一例としては、化合物半導体（例えば、SiGe、GaAsなど）、又は酸化物半導体（例えば、Zn-O、In-Ga-Zn-O、In-Zn-O、In-Sn-O（ITO）、Sn-O、Ti-O、Al-Zn-Sn-O（AZTO）、In-Sn-Zn-Oなど）などを有するトランジスタを用いることができる。または、これらの化合物半導体、又は、これらの酸化物半導体を薄膜化した薄膜トランジスタなどを用いることができる。これらにより、製造温度を低くできるので、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板又はフィルム基板などに直接トランジスタを形成することができる。なお、これらの化合物半導体又は酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることもできる。例えば、これらの化合物半導体又は酸化物半導体を配線、抵抗素子、画素電極、又は透光性を有する電極などとして用いることができる。それらをトランジスタと同時に成膜又は形成することが可能なため、コストを低減できる。

[0263]

なお、トランジスタの一例としては、インクジェット法又は印刷法を用いて形成したトランジスタなどを用いることができる。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。よって、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することができる。または、レジストを用いらずに製造することが可能なので、材料費が安くなり、工程数を削減できる。または、必要な部分にのみ膜を付けることが可能なので、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

[0264]

なお、トランジスタの一例としては、有機半導体、カーボンナノチューブなどを有するトランジスタを用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することができる。有機半導体、カーボンナノチューブなどを有するトランジスタを用いた装置は、衝撃に強くすることができる。

[0265]

なお、トランジスタとしては、他にも様々な構造のトランジスタを用いることができる。例えば、トランジスタとして、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを用いることができる。トランジスタとしてMOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることができる。よって、多数のトランジスタを搭載することができる。トランジスタとしてバイポーラトランジスタを用いることにより、大きな電流を流すことができる。よって、高速に回路を動作させることができる。なお、MOS型トランジスタとバイポーラトランジスタとを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することができる。

[0266]

なお、トランジスタの一例としては、活性層の上下にゲート電極が配置されている構造のトランジスタを適用することができる。活性層の上下にゲート電極が配置される構造にすることにより、複数のトランジスタが並列に接続されたような回路構成となる。よって、チャンネル形成領域が増えるため、電流値の増加を図ることができる。または、活性層の上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることができる。

[0267]

なお、トランジスタの一例としては、活性層の上にゲート電極が配置されている構造、活性層の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、活性層を並列に接続した構造、又は活性層が直列に接続する構造などのトランジスタを用いることができる。または、トランジスタとして、プレーナ型、FIN型、TRI-GATE型、トップゲート型、ボトムゲート型、ダブルゲート型（チャンネルの上下にゲートが配置されている）、など、様々な構成をとることができる。

[0268]

なお、トランジスタの一例としては、活性層（もしくはその一部）にソース電極、又はドレイン電極の少なくとも一が重なっている構造のトランジスタを用いることができる。活性層（もしくはその一部）にソース電極又はドレイン電極の少なくとも一が重なる構造にすることによって、活性層の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。

[0269]

なお、トランジスタの一例としては、LDD領域を設けた構造を適用できる。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上（信頼性の向上）を図ることができる。または、LDD領域を設けることにより、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレイン電流があまり変化せず、傾きがフラットな電圧・電流特性を得ることができる。

[0270]

例えば、本明細書等において、様々な基板を用いて、トランジスタを形成することができる。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、ポリテトラフルオロエチレン（PTFE）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又

は回路の高集積化を図ることができる。

[0271]

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板、可撓性の基板などにも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

[0272]

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

[0273]

なお、所定の機能を実現させるために必要な回路の全てを、同一の基板（例えば、ガラス基板、プラスチック基板、単結晶基板、又はSOI基板など）に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

[0274]

なお、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されていることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板（又はSOI基板）に形成されることが可能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成される単結晶基板（ICチップともいう）を、COG（Chip On Glass）によって、ガラス基板に接続して、ガラス基板にそのICチップを配置することが可能である。または、ICチップを、TAB（Tape Automated Bonding）、COF（Chip On Film）、SMT（Surface Mount Technology）、又はプリント基板などを用いてガラス基板と接続することが可能である。このように、回路の一部が画素部と同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。特に、駆動電圧が大きい部分の回路、又は駆動周波数が高い部分の回路などは、消費電力が大きくなってしまう場合が多い。そこで、このような回路を、画素部とは別の基板（例えば単結晶基板）に形成して、ICチップを構成する。このICチップを用いることによって、消費電力の増加を防ぐことができる。

[0275]

図15Aの回路MPにおいて、トランジスタM1の第1端子は、配線VEに電氣的に接続されている。トランジスタM1の第2端子は、トランジスタM3の第1端子と、トランジスタM4の第1端子と、に電氣的に接続されている。トランジスタM1のゲートは、容量C1の第1端子と、トランジスタM2の第1端子と、に電氣的に接続されている。容量C1の第2端子は、配線VEに電氣的に接続されている。トランジスタM2の第2端子は、配線OLに電氣的に接続されている。トランジスタM2のゲートは配線WLに電氣的に接続されている。トランジスタM3の第2端子は配線OLに電氣的に接続され、トランジスタM3のゲートは、配線WX1Lに電氣的に接続されている。トランジスタM4の第2端子は配線OLBに電氣的に接続され、トランジスタM4のゲートは、配線X2Lに電氣的に接続されている。

[0276]

回路MC_rにおいて、回路MCと異なる接続構成について説明する。トランジスタM3_rの第2端子は、配線OLでなく、配線OLBに電氣的に接続され、トランジスタM4_rの第2端子は、配線OLBでなく、配線OLに電氣的に接続されている。トランジスタM1_rの第1端子と、容量C1_rの第1端子と、は、配線VE_rに電氣的に接続されている。

[0277]

なお、図16Aに示すように、トランジスタM1の第1端子は、配線VEではなく、別の配線として配線VE_mに電氣的に接続されていてもよい。また、同様に、トランジスタM1_rの第1端子は、配線VE_rではなく、別の配線として配線VE_m_rに電氣的に接続されていてもよい。なお、図16Aだけでなく、他の図面の回路図においても、トランジスタM1の第1端子が、配線VEではなく、別の配線VE_mに電氣的に接続されるような構成、及び／又は、トランジスタM1_rの第1端子が、配線VE_rではなく、別の配線VE_m_rに電氣的に接続されるような構成にしてもよい。

[0278]

なお、図15Aに示す回路HCにおいて、トランジスタM1のゲートと、容量C1の第1端子と、トランジスタM2の第1端子と、の電氣的接続点をノードn1としている。

[0279]

回路HCは、実施の形態1で説明したとおり、一例としては、第1データに応じた電位を保持する機能を有する。図15Aの回路MCに含まれている回路HCへの当該電位の保持は、トランジスタM2、及びトランジスタM3をオン状態としたときに、配線OLから電位を入力して、容量C1に書き込み、その後にトランジスタM2をオフ状態にすることで行われる。これによって、ノードn1の電位を、第1データに応じた電位として保持することができる。このとき、配線OLから電流を入力し、その電流の大きさに応じた大きさの電位を容量C1に保持することができる。そのため、トランジスタM1の電流特性のばらつきの影響を低減することができる。

[0280]

また、トランジスタM1は、ノードn1の電位を長時間保持するため、オフ電流が小さいトランジスタを適用するのが好ましい。オフ電流が小さいトランジスタとしては、例えば、OSトランジスタを用いることができる。また、トランジスタM1として、バックゲートを有するトランジスタを適用し、バックゲートに低レベル電位を印加して、閾値電圧をプラス側にシフトさせて、オフ電流を小さくする構成としてもよい。

[0281]

後述する動作例において、回路MPに入出する電流について簡易的に説明するため、図15Aに

示す配線OLの両端をそれぞれノードin a、ノードout aとし、配線OLBの両端をそれぞれノードin b、ノードout bとする。

[0282]

配線VEは、一例としては、定電圧を供給する配線として機能する。当該定電圧としては、トランジスタM3、トランジスタM3r、トランジスタM4、または、トランジスタM4rがnチャネル型トランジスタである場合、及び／又は図8A乃至図8Dにおいて配線VSOが与える電位が高レベル電位である場合には、例えば、低レベル電位であるVSS、接地電位、または、それら以外の低レベル電位などとすることができる。また、配線VEm、配線VEr、配線VEmrのそれぞれは、配線VEと同様に、定電圧を供給する電圧線として機能し、当該定電圧としては、低レベル電位であるVSS、VSS以外の低レベル電位、接地電位などとすることができる。また、当該定電圧としては、高レベル電位であるVDDとしてもよい。この場合、演算回路110、演算回路120、演算回路130、演算回路140、演算回路150、演算回路160の回路ACTF [1]乃至回路ACTF [n]として、図5A乃至図5E、図6A乃至図6D、図6Fのいずれかを適用している場合、回路ACTF [1]乃至回路ACTF [n]に電氣的に接続されている配線VALが与える定電圧は、配線VE、配線VErが与える電位VDDよりも高い電位とするのが好ましい。

[0283]

また、配線VE、配線VEm、配線VEr、及び配線VEmrのそれぞれが供給する定電圧は、互いに異なってもよいし、一部又は全てが同一であってもよい。また、それぞれの配線が供給する電圧が同一である場合には、それらの配線を選択して、同一の配線としてもよい。例えば、配線VE、配線VEm、配線VEr、及び配線VEmrのそれぞれの与える定電圧がほぼ等しい場合、図16Bの回路MPのとおり、配線VEm、配線VEr、及び配線VEmrは配線VEと同一の配線とすることができる。または、例えば、配線VE、及び配線VErのそれぞれの与える定電圧がほぼ等しい場合、配線VEと配線VErとを一本の同一の配線とすることができる。または、例えば、配線VEm、配線VEmrのそれぞれの与える定電圧がほぼ等しい場合、配線VEmと配線VEmrとを一本の同一の配線とすることができる。同様に、図16Aにおいても、例えば、配線VEと配線VErとを一本の同一の配線として、配線VEmと配線VEmrとを一本の同一の配線としてもよい。または例えば、配線VEと配線VEmrとを一本の同一の配線として、配線VEmと配線VErとを一本の同一の配線としてもよい。

[0284]

また、図15Aの回路MPの構成は、状況に応じて、変更することができる。例えば、図17Aに示すとおり、図15Aの回路MPのトランジスタM1、トランジスタM1r、トランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rのそれぞれをpチャネル型トランジスタであるトランジスタM1p、トランジスタM1pr、トランジスタM3p、トランジスタM3pr、トランジスタM4p、トランジスタM4prに置き換えてもよい。トランジスタM3p、トランジスタM3pr、トランジスタM4p、トランジスタM4prとしては、一例としては、SOI (Silicon On Insulator) 構造のpチャネル型トランジスタを適用することができる。また、この場合、配線VE、及び配線VErが与える定電圧は、高レベル電位であるVDDとするのが好ましい。また、この場合に加え、演算回路110、演算回路120、演算回路130、演算回路140、演算回路150、及び演算回路160の回路ACTF [1]乃至回路ACTF [n]として、図5A乃至図5E、図6A乃至図6D、図6Fのいずれかを適用している場

合、回路ACTF [1] 乃至回路ACTF [n] に電氣的に接続されている配線VALが与える定電圧は、接地電位、又はVSSとするのが好ましい。このように、配線の電位を変更した場合には、電流が流れる向きも変更されることとなる。

[0285]

また、同様に、トランジスタM2についてもpチャネル型のトランジスタに置き換えてもよい(図示しない)。

[0286]

また、例えば、図17Bに示す通り、図15Aの回路MPのトランジスタM4、M4rのそれぞれをpチャネル型トランジスタであるトランジスタM4p、M4prに置き換えてもよい。また、トランジスタM3、トランジスタM3r、トランジスタM4p、トランジスタM4prのそれぞれのゲートに接続する配線を、配線WXLとして1本にまとめることによって、回路MPは、0以外の第1データ(例えば、重み係数など)を保持することができる。

[0287]

また、例えば、図17Cに示す通り、図15Aの回路MPのトランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rのそれぞれをアナログスイッチAS3、アナログスイッチAS4、アナログスイッチAS3r、アナログスイッチAS4rに置き換えてもよい。なお、図17Cには、アナログスイッチAS3、アナログスイッチAS4、アナログスイッチAS3r、及びアナログスイッチAS4rを動作させるため、配線WX1LB、及び配線X2LBも図示している。配線WX1LBは、アナログスイッチAS3、及びアナログスイッチAS3rに電氣的に接続され、配線X2LBは、アナログスイッチAS4、及びアナログスイッチAS4rに電氣的に接続されている。配線WX1LBには、配線WX1Lに入力される信号の反転信号が入力され、配線X2LBには、配線X2Lに入力される信号の反転信号が入力される。また、配線WX1L、及び配線X2Lを1本の配線としてまとめ、かつ配線WX1LB、及び配線X2LBを1本の配線としてまとめてもよい(図示しない)。なお、一例としては、アナログスイッチAS3、アナログスイッチAS4、アナログスイッチAS3r、及びアナログスイッチAS4rは、nチャネル型トランジスタとpチャネル型トランジスタとを用いたCMOS構成としてもよい。

[0288]

また、図15A乃至図15C、図16A及び図16Bに示したトランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rのサイズ、例えば、チャネル長及びチャネル幅はそれぞれ等しいことが好ましい。このような回路構成とすることにより、効率的にレイアウトできる可能性がある。また、トランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rに流れる電流を揃えることができる可能性がある。また、同様に、図15A乃至図15C、図16A及び図16Bに示したトランジスタM1、及びトランジスタM1rのサイズはそれぞれ等しいことが好ましい。また、同様に、図15A乃至図15C、図16A及び図16Bに示したトランジスタM2、トランジスタM2rのサイズはそれぞれ等しいことが好ましい。また、同様に、図17Aに示したトランジスタM1p、及びトランジスタM1prのサイズはそれぞれ等しいことが好ましい。また、同様に、図17Aに示したトランジスタM3p、トランジスタM3pr、トランジスタM4p、及びトランジスタM4prのサイズはそれぞれ等しいことが好ましい。

[0289]

<<動作例>>

次に、図15Aに示した回路MPの動作例について説明する。図18A乃至図18C、図19A乃至図19C、図20A乃至図20Cは、回路MPの動作例を示したタイミングチャートであり、それぞれ、配線WL、配線WX1L、配線X2L、ノードn1、ノードn1rの電位の変動を示している。なお、図18A乃至図18C、図19A乃至図19C、図20A乃至図20Cに記載しているhighは高レベル電位を示し、lowは低レベル電位を示している。また、本動作例において、配線OLからノードoutaに（または、ノードoutaから配線OLに）出力される電流量を I_{OL} としている。また、配線OLBからノードoutbに（または、ノードoutbから配線OLBに）出力される電流量を I_{OLB} としている。図18A乃至図18C、図19A乃至図19C、図20A乃至図20Cに示すタイミングチャートでは、 I_{OL} 、 I_{OLB} の変化量も図示している。

[0290]

なお、本動作例では、配線VE、及び配線VERが与える定電圧はVSS（低レベル電位）とする。この場合、図8A乃至図8Dにおいて、配線VSOには高レベル電位が与えられ、配線VSOから切り替え回路TW、配線OLを介して、配線VE又は配線VERに電流が流れることになる。同様に、配線VSOから切り替え回路TW、配線OLBを介して、配線VE又は配線VERに電流が流れることになる。

[0291]

また、本動作例では、図8Aにおいて、配線VCNが与える電位をVSSとする。配線VCNとトランジスタM1の第2端子との間を導通状態にすることによって、トランジスタM1の第2端子にはVSSが与えられる。詳しくは後述するが、このとき、トランジスタM1のゲートの電位もVSSになるため、トランジスタM1はオフ状態となる。同様に、配線VCNとトランジスタM1rの第2端子との間を導通状態にすることによって、トランジスタM1rの第2端子とゲートの電位はVSSとなるため、トランジスタM1rはオフ状態となる。

[0292]

図15Aに示した回路MPにおいて、トランジスタM2、及びトランジスタM3がオン状態のとき、トランジスタM1はダイオード接続の構成となる。そのため、配線OLから回路MCに電流が流れるとき、トランジスタM1の第2端子とトランジスタM1のゲートと、のそれぞれの電位はほぼ等しくなる。当該電位は、配線OLから回路MCに流れる電流量とトランジスタM1の第1端子の電位（ここではVSS）などによって定められる。ここで、トランジスタM1のゲートの電位を容量C1に保持し、その後にトランジスタM2をオフ状態にすることによって、トランジスタM1は、トランジスタM1のゲートの電位に応じた電流を流す電流源として機能する。そのため、トランジスタM1の電流特性のばらつきの影響を低減することができる。

[0293]

例えば、トランジスタM2、及びトランジスタM3がオン状態で、配線OLから回路MCを介して配線VEに I_1 の電流量が流れたとき、トランジスタM1のゲート（ノードn1）の電位は V_1 となるものとする。ここで、トランジスタM2をオフ状態にすることによって、 V_1 は回路HCによって保持される。これにより、トランジスタM1は、トランジスタM1の第1端子の電位VSSと、トランジスタM1のゲートの電位 V_1 に応じた電流量である I_1 をトランジスタM1のソースドレイン間に流すことができる。本明細書等では、このような動作を「トランジスタM1は、トランジスタM1のソースドレイン間に流れる電流量を I_1 に設定された」、「トランジスタM1は、ト

ランジスタM1のソースドレイン間に流れる電流量を I_1 にプログラミングされた」などと呼称する。

[0294]

本動作例では、配線OLから回路MCに流れる電流量を0、 I_1 、 I_2 の3種類とする。このため、ランジスタM1に設定される電流量は0、 I_1 、 I_2 の3種類となる。例えば、回路HCに保持されている、ランジスタM1のゲートの電位がVSSであるとき、ランジスタM1の第1端子、第2端子のそれぞれの電位もVSSであるため、ランジスタM1のしきい値電圧が0より高ければ、ランジスタM1はオフ状態となる。このため、ランジスタM1のソースドレイン間に電流は流れないので、ランジスタM1のソースドレイン間に流れる電流量は0に設定されている、ということができる。また、例えば、回路HCに保持されている、ランジスタM1のゲートの電位が V_1 であるとき、ランジスタM1のしきい値電圧が $V_1 - VSS$ よりも低ければ、ランジスタM1はオン状態となる。このとき、ランジスタM1に流れる電流量を I_1 とする。このため、ランジスタM1のゲートの電位が V_1 であるとき、ランジスタM1のソースドレイン間に流れる電流量は I_1 に設定されている、ということができる。また、例えば、回路HCに保持されている、ランジスタM1のゲートの電位が V_2 であるとき、ランジスタM1のしきい値電圧が $V_2 - VSS$ よりも低ければ、ランジスタM1はオン状態となる。このとき、ランジスタM1に流れる電流量を I_2 とする。このため、ランジスタM1のゲートの電位が V_2 であるとき、ランジスタM1のソースドレイン間に流れる電流量は I_2 に設定されている、ということができる。

[0295]

なお、 I_1 の電流量は、0よりも大きく、 I_2 よりも小さいものとする。また、電位 V_1 は、VSSよりも高く、 V_2 よりも低いものとする。また、ランジスタM1のしきい値電圧は、0よりも高く、 $V_1 - VSS$ よりも低いものとする。また、 I_1 は、例えば、図8Aの説明における、定電流源回路ISC1が生成する I_{ut} に置き換えることができ、また、 I_2 は、例えば、図8Aの説明における、定電流源回路ISC2が生成する $2I_{ut}$ に置き換えることができる。

[0296]

また、動作例を説明する前に、回路MPが保持する第1データ（例えば、ここでは重み係数とする。）を次の通りに定義する。回路HCのノードn1にVSS、回路HCrのノードn1rにVSSが保持されているとき、回路MPは第1データ（重み係数）として“0”を保持しているものとする。回路HCのノードn1に V_1 、回路HCrのノードn1rにVSSが保持されているとき、回路MPは第1データ（重み係数）として“+1”を保持しているものとする。回路HCのノードn1に V_2 、回路HCrのノードn1rにVSSが保持されているとき、回路MPは第1データ（重み係数）として“+2”を保持しているものとする。回路HCのノードn1にVSS、回路HCrのノードn1rに V_1 が保持されているとき、回路MPは第1データ（重み係数）として“-1”を保持しているものとする。回路HCのノードn1にVSS、回路HCrのノードn1rに V_2 が保持されているとき、回路MPは第1データ（重み係数）として“-2”を保持しているものとする。

[0297]

また、回路MPに入力される第2データ（例えば、ここではニューロンの信号の値（演算値）とする。）を一例として次の通りに定義する。配線WX1Lに高レベル電位、配線X2Lに低レベル電位が印加されているとき、回路MPには、第2データ（ニューロンの信号の値）として“+1”

が入力されている。配線WX 1 Lに低レベル電位、配線X 2 Lに高レベル電位が印加されているとき、回路MPには、第2データ（ニューロンの信号の値）として“−1”が入力されている。配線WX 1 Lに低レベル電位、配線X 2 Lに低レベル電位が印加されているとき、回路MPには、第2データ（ニューロンの信号の値）として“0”が入力されるものとする。なお、一例としては、高レベル電位としては、VDD、または、VDDよりも10%以上、もしくは、20%以上高い電位をとるものとする。

[0298]

また、本明細書などにおいて、トランジスタM1、及びトランジスタM1 rは、特に断りの無い場合は、オン状態の場合は最終的に飽和領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、飽和領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。供給される電圧の振幅値を小さくするために、トランジスタM1、及びトランジスタM1 rは、線形領域で動作してもよい。また、トランジスタM1、及びトランジスタM1 rに流れる電流量を小さくするため、トランジスタM1、及びトランジスタM1 rは、サブスレッショルド領域で動作してもよい。又は、トランジスタM1、及びトランジスタM1 rは、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。なお、第1データ（重み係数）をアナログ値とする場合には、第1データ（重み係数）の大きさに応じて、例えば、トランジスタM1、及びトランジスタM1 rは、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよい。又は、トランジスタM1、及びトランジスタM1 rは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0299]

また、本明細書などにおいて、トランジスタM2、トランジスタM2 r、トランジスタM3、トランジスタM3 r、トランジスタM4、及びトランジスタM4 rは、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタM2、トランジスタM2 r、トランジスタM3、トランジスタM3 r、トランジスタM4、及びトランジスタM4 rは、オン状態のときは飽和領域で動作してもよく、又はサブスレッショルド領域で動作してもよい。又は、トランジスタM2、トランジスタM2 r、トランジスタM3、トランジスタM3 r、トランジスタM4、及びトランジスタM4 rは、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。又は、トランジスタM2、トランジスタM2 r、トランジスタM3、トランジスタM3 r、トランジスタM4、及びトランジスタM4 rは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0300]

以下では、第1データ（例えば、以下では重み係数とする。）、及び第2データ（例えば、以下では、ニューロンの信号の値（演算値）など）のそれぞれが取り得る値の組み合わせ毎に、回路MPの動作例を説明する。

[0301]

[条件1]

初めに、一例として、第1データ（重み係数）が“0”であって、回路MPに入力される第2データ（ニューロンの信号の値（演算値））が“+1”である場合を考える。図18Aは、その場合における回路MPのタイミングチャートである。

[0302]

時刻T1から時刻T2までの間では、回路HC、及び回路HC_rには、初期の電位が保持されている。図18Aでは、例えば、ノードn1、ノードn1_rには、初期の電位として、電位VSSよりも高い電位が保持されているものとする。

[0303]

また、配線WL、配線WX1L、配線X2Lには、低レベル電位が印加されている。これによって、トランジスタM2、トランジスタM2_r、トランジスタM3、トランジスタM3_r、トランジスタM4、及びトランジスタM4_rのそれぞれのゲートには、低レベル電位が入力されるため、トランジスタM2、トランジスタM2_r、トランジスタM3、トランジスタM3_r、トランジスタM4、及びトランジスタM4_rのそれぞれはオフ状態となる。

[0304]

時刻T2から時刻T3までの間において、配線WLと、配線WX1Lには、高レベル電位が印加される。これにより、トランジスタM2、トランジスタM2_r、トランジスタM3、トランジスタM3_rのそれぞれのゲートには、高レベル電位が入力されるため、トランジスタM2、トランジスタM2_r、トランジスタM3、及びトランジスタM3_rのそれぞれはオン状態となる。

[0305]

また、図18Aには図示していないが、配線OL、及び配線OLBのそれぞれには、初期化電位としてV_{ini}が印加される。トランジスタM2、トランジスタM2_r、トランジスタM3、及びトランジスタM3_rのそれぞれはオン状態となっているため、回路HCのノードn1、及び回路HC_rのノードn1_rのそれぞれの電位はV_{ini}となる。つまり、時刻T2から時刻T3までの間では、回路HCのノードn1、及び回路HC_rのノードn1_rのそれぞれの電位の初期化が行われる。

[0306]

なお、初期化電位のV_{ini}としては、例えば、接地電位とするのが好ましい。また、初期化電位のV_{ini}としては、VSS、接地電位よりも高い電位、又は接地電位よりも低い電位としてもよい。また、配線OL、及び配線OLBのそれぞれに与える初期化電位V_{ini}は互いに異なる電位としてもよい。なお、配線OL、及び配線OLBのそれぞれに初期化電位V_{ini}を入力しなくてもよい。なお、必ずしも、時刻T2から時刻T3までの期間を設けなくてもよい。または、必ずしも、時刻T2から時刻T3までの間において、初期化を行わなくてもよい。

[0307]

時刻T3から時刻T4までの間において、配線OLから回路MCに電位VSSが入力され、配線OLBから回路MC_rに電位VSSが入力される。これは、図8Aにおいて、スイッチSWL、及びスイッチSWLBをオン状態にし、スイッチSWI、スイッチSWIB、スイッチSWO、スイ

ッチSWOB、スイッチSWH、及びスイッチSWHBをオフ状態にすることによって行われる。これによって、回路HCのノードn 1の電位はVSSとなり、回路HC rのノードn 1 rの電位はVSSとなる。これにより、回路MCにおいて、トランジスタM1は電流量として0を流すように設定されるため、配線OLから回路MCを介して配線VEに電流は流れない。また、回路MC rにおいて、トランジスタM1 rは電流量として0を流すように設定されるため、配線OLBから回路MC rを介して配線VE rに電流は流れない。換言すると、時刻T 3から時刻T 4までの間において、トランジスタM1、トランジスタM1 rはオフ状態となるため、配線OLと配線VEとの間は非導通状態となり、配線OLBと配線VE rとの間は非導通状態となる。

[0308]

時刻T 4から時刻T 5までの間において、配線WLと、配線WX 1 Lには、低レベル電位が印加される。これにより、トランジスタM2、トランジスタM2 r、トランジスタM3、トランジスタM3 rのそれぞれのゲートには、低レベル電位が入力されるため、トランジスタM2、トランジスタM2 r、トランジスタM3、トランジスタM3 rのそれぞれはオフ状態となる。トランジスタM2、トランジスタM2 rがオフ状態になることにより、回路HCのノードn 1の電位VSSが保持され、回路HC rのノードn 1 rの電位VSSが保持される。また、トランジスタM3がオフ状態になることによって、配線OLから回路MCを介して配線VEに電流は流れなくなる。また、同様に、トランジスタM3 rがオフ状態になることによって、配線OLBから回路MC rを介して配線VE rに電流は流れなくなる。

[0309]

時刻T 1から時刻T 5までの動作によって、回路MPの第1データ（重み係数）として“0”が設定される。また、回路MPに第1データ（重み係数）が設定された後は、図8 Aにおいて、スイッチSWI、スイッチSWIB、スイッチSWO、スイッチSWOB、スイッチSWL、及びスイッチSWLBをオフ状態としてもよい。なお、回路MPに重み係数が設定された後（例えば、時刻T 4から時刻T 5までの間など）に、スイッチSWH、及びスイッチSWHBをオン状態にして、配線OL、及び配線OLBの電位を配線VCN 2が与える電位（例えば、高レベル電位とすることができる。）にプリチャージしてもよい。配線OL、及び配線OLBを高レベル電位にプリチャージした後は、スイッチSWH、及びスイッチSWHBをオフ状態としてもよい。

[0310]

時刻T 5以降において、回路MPへのニューロンの信号（演算値）“+1”の入力として、配線WX 1 Lに高レベル電位、配線X 2 Lに低レベル電位が入力される。このとき、トランジスタM3、及びトランジスタM3 rのそれぞれのゲートに高レベル電位が入力され、トランジスタM4、及びトランジスタM4 rのそれぞれのゲートに低レベル電位が入力される。このため、トランジスタM3、及びトランジスタM3 rのそれぞれはオン状態となり、トランジスタM4、及びトランジスタM4 rのそれぞれはオフ状態になる。つまり、この動作によって、回路MCと配線OLとの間、及び、回路MC rと配線OLBとの間が導通状態となり、回路MCと配線OLBとの間、及び、回路MC rと配線OLとの間が非導通状態となる。

[0311]

このとき、図8 Aにおいて、スイッチSWO、及びスイッチSWOBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、及びスイッチSWHBをオフ状態として、配線OL、及び配線OLBのそれぞれと回路AFPとの間を導通状態

にする。なお、トランジスタM1はオフ状態となっているため（電流量として0を流すように設定されているため）、回路MCにおいて、配線OL、及び配線OLBから配線VEまでの間に電流は流れない。同様に、トランジスタM1rはオフ状態となっているため（電流量として0を流すように設定されているため）、回路MCrにおいて、配線OL、及び配線OLBから配線VERまでの間に電流は流れない。以上より、配線OLのノードoutaから出力される電流 I_{OL} 、及び配線OLBのノードoutbから出力される電流 I_{OLB} は、時刻T5の前後で変化しない。そのため、回路AFPと配線OLとの間には電流 I_{OL} は流れず、かつ回路AFPと配線OLBとの間には電流 I_{OLB} は流れない。

[0312]

ところで、本条件は、第1データ（重み係数）を“0”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“+1”としているため、式（1.1）を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“0”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、回路MPの動作では、時刻T5以降において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、図8Aにおいて、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0313]

なお、第1データ（例えば、重み係数など）は、一旦入力すると、その値を更新せずに、第2データ（ニューロンの信号の値、又は演算値など）の方のみを変更することによって、複数の積和演算処理を行うことができる。この場合、第1データ（重み係数）の更新が不要となるため、消費電力を低減することができる。なお、第1データ（重み係数）の更新を少なくするためには、第1データ（重み係数）を長期間保持する必要がある。このとき、例えば、OSトランジスタを用いると、オフ電流が低いことを利用して、第1データ（重み係数）を長期間保持することが可能となる。

[0314]

[条件2]

次に、一例として、第1データ（重み係数）が“+1”であって、回路MPに入力される第2データ（ニューロンの信号の値（演算値））が“+1”である場合を考える。図18Bは、その場合における回路MPのタイミングチャートである。

[0315]

時刻T1から時刻T3までの間の動作については、条件1の時刻T1から時刻T3までの間の動作と同様であるため、条件1の時刻T1から時刻T3までの間の動作の説明を参酌する。

[0316]

時刻T3から時刻T4までの間において、配線OLから回路MCに電流量として I_1 が入力され、配線OLBから回路MCrに電位VSSが入力される。これは、図8Aにおいて、スイッチSWI、及びスイッチSWLBをオン状態にし、スイッチSWIB、スイッチSWO、スイッチSWOB、スイッチSWH、及びスイッチSWHBをオフ状態にすることによって行われる。これによって、回路HCのノードn1の電位は V_1 となり、回路HCrのノードn1rの電位はVSSとなる。これにより、回路MCにおいて、トランジスタM1は電流量として I_1 を流すように設定されるため、配線OLから回路MCを介して配線VEに電流量として I_1 が流れる。また、回路MCrにおいて、トランジスタM1rは電流量として0を流すように設定されるため、配線OLBから回路MCrを

介して配線VE_rに電流は流れない。

[0317]

時刻T₄から時刻T₅までの間において、配線WLと、配線WX₁Lには、低レベル電位が印加される。これにより、トランジスタM₂、トランジスタM_{2r}、トランジスタM₃、及びトランジスタM_{3r}のそれぞれのゲートには、低レベル電位が入力されるため、トランジスタM₂、トランジスタM_{2r}、トランジスタM₃、及びトランジスタM_{3r}のそれぞれはオフ状態となる。トランジスタM₂、及びトランジスタM_{2r}がオフ状態になることにより、回路HCのノードn₁の電位V₁が保持され、回路HC_rのノードn_{1r}の電位V_{SS}が保持される。また、トランジスタM₃がオフ状態になることによって、配線OLから回路MCを介して配線VEに電流は流れなくなる。また、同様に、トランジスタM_{3r}がオフ状態になることによって、配線OL_Bから回路MC_rを介して配線VE_rに電流は流れなくなる。

[0318]

時刻T₁から時刻T₅までの動作によって、回路MPの第1データ（重み係数）として“+1”が設定される。また、回路MPに第1データ（重み係数）が設定された後は、図8Aにおいて、スイッチSW_I、スイッチSW_{IB}、スイッチSW_O、スイッチSW_{OB}、スイッチSW_L、スイッチSW_{LB}をオフ状態としてもよい。なお、回路MPに第1データ（重み係数）が設定された後に、スイッチSW_H、及びスイッチSW_{HB}をオン状態にして、配線OL、及び配線OL_Bを配線VC_{N2}が与える電位（例えば、高レベル電位とすることができる。）にプリチャージしてもよい。配線OL、及び配線OL_Bを高レベル電位にプリチャージした後は、スイッチSW_H、及びスイッチSW_{HB}をオフ状態としてもよい。

[0319]

時刻T₅以降において、回路MPへの第2データ（ニューロンの信号の値（演算値））“+1”の入力として、配線WX₁Lに高レベル電位、配線X₂Lに低レベル電位が入力される。このとき、トランジスタM₃、及びトランジスタM_{3r}のそれぞれのゲートに高レベル電位が入力され、トランジスタM₄、及びトランジスタM_{4r}のそれぞれのゲートに低レベル電位が入力される。このため、トランジスタM₃、及びトランジスタM_{3r}のそれぞれはオン状態となり、トランジスタM₄、及びトランジスタM_{4r}のそれぞれはオフ状態になる。つまり、この動作によって、回路MCと配線OLとの間、及び、回路MC_rと配線OL_Bとの間が導通状態となり、回路MCと配線OL_Bとの間、及び、回路MC_rと配線OLとの間が非導通状態となる。

[0320]

このとき、図8Aにおいて、スイッチSW_O、及びスイッチSW_{OB}をオン状態とし、スイッチSW_I、スイッチSW_{IB}、スイッチSW_L、スイッチSW_{LB}、スイッチSW_H、及びスイッチSW_{HB}をオフ状態として、配線OL、及び配線OL_Bのそれぞれと回路AFPとの間を導通状態にする。回路MCにおいて、トランジスタM₃がオン状態となり、トランジスタM₁がオン状態となるため（電流量としてI₁を流すように設定されており、かつトランジスタM₁の第2端子に配線OLの電位が入力されるため）、配線OLから配線VEまでの間に電流が流れる。また、回路MCにおいて、トランジスタM₄がオフ状態になっているため、配線OL_Bから配線VEまでの間に電流は流れない。一方、回路MC_rにおいて、トランジスタM_{3r}がオン状態になっているが、トランジスタM_{1r}がオフ状態になっているため（電流量として0を流すように設定されているため）、配線OL_Bから配線VE_rまでの間に電流は流れない。また、回路MC_rにおいて、トラン

ジスタM4rがオフ状態になっているため、配線OLから配線VErまでの間に電流は流れない。以上より、配線OLのノードoutaから出力される電流 I_{OL} は、時刻T5以降に I_1 増加し、配線OLBのノードoutbから出力される電流 I_{OLB} は、時刻T5の前後で変化しない。そのため、回路AFPと配線OLとの間には電流量 I_1 の電流 I_{OL} が流れ、かつ回路AFPと配線OLBとの間には電流 I_{OLB} は流れない。

[0321]

ところで、本条件は、第1データ（重み係数）を“+1”とし、回路MPに入力される第2データ（ニューロンの信号の値）を“+1”としているため、式（1.1）を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“+1”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“+1”となる結果は、回路MPの動作では、時刻T5以降において電流 I_{OL} が I_1 増加し、電流 I_{OLB} が変化しない場合に対応する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“+1”となる結果は、図8Aにおいて、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0322]

なお、本条件の時刻T3から時刻T4までの間において、例えば、配線OLから回路MCに流れる電流を I_1 でなく I_2 に設定することで、回路HCに V_2 を保持することができる。これにより、回路MPの第1データ（重み係数）として“+2”が設定される。第1データ（重み係数）を“+2”とし、回路MPに入力されるニューロンの信号を“+1”とすることにより、式（1.1）から、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“+2”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“+2”となる結果は、回路MPの動作では、時刻T5以降において電流 I_{OL} が I_2 増加し、電流 I_{OLB} が変化しない場合に対応する。このように、回路MCrにおいて回路HCrにVSSを保持し、かつ回路MCにおいて電流量 I_1 以外を設定することで、回路MPの第1データ（重み係数）として“+1”以外の正の値を設定することができる。

[0323]

[条件3]

次に、一例として、第1データ（重み係数）が“-1”であって、回路MPに入力される第2データ（ニューロンの信号の値（演算値））が“+1”である場合を考える。図18Cは、その場合における回路MPのタイミングチャートである。

[0324]

時刻T1から時刻T3までの間の動作については、条件1の時刻T1から時刻T3までの間の動作と同様であるため、条件1の時刻T1から時刻T3までの間の動作の説明を参酌する。

[0325]

時刻T3から時刻T4までの間において、配線OLから回路MCに電位VSSが入力され、配線OLBから回路MCrに電流量として I_1 が入力される。これは、図8Aにおいて、スイッチSWIB、及びスイッチSWLをオン状態にし、スイッチSWI、スイッチSWO、スイッチSWOB、スイッチSWLB、スイッチSWH、及びスイッチSWHBをオフ状態にすることによって行われる。これによって、回路HCのノードn1の電位はVSSとなり、回路HCrのノードn1rの電位は V_1 となる。これにより、回路MCにおいて、トランジスタM1は電流量として0を流すように設定されるため、配線OLから回路MCを介して配線VEに電流は流れない。また、回路MCr

において、トランジスタM1 rは電流量として I_1 を流すように設定されるため、配線OLBから回路MC rを介して配線VE rに電流量として I_1 が流れる。

[0326]

時刻T4から時刻T5までの間において、配線WLと、配線WX1 Lには、低レベル電位が印加される。これにより、トランジスタM2、トランジスタM2 r、トランジスタM3、及びトランジスタM3 rのそれぞれのゲートには、低レベル電位が入力されるため、トランジスタM2、トランジスタM2 r、トランジスタM3、及びトランジスタM3 rのそれぞれはオフ状態となる。トランジスタM2、及びトランジスタM2 rがオフ状態になることにより、回路HCのノードn1の電位VSSが保持され、回路HC rのノードn1 rの電位 V_1 が保持される。また、トランジスタM3がオフ状態になることによって、配線OLから回路MCを介して配線VEに電流は流れなくなる。また、同様に、トランジスタM3 rがオフ状態になることによって、配線OLBから回路MC rを介して配線VE rに電流は流れなくなる。

[0327]

時刻T1から時刻T5までの動作によって、回路MPの第1データ（重み係数）として“-1”が設定される。また、回路MPに第1データ（重み係数）が設定された後は、図8Aにおいて、スイッチSWI、スイッチSWIB、スイッチSWO、スイッチSWOB、スイッチSWL、及びスイッチSWLBをオフ状態としてもよい。なお、回路MPに第1データ（重み係数）が設定された後に、スイッチSWH、及びスイッチSWHBをオン状態にして、配線OL、及び配線OLBを配線VCN2が与える電位（例えば、高レベル電位とすることができる。）にプリチャージしてもよい。配線OL、及び配線OLBを高レベル電位にプリチャージした後は、スイッチSWH、及びスイッチSWHBをオフ状態としてもよい。

[0328]

時刻T5以降において、回路MPへの第2データ（ニューロンの信号の値（演算値））“+1”の入力として、配線WX1 Lに高レベル電位、配線X2 Lに低レベル電位が入力される。このとき、トランジスタM3、及びトランジスタM3 rのそれぞれのゲートに高レベル電位が入力され、トランジスタM4、及びトランジスタM4 rのそれぞれのゲートに低レベル電位が入力される。このため、トランジスタM3、及びトランジスタM3 rのそれぞれはオン状態となり、トランジスタM4、及びトランジスタM4 rのそれぞれはオフ状態になる。つまり、この動作によって、回路MCと配線OLとの間、及び、回路MC rと配線OLBとの間が導通状態となり、回路MCと配線OLBとの間、及び、回路MC rと配線OLとの間が非導通状態となる。

[0329]

このとき、図8Aにおいて、スイッチSWO、及びスイッチSWOBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、及びスイッチSWHBをオフ状態として、配線OL、及び配線OLBのそれぞれと回路AFPとの間を導通状態にする。回路MCにおいて、トランジスタM3がオン状態になっているが、トランジスタM1がオフ状態になっているため（電流量として0を流すように設定されているため）、配線OLから配線VEまでの間に電流は流れない。また、回路MCにおいて、トランジスタM4がオフ状態になっているため、配線OLBから配線VEまでの間に電流は流れない。一方、回路MC rにおいて、トランジスタM3 rがオン状態となり、トランジスタM1 rがオン状態となるため（電流量として I_1 を流すように設定されており、かつトランジスタM1 rの第2端子に配線OLBの電位が入力され

るため)、配線OLBから配線VERまでの間に電流が流れる。また、回路MCrにおいて、トランジスタM4rがオフ状態になっているため、配線OLから配線VERまでの間に電流は流れない。以上より、配線OLのノードoutaから出力される電流 I_{OL} は、時刻T5の前後で変化せず、配線OLBのノードoutbから出力される電流 I_{OLB} は、時刻T5以降に I_1 増加する。そのため、回路AFPと配線OLとの間には電流 I_{OL} は流れず、かつ回路AFPと配線OLBとの間には電流量 I_1 の電流 I_{OLB} が流れる。

[0330]

ところで、本条件は、第1データ(重み係数)を“-1”とし、回路MPに入力される第2データ(ニューロンの信号の値(演算値))を“+1”としているため、式(1.1)を用いると、第1データ(重み係数)と第2データ(ニューロンの信号の値)の積は、“-1”となる。第1データ(重み係数)と第2データ(ニューロンの信号の値)の積が“-1”となる結果は、回路MPの動作では、時刻T5以降において電流 I_{OL} が変化せず、電流 I_{OLB} は I_1 増加する場合に対応する。なお、第1データ(重み係数)と第2データ(ニューロンの信号の値)の積が“-1”となる結果は、図8Aにおいて、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0331]

なお、本条件の時刻T3から時刻T4までの間において、例えば、配線OLBから回路MCrに流れる電流を I_1 でなく I_2 に設定することで、回路HCrに V_2 を保持することができる。これにより、回路MPの第1データ(重み係数)として“-2”が設定される。第1データ(重み係数)を“-2”とし、回路MPに入力される第2データ(ニューロンの信号の値)を“+1”とすることにより、式(1.1)から、第1データ(重み係数)と第2データ(ニューロンの信号の値)の積は、“-2”となる。第1データ(重み係数)と第2データ(ニューロンの信号の値)の積が“-2”となる結果は、回路MPの動作では、時刻T5以降において電流 I_{OL} が変化せず、電流 I_{OLB} が I_2 増加する場合に対応する。このように、回路MCにおいて回路HCにVSSを保持し、かつ回路MCrにおいて電流量として I_1 以外を設定することで、回路MPの重み係数として“-1”以外の負の値を設定することができる。

[0332]

[条件4]

本条件では、一例として、第1データ(重み係数)を“0”とし、回路MPに入力される第2データ(ニューロンの信号の値(演算値))を“-1”とする場合の回路MPの動作を考える。図19Aは、その場合における回路MPのタイミングチャートである。

[0333]

時刻T1から時刻T5までの間の動作については、条件1の時刻T1から時刻T5までの間の動作と同様であるため、条件1の時刻T1から時刻T5までの間の動作の説明を参酌する。

[0334]

時刻T5以降において、回路MPへの第2データ(ニューロンの信号の値(演算値))“-1”の入力として、配線WX1Lに低レベル電位、配線X2Lに高レベル電位が入力される。このとき、トランジスタM3、及びトランジスタM3rのそれぞれのゲートに低レベル電位が入力され、トランジスタM4、及びトランジスタM4rのそれぞれのゲートに高レベル電位が入力される。このため、トランジスタM3、及びトランジスタM3rのそれぞれはオフ状態となり、トランジスタM4、及びトランジスタM4rのそれぞれはオン状態になる。つまり、この動作によって、回路MCと配

線OLとの間、及び、回路MC rと配線OLBとの間が非導通状態となり、回路MCと配線OLBとの間、及び、回路MC rと配線OLとの間が導通状態となる。

[0335]

このとき、図8Aにおいて、スイッチSWO、及びスイッチSWOBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWL、及びスイッチSWLBをオフ状態として、配線OL、及び配線OLBのそれぞれと回路AFPとの間を導通状態にする。なお、トランジスタM1はオフ状態となっているため（電流量として0を流すように設定されているため）、回路MCにおいて、配線OL、及び配線OLBから配線VEまでの間に電流は流れない。つまり、配線OLのノードoutaから出力される電流 I_{OL} 、及び配線OLBのノードoutbから出力される電流 I_{OLB} は、時刻T5の前後で変化しない。同様に、トランジスタM1rはオフ状態となっているため（電流量として0を流すように設定されているため）、回路MC rにおいて、配線OL、及び配線OLBから配線VERまでの間に電流は流れない。つまり、配線OLのノードoutaから出力される電流 I_{OL} 、及び配線OLBのノードoutbから出力される電流 I_{OLB} も、時刻T5の前後で変化しない。そのため、回路AFPと配線OLとの間には電流 I_{OL} は流れず、かつ回路AFPと配線OLBとの間には電流 I_{OLB} は流れない。

[0336]

ところで、本条件は、第1データ（重み係数）を“0”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“-1”としているため、式（1.1）を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“0”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、回路MPの動作では、時刻T5以降において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応し、これは条件1の回路動作の結果と一致する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、条件1と同様に、図8Aにおいて、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0337]

[条件5]

本条件では、一例として、第1データ（重み係数）を“+1”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“-1”とする場合の回路MPの動作を考える。図19Bは、その場合における回路MPのタイミングチャートである。

[0338]

時刻T1から時刻T5までの間の動作については、条件2の時刻T1から時刻T5までの間の動作と同様であるため、条件2の時刻T1から時刻T5までの間の動作の説明を参酌する。

[0339]

時刻T5以降において、回路MPへの第2データ（ニューロンの信号の値（演算値））“-1”の入力として、配線WX1Lに低レベル電位、配線X2Lに高レベル電位が入力される。このとき、トランジスタM3、及びトランジスタM3rのそれぞれのゲートに低レベル電位が入力され、トランジスタM4、及びトランジスタM4rのそれぞれのゲートに高レベル電位が入力される。このため、トランジスタM3、及びトランジスタM3rのそれぞれはオフ状態となり、トランジスタM4、及びトランジスタM4rのそれぞれはオン状態になる。つまり、この動作によって、回路MCと配線OLとの間、及び、回路MC rと配線OLBとの間が非導通状態となり、回路MCと配線OLB

との間、及び、回路MC_rと配線OLとの間が導通状態となる。

[0340]

このとき、図8Aにおいて、スイッチSWO、及びスイッチSWOBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、及びスイッチSWHBをオフ状態として、配線OL、及び配線OLBのそれぞれと回路AFPとの間を導通状態にする。回路MCにおいて、トランジスタM3がオフ状態になっているため、配線OLから配線VEまでの間に電流は流れない。また、回路MCにおいて、トランジスタM4がオン状態となり、トランジスタM1がオン状態となるため（電流量として I_1 を流すように設定されており、かつトランジスタM1の第2端子に配線OLの電位が入力されるため）、配線OLBから配線VEまでの間に電流が流れる。一方、回路MC_rにおいて、トランジスタM3_rがオフ状態になっているため、配線OLBから配線VE_rまでの間に電流は流れない。また、回路MC_rにおいて、トランジスタM4_rがオン状態になっているが、トランジスタM1_rがオフ状態になっているため（電流量として0を流すように設定されているため）、配線OLから配線VE_rまでの間に電流が流れない。以上より、配線OLのノードout_aから出力される電流 I_{OL} は、時刻T5の前後で変化せず、配線OLBのノードout_bから出力される電流 I_{OLB} は、時刻T5以降に I_1 増加する。そのため、回路AFPと配線OLとの間には電流 I_{OL} は流れず、かつ回路AFPと配線OLBとの間には電流量 I_1 の電流 I_{OLB} が流れる。

[0341]

ところで、本条件は、第1データ（重み係数）を“+1”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“-1”としているため、式（1.1）を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“-1”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“-1”となる結果は、回路MPの動作では、時刻T5以降において電流 I_{OL} が変化せず、電流 I_{OLB} は I_1 増加する場合に対応し、これは条件3の回路動作の結果と一致する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“-1”となる結果は、条件3と同様に、図8Aにおいて、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0342]

なお、条件2でも記載した通り、本条件の時刻T3から時刻T4までの間において、例えば、配線OLから回路MCに流れる電流を I_1 でなく I_2 に設定して、回路HCに V_2 を保持してもよい。これにより、回路MPの第1データ（重み係数）として“+2”が設定される。第1データ（重み係数）を“+2”とし、回路MPに入力されるニューロンの信号を“-1”とすることにより、式（1.1）から、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“-2”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“-2”となる結果は、回路MPの動作では、時刻T5以降において電流 I_{OL} が変化せず、電流 I_{OLB} が I_2 増加する場合に対応する。このように、回路MC_rにおいて回路HC_rに VSS を保持し、かつ回路MCにおいて電流量 I_1 以外を設定することで、回路MPの重み係数として“+1”以外の正の値を設定することができる。

[0343]

[条件6]

本条件では、一例として、第1データ（重み係数）を“-1”とし、回路MPに入力される第2

データ（ニューロンの信号の値（演算値））を“−1”とする場合の回路MPの動作を考える。図19Cは、その場合における回路MPのタイミングチャートである。

[0344]

時刻T1から時刻T5までの間の動作については、条件3の時刻T1から時刻T5までの間の動作と同様であるため、条件3の時刻T1から時刻T5までの間の動作の説明を参酌する。

[0345]

時刻T5以降において、回路MPへの第2データ（ニューロンの信号の値（演算値））“−1”の入力として、配線WX1Lに低レベル電位、配線X2Lに高レベル電位が入力される。このとき、トランジスタM3、及びトランジスタM3rのそれぞれのゲートに低レベル電位が入力され、トランジスタM4、及びトランジスタM4rのそれぞれのゲートに高レベル電位が入力される。このため、トランジスタM3、及びトランジスタM3rのそれぞれはオフ状態となり、トランジスタM4、及びトランジスタM4rのそれぞれはオン状態になる。つまり、この動作によって、回路MCと配線OLとの間、及び、回路MCrと配線OLBとの間が非導通状態となり、回路MCと配線OLBとの間、及び、回路MCrと配線OLとの間が導通状態となる。

[0346]

このとき、図8Aにおいて、スイッチSWO、及びスイッチSWOBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、及びスイッチSWHBをオフ状態として、配線OL、及び配線OLBのそれぞれと回路AFPとの間を導通状態にする。回路MCにおいて、トランジスタM3がオフ状態になっているため、配線OLから配線VEまでの間に電流は流れない。また、回路MCにおいて、トランジスタM4がオン状態になっているが、トランジスタM1がオフ状態になっているため（電流量として0を流すように設定されているため）、配線OLBから配線VEまでの間に電流は流れない。一方、回路MCrにおいて、トランジスタM3rがオフ状態になっているため、配線OLBから配線VERまでの間に電流は流れない。また、回路MCrにおいて、トランジスタM4rがオン状態となり、トランジスタM1rがオン状態となるため（電流量として I_1 を流すように設定されており、かつトランジスタM1rの第2端子に配線OLBの電位が入力されるため）、配線OLから配線VERまでの間に電流が流れる。以上より、配線OLのノードoutaから出力される電流 I_{OL} は、時刻T5以降に I_1 増加し、配線OLBのノードoutbから出力される電流 I_{OLB} は、時刻T5の前後で変化しない。そのため、回路AFPと配線OLの間には電流量 I_1 の電流 I_{OL} が流れ、かつ回路AFPと配線OLBの間には電流 I_{OLB} は流れない。

[0347]

ところで、本条件は、第1データ（重み係数）を“−1”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“−1”としているため、式(1.1)を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“+1”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“+1”となる結果は、回路MPの動作では、時刻T5以降において電流 I_{OL} が変化し、電流 I_{OLB} が変化しない場合に対応し、これは条件2の回路動作の結果と一致する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“+1”となる結果は、条件2と同様に、図8Aにおいて、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0348]

なお、条件3でも記載した通り、本条件の時刻T3から時刻T4までの間において、例えば、配線OLBから回路MCrに流れる電流を I_1 でなく I_2 に設定して、回路HCrに V_2 を保持してもよい。これにより、回路MPの第1データ（重み係数）として“−2”が設定される。第1データ（重み係数）を“−2”とし、回路MPに入力される第2データ（ニューロンの信号の値）を“−1”とすることにより、式（1.1）から、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“+2”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“+2”となる結果は、回路MPの動作では、時刻T5以降において電流 I_{OL} が変化せず、電流 I_{OLB} が I_2 増加する場合に対応する。このように、回路MCにおいて回路HCにVSSを保持し、かつ回路MCrにおいて電流量 I_1 以外を設定することで、回路MPの重み係数として“−1”以外の負の値を設定することができる。

[0349]

[条件7]

本条件では、一例として、第1データ（重み係数）が“0”であって、回路MPに入力される第2データ（ニューロンの信号の値（演算値））が“0”である場合を条件7として、回路MPの動作を考える。図20Aは、その場合における回路MPのタイミングチャートである。

[0350]

時刻T1から時刻T5までの間の動作については、条件1の時刻T1から時刻T5までの間の動作と同様であるため、条件1の時刻T1から時刻T5までの間の動作の説明を参酌する。

[0351]

時刻T5以降において、回路MPへの第2データ（ニューロンの信号の値（演算値））“0”の入力として、配線WX1Lに低レベル電位、配線X2Lに低レベル電位が入力される。このとき、トランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rのそれぞれのゲートに低レベル電位が入力される。このため、トランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rのそれぞれはオフ状態となる。つまり、この動作によって、回路MCと配線OLとの間、回路MCrと配線OLBとの間、回路MCと配線OLBとの間、及び、回路MCrと配線OLとの間が非導通状態となる。

[0352]

このため、回路MCにおいて、トランジスタM1に流れる、設定された電流の量に関わらず、配線OLから配線VE又は配線VERの一方までの間に電流は流れない。同様に、回路MCrにおいて、トランジスタM1rに流れる、設定された電流の量に関わらず、配線OLBから配線VE又は配線VERの他方までの間にも電流は流れない。つまり、配線OLのノードoutaから出力される電流 I_{OL} 、及び、配線OLBのノードoutbから出力される電流 I_{OLB} のそれぞれは、時刻T5の前後で変化しない。

[0353]

また、このとき、図8Aにおいて、スイッチSWO、及びスイッチSWOBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、及びスイッチSWHBをオフ状態にすることで、配線OL、及び配線OLBのそれぞれと回路AFPとの間を導通状態としても、上述の通り、回路AFPと配線OLとの間には電流 I_{OL} は流れず、かつ回路AFPと配線OLBとの間には電流 I_{OLB} は流れない。

[0354]

ところで、本条件は、第1データ（重み係数）を“0”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“0”としているため、式（1. 1）を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“0”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、回路MPの動作では、時刻T5以降において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応し、これは条件1、条件4の回路動作の結果と一致する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、条件1、条件4と同様に、図8Aにおいて、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0355]

[条件8]

本条件では、一例として、第1データ（重み係数）が“+1”であって、回路MPに入力される第2データ（ニューロンの信号の値（演算値））が“0”である場合を条件8として、回路MPの動作を考える。図20Bは、その場合における回路MPのタイミングチャートである。

[0356]

時刻T1から時刻T5までの間の動作については、条件2の時刻T1から時刻T5までの間の動作と同様であるため、条件2の時刻T1から時刻T5までの間の動作の説明を参酌する。

[0357]

時刻T5以降において、回路MPへの第2データ（ニューロンの信号の値（演算値））“0”の入力として、配線WX1Lに低レベル電位、配線X2Lに低レベル電位が入力される。このとき、トランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rのそれぞれのゲートに低レベル電位が入力される。このため、トランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rのそれぞれはオフ状態となる。つまり、条件7と同様に、この動作によって、トランジスタM1、及びトランジスタM1rのそれぞれに流れる、設定された電流の量に関わらず、回路MCと配線OLとの間、回路MCrと配線OLBとの間、回路MCと配線OLBとの間、及び、回路MCrと配線OLとの間が非導通状態となる。このため、配線OLから配線VE又は配線VERの一方までの間に電流は流れず、かつ配線OLBから配線VE又は配線VERの他方までの間にも電流は流れないため、配線OLのノードoutaから出力される電流 I_{OL} 、及び、配線OLBのノードoutbから出力される電流 I_{OLB} のそれぞれは、時刻T5の前後で変化しない。

[0358]

また、このとき、図8Aにおいて、スイッチSWO、及びスイッチSWOBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWL、及びスイッチSWLBをオフ状態にすることで、配線OL、及び配線OLBのそれぞれと回路AFPとの間を導通状態としても、上述の通り、回路AFPと配線OLとの間には電流 I_{OL} は流れず、かつ回路AFPと配線OLBとの間には電流 I_{OLB} は流れない。

[0359]

ところで、本条件は、第1データ（重み係数）を“+1”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“0”としているため、式（1. 1）を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“0”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、回路MPの動作

では、時刻T 5以降において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応し、これは条件1、条件4、条件7の回路動作の結果と一致する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、条件1、条件4、条件7と同様に、図8Aにおいて、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0360]

[条件9]

本条件では、一例として第1データ（重み係数）が“−1”であって、回路MPに入力される第2データ（ニューロンの信号の値（演算値））が“0”である場合を条件9として、回路MPの動作を考える。図20Cは、その場合における回路MPのタイミングチャートである。

[0361]

時刻T 1から時刻T 5までの間の動作については、条件3の時刻T 1から時刻T 5までの間の動作と同様であるため、条件3の時刻T 1から時刻T 5までの間の動作の説明を参酌する。

[0362]

時刻T 5以降において、回路MPへの第2データ（ニューロンの信号の値（演算値））“0”の入力として、配線WX 1 Lに低レベル電位、配線X 2 Lに低レベル電位が入力される。このとき、トランジスタM 3、トランジスタM 3 r、トランジスタM 4、及びトランジスタM 4 rのそれぞれのゲートに低レベル電位が入力される。このため、トランジスタM 3、M 3 r、トランジスタM 4、及びトランジスタM 4 rのそれぞれはオフ状態となる。つまり、条件7と同様に、この動作によって、トランジスタM 1、及びトランジスタM 1 rのそれぞれに流れる、設定された電流の量に関わらず、回路MCと配線OLとの間、回路MC rと配線OL Bとの間、回路MCと配線OL Bとの間、及び、回路MC rと配線OLとの間が非導通状態になる。このため、配線OLから配線VE又は配線VE rの一方までの間に電流は流れず、かつ配線OL Bから配線VE又は配線VE rの他方までの間にも電流は流れないため、配線OLのノードout aから出力される電流 I_{OL} 、及び、配線OL Bのノードout bから出力される電流 I_{OLB} のそれぞれは、時刻T 5の前後で変化しない。

[0363]

また、このとき、図8Aにおいて、スイッチSWO、及びスイッチSWOBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、及びスイッチSWHBをオフ状態にすることで、配線OL、及び配線OL Bのそれぞれと回路AFPとの間を導通状態としても、上述の通り、回路AFPと配線OLとの間には電流 I_{OL} は流れず、かつ回路AFPと配線OL Bとの間には電流 I_{OLB} は流れない。

[0364]

ところで、本条件は、第1データ（重み係数）を“−1”とし、回路MPに入力される第2データ（ニューロンの信号の値（演算値））を“0”としているため、式（1. 1）を用いると、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積は、“0”となる。第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、回路MPの動作では、時刻T 5以降において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応し、これは条件1、条件4、条件7、条件8の回路動作の結果と一致する。なお、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積が“0”となる結果は、条件1、条件4、条件7、条件8と同様に、図8Aにおいて、回路AFPから信号 $z_j^{(k)}$ として出力される。

[0365]

上述した条件 1 乃至条件 9 の動作例の結果を下表にまとめる。なお、下表では、高レベル電位を **h i g h** と記載し、低レベル電位を **l o w** と記載している。

[0 3 6 6]

[表 2]

条件	重み係数	n1	n1r	信号	X1L	X2L	重み係数 × 信号	I _{OL} の変化量	I _{OLB} の変化量
条件1	0	VSS	VSS	+1	high	low	0	0	0
条件2	+1	V _i	VSS	+1	high	low	+1	I _i	0
条件3	-1	VSS	V _i	+1	high	low	-1	0	I _i
条件4	0	VSS	VSS	-1	low	high	0	0	0
条件5	+1	V _i	VSS	-1	low	high	-1	0	I _i
条件6	-1	VSS	V _i	-1	low	high	+1	I _i	0
条件7	0	VSS	VSS	0	low	low	0	0	0
条件8	+1	V _i	VSS	0	low	low	0	0	0
条件9	-1	VSS	V _i	0	low	low	0	0	0

[0 3 6 7]

ここでは、配線OL、及び配線OLBに、回路MC、回路MC r が 1 個ずつ接続されている場合を一例として示した。これについて、図 2、図 3、図 4、図 7、図 1 1、図 1 2、図 1 4 などに示すように、配線OL、及び配線OLBに、回路MC、回路MC r が複数個ずつ接続されている場合には、各回路MC、回路MC r から出力される電流が、キルヒホッフの電流則に基づいて、足し合わせられることになる。その結果、和の演算が行われることとなる。つまり、回路MC、回路MC r において、積の演算が行われ、複数の回路MC、回路MC r からの電流の足し合わせにより、和の演算が行われる。以上の結果、積和演算処理が行われることとなる。

[0 3 6 8]

ところで、回路MPの動作において、第 1 データ（重み係数）を“+ 1”、“- 1”の 2 値のみとし、第 2 データ（ニューロンの信号の値）を“+ 1”、“- 1”の 2 値のみとした計算を行うことで、回路MPは排他的論理和の否定の回路（一致回路）と同様の動作を行うことができる。

[0 3 6 9]

また、回路MPの動作において、第 1 データ（重み係数）を“+ 1”、“0”の 2 値のみとし、第 2 データ（ニューロンの信号の値）を“+ 1”、“0”の 2 値のみとした計算を行うことで、回路MPは論理積の回路と同様の動作を行うことができる。

[0 3 7 0]

ところで、本動作例では、回路MPの回路MC、及び回路MC r が有する回路HC、回路HC r に保持されている電位を、VSS、V₁、V₂などのように多値としたが、回路HC、回路HC r には 2 値、又はアナログ値を示す電位を保持してもよい。例えば、第 1 データ（重み係数）として“正のアナログ値”の場合には、回路HCのノード n 1 に高レベルのアナログ電位、回路HC r のノード n 1 r に低レベル電位が保持されている。第 1 データ（重み係数）として“負のアナログ値”の場合には、例えば、回路HCのノード n 1 に低レベル電位、回路HC r のノード n 1 r に高レベルのアナログ電位が保持されている。そして、電流 I_{OL}及び電流 I_{OLB}の電流の大きさは、アナログ電位に応じた大きさとなる。また、回路HC、回路HC r にはアナログ値を示す電位を保持することについては、図 1 5 A の回路MPの動作例に限定されず、本明細書等示す他の回路MPに対しても行ってもよい。

[0371]

なお、本構成例は、本明細書で示す他の構成例などと適宜組み合わせることができる。

[0372]

<構成例2>

次に、図15A乃至図15C、図16A、図16Bのそれぞれの回路構成とは異なる、図9Bに図示した回路MPに適用できる回路構成の例について説明する。

[0373]

図21Aに示す回路MPは、図9Bの回路MPの構成例を示しており、図15Aの回路MPとの違いは、トランジスタM2の第2端子が、配線OLでなくトランジスタM1の第2端子と、トランジスタM3の第1端子と、トランジスタM4の第1端子と、に電氣的に接続されている点と、トランジスタM2rの第2端子が、配線OLBでなくトランジスタM1rの第2端子と、トランジスタM3rの第1端子と、トランジスタM4rの第1端子と、に電氣的に接続されている点、とである。

[0374]

図21Aの回路MPは、図15Aの回路MPと同様に動作することができる。

[0375]

また、図21Aとは異なる、図9Bに図示した回路MPに適用できる回路構成の別の例について説明する。図21Bに示す回路MPは、図9Bの回路MPの構成例を示しており、図15Aの回路MPとの違いは、回路MCにトランジスタM1cが含まれ、かつトランジスタM4の第1端子が、トランジスタM1の第2端子とトランジスタM3の第2端子でなく、トランジスタM1cに電氣的に接続されている点と、回路MCrにトランジスタM1crが含まれ、かつトランジスタM4rの第1端子が、トランジスタM1rの第2端子とトランジスタM3rの第2端子でなく、トランジスタM1crに電氣的に接続されている点である。

[0376]

なお、本明細書などにおいて、トランジスタM1c、及びトランジスタM1crは、特に断りの無い場合は、オン状態の場合は最終的に飽和領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。供給される電圧の振幅値を小さくするために、トランジスタM1c、及びトランジスタM1crは、線形領域で動作してもよい。または、トランジスタM1c、及びトランジスタM1crに流れる電流量を小さくするため、トランジスタM1c、及びトランジスタM1crは、サブスレッショルド領域で動作してもよい。又は、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。なお、第1データ（例えば、ここでは重み係数とする。）をアナログ値とする場合には、第1データ（重み係数）の大きさに応じて、例えば、トランジスタM1c、及びトランジスタM1crは、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよい。又は、トランジスタM1c、及びトランジスタM1crは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0377]

図21Bの回路MPにおいて、トランジスタM1cの第1端子は、配線VEに電氣的に接続され

ている。また、トランジスタM1 cのゲートは、トランジスタM1のゲートと、トランジスタM2の第1端子と、容量C1の第1端子と、に電氣的に接続されている。加えて、トランジスタM1 cの第2端子は、トランジスタM4の第1端子に電氣的に接続されている。

[0378]

なお、図21Bの回路MPにおいて、回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。

[0379]

また、図21Bの回路MPと、図15Aの回路MPと同様の接続構成となっている箇所については説明を省略する。

[0380]

図21Bの回路MPにおいて、トランジスタM3、及びトランジスタM4に流れる電流は、それぞれトランジスタM1、及びトランジスタM1 cのゲートの電位によって決められる。なお、一例としては、トランジスタM1、及びトランジスタM1 cのサイズ、例えば、チャネル長及びチャネル幅は互いに等しいことが好ましい。このような回路構成とすることにより、効率的にレイアウトできる可能性がある。また、トランジスタM3、及びトランジスタM4に流れる電流を揃えることができる可能性がある。

[0381]

図21Bの回路MPは、図15Aの回路MPと同様に動作することができる。

[0382]

なお、本構成例は、本明細書で示す他の構成例などと適宜組み合わせることができる。

[0383]

<構成例3>

次に、図9Eに図示した回路MPに適用できる回路構成の例について説明する。

[0384]

図22Aに示す回路MPは、図9Eの回路MPの構成例を示しており、図15Aの回路MPとの違いは、回路MCにトランジスタM5が含まれ、かつ回路MC_rにトランジスタM5_rが含まれている点と、回路MPは配線ILと配線ILBとに電氣的に接続されている点である。

[0385]

なお、本明細書などにおいて、トランジスタM5、及びトランジスタM5_rは、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。但し、本発明の一態様は、これに限定されない。トランジスタM5、及びトランジスタM5_rは、飽和領域で動作してもよく、またはサブスレッショルド領域で動作してもよい。または、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。または、トランジスタM5、及びトランジスタM5_rは、例えば、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよい。又は、トランジスタM5、及びトランジスタM5_rは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、または、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で

動作する場合と線形領域で動作する場合と、が混在してもよい。

[0386]

図22Aの回路MPにおいて、トランジスタM5の第1端子は、トランジスタM2の第2端子と、配線ILと、に電氣的に接続されている。トランジスタM5の第2端子は、トランジスタM1の第2端子と、トランジスタM3の第1端子と、トランジスタM4の第1端子と、に電氣的に接続されている。トランジスタM5のゲートは、配線WLに電氣的に接続されている。

[0387]

なお、図22Aの回路MPにおいて、回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。

[0388]

また、図22Aの回路MPと、図15Aの回路MPと同様の接続構成となっている箇所については説明を省略する。

[0389]

図22Aの回路MPにおいて、構成例1、及び構成例2と同様に、トランジスタM1、トランジスタM2、トランジスタM3、及びトランジスタM4のサイズ、例えば、チャネル長及びチャネル幅は、それぞれトランジスタM1_r、トランジスタM2_r、トランジスタM3_r、及びトランジスタM4_rのサイズと等しいことが好ましい。このような回路構成とすることにより、効率的にレイアウトできる可能性がある。加えて、トランジスタM5のサイズは、トランジスタM5_rのサイズと等しいことが好ましい。

[0390]

回路MC、及び回路MC_rへの電流の設定は、配線WLに高レベル電位を与えて、トランジスタM2、トランジスタM2_r、トランジスタM5、及びトランジスタM5_rをオン状態にすることによって行われる。また、回路MC、及び回路MC_rに電流を設定した後は、回路HC、及び回路HC_rに設定された電位を保持するため、配線WLに低レベル電位を与えて、トランジスタM2、トランジスタM2_r、トランジスタM5、及びトランジスタM5_rをオフ状態にすればよい。

[0391]

構成例1、構成例2で説明した回路MPでは、第2データ（例えば、ここではニューロンの信号の値）を送信する配線と、回路MPに第1データ（例えば、ここでは重み係数とする。）に応じた情報（例えば、電圧、電流など）を供給、又は保持するための配線と、をまとめて配線WX1Lとしたが、回路MPを図22Aの構成とすることによって、第2データ（ニューロンの信号の値）を送信する配線を配線X1Lとして、回路MPに第1データ（重み係数）に応じた情報（例えば、電圧、電流など）を供給、又は保持するための配線を配線WLとすることができる。つまり、図22Aの回路MPは、構成例1、構成例2の回路MPの配線WX1Lを、機能毎に分けた構成ということができる。

[0392]

また、図22Aの回路MPと異なる、回路構成を図22Bに示す。

[0393]

図22Bに示す回路MPは、図22Aの回路MPのトランジスタM5、及びトランジスタM5_rのそれぞれの第1端子の電氣的な接続を変更した構成となっている。具体的には、図22Bの回路

MPにおいて、トランジスタM5の第1端子は、トランジスタM2の第1端子と、トランジスタM1のゲートと、容量C1の第1端子と、に電氣的に接続されている。

[0394]

図22Bに示す構成とすることによって、回路MPは、図22Aの回路MPとほぼ同様に動作する。

[0395]

なお、図22A、及び図22Bのそれぞれに示した回路MPは、配線ILを配線OLにまとめ、かつ配線ILBを配線OLBにまとめた構成としてもよい。例えば、図22Aに示す回路MPにおいて、配線ILを配線OLにまとめ、かつ配線ILBを配線OLBにまとめることによって、図23Aに示す回路MPの構成にすることができる。また、例えば、図22Bに示す回路MPにおいて、配線ILを配線OLにまとめ、かつ配線ILBを配線OLBにまとめることによって、図23Bに示す回路MPの構成にすることができる。なお、図23A、及び図23Bのそれぞれの回路MPは、図9Aに図示した回路MPに適用できる回路構成であり、図23A、及び図23Bのそれぞれの回路MPの動作は、図15Aの回路MPの動作の説明を参酌する。

[0396]

なお、本構成例は、本明細書で示す他の構成例などと適宜組み合わせることができる。

[0397]

<構成例4>

図24に示す回路MPは、図15Aの回路MPと異なり、回路HC、及び回路HC_rだけでなく、回路HC_s、及び回路HC_s_rも有する回路の一例である。

[0398]

図24の回路MPに含まれている回路MCは、図21Aの回路MPが有する回路素子に加え、トランジスタM1_s、トランジスタM2_s、トランジスタM6、トランジスタM6_s、及び容量C1_sを有する。また、図24の回路MPに含まれている回路MC_rは、回路MCと同様の回路素子を有するため、回路MCのトランジスタM1_s、トランジスタM2_s、トランジスタM6、トランジスタM6_s、及び容量C1_sのそれぞれに対応する、トランジスタM1_s_r、トランジスタM2_s_r、トランジスタM6_r、トランジスタM6_s_r、及び容量C1_s_rを有する。なお、トランジスタM2_sと、容量C1_sと、は、回路HC_sに含まれ、トランジスタM2_s_rと、容量C1_s_rと、は、回路HC_s_rに含まれている。

[0399]

なお、本明細書などにおいて、トランジスタM1_s、及びトランジスタM1_s_rは、特に断りの無い場合は、トランジスタM1、及びトランジスタM1_rと同様に、オン状態の場合は最終的に飽和領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、飽和領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。供給される電圧の振幅値を小さくするために、トランジスタM1_s、及びトランジスタM1_s_rは、線形領域で動作してもよい。また、トランジスタM1_s、及びトランジスタM1_s_rに流れる電流量を小さくするため、トランジスタM1_s、及びトランジスタM1_s_rは、サブスレッショルド領域で動作してもよい。または、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。なお、第1データ（重み係数）をアナログ値とする場合には、第1データ（重み係数）の大きさに応じて、例え

ば、トランジスタM1 s、及びトランジスタM1 s rは、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよい。又は、トランジスタM1 s、及びトランジスタM1 s rは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0400]

また、本明細書などにおいて、トランジスタM2 s、トランジスタM2 s r、トランジスタM6、トランジスタM6 s、トランジスタM6 r、トランジスタM6 s rは、特に断りの無い場合は、トランジスタM2、トランジスタM3、トランジスタM4などと同様に、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタM2 s、トランジスタM2 s r、トランジスタM6、トランジスタM6 s、トランジスタM6 r、及びトランジスタM6 s rは、オン状態のときは飽和領域で動作してもよく、または、サブスレッショルド領域で動作してもよい。又は、トランジスタM2 s、トランジスタM2 s r、トランジスタM6、トランジスタM6 s、トランジスタM6 r、及びトランジスタM6 s rは、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。又は、トランジスタM2 s、トランジスタM2 s r、トランジスタM6、トランジスタM6 s、トランジスタM6 r、及びトランジスタM6 s rは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよい。

[0401]

次に、図24の回路MPの構成について説明する。なお、図24の回路MPにおいて、図21Aの回路MPと同様の構成となっている箇所については省略する。

[0402]

図24の回路MPにおいて、トランジスタM1の第2端子は、トランジスタM2の第2端子と、トランジスタM6の第1端子と、に電氣的に接続されている。トランジスタM6の第2端子は、トランジスタM3の第1端子と、トランジスタM4の第1端子と、に電氣的に接続されている。トランジスタM6のゲートは、配線S1Lに電氣的に接続されている。トランジスタM1 sの第1端子は、配線VEに電氣的に接続されている。トランジスタM1 sの第2端子は、トランジスタM6 sの第1端子に電氣的に接続されている。トランジスタM1 sのゲートは、容量C1 sの第1端子と、トランジスタM2 sの第1端子と、に電氣的に接続されている。容量C1 sの第2端子は、配線VEに電氣的に接続されている。トランジスタM2 sの第2端子は、トランジスタM1 sの第2端子と、トランジスタM6 sの第1端子に電氣的に接続されている。トランジスタM6 sの第2端子は、トランジスタM3の第1端子と、トランジスタM4の第1端子と、に電氣的に接続されている。トランジスタM6 sのゲートは、配線S2Lに電氣的に接続されている。

[0403]

図24の回路MPにおいて、回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。

[0404]

配線S1Lは、トランジスタM6、及びトランジスタM6_rをオン状態又はオフ状態にするための電位を供給する電圧線として機能し、配線S2Lは、トランジスタM6_s、及びトランジスタM6_{s r}をオン状態又はオフ状態にするための電位を供給する電圧線として機能する。

[0405]

図24の回路MPにおいて、トランジスタM6、トランジスタM6_s、トランジスタM6_r、及びトランジスタM6_{s r}のサイズ、例えば、チャネル長及びチャネル幅は、互いに等しいことが好ましい。このような回路構成とすることにより、効率的にレイアウトできる可能性がある。

[0406]

例えば、図11に示した演算回路150に、図24の回路MPに示した構成を適用することによって、演算回路150の回路MPは、第1データ（例えば、ここでは重み係数とする。）を2個保持することができる。具体的には、図24の回路MPは、1個目の第1データ（重み係数）に応じた電位を、回路MCの回路HCと、回路MC_rの回路HC_rと、に保持し、2個目の第1データ（重み係数）に応じた電位を、回路MCの回路HC_sと、回路MC_rの回路HC_{s r}と、に保持することができる。また、図24の回路MPは、配線S1L、及び配線S2Lから与える電位によって、演算に用いる第1データ（重み係数）の切り替えを行うことができる。例えば、演算回路150の回路MP[1, j]乃至回路MP[m, j]に含まれるそれぞれの回路HC、及び回路HC_rに第1データ（重み係数） $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ に相当する電位を保持し、演算回路150の回路MP[1, j]乃至回路MP[m, j]に含まれるそれぞれの回路HC_s、及び回路HC_{s r}に第1データ（重み係数） $w_1^{(k-1)} h^{(k)}$ 乃至 $w_m^{(k-1)} h^{(k)}$ （ここでのhは、1以上でjでない整数とする。）に相当する電位を保持して、配線XLS[1]乃至配線XLS[m]（図24の回路MPにおける配線WX1L、及び配線X2L）に信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ に応じた電位を入力する。このとき、配線S1Lに高レベル電位を印加して、トランジスタM6、及びトランジスタM6_rをオン状態とし、配線S2Lに低レベル電位を印加して、トランジスタM6_s、及びトランジスタM6_{s r}をオフ状態とすることで、演算回路150の回路MP[1, j]乃至回路MP[m, j]は、重み係数 $w_1^{(k-1)} j^{(k)}$ 乃至 $w_m^{(k-1)} j^{(k)}$ と信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和と活性化関数の演算を行うことができる。また、配線S1Lに低レベル電位を印加して、トランジスタM6、及びトランジスタM6_rをオフ状態とし、配線S2Lに高レベル電位を印加して、トランジスタM6_s、及びトランジスタM6_{s r}をオン状態とすることで、演算回路150の回路MP[1, j]乃至回路MP[m, j]は、重み係数 $w_1^{(k-1)} h^{(k)}$ 乃至 $w_m^{(k-1)} h^{(k)}$ と信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ との積和と活性化関数の演算を行うことができる。

[0407]

上述の通り、演算回路150に図24の回路MPを適用することによって、重み係数を2個保持することができる。かつ当該重み係数を切り替えて、積和と活性化関数の演算を行うことができる。図24の回路MPを構成した演算回路150は、例えば、第k層のニューロンの個数がnより大きい場合、第k層と異なる中間層における演算を行う場合、などに有効である。また、図24の回路MPでは、回路MC、及び回路MC_rが有する保持部はそれぞれ2個としたが、回路MC、及び回

路MC_rのそれぞれは、状況に応じて、3個以上の保持部を有してもよい。

[0408]

また、本発明の一態様の半導体装置に含まれている回路MPは、図24の回路MPに限定されない。本発明の一態様の半導体装置の回路MPとしては、図24の回路MPの回路構成を状況に応じて変更することができる。

[0409]

例えば、図25に示す回路MPは、図24の回路MPを変更した回路構成となっている。具体的には、図25の回路MPは、図24の回路MPに対して、トランジスタM3_s、トランジスタM4_s、トランジスタM3_{s r}、及びトランジスタM4_{s r}が加えられ、かつ電氣的な接続の変更がされている。トランジスタM3_sの第1端子は、トランジスタM6_sの第2端子と、トランジスタM4_sの第1端子と、に電氣的に接続され、トランジスタM3_sの第2端子は、配線OLに電氣的に接続され、トランジスタM3_sのゲートは、配線WX1Lに電氣的に接続されている。トランジスタM4_sの第2端子は、配線OLBに電氣的に接続され、トランジスタM4_sのゲートは、配線X2Lに電氣的に接続されている。

[0410]

なお、図25の回路MPにおいて、回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。また、回路MC_rにおいて、トランジスタM3_{s r}の第2端子は、配線OLBに電氣的に接続され、トランジスタM4_{s r}の第2端子は、配線OLに電氣的に接続されている。

[0411]

図25の回路MPにおいて、トランジスタM3、トランジスタM3_s、トランジスタM3_r、トランジスタM3_{s r}、トランジスタM4、トランジスタM4_s、トランジスタM4_r、及びトランジスタM4_{s r}のサイズ、例えば、チャネル長及びチャネル幅は、互いに等しいことが好ましい。このような回路構成とすることにより、効率的にレイアウトできる可能性がある。

[0412]

図25の回路MPは、図24の回路MPと同様の動作を行うことで、第1データ（重み係数）を2個保持することができ、かつ当該第1データ（重み係数）を切り替えて、積和と活性化関数の演算を行うことができる。また、図25の回路MPでは、回路MC、及び回路MC_rが有する保持部はそれぞれ2個としたが、回路MC、及び回路MC_rのそれぞれは、状況に応じて、3個以上の保持部を有してもよい。

[0413]

なお、本構成例は、本明細書で示す他の構成例などと適宜組み合わせることができる。

[0414]

<構成例5>

図26に示す回路MPは、図21Aの回路MPと異なり、回路MCにおいて、チャネル幅（以下、W長と呼称する。）とチャネル長（以下、L長と呼称する。）の比がそれぞれ異なるトランジスタM1、トランジスタM1-2b、トランジスタM1-3bを一例として有している。なお、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bだけでなく、更に多くのトランジスタを有していてもよいし、トランジスタM1-3b、トランジスタM1-2bなどを有していな

くてもよい。

[0415]

図26の回路MPに含まれている回路MCは、更に、図21Aの回路MPが有する回路素子に加え、トランジスタM3-2b、トランジスタM4-2b、トランジスタM3-3b、及びトランジスタM4-3bを有する。

[0416]

本明細書などにおいて、トランジスタM1-2b、及びトランジスタM1-3bは、トランジスタM1と同様に、特に断りの無い場合は、オン状態の場合は最終的に飽和領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、飽和領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。供給される電圧の振幅値を小さくするために、トランジスタM1-2b、及びトランジスタM1-3bは、線形領域で動作してもよい。また、トランジスタM1-2b、及びトランジスタM1-3bに流れる電流量を小さくするため、トランジスタM1-2b、及びトランジスタM1-3bは、サブスレッショルド領域で動作してもよい。または、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。なお、第1データ（例えば、ここでは重み係数とする。）をアナログ値とする場合には、第1データ（重み係数）の大きさに応じて、例えば、トランジスタM1-2b、及びトランジスタM1-3bは、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよい。又は、トランジスタM1-2b、及びトランジスタM1-3bは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0417]

また、本明細書などにおいて、トランジスタM3-2b、トランジスタM4-2b、トランジスタM3-3b、及びトランジスタM4-3bは、トランジスタM3、及びトランジスタM4と同様に、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタM3-2b、トランジスタM4-2b、トランジスタM3-3b、及びトランジスタM4-3bは、オン状態のときは飽和領域で動作してもよく、またはサブスレッショルド領域で動作してもよい。又は、トランジスタM3-2b、トランジスタM4-2b、トランジスタM3-3b、及びトランジスタM4-3bは、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。又は、トランジスタM3-2b、トランジスタM4-2b、トランジスタM3-3b、及びトランジスタM4-3bは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよい。

[0418]

次に、図26の回路MPの構成について説明する。なお、図26の回路MPにおいて、図21A

の回路MPと同様の構成となっている箇所については省略する。

[0419]

図26の回路MPの回路MCにおいて、トランジスタM1-2bの第1端子は、配線VEに電氣的に接続されている。トランジスタM1-2bの第2端子は、トランジスタM3-2bの第1端子と、トランジスタM4-2bの第1端子と、に電氣的に接続されている。トランジスタM1-2bのゲートは、トランジスタM2の第1端子と、容量C1の第1端子と、に電氣的に接続されている。トランジスタM3-2bの第2端子は、配線OLに電氣的に接続されている。トランジスタM3-2bのゲートは、配線X1L2bに電氣的に接続されている。トランジスタM4-2bの第2端子は、配線OLBに電氣的に接続されている。トランジスタM4-2bのゲートは、配線X2L2bに電氣的に接続されている。トランジスタM1-3bの第1端子は、配線VEに電氣的に接続されている。トランジスタM1-3bの第2端子は、トランジスタM3-3bの第1端子と、トランジスタM4-3bの第1端子と、に電氣的に接続されている。トランジスタM1-3bのゲートは、トランジスタM2の第1端子と、容量C1の第1端子と、に電氣的に接続されている。トランジスタM3-3bの第2端子は、配線OLに電氣的に接続されている。トランジスタM3-3bのゲートは、配線X1L3bに電氣的に接続されている。トランジスタM4-3bの第2端子は、配線OLBに電氣的に接続されている。トランジスタM4-3bのゲートは、配線X2L3bに電氣的に接続されている。

[0420]

なお、図26の回路MPにおいて、回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。また、トランジスタM3-2b_rの第2端子は、配線OLBに電氣的に接続され、トランジスタM4-2b_rの第2端子は、配線OLに電氣的に接続され、トランジスタM3-3b_rの第2端子は、配線OLBに電氣的に接続され、トランジスタM4-3b_rの第2端子は、配線OLに電氣的に接続されている。

[0421]

図26の回路MPにおいて、トランジスタM3、トランジスタM3-2b、トランジスタM3-3b、トランジスタM3_r、トランジスタM3-2b_r、トランジスタM3-3b_r、トランジスタM4、トランジスタM4-2b、トランジスタM4-3b、トランジスタM4_r、トランジスタM4-2b_r、及びトランジスタM4-3b_rのサイズ、例えば、チャネル長及びチャネル幅は、互いに等しいことが好ましい。このような回路構成とすることにより、効率的にレイアウトできる可能性がある。

[0422]

配線X1L2bは、トランジスタM3-2b、及びトランジスタM3-2b_rをオン状態とオフ状態の切り替えを行うための配線であり、配線X2L2bは、トランジスタM4-2b、及びトランジスタM4-2b_rをオン状態とオフ状態の切り替えを行うための配線であり、配線X1L3bは、トランジスタM3-3b、及びトランジスタM3-3b_rをオン状態とオフ状態の切り替えを行うための配線であり、配線X2L3bは、トランジスタM4-3b、及びトランジスタM4-3b_rをオン状態とオフ状態の切り替えを行うための配線である。

[0423]

トランジスタM1のW長とL長の比をW/Lとしたとき、トランジスタM1-2bのW長とL長

の比は、 $2 \times W/L$ とするのが好ましく、かつトランジスタM1-3bのW長とL長の比は、 $4 \times W/L$ とするのが好ましい。トランジスタのソースドレイン間に流れる電流はチャンネル幅／チャンネル長に比例するため、トランジスタM1、トランジスタM1-2b、及びトランジスタM1-3bのチャンネル幅／チャンネル長以外の構造、構成条件などが同じ場合、トランジスタM1-2b、及びトランジスタM1-3bに流れる電流は、それぞれトランジスタM1に流れる電流の概ね2倍、概ね4倍となる。つまり、トランジスタM1、トランジスタM1-2b、及びトランジスタM1-3bに流れる電流量の比は、概ね1：2：4となる。なお、図26の回路MPに含まれる回路MCが、トランジスタM1に相当するトランジスタとして、例えばQ個（Qは4以上の整数とする）有する場合を考える。1番目のトランジスタをトランジスタM1とし、2番目のトランジスタをトランジスタM1-2bとし、3番目のトランジスタをトランジスタM1-3bとして、q番目（qは4以上Q以下の整数）のトランジスタのW長とL長の比を、トランジスタM1のW長とL長の比の $2^{(q-1)}$ 倍とすると、1番目のトランジスタ、2番目のトランジスタ、3番目のトランジスタ、q番目のトランジスタのそれぞれに流れる電流量の比は、1：2：4： $2^{(q-1)}$ となる。つまり、図26の回路MPに含まれる回路MCは、Q個のトランジスタを、それぞれに流れる電流の量を2のべき乗の比となるように有してもよい。

[0424]

例えば、トランジスタM1のソースドレイン間に流れる電流量を I_{ut} としたとき、上述のトランジスタM1、トランジスタM1-2b、及びトランジスタM1-3bのそれぞれのチャンネル幅／チャンネル長より、トランジスタM1-2b、及びトランジスタM1-3bに流れる電流量は、それぞれ $2 I_{ut}$ 、 $4 I_{ut}$ となる。

[0425]

また、トランジスタM1rのW長とL長の比は、トランジスタM1のW長とL長の比と等しいことが好ましく、トランジスタM1-2brのW長とL長の比は、トランジスタM1-2bのW長とL長の比と等しいことが好ましく、トランジスタM1-3brのW長とL長の比は、トランジスタM1-3bのW長とL長の比と等しいことが好ましい。

[0426]

ここで、配線OLから回路MCに流れる電流量を考える。この場合、回路MPには正の第1データ（正の重み係数）が設定され、かつトランジスタM3、トランジスタM3-2b、及びトランジスタM3-3bの少なくとも一をオン状態とし、トランジスタM4、トランジスタM4-2b、及びトランジスタM4-3bをオフ状態とすればよい。このとき、トランジスタM3、トランジスタM3-2b、及びトランジスタM3-3bのそれぞれのオン状態、オフ状態の組み合わせによって、配線OLから回路MCに流れる電流量が変化する。

[0427]

例えば、トランジスタM1のソースドレイン間に流れる電流量を I_{ut} に設定したとき、トランジスタM1-2bに流れる電流量は $2 I_{ut}$ となり、トランジスタM1-3bに流れる電流量は $4 I_{ut}$ となる。ここで、配線WX1Lに高レベル電位を印加し、配線X2Lに低レベル電位を印加し、更に、配線X1L2b、配線X2L2b、配線X1L3b、及び配線X2L3bに低レベル電位を印加することによって、トランジスタM3をオン状態にし、トランジスタM3-2b、トランジスタM3-3b、トランジスタM4、トランジスタM4-2b、及びトランジスタM4-3bをオフ状態にすることができる。このとき、配線OLから回路MCに流れる電流量は I_{ut} となる。また、

例えば、トランジスタM1のソースドレイン間に流れる電流量を I_{ut} に設定し、かつ配線WX1L、及び配線X1L2bに高レベル電位を印加し、配線X2L、及び配線X2L2bに低レベル電位を印加し、更に、配線X1L3b、及び配線X2L3bに低レベル電位を印加する。このとき、トランジスタM3、及びトランジスタM3-2bをオン状態にし、トランジスタM3-3b、トランジスタM4、トランジスタM4-2b、及びトランジスタM4-3bをオフ状態にすることができ、配線OLから回路MCに流れる電流量は $3 I_{ut}$ となる。また、例えば、トランジスタM1のソースドレイン間に流れる電流量を I_{ut} に設定し、かつ配線X1L2b、及び配線X1L3bに高レベル電位を印加し、配線X2L2b、及び配線X2L3bに低レベル電位を印加し、更に、配線WX1L、及び配線X2Lに低レベル電位を印加する。このとき、トランジスタM3-2b、トランジスタM3-3bをオン状態にし、トランジスタM3、トランジスタM4、トランジスタM4-2b、及びトランジスタM4-3bをオフ状態にすることができ、配線OLから回路MCに流れる電流量は $6 I_{ut}$ となる。

[0428]

更に、例えば、トランジスタM1のソースドレイン間に流れる電流量を $2 I_{ut}$ に設定したとき、トランジスタM1-2bに流れる電流量は $4 I_{ut}$ となり、トランジスタM1-3bに流れる電流量は $8 I_{ut}$ となる。ここで、配線WX1Lに高レベル電位を印加し、配線X2Lに低レベル電位を印加し、更に、配線X1L2b、配線X2L2b、配線X1L3b、及び配線X2L3bに低レベル電位を印加することによって、トランジスタM3をオン状態にし、トランジスタM3-2b、トランジスタM3-3b、トランジスタM4、トランジスタM4-2b、及びトランジスタM4-3bをオフ状態にすることができる。このとき、配線OLから回路MCに流れる電流量は $2 I_{ut}$ となる。また、例えば、トランジスタM1のソースドレイン間に流れる電流量を $2 I_{ut}$ に設定し、かつ配線WX1L、及び配線X1L2bに高レベル電位を印加し、配線X2L、及び配線X2L2bに低レベル電位を印加し、更に、配線X1L3b、及び配線X2L3bに低レベル電位を印加する。このとき、トランジスタM3、及びトランジスタM3-2bをオン状態にし、トランジスタM3-3b、トランジスタM4、トランジスタM4-2b、及びトランジスタM4-3bをオフ状態にすることができ、配線OLから回路MCに流れる電流量は $6 I_{ut}$ となる。また、例えば、トランジスタM1のソースドレイン間に流れる電流量を $2 I_{ut}$ に設定し、かつ配線X1L2b、及び配線X1L3bに高レベル電位を印加し、配線X2L2b、及び配線X2L3bに低レベル電位を印加し、更に、配線WX1L、及び配線X2Lに低レベル電位を印加する。このとき、トランジスタM3-2b、及びトランジスタM3-3bをオン状態にし、トランジスタM3、トランジスタM4、トランジスタM4-2b、及びトランジスタM4-3bをオフ状態にすることができ、配線OLから回路MCに流れる電流量は $12 I_{ut}$ となる。

[0429]

つまり、図26の回路MPは、トランジスタM1のソースドレイン間に設定した電流を、配線WX1L、配線X1L2b、及び配線X1L3bのそれぞれの電位に応じて概ね整数倍して、整数倍した電流を配線OLから回路MCに流す機能を有する。なお、トランジスタM1、トランジスタM1-2b、及びトランジスタM1-3bのそれぞれのW長とL長の比を変更することによって、トランジスタM1のソースドレイン間に設定した電流を整数倍でなく実数倍にして、配線OLから回路MCに流すことができる。

[0430]

上述の例では、配線OLから回路MCに流れる電流量について扱ったが、配線OLBから回路MCに流れる電流量についても同様に考えることができる。この場合、回路MPには正の第1データ（正の重み係数）が設定され、かつトランジスタM4、トランジスタM4-2b、トランジスタM4-3bの少なくとも一をオン状態とし、トランジスタM3、トランジスタM3-2b、及びトランジスタM3-3bをオフ状態とすればよい。このとき、トランジスタM4、トランジスタM4-2b、及びトランジスタM4-3bのそれぞれのオン状態、オフ状態の組み合わせによって、配線OLBから回路MCに流れる電流量が変化する。また、配線OLBから回路MCrに流れる電流についても同様に考えることができる。この場合、回路MPには負の第1データ（負の重み係数）が設定され、かつトランジスタM3r、トランジスタM3-2br、及びトランジスタM3-3brの少なくとも一をオン状態とし、トランジスタM4r、トランジスタM4-2br、及びトランジスタM4-3brをオフ状態とすればよい。このとき、トランジスタM3r、トランジスタM3-2br、及びトランジスタM3-3brのそれぞれのオン状態、オフ状態の組み合わせによって、配線OLBから回路MCrに流れる電流量が変化する。更に、配線OLから回路MCrに流れる電流についても同様に考えることができる。この場合、回路MPには負の第1データ（負の重み係数）が設定され、かつトランジスタM4r、トランジスタM4-2br、及びトランジスタM4-3brの少なくとも一をオン状態とし、トランジスタM3r、トランジスタM3-2br、及びトランジスタM3-3brをオフ状態とすればよい。このとき、トランジスタM4r、トランジスタM4-2br、及びトランジスタM4-3brのそれぞれのオン状態、オフ状態の組み合わせによって、配線OLから回路MCrに流れる電流量が変化する。

[0431]

上述の通り、図26の回路MPは、設定した電流の量を、配線WX1L、配線X2L、配線X1L2b、配線X2L2b、配線X1L3b、及び配線X2L3bのそれぞれの電位に応じて、整数倍（実数倍）にして、配線OLから回路MC又は回路MCrに電流を流し、又は配線OLBから回路MC又は回路MCrに電流を流すことができる。ここで、配線WX1L、配線X2L、配線X1L2b、配線X2L2b、配線X1L3b、及び配線X2L3bのそれぞれの電位の組み合わせに応じて第2データ（例えば、ここではニューロンの信号の値とする。）を定めることによって、第2データ（ニューロンの信号の値）を多値（図26の回路MPの構成では15値）として、扱うことができる。つまり、図26の回路MPは、多値の第1データ（重み係数）と、多値の第2データ（ニューロン信号）と、の積を計算することができる回路とすることができる。

[0432]

回路MPに設定される第1データ（重み係数）を“+1”として（トランジスタM1のソースドレイン間に設定される電流量を I_{ut} 、トランジスタM1rのソースドレイン間に設定される電流量を0とする。なお、回路HCのノードn1の電位を V_1 とし、回路HCrのノードn1rの電位をVSSとしている。）、第2データ（ニューロンの信号の値）に応じた、配線WX1L、配線X2L、配線X1L2b、配線X2L2b、配線X1L3b、及び配線X2L3bの電位を回路MPに入力したときの、配線OLから回路MC又は回路MCrに流れる電流 I_{OL} と、配線OLBから回路MC又は回路MCrに流れる電流 I_{OLB} と、の電流量の変化を下表に示す。なお、下表では、高レベル電位をhighと記載し、低レベル電位をlowと記載している。

[0433]

[表 3]

重み 係数	n1	n1r	信号	WX1L	X2L	X1L2b	X2L2b	X1L3b	X2L3b	重み係数 × 信号	I _{OL} の変化 量	I _{OLB} の変化 量
+1	V _i	VSS	0	low	low	low	low	low	low	0	0	0
+1	V _i	VSS	+1	high	low	low	low	low	low	+1	I _{ut}	0
+1	V _i	VSS	+2	low	low	high	low	low	low	+2	2I _{ut}	0
+1	V _i	VSS	+3	high	low	high	low	low	low	+3	3I _{ut}	0
+1	V _i	VSS	+4	low	low	low	low	high	low	+4	4I _{ut}	0
+1	V _i	VSS	+5	high	low	low	low	high	low	+5	5I _{ut}	0
+1	V _i	VSS	+6	low	low	high	low	high	low	+6	6I _{ut}	0
+1	V _i	VSS	+7	high	low	high	low	high	low	+7	7I _{ut}	0
+1	V _i	VSS	-1	low	high	low	low	low	low	-1	0	I _{ut}
+1	V _i	VSS	-2	low	low	low	high	low	low	-2	0	2I _{ut}
+1	V _i	VSS	-3	low	high	low	high	low	low	-3	0	3I _{ut}
+1	V _i	VSS	-4	low	low	low	low	low	high	-4	0	4I _{ut}
+1	V _i	VSS	-5	low	high	low	low	low	high	-5	0	5I _{ut}
+1	V _i	VSS	-6	low	low	low	high	low	high	-6	0	6I _{ut}
+1	V _i	VSS	-7	low	high	low	high	low	high	-7	0	7I _{ut}

[0434]

また、回路MPに設定される第1データ（重み係数）を“−1”として（トランジスタM1のソースドレイン間に設定される電流量を0、トランジスタM1rのソースドレイン間に設定される電流量をI_{ut}とする。なお、回路HCのノードn1の電位をVSSとし、回路HCrのノードn1rの電位をV_iとしている。）、第2データ（ニューロンの信号の値）に応じた、配線WX1L、配線X2L、配線X1L2b、配線X2L2b、配線X1L3b、及び配線X2L3bの電位を回路MPに入力したときの、配線OLから回路MC又は回路MCrに流れる電流I_{OL}と、配線OLBから回路MC又は回路MCrに流れる電流I_{OLB}と、の電流量の変化を下表に示す。なお、下表では、高レベル電位をhighと記載し、低レベル電位をlowと記載している。

[0435]

[表 4]

重み 係数	n1	n1r	信号	WX1L	X2L	X1L2b	X2L2b	X1L3b	X2L3b	重み係数 × 信号	I_{OL} の変化 量	I_{OLB} の変化 量
-1	VSS	V_1	0	low	low	low	low	low	low	0	0	0
-1	VSS	V_1	+1	high	low	low	low	low	low	-1	0	I_{ut}
-1	VSS	V_1	+2	low	low	high	low	low	low	-2	0	$2I_{ut}$
-1	VSS	V_1	+3	high	low	high	low	low	low	-3	0	$3I_{ut}$
-1	VSS	V_1	+4	low	low	low	low	high	low	-4	0	$4I_{ut}$
-1	VSS	V_1	+5	high	low	low	low	high	low	-5	0	$5I_{ut}$
-1	VSS	V_1	+6	low	low	high	low	high	low	-6	0	$6I_{ut}$
-1	VSS	V_1	+7	high	low	high	low	high	low	-7	0	$7I_{ut}$
-1	VSS	V_1	-1	low	high	low	low	low	low	+1	I_{ut}	0
-1	VSS	V_1	-2	low	low	low	high	low	low	+2	$2I_{ut}$	0
-1	VSS	V_1	-3	low	high	low	high	low	low	+3	$3I_{ut}$	0
-1	VSS	V_1	-4	low	low	low	low	low	high	+4	$4I_{ut}$	0
-1	VSS	V_1	-5	low	high	low	low	low	high	+5	$5I_{ut}$	0
-1	VSS	V_1	-6	low	low	low	high	low	high	+6	$6I_{ut}$	0
-1	VSS	V_1	-7	low	high	low	high	low	high	+7	$7I_{ut}$	0

[0436]

ところで、トランジスタM1のソースドレイン間に流れる電流量を0としたとき、ノードn1の電位としては、例えば、VSSとすればよい。これにより、トランジスタM1に加え、トランジスタM1-2b、及びトランジスタM1-3bのそれぞれのソースドレイン間に流れる電流量も0にすることができる。このため、トランジスタM3、トランジスタM3-2b、トランジスタM3-3b、トランジスタM4、トランジスタM4-2b、及びトランジスタM4-3bのオン状態又はオフ状態に関わらず、配線OL又は配線OLBから回路MCへの電流は流れない。

[0437]

このように、図26の回路MPは、配線WX1L、配線X2L、配線X1L2b、配線X2L2b、配線X1L3b、及び配線X2L3bのそれぞれを、低レベル電位又は高レベル電位にすることによって、第2データ（ニューロンの信号の値）を15値として表現することができ、多値の第1データ（重み係数）と、多値の第2データ（ニューロンの信号の値）と、の積を計算することができる。

[0438]

また、本発明の一態様の半導体装置に含まれている回路MPは、図26の回路MPに限定されない。本発明の一態様の半導体装置の回路MPとしては、図26の回路MPの回路構成を状況に応じて変更することができる。

[0439]

例えば、図27に示す回路MPは、図26の回路MPを変更した回路構成となっている。具体的には、図27の回路MPは、図26の回路MPに対して、回路HC-2b、回路HC-3b、回路HC-2br、及び回路HC-3brが加えられた構成となっている。回路HC-2b、回路HC-3b、回路HC-2br、及び回路HC-3brの構成は、回路HC、及び回路HCrと同様の構成であるため、回路HC、及び回路HCrの説明の記載を参酌する。

[0440]

回路MCにおいて、トランジスタM1-2b、トランジスタM3-2b、及びトランジスタM4-2b、及び回路HC-2bの周辺の電氣的な接続構成は、トランジスタM1、トランジスタM3、トランジスタM4、及び回路HCの周辺と同様の電氣的な接続構成となっている。また、トランジスタM1-3b、トランジスタM3-3b、トランジスタM4-3b、及び回路HC-3bの周辺の電氣的な接続構成は、トランジスタM1、トランジスタM3、トランジスタM4、及び回路HCの周辺と同様の電氣的な接続構成となっている。また、回路MCrにおいて、トランジスタM1-2br、トランジスタM3-2br、トランジスタM4-2br、及び回路HC-2brの周辺の電氣的な接続構成は、トランジスタM1r、トランジスタM3r、トランジスタM4r、及び回路HCrの周辺と同様の電氣的な接続構成となっている。また、トランジスタM1-3br、トランジスタM3-3br、トランジスタM4-3br、及び回路HC-3brの周辺の電氣的な接続構成は、トランジスタM1r、トランジスタM3r、トランジスタM4r、及び回路HCrの周辺と同様の電氣的な接続構成となっている。

[0441]

更に、回路HC-2bは、配線WL2bに電氣的に接続され、回路HC-3bは、配線WL3bに電氣的に接続され、回路HC-2brは、配線WL2bに電氣的に接続され、回路HC-3brは、配線WL3bに電氣的に接続されている。

[0442]

図27の回路MPにおいて、例えば、図26の回路MPと同様に、トランジスタM1、トランジスタM1-2b、及びトランジスタM1-3bのそれぞれのW長とL長の比を、 W/L 、 $2 \times W/L$ 、 $4 \times W/L$ とし、トランジスタM1のソースドレイン間に流れる電流量を I_{ut} に設定するような電位を回路HCに保持し、かつ当該電位とほぼ同じ電位を回路HC-2b、及び回路HC-3bに保持することによって、図26の回路MPと同様に動作することができる。

[0443]

また、回路HC、回路HC-2b、及び回路HC-3bにはほぼ同じ電位を書き込めばよいので、配線WL、配線WL2b、及び配線WL3bはそれぞれ一本の配線にまとめてもよい（図示しない）。

[0444]

また、例えば、トランジスタM1、トランジスタM1-2b、及びトランジスタM1-3bのそれぞれのW長とL長の比をそれぞれ等しくし、かつトランジスタM1のソースドレイン間に流れる電流量をIに設定した場合、トランジスタM1-2bのソースドレイン間に流れる電流量として2Iに設定し、トランジスタM1-3bのソースドレイン間に流れる電流量を4Iに設定することによって、図26の回路MPと同様に動作することができる。

[0445]

また、図27の回路MPと異なる、図26の回路MPを変更した回路構成として、例えば、図28に示す回路MPとしてもよい。図28の回路MPは、図26の回路MPに対して、トランジスタM2-2b、トランジスタM2-3b、トランジスタM2-2br、及びトランジスタM2-3brが加えられた構成となっている。なお、トランジスタM1、トランジスタM1-2b、及びトランジスタM1-3bのそれぞれのW長とL長の比は、一例として、図26と同様に、 W/L 、 $2 \times W/L$ 、 $4 \times W/L$ とする。ただし、電流量は、設定されたときの大きさによって決定され、W長、及びL長には、依存しない場合がある。そのため、トランジスタM1、トランジスタM1-2b、

及びトランジスタM1-3bのそれぞれのW長とL長の比は、全て同じとしてもよい。ただしその場合には、電流量に応じて、各トランジスタのゲートの電位が異なることがある。各トランジスタのゲートの電位を概ね同じにしたい場合には、W長とL長の比は、 W/L 、 $2 \times W/L$ 、 $4 \times W/L$ とすることが望ましい。

[0446]

また、本明細書などにおいて、トランジスタM2-2b、トランジスタM2-3b、トランジスタM2-2br、及びトランジスタM2-3brとしては、特に断りの無い場合は、トランジスタM2、及びトランジスタM2rと同様に、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタM2-2b、トランジスタM2-3b、トランジスタM2-2br、及びトランジスタM2-3brは、オン状態のときは飽和領域で動作してもよく、またはサブスレッショルド領域で動作してもよい。又は、トランジスタM2-2b、トランジスタM2-3b、トランジスタM2-2br、及びトランジスタM2-3brは、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。又は、トランジスタM2-2b、トランジスタM2-3b、トランジスタM2-2br、及びトランジスタM2-3brは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよい。

[0447]

回路MCにおいて、トランジスタM2-2bの第1端子は、トランジスタM2-3bの第1端子と、トランジスタM2の第1端子と、トランジスタM1のゲートと、トランジスタM1-2bのゲートと、トランジスタM1-3bのゲートと、容量C1の第1端子と、に電氣的に接続されている。トランジスタM2-2bの第2端子は、トランジスタM1-2bの第2端子と、トランジスタM3-2bの第1端子と、トランジスタM4-2bの第1端子と、に電氣的に接続されている。トランジスタM2-3bの第2端子は、トランジスタM1-3bの第2端子と、トランジスタM3-3bの第1端子と、トランジスタM4-3bの第1端子と、に電氣的に接続されている。トランジスタM2-2bのゲートと、トランジスタM2-3bのゲートと、は、配線WLに電氣的に接続されている。

[0448]

また、同様に、回路MCrにおいて、トランジスタM2-2brの第1端子は、トランジスタM2-3brの第1端子と、トランジスタM2rの第1端子と、トランジスタM1rのゲートと、トランジスタM1-2brのゲートと、トランジスタM1-3brのゲートと、容量C1の第1端子と、に電氣的に接続されている。トランジスタM2-2brの第2端子は、トランジスタM1-2brの第2端子と、トランジスタM3-2brの第1端子と、トランジスタM4-2brの第1端子と、に電氣的に接続されている。トランジスタM2-3brの第2端子は、トランジスタM1-3brの第2端子と、トランジスタM3-3brの第1端子と、トランジスタM4-3brの第1端子と、に電氣的に接続されている。トランジスタM2-2brのゲートと、トランジスタM2-

3 b r のゲートと、は、配線WLに電氣的に接続されている。

[0449]

また、図28に示す配線WX1L2b、及び配線WX1L3bのそれぞれは、図26の回路MPにおける配線X1L2b、及び配線X1L3bに相当する。

[0450]

トランジスタM1、トランジスタM1-2b、トランジスタM1-3b、トランジスタM1r、トランジスタM1-2br、及びトランジスタM1-3brのそれぞれに流れる電流を設定するとき、配線WLと、配線WX1Lと、配線WX1L2bと、配線WX1L3bと、に高レベル電位を入力して、トランジスタM2、トランジスタM2-2b、トランジスタM2-3b、トランジスタM3、トランジスタM3-2b、及びトランジスタM3-3bのそれぞれをオン状態にする。また、配線X2L、配線X2L2b、及び配線X2L3bに低レベル電位を入力して、トランジスタM4、トランジスタM4-2b、トランジスタM4-3b、トランジスタM4r、トランジスタM4-2br、及びトランジスタM4-3brをオフ状態にする。

[0451]

このとき、配線OLから回路MCに、トランジスタM1、トランジスタM1-2b、及びトランジスタM1-3bのそれぞれに設定する電流の総和を流すことによって、例えば、 $7I_{ut}$ を流すことによって、回路HCのノードn1は所定の電位になる。ここで、配線WLに低レベル電位を入力して、トランジスタM2をオフ状態にすることで、回路HCのノードn1に所定の電位を保持する。これによって、トランジスタM1、トランジスタM1-2b、及びトランジスタM1-3bのそれぞれのソースドレイン間には、 I_{ut} 、 $2I_{ut}$ 、 $4I_{ut}$ の電流が流れるように設定される。

[0452]

また、同様に、配線OLBから回路MCrに、トランジスタM1r、トランジスタM1-2br、及びトランジスタM1-3brのそれぞれに設定する電流の総和を流すことによって、例えば、 $7I_{ut}$ を流すことによって、回路HCrのノードn1rは所定の電位になる。そして、配線WLに低レベル電位を入力して、回路HCrのノードn1rに所定の電位を保持することで、トランジスタM1r、トランジスタM1-2br、及びトランジスタM1-3brのそれぞれのソースドレイン間には、 I_{ut} 、 $2I_{ut}$ 、 $4I_{ut}$ の電流が流れるように設定される。

[0453]

回路MPを図28の構成とすることにより、図26の回路MPと同様の動作を行うことができる。更に、回路MPを図28の構成とすることにより、回路MCにおいて、トランジスタM1、トランジスタM1-2b、及びトランジスタM1-3bの形成時に発生する構造のばらつきによる影響を少なくすることができる。また、同様に、回路MCrにおいて、トランジスタM1r、トランジスタM1-2br、及びトランジスタM1-3brの形成時に発生する構造のばらつきによる影響を少なくすることができる。

[0454]

また、図26の回路MPの変更例として、回路HC、及び回路HCrのそれぞれを別の構成としてもよい。図29に示す回路MPは、図26の回路MPに含まれている回路HC、及び回路HCrのそれぞれを、回路HCS、及び回路HCSRに置き換えた構成となっている。なお、トランジスタM1、トランジスタM1-2b、及びトランジスタM1-3bのそれぞれのW長とL長の比は、図26と同様に、 W/L 、 $2 \times W/L$ 、 $4 \times W/L$ とする。

[0455]

回路HCSは、例えば、配線OLと、配線OLBと、に電氣的に接続されている。回路HCSは、配線OL、又は配線OLBの一方、又は両方から入力される情報（電位、電流など）を受け取って、当該情報に応じた電位を保持する機能を有する。また、回路HCSは、トランジスタM1、トランジスタM1-2b、及びトランジスタM1-3bのそれぞれのゲートに電氣的に接続されている。回路HCSは、保持した当該電位をトランジスタM1、トランジスタM1-2b、及びトランジスタM1-3bのそれぞれのゲートに印加する機能を有する。したがって、トランジスタM1、トランジスタM1-2b、及びトランジスタM1-3bのそれぞれには、回路HCSから与えられた電位と、W長とL長の比と、に応じたソースドレイン電流が流れる。なお、回路HCSrは、回路HCSと同様の機能を有しており、トランジスタM1r、トランジスタM1-2br、及びトランジスタM1-3brのそれぞれには、回路HCSrから与えられた電位と、W長とL長の比と、に応じたソースドレイン電流が流れる。

[0456]

図29に示す回路MPに含まれている回路HCS、及び回路HCSrの具体例を図30Aに図示している。図30Aに示す回路HCS、及び回路HCSrは、一例としては、SRAM (Static Random Access Memory) を有する構成となっている。なお、図30Aには、回路HCS、及び回路HCSrの有する回路素子の電氣的な接続構成を示すため、回路MPの全体を示している。

[0457]

なお、回路HCS、及び回路HCSrがSRAMを有する構成である場合、SRAMは、高レベル電位、低レベル電位の一方を保持するため、回路MPに設定される第1データ（重み係数）は、例えば、2値（“-1”、“+1”の組み合わせなど）、3値（“-1”、“0”、“+1”の組み合わせなど）などに限定される。例えば、回路MPに設定される第1データ（重み係数）を“+1”とするとき、回路HCSには高レベル電位を保持し、回路HCSrには低レベル電位を保持すればよい。また、例えば、回路MPに設定される第1データ（重み係数）を“-1”とするとき、回路HCSには低レベル電位を保持し、回路HCSrには高レベル電位を保持すればよい。また、例えば、回路MPに設定される第1データ（重み係数）を“0”とするとき、回路HCSには低レベル電位を保持し、回路HCSrには低レベル電位を保持すればよい。

[0458]

回路HCSは、トランジスタM7、トランジスタM7s、インバータループ回路IVRを有している。インバータループ回路IVRは、インバータ回路IV1と、インバータ回路IV2と、を有する。

[0459]

本明細書などにおいて、トランジスタM7、及びトランジスタM7sは、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタM7、及びトランジスタM7sは、オン状態のときは飽和領域で動作してもよく、またはサブスレッショルド領域で動作してもよい。又は、トランジスタM7、及びトランジスタM7sは、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。又

は、トランジスタM7、及びトランジスタM7sは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよい。

[0460]

インバータ回路IV1と、インバータ回路IV2と、のそれぞれは、入力端子に入力信号が入力されたとき、当該入力信号の反転信号を出力端子から出力する機能を有する。そのため、インバータ回路IV1と、インバータ回路IV2と、のそれぞれとしては、例えば、インバータ回路を用いることができる。なお、インバータ回路IV1、及びインバータ回路IV2と、の構成例を図30Bに示す。図30Bに示すとおり、インバータ回路IV1、及びインバータ回路IV2は、CMOS (Complementary MOS) 回路として構成することができる。ただし、本発明の一態様はこれに限定されず、例えば、CMOS回路ではなく、nチャネル型トランジスタのみ、または、pチャネル型トランジスタのみの単極性回路で構成してもよい。

[0461]

また、インバータ回路IV1、及びインバータ回路IV2としては、例えば、NAND回路、NOR回路、XOR回路、これらを組み合わせた回路等とすることができる。具体的には、インバータ回路をNAND回路に置き換える場合、NAND回路の2入力端子の一方に固定電位として高レベル電位を入力することで、NAND回路をインバータ回路として機能することができる。また、インバータ回路をNOR回路に置き換える場合、NOR回路の2入力端子の一方に固定電位として低レベル電位を入力することで、NOR回路をインバータ回路として機能することができる。また、インバータ回路をXOR回路に置き換える場合、XOR回路の2入力端子の一方に固定電位として高レベル電位を入力することで、XOR回路をインバータ回路として機能することができる。

[0462]

上述の通り、本明細書等に記載されているインバータ回路は、NAND回路、NOR回路、XOR回路、又はこれらを組み合わせた回路などの論理回路に置き換えることができる。そのため、本明細書などにおいて、「インバータ回路」という用語は、「論理回路」と呼称することができる。

[0463]

トランジスタM7の第1端子は、配線OLに電氣的に接続され、トランジスタM7の第2端子は、インバータ回路IV1の入力端子と、インバータ回路IV2の出力端子と、トランジスタM1のゲートと、トランジスタM1-2bのゲートと、トランジスタM1-3bのゲートと、に電氣的に接続され、トランジスタM7のゲートは、配線WLに電氣的に接続されている。トランジスタM7sの第1端子は、配線OLBに電氣的に接続され、トランジスタM7sの第2端子は、インバータ回路IV1の出力端子と、インバータ回路IV2の入力端子と、に電氣的に接続され、トランジスタM7sのゲートは、配線WLに電氣的に接続されている。インバータ回路IV1、及びインバータ回路IV2の高電源電位入力端子には、配線VEHが電氣的に接続され、インバータ回路IV1、及びインバータ回路IV2の低電源電位入力端子には、配線VEが電氣的に接続されている。

[0464]

配線VEHは、一例としては、定電圧を与える配線として機能する。当該定電圧としては、例えば、高レベル電位であるVDD、又は低レベル電位VSSより高くVDDよりも低い電位VDDL

などとすることができる。また、当該定電圧は、回路MPの構成に応じて、適宜設定するのが好ましい。また、例えば、配線VALには、定電圧ではなく、パルス信号が供給されていてもよい。なお、本構成例の説明では、配線VEHは、電位VDDを与える配線として機能するものとする。

[0465]

なお、図30Aの回路MPにおいて、回路HCSは、回路HCS_rとほぼ同様の回路構成となっている。そのため、回路HCS_rの有する回路素子には、回路HCSの有する回路素子と区別をするため、符号に「r」を付している。また、トランジスタM7_rの第1端子は、配線OLBに電氣的に接続され、トランジスタM7_s_rの第1端子は、配線OLに電氣的に接続されている。

[0466]

回路HCS、及び回路HCS_rに情報（例えば、電位、電流など）を書き込むとき、配線WLに高レベル電位を印加して、トランジスタM7、トランジスタM7_s、トランジスタM7_r、トランジスタM7_s_rをオン状態にする。その後、配線OLに高レベル電位又は低レベル電位の一方を入力し、配線OLBに高レベル電位又は低レベル電位の他方を入力する。特に、高レベル電位は、配線VEHが与える電位とほぼ同じであることが好ましい。ここでは、例えば、高レベル電位を電位VDDLとし、低レベル電位を電位VSSとして説明する。

[0467]

回路HCSにVDDL又はVSSの一方が書き込まれ、回路HCS_rにVDDL又はVSSの他方が書き込まれた後は、配線WLに低レベル電位を印加して、トランジスタM7、トランジスタM7_s、トランジスタM7_r、及びトランジスタM7_s_rをオフ状態にする。これによって、回路HCSは、VDDL又はVSSの一方をインバータループ回路IVRに保持し、回路HCS_rは、VDDL又はVSSの他方をインバータループ回路IVR_rに保持することができる。

[0468]

回路HCS、及び回路HCS_rのそれぞれに所定の電位を保持した後は、図26の回路MPと同様に、配線X1L（図26では配線WX1L）、配線X2L、配線X1L2b、配線X2L2b、配線X1L3b、及び配線X2L3bのそれぞれに入力される電位の組み合わせによって、回路MC、又は回路MC_rから配線OL、又は配線OLBに流れる電流量を、2値又は3値の第1データ（重み係数）と、多値（図30Aの構成例では、15値）の第2データ（ニューロン信号の値）と、の積として扱うことができる。

[0469]

また、図30Aの回路MPは、例えば、図31に示す回路MPに変形することができる。図31の回路MPは、図30Aの回路MPから、回路HCS_rを除いた構成となっている。具体的な構成としては、インバータループ回路IVRに含まれているインバータ回路IV1の出力端子は、回路MC_rのトランジスタM1_rのゲートと、回路MC_rのトランジスタM1-2b_rのゲートと、回路MC_rのトランジスタM1-3b_rのゲートと、に電氣的に接続されている。

[0470]

回路MPを図31の構成とすることによって、図30Aの回路MPと同様に動作することができる。なお、図31の回路MPは、図30Aの回路MPから回路HCS_rを除いた構成となっているので、図30Aの回路MPよりも消費電力を低くすることができる。

[0471]

また、図30Aの回路MPは、例えば、図32に示す回路MPに変形することができる。図32

の回路MPは、図22A、及び図22Bの回路MPと同様に、図30Aの回路MPに、配線ILと、配線ILBと、を加えた構成となっている。

[0472]

図32の回路MPは、図30Aの回路MPの配線OL、及び配線OLBが有する機能を分離した構成となっている。

[0473]

具体的には、図30Aの回路MPの配線OLは、回路HCSに高レベル電位、又は低レベル電位を入力するための配線として機能し、また、回路MCを介して配線VEに電流を供給するための配線として機能し、また、回路MCrを介して配線VERに電流を供給するための配線として機能する。また、図30Aの回路MPの配線OLBは、回路HCSrに高レベル電位、又は低レベル電位を入力するための配線として機能し、また、回路MCを介して配線VEに電流を供給するための配線として機能し、また、回路MCrを介して配線VERに電流を供給するための配線として機能する。

[0474]

一方、図32の回路MPの配線OLは、回路MCを介して配線VEに電流を供給するための配線として機能し、また、回路MCrを介して配線VERに電流を供給するための配線として機能する。また、図32の回路MPの配線OLBは、回路MCを介して配線VEに電流を供給するための配線として機能し、また、回路MCrを介して配線VERに電流を供給するための配線として機能する。また、図32の回路MPの配線ILは、回路HCSに高レベル電位、又は低レベル電位の一方を入力するための配線として機能し、図32の回路MPの配線ILBは、回路HCSrに高レベル電位、又は低レベル電位の他方を入力するための配線として機能する。

[0475]

回路MPを図32の構成とすることによって、図30Aの回路MPと同様に動作することができる。

[0476]

また、図32の回路MPの構成を、図2の演算回路110、図3の演算回路120に適用する場合、図32の回路MPは、例えば、図33に示す回路MPのとおり、トランジスタM7s、及びトランジスタM7srを除いた構成としてもよい。図33の回路MPの構成とすることによって、図30Aの回路MPと同様に動作することができる。

[0477]

また、図30Aとは異なる、図29に示す回路MPに含まれている回路HCS、及び回路HCSrの具体例を図34に示す。図34に示す回路MPは、NOSRAM (Nonvolatile Oxide Semiconductor Random Access Memory) (登録商標) と呼ばれる記憶回路を有する構成となっている。なお、図34には、回路HCS、及び回路HCSrの有する回路素子の電氣的な接続構成を示すため、回路MPの全体を示している。

[0478]

回路HCSは、トランジスタM8、容量C2と、を有する。

[0479]

本明細書などにおいて、トランジスタM8は、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲー

ト電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタM8は、オン状態のときは飽和領域で動作してもよく、またはサブスレッショルド領域で動作してもよい。又は、トランジスタM8は、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。又は、トランジスタM8は、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよい。

[0480]

トランジスタM8の第1端子は、配線ILに電氣的に接続され、トランジスタM8の第2端子は、容量C2の第1端子と、トランジスタM1のゲートと、トランジスタM1-2bのゲートと、トランジスタM1-3bのゲートと、に電氣的に接続され、トランジスタM8のゲートは、配線WLに電氣的に接続されている。容量C2の第2端子は配線VEに電氣的に接続されている。

[0481]

なお、図34に示す回路HCSにおいて、トランジスタM8の第2端子と、容量C2の第1端子と、の電氣的接続点をノードn2としている。

[0482]

また、図34の回路MPにおいて、回路HCSrは、回路HCSとほぼ同様の回路構成となっている。そのため、回路HCSrの有する回路素子などには、回路HCSの有する回路素子などと区別をするため、符号に「r」を付している。また、トランジスタM8rの第1端子は、配線ILBに電氣的に接続されている。

[0483]

なお、回路HCS、及び回路HCSrがNOSRAMを有する構成である場合、回路HCS、及び回路HCSrのそれぞれには、高レベル電位、又は低レベル電位の一方を保持することができる。このため、回路MPに設定される第1データ（重み係数）は、例えば、2値（“-1”、“+1”など）、3値（“-1”、“0”、“+1”など）などに限定される。例えば、回路MPに設定される第1データ（重み係数）を“+1”とするとき、回路HCSには高レベル電位を保持し、回路HCSrには低レベル電位を保持すればよい。また、例えば、回路MPに設定される第1データ（重み係数）を“-1”とするとき、回路HCSには低レベル電位を保持し、回路HCSrには高レベル電位を保持すればよい。また、例えば、回路MPに設定される第1データ（重み係数）を“0”とするとき、回路HCSには低レベル電位を保持し、回路HCSrには低レベル電位を保持すればよい。なお、回路HCS、回路HCSrには、高レベル電位、又は低レベル電位の2値（デジタル値）でなく、3値以上のデジタル値、又はアナログ値を保持してもよい。

[0484]

回路HCS、及び回路HCSrに情報（ここでは電位とする。）を書き込むとき、配線WLに高レベル電位を印加して、トランジスタM8、及びトランジスタM8rをオン状態にする。その後、配線ILに高レベル電位又は低レベル電位の一方を入力し、配線ILBに高レベル電位又は低レベル電位の他方を入力する。ここでは、例えば、高レベル電位を電位VDDLとし、低レベル電位を電位VSSとして説明する。

[0485]

回路HCSの容量C2の第1端子にVDDL又はVSSの一方が書き込まれ、回路HCSrの容量C2rの第1端子にVDDL又はVSSの他方が書き込まれた後は、配線WLに低レベル電位を印加して、トランジスタM8、及びトランジスタM8rをオフ状態にする。これによって、回路HCSは、VDDL又はVSSの一方をノードn2に保持し、回路HCSrは、VDDL又はVSSの他方をノードn2rに保持することができる。

[0486]

回路HCS、及び回路HCSrのそれぞれに所定の電位を保持した後は、図26の回路MPと同様に、配線X1L（図26では配線WX1L）、配線X2L、配線X1L2b、配線X2L2b、配線X1L3b、及び配線X2L3bのそれぞれに入力される電位の組み合わせによって、回路MC、又は回路MCrから配線OL、又は配線OLBに流れる電流量を、3ビットのデータとして扱うことができる。

[0487]

回路MPを図34の構成とすることによって、図30Aの回路MPと同様に動作することができる。

[0488]

図29乃至図34のそれぞれに示す回路MPは、回路HCS、及び回路HCSrをそれぞれ1つずつ有する構成であるが、回路MPは、回路HCS、及び回路HCSrを複数有する構成であってもよい。

[0489]

図35に示す回路MPは、回路HCSと同様の機能を有する回路HCS-2bと、回路HCS-3bと、回路HCSrと同様の機能を有する回路HCS-2brと、回路HCS-3brと、を有する。具体的には、回路HCS-2b、回路HCS-3b、回路HCS-2br、及び回路HCS-3brは、配線OL、又は配線OLBの一方、又は両方から入力される情報（電位、電流など）を受け取って、当該情報に応じた電位を保持する機能を有する。特に、回路HCS-2bは、トランジスタM1-2bのゲートに保持した電位を印加する機能を有し、回路HCS-3bは、トランジスタM1-3bのゲートに保持した電位を印加する機能を有し、回路HCS-2brは、トランジスタM1-2brのゲートに保持した電位を印加する機能を有し、回路HCS-3brは、トランジスタM1-3brのゲートに保持した電位を印加する機能を有する。

[0490]

また、回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、及び回路HCS-3brの構成としては、例えば、その全てがSRAMを有する構成としてもよいし、NOSRAMを有する構成としてもよい。また、回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、及び回路HCS-3brから選ばれた一以上の回路はSRAMを有する構成とし、残りの回路はNOSRAMを有する構成としてもよい。

[0491]

なお、図35の回路MPに含まれる、回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、及び回路HCS-3brのそれぞれは、配線OL及び配線OLBに電気的に接続されているが、本発明の一態様に係る回路MPの構成は、これに限定されない。例えば、図35の回路MPは、図32の回路MPと同様に、配線IL、ILBを設けて、回路HCS、

回路HCS-2b、及びHCS-3bを、配線ILと、配線ILBと、に電氣的に接続してもよい。また、例えば、図35の回路MPは、図33、図34の回路MPと同様に、配線IL、及び配線ILBを設けて、回路HCS、回路HCS-2b、及びHCS-3bを配線ILに電氣的に接続し、回路HCSr、回路HCS-2br、及び回路HCS-3brを配線ILBに電氣的に接続してもよい。

[0492]

なお、本構成例は、本明細書で示す他の構成例などと適宜組み合わせることができる。

[0493]

<構成例6>

図36に示す回路MPは、複数の保持部として、回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、回路HCS-3brを有し、かつ図35の回路MPと異なる、回路構成の一例である。

[0494]

図36の回路MPに含まれるトランジスタM1のW長とL長の比を W/L としたとき、トランジスタM1-2bのW長とL長の比は $2 \times W/L$ とすることが好ましく、トランジスタM1-3bのW長とL長の比は $4 \times W/L$ とすることが好ましい。更に、トランジスタM1rのサイズは、トランジスタM1と等しいことが好ましく、トランジスタM1-2brのサイズは、トランジスタM1-2bと等しいことが好ましく、トランジスタM1-3brのサイズは、トランジスタM1-3bと等しいことが好ましい。

[0495]

回路HCSは、配線OLと、トランジスタM1のゲートと、に電氣的に接続され、回路HCS-2bは、配線OLと、トランジスタM1-2bのゲートと、に電氣的に接続され、回路HCS-3bは、配線OLと、トランジスタM1-3bのゲートと、に電氣的に接続されている。

[0496]

トランジスタM1、トランジスタM1-2b、トランジスタM1-3bのそれぞれの第1端子は、配線VEに電氣的に接続され、トランジスタM3の第1端子は、トランジスタM4の第1端子と、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bのそれぞれの第2端子と、に電氣的に接続されている。トランジスタM3の第2端子は、配線OLに電氣的に接続され、トランジスタM3のゲートは、配線X1Lに電氣的に接続されている。トランジスタM4の第2端子は、配線OLBに電氣的に接続され、トランジスタM4のゲートは、配線X2Lに電氣的に接続されている。

[0497]

図36の回路MPにおいて、回路MCrは、回路MCとほぼ同様の回路構成となっている。そのため、回路MCrの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。また、トランジスタM3rの第2端子は、配線OLBに電氣的に接続され、トランジスタM4rの第2端子は、配線OLに電氣的に接続されている。

[0498]

回路MCrに含まれている回路HCSr、回路HCS-2br、回路HCS-3brに低レベル電位、例えばVSSを保持することによって、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brのそれぞれをオフ状態にすることができる。このとき、回路MCに含ま

れている回路HCS、回路HCS-2b、回路HCS-3bのそれぞれに高レベル電位又は低レベル電位を保持することで、回路HCS、回路HCS-2b、回路HCS-3bのそれぞれに保持された電位に応じて、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bのそれぞれに流れる電流の量が決まる。その後、トランジスタM3をオン状態にし、トランジスタM4をオフ状態にすることによって、配線OLから、回路MCを介して、配線VEに当該電流を流すことができる。また、トランジスタM3をオフ状態にし、トランジスタM4をオン状態にすることによって、配線OLBから、回路MCを介して、配線VEに当該電流を流すことができる。

[0499]

また、回路MCに含まれている回路HCS、回路HCS-2b、回路HCS-3bに低レベル電位、例えばVSSを保持することによって、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bのそれぞれをオフ状態にすることができる。このとき、回路MCrに含まれている回路HCSr、回路HCS-2br、回路HCS-3brのそれぞれに高レベル電位又は低レベル電位を保持することで、回路HCSr、回路HCS-2br、回路HCS-3brのそれぞれに保持された電位に応じて、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brのそれぞれに流れる電流の量が決まる。その後、トランジスタM3rをオン状態にし、トランジスタM4rをオフ状態にすることによって、配線OLBから、回路MCrを介して、配線VERに当該電流を流すことができる。また、トランジスタM3rをオフ状態にし、トランジスタM4rをオン状態にすることによって、配線OLから、回路MCrを介して、配線VERに当該電流を流すことができる。

[0500]

図36の回路MPに、例えば、正の第1データ（例えば、ここでは重み係数とする。）を保持する場合、回路HCSr、回路HCS-2br、回路HCS-3brに低レベル電位を保持し、回路HCS、回路HCS-2b、回路HCS-3bのそれぞれに正の第1データ（重み係数）に応じた電位の組み合わせを保持するものとする。また、図36の回路MPに、例えば、負の第1データ（重み係数）を保持する場合、回路HCS、回路HCS-2b、回路HCS-3bに低レベル電位を保持し、回路HCSr、回路HCS-2br、回路HCS-3brのそれぞれに負の第1データ（重み係数）に応じた電位の組み合わせを保持するものとする。

[0501]

図36に示す回路MPに含まれている回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、回路HCS-3brの具体例を図37に図示している。図37に示す回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、回路HCS-3brは、SRAMを有する構成となっている。なお、図37では、インバータ回路IV1、インバータ回路IV2のそれぞれの高電源電位入力端子、低電源電位入力端子の記載を省略している。また、図37に示す回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、回路HCS-3brの構成については、図30Aの回路MPに含まれている回路HCS、回路HCSrの説明の記載を参酌する。

[0502]

また、図37とは異なる具体例として、図36に示す回路MPに含まれている回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、回路HCS-3brは、図38に示すとおり、NOSRAMを有する構成としてもよい。なお、図38に示す回路HCS、

回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、回路HCS-3brの構成については、図34の回路MPに含まれている回路HCS、回路HCSrの説明の記載を参照する。

[0503]

また、図36の回路MPは、一例として、図39に示す回路MPに変形することができる。図39の回路MPは、図26乃至図35に示す回路MPのように、多値の第2データ（例えば、ここではニューロンの信号の値（演算値）とする。）を扱うことができる回路である。図39の回路MPは、図36の回路MPに含まれている回路MCに、トランジスタM3-2x、トランジスタM4-2x、トランジスタM1x、トランジスタM1x-2b、トランジスタM1x-3bを加えた構成となっている。なお、図39の回路MPに含まれている回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、回路HCS-3brは、一例として、図37に示すとおり、SRAMを有する構成となっている。

[0504]

また、本明細書などにおいて、トランジスタM1x、トランジスタM1x-2b、及びトランジスタM1x-3bは、トランジスタM1と同様に、特に断りの無い場合は、オン状態の場合は最終的に飽和領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、飽和領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。供給される電圧の振幅値を小さくするために、トランジスタM1x、トランジスタM1x-2b、トランジスタM1x-3bは、線形領域で動作してもよい。また、トランジスタM1x、トランジスタM1x-2b、及びトランジスタM1x-3bに流れる電流量を小さくするため、トランジスタM1x、トランジスタM1x-2b、及びトランジスタM1x-3bは、サブスレッショルド領域で動作してもよい。又は、トランジスタM1x、トランジスタM1x-2b、及びトランジスタM1x-3bは、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。なお、第1データ（重み係数）をアナログ値とする場合には、第1データ（重み係数）の大きさに応じて、例えば、トランジスタM1x、トランジスタM1x-2b、トランジスタM1x-3bは、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよい。又は、トランジスタM1x、トランジスタM1x-2b、トランジスタM1x-3bは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0505]

また、本明細書などにおいて、トランジスタM3-2x、トランジスタM4-2xは、トランジスタM3、トランジスタM4と同様に、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタM3-2x、トランジスタM4-2xは、オン状態のときは飽和領域で動作してもよく、又はサブスレッショルド領域で動作してもよい。又は、トランジスタM3-2x、トランジスタM4-2xは、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。又は、トランジスタM3

−2x、トランジスタM4−2xは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0506]

図39の回路MPに含まれるトランジスタM1xのW長とL長の比は、 $2 \times W/L$ とすることが好ましい。また、トランジスタM1x−2bのW長とL長の比は、 $4 \times W/L$ とすることが好ましい。また、トランジスタM1x−3bのW長とL長の比は、 $8 \times W/L$ とすることが好ましい。トランジスタをさらに多く配置する場合も、同様に、2のべき乗でW長とL長の比を大きくしていけばよい。

[0507]

トランジスタM1x、トランジスタM1x−2b、トランジスタM1x−3bのそれぞれの第1端子は、配線VEに電氣的に接続されている。トランジスタM1xのゲートは、回路HCSに電氣的に接続され、トランジスタM1x−2bのゲートは、回路HCS−2bに電氣的に接続され、トランジスタM1x−3bのゲートは、回路HCS−3bに電氣的に接続されている。トランジスタM3−2xの第1端子は、トランジスタM4−2xの第1端子と、トランジスタM1x、トランジスタM1x−2b、トランジスタM1x−3bのそれぞれの第2端子と、に電氣的に接続されている。トランジスタM3−2xの第2端子は、配線OLに電氣的に接続され、トランジスタM3−2xのゲートは、配線X1L2xに電氣的に接続されている。トランジスタM4−2xの第2端子は、配線OLBに電氣的に接続され、トランジスタM4−2xのゲートは、配線X2L2xに電氣的に接続されている。

[0508]

なお、図39の回路MPにおいて、回路HCSrは、回路HCSとほぼ同様の回路構成となっている。そのため、回路HCSrの有する回路素子などには、回路HCSの有する回路素子などと区別をするため、符号に「r」を付している。また、トランジスタM3−2xrの第2端子は、配線OLBに電氣的に接続され、トランジスタM4−2xrの第2端子は、配線OLに電氣的に接続されている。

[0509]

配線X1L2xは、トランジスタM3−2x、トランジスタM3−2xrをオン状態とオフ状態の切り替えを行うための配線であり、配線X2L2xは、トランジスタM4−2x、M4−2xrをオン状態とオフ状態の切り替えを行うための配線である。

[0510]

回路HCSに高レベル電位、例えばVDDLが保持されているとき、トランジスタM1はソースードレイン間に電流量として I_{ut} が流れるものとする。このとき、回路HCS−2bに高レベル電位、例えばVDDLが保持されているとき、トランジスタM1−2bのW長とL長の比はトランジスタM1のW長とL長の比の2倍であるため、トランジスタM1−2bのソースードレイン間に電流量として $2 I_{ut}$ が流れる。また、回路HCS−3bに高レベル電位、例えばVDDLが保持されているとき、トランジスタM1−3bのW長とL長の比はトランジスタM1のW長とL長の比の4倍であるため、トランジスタM1−3bのソースードレイン間に電流量として $4 I_{ut}$ が流れる。

[0511]

つまり、回路HCS、回路HCS-2b、回路HCS-3bのそれぞれに保持されている電位に応じて、トランジスタM3の第1端子とトランジスタM4の第1端子の電氣的接続点から回路MCを介して配線VEに流れる電流は、 I_{ut} 刻みで0から $7 I_{ut}$ まで変化する。ここでは、当該電流量を I_{x1} と呼称する。

[0512]

また、回路HCSに高レベル電位、例えばVDDLが保持されているとき、トランジスタM1xのW長とL長の比はトランジスタM1のW長とL長の比の2倍であるため、トランジスタM1xのソースドレイン間に電流量として $2 I_{ut}$ が流れる。また、回路HCS-2bに高レベル電位、例えばVDDLが保持されているとき、トランジスタM1x-2bのW長とL長の比はトランジスタM1のW長とL長の比の4倍であるため、トランジスタM1x-2bのソースドレイン間に電流量として $4 I_{ut}$ が流れる。また、回路HCS-3bに高レベル電位、例えばVDDLが保持されているとき、トランジスタM1x-3bのW長とL長の比はトランジスタM1のW長とL長の比の8倍であるため、トランジスタM1x-3bのソースドレイン間に電流量として $8 I_{ut}$ が流れる。

[0513]

つまり、回路HCS、回路HCS-2b、回路HCS-3bのそれぞれに保持されている電位に応じて、トランジスタM3-2xの第1端子とトランジスタM4-2xの第1端子の電氣的接続点から回路MCを介して配線VEに流れる電流は、 $2 I_{ut}$ 刻みで0から $14 I_{ut}$ まで変化する。ここでは、当該電流量を I_{x2} と呼称する。つまり、 $I_{x2} = 2 I_{x1}$ が成り立つ。

[0514]

ここで、図39の回路MPに正の第1データ（重み係数）が設定されているときにおいて、配線X1L、配線X2L、配線X1L2x、配線X2L2xのそれぞれに、高レベル電位又は低レベル電位が与えられる場合を考える。

[0515]

配線X1L、配線X2L、配線X1L2x、配線X2L2xのそれぞれに低レベル電位を与えたとき、回路MCにおいて、トランジスタM3、トランジスタM3-2x、トランジスタM4、トランジスタM4-2xはオフ状態になる。このとき、配線OLから、回路MCを介して配線VEに、電流は流れない。

[0516]

配線X1Lに高レベル電位を与え、配線X2L、配線X1L2x、配線X2L2xのそれぞれに低レベル電位を与えたとき、回路MCにおいて、トランジスタM3はオン状態になり、トランジスタM3-2x、トランジスタM4、トランジスタM4-2xはオフ状態になる。このとき、配線OLから、回路MCを介して配線VEに、電流量として I_{x1} が流れる。

[0517]

また、配線X2Lに高レベル電位を与え、配線X1L、配線X1L2x、配線X2L2xのそれぞれに低レベル電位を与えたとき、回路MCにおいて、トランジスタM4はオン状態になり、トランジスタM3、トランジスタM3-2x、トランジスタM4-2xはオフ状態になる。このとき、配線OLBから、回路MCを介して配線VEに、電流量として I_{x1} が流れる。

[0518]

また、配線X1L2xに高レベル電位を与え、配線X1L、配線X2L、配線X2L2xのそれ

それに低レベル電位を与えたとき、回路MCにおいて、トランジスタM3－2xはオン状態になり、トランジスタM3、トランジスタM4、トランジスタM4－2xはオフ状態になる。このとき、配線OLから、回路MCを介して配線VEに、電流量として $I_{x2} = 2 I_{x1}$ が流れる。

[0519]

また、配線X2L2xに高レベル電位を与え、配線X1L、配線X1L2x、配線X2Lのそれぞれに低レベル電位を与えたとき、回路MCにおいて、トランジスタM4－2xはオン状態になり、トランジスタM3、トランジスタM4、トランジスタM3－2xはオフ状態になる。このとき、配線OLBから、回路MCを介して配線VEに、電流量として $I_{x2} = 2 I_{x1}$ が流れる。

[0520]

更に、配線X1L、配線X1L2xに高レベル電位を与え、配線X2L、配線X2L2xのそれぞれに低レベル電位を与えたとき、回路MCにおいて、トランジスタM3、トランジスタM3－2xはオン状態になり、トランジスタM4、トランジスタM4－2xはオフ状態になる。このとき、配線OLから、回路MCを介して配線VEに、電流量として $I_{x1} + I_{x2} = 3 I_{x1}$ が流れる。

[0521]

同様に、配線X2L、配線X2L2xに高レベル電位を与え、配線X1L、配線X1L2xのそれぞれに低レベル電位を与えたとき、回路MCにおいて、トランジスタM4、トランジスタM4－2xはオン状態になり、トランジスタM3、トランジスタM3－2xはオフ状態になる。このとき、配線OLBから、回路MCを介して配線VEに、電流量として $I_{x1} + I_{x2} = 3 I_{x1}$ が流れる。

[0522]

上述の通り、図39の回路MPに含まれている回路MCは、回路HCS、回路HCS－2b、回路HCS－3bのそれぞれに保持されている電位に応じた電流を、配線OL又は配線OLBから、回路MCを介して配線VEに流し、かつ配線X1L、配線X2L、配線X1L2x、配線X2L2xに入力される電位に応じて、当該電流を0倍、1倍、2倍、3倍にして出力することができる。

[0523]

上述では、図39の回路MPに正の第1データ（重み係数）を設定した例について説明したが、図39の回路MPに負の第1データ（重み係数）を設定した場合でも同様に、回路MPは、配線OL又は配線OLBから、回路MCrを介して配線VERに電流を流し、かつ配線X1L、配線X2L、配線X1L2x、配線X2L2xに入力される電位に応じて、当該電流を0倍、1倍、2倍、3倍にして出力することができる。

[0524]

また、図39の回路MPに0の第1データ（重み係数）を設定する場合、回路HCS、回路HCS－2b、回路HCS－3b、回路HCSr、回路HCS－2br、回路HCS－3brのそれぞれに低レベル電位、例えばVSSを与えればよい。これにより、トランジスタM1、トランジスタM1－2b、トランジスタM1－3b、トランジスタM1r、トランジスタM1－2br、トランジスタM1－3br、トランジスタM1x、トランジスタM1x－2b、トランジスタM1x－3b、トランジスタM1xr、トランジスタM1x－2br、トランジスタM1x－3brのそれぞれのソースドレイン間に流れる電流量を0に設定することができる。このため、配線X1L、配線X2L、配線X1L2x、配線X2L2xが与える電位に関わらず、配線OLから回路MC又は回路MCrに電流は流れず、配線OLBから回路MC又は回路MCrに電流は流れない。

[0525]

上述したとおり、図39の回路MPにおいて、回路HCS、回路HCS-2b、回路HCS-3bのそれぞれに保持されている電位を、第1データ（重み係数）に応じた電位とし、配線X1L、配線X2L、配線X1L2x、配線X2L2xに入力される電位を、第2データ（ニューロンの信号の値）に応じた電位とすることで、配線OL又は配線OLBから、回路MCを介して配線VEに流れる電流の量は、第1データ（重み係数）と第2データ（ニューロンの信号の値）の積として扱うことができる。

[0526]

なお、本構成例は、本明細書で示す他の構成例などと適宜組み合わせることができる。

[0527]

<構成例7>

構成例1乃至構成例6では、回路MPが保持する第1データ（例えば、ここでは重み係数とする。）を、“正の多値”、“0”、“負の多値”として、第2データ（例えば、ここではニューロンの信号の値とする。）との積を計算することができる回路MPについて説明したが、本構成例では、一例として、第1データ（重み係数）が“正の多値”、“0”、“負の多値”と、第2データ（ニューロンの信号の値）が“+1”、“0”の2値と、の積を計算することができる回路MPについて説明する。

[0528]

図40に示す回路MPは、図16Aの回路MPからトランジスタM4、トランジスタM4rを除いた回路である。また、トランジスタM4、トランジスタM4rを除いたため、図40では、トランジスタM4、トランジスタM4rのそれぞれのゲートに電位を入力するための配線X2Lも除いている。また、配線X1Lに相当する配線は、図40では配線WXLと記載している。なお、図40では、回路MCと回路MCrとを配置した場合の例を示すが、本発明の一態様は、これに限定されない。例えば、重みとして負の値を用いない場合、又は正の値を用いない場合などにおいて、回路MCと回路MCrの少なくとも一方を設けないようにしてもよい。なお、ここでは、図16Aに適用した場合の例を示すが、本発明の一態様は、これに限定されない。他の図面においても、同様に、トランジスタM4、トランジスタM4rを除くことが可能である。

[0529]

図40の回路MPに設定される第1データ（重み係数）は、図15Aの回路MPに設定される第1データ（重み係数）と同様とする。そのため、図40の回路MPに設定される第1データ（重み係数）は、図15Aの回路MPの説明の記載を参酌する。当該第1データ（重み係数）としては、例えば、“-2”、“-1”、“0”、“+1”、“+2”とすることができる。

[0530]

また、図40の回路MPに入力される第2データ（ニューロンの信号の値）は、配線WXLに高レベル電位が印加されている場合に“+1”とし、配線WXLに低レベル電位が印加されている場合に“0”とする。

[0531]

なお、図40の回路MPの動作については、構成例1の動作例の説明を参酌する。

[0532]

図40の回路MPにおいて、上述のとおり、第1データ（重み係数）と入力される第2データ（ニューロンの信号の値）を定義したとき、それぞれの重み係数の場合において、回路MPに第2

データ（ニューロンの信号の値）が入力されたことによって、配線OLのノードout aから出力される電流 I_{OL} の変化の有無、及び配線OLBのノードout bから出力される電流 I_{OLB} の変化の有無は、以下の表のとおりとなる。なお、下表では、高レベル電位をhighと記載し、低レベル電位をlowと記載している。

[0533]

[表5]

重み係数	n1	n1r	信号	WXL	重み係数 × 信号	I_{OL} の変化量	I_{OLB} の変化量
-2	VSS	V_2	+1	high	-2	0	I_2
-1	VSS	V_1	+1	high	-1	0	I_1
0	VSS	VSS	+1	high	0	0	0
+1	V_1	VSS	+1	high	+1	I_1	0
+2	V_2	VSS	+1	high	+2	I_2	0
-2	VSS	V_2	0	low	0	0	0
-1	VSS	V_1	0	low	0	0	0
0	VSS	VSS	0	low	0	0	0
+1	V_1	VSS	0	low	0	0	0
+2	V_2	VSS	0	low	0	0	0

[0534]

上表のとおり、図40の回路MPは、第1データ（重み係数）が正の多値又は負の多値と、第2データ（ニューロンの信号の値）が“+1”、“0”の2値と、の積を計算することができる。なお、第1データ（重み係数）は、5値ではなく、2値でもよいし、5値以外の多値であってもよい。2値としては、例えば、“+1”、“0”の2値、または、“+1”、“-1”の2値、でもよい。また、第1データ（重み係数）は、例えば、アナログ値でもよいし、多ビット（多値）のデジタル値でもよい。

[0535]

なお、本動作例では、回路MPの回路MC、回路MCrの回路HC、回路HCrにおいて、それぞれで設定する電流は多値としたが、設定する電流はアナログ値としてもよい。例えば、第1データ（重み係数）として“正のアナログ値”の場合には、回路HCのノードn1においてアナログ値の電流が設定されて、ノードn1に当該電流に応じた電位が保持され、回路HCrのノードn1rに低レベル電位が保持される。第1データ（重み係数）として“負のアナログ値”の場合には、例えば、回路HCのノードn1に低レベル電位が保持され、回路HCrのノードn1rにおいてアナログ値の電流が設定されて、ノードn1rに当該電流に応じた電位が保持される。そして、電流 I_{OL} 及び電流 I_{OLB} の電流の大きさは、アナログ電位に応じた大きさとなる。

[0536]

なお、本構成例は、本明細書で示す他の構成例などと適宜組み合わせることができる。

[0537]

<構成例8>

次に、回路ILDに含まれているトランジスタと、回路MPに含まれているトランジスタと、が同じ極性である場合の回路MPの構成例について説明する。

[0538]

ここでは、回路ILDの電流源回路ISCに含まれている定電流源回路ISC1（定電流源回路ISC2、定電流源回路ISC3）を、図8Cのnチャネル型トランジスタを有する構成とした場合において、含まれているトランジスタを全てnチャネル型トランジスタとした回路MPの構成例について説明する。

[0539]

図41Aに示す回路MPは、図21Aの回路MPの構成を変更した回路であって、図41Aの回路MPは、回路HCの構成と、トランジスタM1のバックゲートの接続先と、に関して、図21Aの回路MPと異なっている。そのため、図21Aの回路MPと、図41Aの回路MPと同様の接続構成となっている箇所については説明を省略する。

[0540]

図41Aの回路MPにおいて、回路HCは、トランジスタM9と、容量C3と、を有する。

[0541]

また、本明細書などにおいて、トランジスタM9は、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタM9は、オン状態のときは飽和領域で動作してもよく、又はサブスレッショルド領域で動作してもよい。又は、トランジスタM9は、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0542]

トランジスタM1のゲートは、トランジスタM9の第1端子と、容量C3の第1端子と、に電氣的に接続されている。トランジスタM9の第2端子は、配線VEに電氣的に接続されている。トランジスタM1のバックゲートは、トランジスタM1の第2端子と、容量C3の第2端子と、トランジスタM3の第1端子と、トランジスタM4の第1端子と、に電氣的に接続されている。

[0543]

トランジスタM1のバックゲートと、トランジスタM1の第2端子と、を電氣的に接続し、トランジスタM1の第1端子に高レベル電位を与えることによって、トランジスタM1は、トランジスタM1のしきい値電圧を高くすることができる場合がある。なお、本発明の一態様の半導体装置は、これに限定されず、例えば、図41Aの回路MPは、トランジスタM1のバックゲートが、低レベル電位を与える配線などに電氣的に接続されている構成としてもよい。また、例えば、図41Aの回路MPは、トランジスタM1がバックゲートを有さない構成としてもよい。

[0544]

なお、図41Aに示す回路HCにおいて、トランジスタM1のゲートと、トランジスタM9の第1端子と、容量C3の第1端子と、の電氣的接続点をノードn3としている。

[0545]

図41Aの回路MPにおいて、回路MCrは、回路MCとほぼ同様の回路構成となっている。そ

のため、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。

[0546]

図41Aの回路MPにおいて、配線VE、配線VE_rが与える電位としては、例えば、高レベル電位であることが好ましい。図8Cに示す定電流源回路ISC1（定電流源回路ISC2、定電流源回路ISC3）において、配線VSOが低レベル電位となっているため、配線VE、配線VE_rが与える電位を高レベル電位とすることによって、回路MC又は回路MC_rから配線OL、配線OLBを介して回路ILDに電流を流すことができる。ここでは、配線VE、配線VE_rが与える電位をVDDとして説明する。

[0547]

図41Aの回路MCにおいて、トランジスタM1のソースドレイン間に流れる電流を設定するとき（第1データ（例えば、ここでは重み係数とする。）を設定するとき）、配線WX1L、配線WLに高レベル電位を与えて、トランジスタM3、トランジスタM9をオン状態にする。これにより、回路HCのノードn3の電位はVDDとなる。その後、図8Aの電流源回路ISCにおいて、電流を生成することで、配線VEから、トランジスタM1のソースドレイン間と、回路MCのトランジスタM3のソースドレイン間と、配線OLと、を介して、電流源回路ISCに当該電流が流れる。このとき、容量C3の第2端子の電位（トランジスタM1の第2端子の電位）は、当該電流によって定められる。ここで、配線WX1L、配線WLに低レベル電位を与えて、トランジスタM3、トランジスタM9をオフ状態にすることによって、容量C3によって、トランジスタM1のゲートとトランジスタM1の第2端子との間の電圧を保持することができる。これにより、トランジスタM1のソースドレイン間に当該電流を設定することができる。その後、配線WX1L、配線X2Lのそれぞれに所定の電位を与えて、トランジスタM3又はトランジスタM4の一方をオン状態、トランジスタM3又はトランジスタM4の他方をオフ状態にすることによって、配線VEから、回路MCを介して配線OL又は配線OLBに設定された電流を流すことができる。

[0548]

また、図41Aの回路MPの構成の変更例を、図41Bに示す。図41Bの回路MPは、トランジスタM9の第2端子が配線VEでなく、配線VAに電氣的に接続されている点と、トランジスタM9_rの第2端子が配線VE_rでなく、配線VA_rに電氣的に接続されている点と、で図41Aの回路MPと異なる。

[0549]

配線VAは、一例としては、定電圧を与える配線として機能する。特に、当該定電圧としては、接地電位、低レベル電位、VSSよりも高く、配線VEが与える高レベル電位、VDDよりも低い電位であることが好ましい。ここで、配線VAが与える定電圧をV_Mとして、電位V_Mは、接地電位、低レベル電位、VSSよりも高く、配線VEが与える高レベル電位、VDDよりも低い電位であるとする。

[0550]

図41Bの回路MPにおいて、トランジスタM1の第2端子の電位をV_sとしたとき、トランジスタM1のソースドレイン間電圧は、VDD-V_sとなる。また、トランジスタM1のゲートにV_Mが入力されている場合、トランジスタM1のゲートソース間電圧は、V_M-V_sとなる。トランジスタM1を飽和領域として動作させるためには、トランジスタM1のしきい値電圧をV_{th}とお

くと、 $V_{DD}-V_s > V_M-V_s-V_{th}$ の関係を満たせばよい。ところで、トランジスタM1がノーマリーオン特性である場合、ゲートソース間電圧 V_M-V_s が負の値となっても、ゲートソース間電圧 $V_{DD}-V_s$ が正の値となるため、トランジスタM1は飽和領域として動作することができる。

[0551]

なお、ノーマリーオン特性とは、トランジスタのゲートに電圧を印加しなくてもチャネルが存在し、当該トランジスタに電流が流れてしまう状態のことをいう。

[0552]

また、図41Bの回路MPにおいて、配線VAと配線VA_rとは、一本の配線としてまとめてもよい。例えば、図41Cに示す回路MPのとおり、配線VAと配線VA_rとを配線VAとして一本にまとめて、列方向に沿って設けてもよい。なお、配線VAは、列方向ではなく、行方向に沿って設けてもよい（図示しない。）。

[0553]

次に、図41A乃至図41Cとは異なる、定電流源回路ISC1（定電流源回路ISC2、定電流源回路ISC3）と回路MPと、をnチャネル型トランジスタの単極性回路とした場合の、回路MPの構成例について説明する。

[0554]

図42に示す回路MPは、図41Aの回路MPを、多値の第2データ（例えば、ここではニューロンの信号の値（演算値）とする。）を扱えるように変形した回路である。

[0555]

図42の回路MPに含まれている回路MCは、図41Aの回路MPが有する回路素子に加え、トランジスタM1-2b、トランジスタM3-2b、トランジスタM4-2b、トランジスタM10、回路HC-2bを有する。

[0556]

本明細書などにおいて、トランジスタM1-2bは、トランジスタM1と同様に、特に断りの無い場合は、オン状態の場合は最終的に飽和領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、飽和領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。供給される電圧の振幅値を小さくするために、トランジスタM1-2bは、線形領域で動作してもよい。また、トランジスタM1-2bに流れる電流量を小さくするため、トランジスタM1-2bは、サブスレッショルド領域で動作してもよい。又は、トランジスタM1-2bは、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。なお、第1データ（重み係数）をアナログ値とする場合には、第1データ（重み係数）の大きさに応じて、例えば、トランジスタM1-2bは、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよい。又は、トランジスタM1-2bは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0557]

また、本明細書などにおいて、トランジスタM3-2b、トランジスタM4-2b、及びトラン

ジスタM10は、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタM3-2b、及びトランジスタM4-2b、トランジスタM10は、オン状態のときは飽和領域で動作してもよく、又はサブスレッショルド領域で動作してもよい。または、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。又は、トランジスタM3-2b、トランジスタM4-2b、及びトランジスタM10は、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0558]

次に、図42の回路MPの構成について説明する。なお、図42の回路MPにおいて、図41Aの回路MPと同様の構成となっている箇所については省略する。

[0559]

回路HC-2bは、回路HCと同様の構成となっている。そのため、回路HC-2bに含まれる回路素子などを説明するときは、回路HCに含まれる回路素子の符号を用いて説明する場合がある。

[0560]

図42の回路MPの回路MCにおいて、トランジスタM1-2bの第1端子は、配線VEに電氣的に接続されている。トランジスタM1-2bの第2端子は、トランジスタM1-2bのバックゲートと、トランジスタM3-2bの第1端子と、トランジスタM4-2bの第1端子と、に電氣的に接続されている。トランジスタM1-2bのゲートは、回路HC-2bのトランジスタM9の第1端子と、回路HC-2bの容量C3の第1端子と、に電氣的に接続されている。回路HC-2bの容量C3の第2端子は、トランジスタM10の第1端子と、トランジスタM1-2bの第2端子と、に電氣的に接続されている。トランジスタM3-2bの第2端子は、配線OLに電氣的に接続されている。トランジスタM3-2bのゲートは、配線X1L2bに電氣的に接続されている。トランジスタM4-2bの第2端子は、配線OLBに電氣的に接続されている。トランジスタM4-2bのゲートは、配線X2L2bに電氣的に接続されている。トランジスタM10の第2端子は、トランジスタM1の第2端子と、トランジスタM3の第1端子と、トランジスタM4の第1端子と、回路HCの容量C3の第2端子に電氣的に接続されている。回路HC-2bのトランジスタM9の第2端子は、回路HCのトランジスタM9の第1端子に電氣的に接続されている。回路HC-2bのトランジスタM9のゲートと、トランジスタM10のゲートと、は、配線WLに電氣的に接続されている。

[0561]

なお、図42の回路MPの回路MCrは、回路MCとほぼ同様の回路構成となっている。そのため、回路MCrの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。また、トランジスタM3-2brの第2端子は、配線OLBに電氣的に接続され、トランジスタM4-2brの第2端子は、配線OLに電氣的に接続されている。

[0562]

図42の回路MPにおいて、トランジスタM3、トランジスタM3-2b、トランジスタM3r、トランジスタM3-2br、トランジスタM4、トランジスタM4-2b、トランジスタM4r、トランジスタM4-2brのサイズ、例えば、チャネル長及びチャネル幅は、互いに等しいことが好ましい。このような回路構成とすることにより、効率的にレイアウトできる可能性がある。

[0563]

また、図42の回路MPにおいて、回路HCr、回路HC-2brに含まれているそれぞれのトランジスタM9rのサイズ、例えば、チャネル長及びチャネル幅は、回路HC、回路HC-2bに含まれているそれぞれのトランジスタM9と等しいことが好ましい。また、トランジスタM10rのサイズは、トランジスタM10と等しいことが好ましい。

[0564]

また、トランジスタM1のW長とL長の比を W/L としたとき、トランジスタM1-2bのW長とL長の比は、 $2W/L$ とするのが好ましい。また、トランジスタM1rのサイズは、トランジスタM1と等しいことが好ましく、トランジスタM1-2brのサイズは、トランジスタM1-2bと等しいことが好ましい。

[0565]

配線X1L2bは、トランジスタM3-2b、トランジスタM3-2brをオン状態とオフ状態の切り替えを行うための配線であり、配線X2L2bは、トランジスタM4-2b、トランジスタM4-2brをオン状態とオフ状態の切り替えを行うための配線である。

[0566]

次に、図42の回路MPにおける、電流の設定の方法（第1データ（重み係数）の設定方法）について説明する。

[0567]

初めに、配線WX1L、配線WLに高レベル電位を与えて、トランジスタM3、トランジスタM10、回路HCのトランジスタM9、回路HC-2bのトランジスタM9をオン状態にする。これにより、回路HCのノードn3の電位はVDDとなり、回路HC-2bのノードn3の電位はVDDとなる。その後、図8Aの電流源回路ISCにおいて、電流量として $3I_{ut}$ の電流を生成することで、配線VEから、トランジスタM1のソースドレイン間と、トランジスタM1-2bのソースドレイン間と、に異なる電流が流れる。具体的には、トランジスタM1-2bのW長とL長の比は、トランジスタM1のW長とL長の比の2倍であるため、トランジスタM1のソースドレイン間に流れる電流の量は I_{ut} となり、トランジスタM1-2bのソースドレイン間に流れる電流の量は $2I_{ut}$ となる。トランジスタM1とトランジスタM1-2bのそれぞれのソースドレイン間に流れる電流は、トランジスタM3のソースドレイン間と、配線OLと、を介して、電流源回路ISCに流れる。このとき、回路HCの容量C3の第2端子の電位（トランジスタM1の第2端子の電位）は、トランジスタM1のソースドレイン間に流れる電流によって定められ、回路HC-2bの容量C3の第2端子の電位（トランジスタM1-2bの第2端子の電位）は、トランジスタM1-2bのソースドレイン間に流れる電流によって定められる。ここで、配線WX1L、配線WLに低レベル電位を与えて、トランジスタM3、トランジスタM10、回路HCのトランジスタM9、回路HC-2bのトランジスタM9をオフ状態にすることによって、回路HCの容量C3によって、トランジスタM1のゲートとトランジスタM1の第2端子との間の電圧を保持することができ、回路HC-2bの容量C3によって、トランジスタM1-2bのゲートとトランジスタM

1-2bの第2端子との間の電圧を保持することができる。これにより、トランジスタM1のソースドレイン間に流れる電流の量を I_{ut} に設定することができ、トランジスタM1-2bのソースドレイン間に流れる電流の量を $2I_{ut}$ に設定することができる。

[0568]

その後、第2データ（ニューロンの信号の値）に応じて、配線WX1L、配線X2L、配線X1L2b、配線X2L2bのそれぞれに所定の電位を与えることで、回路MPにおいて、設定された第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を計算することができる。なお、多値の第1データ（重み係数）と、多値の第2データ（ニューロンの信号の値）との積の計算についての詳細は、構成例5で説明している。

[0569]

なお、図42の回路MPは、図43の回路MPに構成を変更することができる。図43の回路MPは、図42の回路MPにおいて、回路HC-2bのトランジスタM9の第2端子の接続先を、回路HCのトランジスタM9の第1端子から、配線VEに変更し、回路HC-2brのトランジスタM9rの第2端子の接続先を、回路HCrのトランジスタM9rの第1端子から、配線VERに変更した構成に相当する。図43の回路MPは、図42の回路MPと同様に動作することができる。

[0570]

また、図42の回路MPと、図43の回路MPと、は、図41Bの回路MPのように、配線VEを、配線VEと配線VAとに分離し、配線VERを、配線VERと配線VARとに分離してもよい。図44に示す回路MPは、図42の回路MPにおいて、配線VEを、配線VEと配線VAとに分離した構成であり、図45に示す回路MPは、図43の回路MPにおいて、配線VEを、配線VEと配線VAとに分離した構成である。

[0571]

図44の回路MP、図45の回路MPは、図42、図43のそれぞれの回路MPと同様に動作することができる。なお、図42乃至図45などに示すように、容量C3がトランジスタM1などのソース端子に接続され、そのソース端子が電源線などに接続されておらず、そのドレイン端子が電源線などに接続されている場合には、回路ILDから、切り替え回路TW[j]を介して配線OL又は配線OLBに正の電流を供給する場合、配線VCNが与える定電圧としては、配線VE、配線VAなどに供給されている電圧、例えば、高レベル電位（例えばVDDなど。）とすることが好ましい。つまり、配線VCNから定電圧を供給するときに、容量C3の両端の電位差がゼロに近くなるようにすることが望ましい。つまり、トランジスタM1がオフ状態になるようにすることが望ましい。言い換えると、回路MCより、電流が出力されなくなるような電位を配線VCNに供給することが望ましい。一方、配線VCN2は、VSS、接地電位などの低レベルの電位とすることが望ましい。配線VCN、及び配線VCN2が与える電位を適切にすることによって、回路MPから電流を配線OL、及び／又は配線OLBに電流を流すことができる。

[0572]

なお、本構成例は、本明細書で示す他の構成例などと適宜組み合わせることができる。

[0573]

<構成例9>

図46には、図14の演算回路170に適用できる回路BSと回路MPの一例を示している。

[0574]

回路BSとしては、例えば、図46に示すとおり、図40の回路MPを適用することができる。回路BMCは、図40の回路MPの回路MCに相当し、回路BMC_rは、図40の回路MPの回路MC_rに相当する。トランジスタM11は、図40の回路MPのトランジスタM1に相当し、トランジスタM12は、図40の回路MPのトランジスタM2に相当し、トランジスタM13は、図40の回路MPのトランジスタM3に相当し、容量C4は、図40の回路MPの容量C1に相当し、ノードn4は、図40の回路MPのノードn1に相当する。また、配線WXB_Sは、図40の回路MPの配線WXLに相当し、配線WLBSは、図40の回路MPの配線WLに相当し、配線VFは、図40の回路MPの配線VEに相当する。そのため、図46に示す回路BSの構成については、図40の回路MPの説明の記載を参酌する。

[0575]

回路MPとしては、例えば、図46に示すとおり、図15Aの回路MPを適用することができる。そのため、図46に示す回路MPの構成については、図15Aの回路MPの説明の記載を参酌する。

[0576]

図46の回路BSにおいて、回路BMC_rは、回路BMCとほぼ同様の回路構成となっている。また、回路MPにおいて、回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路BMC_rの有する回路素子などには、回路BMCの有する回路素子などと区別をするため、符号に「r」を付し、また、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。

[0577]

回路BSに“正のバイアス”を設定するときは、図40の回路MPの動作と同様に、配線WXB_S、配線WLBSに高レベル電位を与えて、トランジスタM12、トランジスタM13、トランジスタM12_r、トランジスタM13_rをオン状態にすればよい。その後、図8Aの電流源回路ISCにおいて、当該バイアスに応じた電流を選択し、配線OLと電流源回路ISCとの間を導通状態にする。これにより、電流源回路ISCから、配線OL及び回路BMCを介して配線VFに当該電流が流れ、ノードn4の電位は、当該電流に応じた電位となる。また、このとき、配線OLBと配線VCNとの間を導通状態にすることで、回路BMC_r側のノードn4_rには配線VCNからの電位VSSが与えられるため、ノードn4_rの電位はVSSとなる。その後、配線WXB_S、配線WLBSに低レベル電位を与えて、トランジスタM12、トランジスタM13、トランジスタM12_r、トランジスタM13_rをオフ状態にすることで、ノードn4、ノードn4_rの電位を保持することができる。これによって、回路BSに“正のバイアス”を設定することができる。

[0578]

また、回路BSに“負のバイアス”を設定するときは、配線WXB_S、配線WLBSに高レベル電位を与えて、トランジスタM12、トランジスタM13、トランジスタM12_r、トランジスタM13_rをオン状態にする。その後、図8Aの電流源回路ISCにおいて、当該バイアスに応じた電流を選択し、配線OLBと電流源回路ISCとの間を導通状態にする。これにより、電流源回路ISCから、配線OLB及び回路BMC_rを介して配線VF_rに当該電流が流れ、ノードn4_rの電位は、当該電流に応じた電位となる。また、このとき、配線OLと配線VCNとの間を導通状態にすることで、回路BMC側のノードn4には配線VCNからの電位VSSが与えられるため、ノードn4の電位はVSSとなる。その後、配線WXB_S、配線WLBSに低レベル電位を与えて、トランジスタM12、トランジスタM13、トランジスタM12_r、トランジスタM13_rをオフ

状態にすることで、ノード $n4$ 、ノード $n4r$ の電位を保持することができる。これによって、回路BSに“負のバイアス”を設定することができる。

[0579]

また、回路BSに“0のバイアス”を設定するときは、配線 WXB_S 、配線 $WLBS$ に高レベル電位を与えて、トランジスタ $M12$ 、トランジスタ $M13$ 、トランジスタ $M12r$ 、トランジスタ $M13r$ をオン状態にし、配線OL及び配線OLBと配線VCNとの間を導通状態にして、ノード $n4$ 、及びノード $n4r$ の電位をVSSにする。その後、配線 WXB_S 、配線 $WLBS$ に低レベル電位を与えて、トランジスタ $M12$ 、トランジスタ $M13$ 、トランジスタ $M12r$ 、トランジスタ $M13r$ をオフ状態にして、ノード $n4$ 、ノード $n4r$ のそれぞれの電位VSSを保持することで、回路BSに“0のバイアス”を設定することができる。

[0580]

また、場合によっては、回路BSにバイアスを設定するとき、ノード $n4$ 、及びノード $n4r$ のそれぞれにVSS以外の電位を与えてもよい。

[0581]

回路BSにバイアスを設定した後は、回路MPに第1データ（例えば、ここでは重み係数とする。）を保持し、回路MPに第2データ（例えば、ここではニューロンの信号の値とする。）を与えればよい。具体的には、回路MPに当該重み係数に応じた電流を設定し、回路MPに配線 $WX1L$ 、配線 $X2L$ のそれぞれから第2データ（ニューロンの信号の値）に応じた電位を与える。更に、回路BSにおいて、配線 WXB_S を高レベル電位にすることによって、回路MPで計算された第1データ（重み係数）と第2データ（ニューロンの信号の値）との積に、回路BSに設定されたバイアスを与えることができる。

[0582]

また、先に回路MPに第1データ（重み係数）を保持して、一度、回路MPで第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を計算し、その後にその計算結果に応じて回路BSにバイアスを設定して、再度演算を行ってもよい。つまり、演算結果に応じて適宜バイアスを変更する動作を行ってもよい。

[0583]

なお、図46の構成例では、配線VF、配線 VF_r 、配線VE、配線 VE_r を図示したが、本発明の一態様は、これに限定されない。例えば、図46の構成において、配線VFと配線VEを一本の配線としてまとめ、配線 VF_r と配線 VE_r を一本の配線としてまとめてもよい。また、例えば、図16Bの回路MPのとおり、図46の構成において、配線VFと配線 VF_r を一本の配線としてまとめ、配線VEと配線 VE_r を一本の配線としてまとめてもよい。また、例えば、図46の構成において、配線VF、配線 VF_r 、配線VE、配線 VE_r を一本の配線としてまとめてもよい。例えば、図46の構成において、配線VF、配線 VF_r 、配線VE、配線 VE_r から選ばれた2本以上の配線を一本の配線としてまとめてもよい。

[0584]

なお、本構成例は、本明細書で示す他の構成例などと適宜組み合わせることができる。

[0585]

<構成例10>

次に、図10Bに図示した回路MPに適用できる回路構成の例について説明する。

[0586]

図47Aに示す回路MPは、例えば、図7の演算回路140に適用できる図10Bの回路MPの構成例を示している。なお、図47Aの回路MPは、図40に示す回路MPにおいて、トランジスタM3とトランジスタM3rとを1つのトランジスタとしてまとめ、配線VEと配線VErとを1本の配線としてまとめた回路に相当する。具体的には、図40に示している回路MPのトランジスタM3及びトランジスタM3rは、図47Aの回路MPではトランジスタMZとしてまとめられ、図40に示している回路MPの配線VE及び配線VErは、図47Aの回路MPでは配線VLとしてまとめられている。

[0587]

なお、図47Aの回路MPの回路MCrは、回路MCとほぼ同様の回路構成となっている。そのため、回路MCrの有する回路素子には、回路MCの有する回路素子と区別をするため、符号に「r」を付している。

[0588]

なお、本明細書などにおいて、トランジスタMZは、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタMZは、オン状態のときは飽和領域で動作してもよく、又はサブスレッショルド領域で動作してもよい。または、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。又は、トランジスタMZは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0589]

また、回路MCは、回路HCと、トランジスタM20と、を有し、回路MCrは、回路HCrと、トランジスタM20rと、を有する。

[0590]

トランジスタM20の第1端子は、トランジスタMZの第1端子に電氣的に接続され、トランジスタM20のゲートは、トランジスタM2の第2端子と、容量C1の第1端子と、に電氣的に接続され、トランジスタM20の第2端子は、配線OLに電氣的に接続されている。容量C1の第2端子は、配線VLに電氣的に接続されている。トランジスタM2の第1端子は、配線OLに電氣的に接続されている。

[0591]

また、トランジスタM20rの第1端子は、トランジスタMZの第1端子に電氣的に接続され、トランジスタM20rのゲートは、トランジスタM2rの第2端子と、容量C1rの第1端子と、に電氣的に接続され、トランジスタM20rの第2端子は、配線OLBに電氣的に接続されている。容量C1rの第2端子は、配線VLに電氣的に接続されている。トランジスタM2rの第1端子は、配線OLBに電氣的に接続されている。

[0592]

配線VLは、一例としては、定電圧を与える配線として機能する。当該定電圧としては、例えば、低レベル電位であるVSS、接地電位（GND）などとすることができる。

[0593]

図47Aの回路MPに含まれている回路HC、回路HC_rは、図15Aなどに示している回路MPに含まれている回路HC、回路HC_rと同様に、重み係数に相当する電流量を設定することができる。具体的には、例えば、回路MPにおいて、配線XLに所定の電位を与えてトランジスタMZをオン状態にし、配線W1Lに所定の電位を与えてトランジスタM2をオン状態にして、配線OLから容量C1の第1端子、及びトランジスタM20の第2端子に、重み係数に相当する電流量を流す。このとき、トランジスタM20は、ダイオード接続となっているため、トランジスタM20のゲートソース間電圧は、当該電流量（ソースドレイン間に流れる電流の量）に応じて定められる。このとき、トランジスタM20のソースの電位は配線VLが与える電位とすると、トランジスタM20のゲートの電位が定められる。ここで、トランジスタM2をオフ状態にすることによって、トランジスタM20のゲートの電位を保持することができる。なお、回路HC_rについても同様に、配線OLBから容量C1_rの第1端子、及びトランジスタM20_rの第2端子に、重み係数に相当する電流量を流すことによって、当該電流量に応じた電位をトランジスタM20_rのゲートに保持することができる。

[0594]

ここで、例えば、図47Aの回路MPに設定される重み係数は、回路MCのトランジスタM20に I_{ut} の電流が設定され、回路MC_rのトランジスタM20_rに電流が流れないように設定されたときに“+1”とし、回路MCのトランジスタM20に電流が流れないように設定され、回路MC_rのトランジスタM20_rに I_{ut} の電流が設定されたときに“-1”とし、回路MC、回路MC_rのそれぞれのトランジスタM20、トランジスタM20_rに電流が流れないように設定されたときに“0”とする。

[0595]

回路HC、及び回路HC_rのそれぞれに重み係数に応じた電流が設定されることによって、トランジスタM20及びトランジスタM20_rのそれぞれのゲートの電位が定まる。ここで、配線XLに、例えば、ニューロンの信号の値に応じた電位を与えることによって、配線OL、及び／又は配線OLBと回路MPとの間に流れる電流が定まる。例えば、配線XLに“+1”の第2データとして高レベル電位が与えられたとき、配線VLが与える定電圧がトランジスタM20の第1端子と、トランジスタM20_rの第1端子と、に与えられる。また、例えば、配線XLに“0”の第2データとして低レベル電位が与えられたとき、配線VLが与える定電圧はトランジスタM20の第1端子と、トランジスタM20_rの第1端子と、に与えられない。つまり、トランジスタM20、及びトランジスタM20_rには電流が流れない。

[0596]

ここで、トランジスタM20に電流量として I_{ut} が設定されているとき、トランジスタM20のソースに配線VLからの電位が与えられることで、トランジスタM20の第1端子と第2端子との間に電流量として I_{ut} が流れる。また、トランジスタM20に電流が流れないように設定されているとき、トランジスタM20のソースに配線VLからの電位が与えられても、トランジスタM20の第1端子と第2端子との間には電流が流れない。同様に、トランジスタM20_rに電流量として I_{ut} が設定されているとき、トランジスタM20_rのソースに配線VLからの電位が与えられるこ

とで、トランジスタM20rの第1端子と第2端子との間に電流量として I_{ut} が流れる。また、トランジスタM20rに電流が流れないように設定されているとき、トランジスタM20rのソースに配線VLからの電位が与えられても、トランジスタM20rの第1端子と第2端子との間には電流が流れない。

[0597]

つまり、上記をまとめると、重み係数とニューロンの信号の値との積が“+1”であるとき、回路MCと配線OLとの間に I_{ut} の電流量が流れ、回路MCrと配線OLBとの間に電流が流れない。また、重み係数とニューロンの信号の値との積が“-1”であるとき、回路MCrと配線OLBとの間に I_{ut} の電流量が流れ、回路MCと配線OLとの間に電流が流れない。また、重み係数とニューロンの信号の値との積が“0”であるとき、回路MCと配線OLとの間に電流が流れず、回路MCrと配線OLBとの間に電流が流れない。

[0598]

以上より、図47Aの回路MPは、重み係数が“+1”、“-1”、“0”の3値と、ニューロンの信号（演算値）が“+1”、“0”の2値と、の積を計算することができる。また、図47Aの回路MPは、構成例7で説明した回路MPと同様に、一例として、トランジスタM20、及びトランジスタM20rに設定する電流量を変更することによって、第1データ（重み係数）が“正の多値”、“0”、“負の多値”と、第2データ（ニューロンの信号の値）が“+1”、“0”の2値と、の積を計算することができる。

[0599]

また、図47Aに示した回路MPは、例えば、図47Bに示した回路MPに変更してもよい。図47Bに示す回路MPは、容量C1の第2端子と、容量C1rの第2端子と、が配線VLでなく、配線CVLに電氣的に接続されている点で、図47Aの回路MPと異なる。なお、容量C1の第2端子は、トランジスタM20の第1端子、または、トランジスタMZの第1端子と接続されてもよい。同様に、容量C1rの第2端子は、トランジスタM20rの第1端子、または、トランジスタMZの第1端子と接続されてもよい。また、図48には、容量C1の第2端子がトランジスタM20の第1端子に電氣的に接続され、容量C1rの第2端子がトランジスタM20rの第1端子に電氣的に接続されている回路MPについて図示している。

[0600]

配線CVLは、一例として、定電圧を与える配線として機能する。当該定電圧としては、例えば、高レベル電位、低レベル電位、接地電位などとすることができる。

[0601]

なお、本構成例は、本明細書で示す他の構成例などと適宜組み合わせることができる。

[0602]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0603]

（実施の形態3）

本実施の形態では、多値の第1データ（例えば、重み係数又はニューロンの信号の一方など）と多値の第2データ（例えば、重み係数又はニューロンの信号（演算値）の他方など）との積和演算を行うことができる半導体装置、又は当該半導体装置の動作方法について説明する。

[0604]

<動作方法例1>

初めに、上記実施の形態で説明した半導体装置などを用いて、多値の第1データ（例えば、重み係数又はニューロンの信号の一方など）と多値の第2データ（例えば、重み係数又はニューロンの信号（演算値）の他方など）との積和演算を行う動作方法の一例について説明する。

[0605]

一例として、図21Aの回路MPを適用した図11の演算回路150の動作方法を考える。また、説明の煩雑さを避けるため、配線OL、配線OLBに流れる電流の変化については、配線OL、配線OLBに電氣的に接続されている1個の回路MPのみによって行われるものとする。また、回路MPに電氣的に接続されている配線VE、配線VERのそれぞれは、回路MPに対して、定電圧としてVSSを与えるものとする。また、回路AFPに含まれている回路ACTF[1]乃至ACTF[n]のそれぞれは、一例として、積分回路（または、電流電荷(IQ)変換回路）の構成を有する回路ACTFとする。例えば、積分回路を有する回路ACTFは、図6Eの回路ACTF[j]において、負荷LEa、負荷LEbを容量などとした構成としてもよい。

[0606]

図49Aは、当該動作方法の例を示したタイミングチャートである。具体的には、図49Aのそれぞれは、時刻T11から時刻T14までの間、及びその近傍の時刻における、回路HCのノードn1の電位と、回路HCrのノードn1rの電位と、配線WX1Lの電位と、配線OLに流れる電流I_{OL}の電流量と、配線OLBに流れる電流I_{OLB}の電流量と、回路ACTFの積分回路の容量に蓄積される電荷量の変化を示している。特に、図49Aにおいて、配線OLから負荷LEaに含まれている容量に流れる電流によって蓄積される電荷量をQ_{OL}と記載し、配線OLBから負荷LEbに含まれている容量に流れる電流によって蓄積される電荷量をQ_{OLB}と記載する。

[0607]

また、図49Aに示すタイミングチャートは、それぞれ時刻T11より前の時刻において、多値の第1データ（例えば、ここでは重み係数とする。）に応じた電流が設定されたものとする。なお、当該電流の設定の方法については、実施の形態2の説明の記載を参酌する。

[0608]

図49Aのタイミングチャートの動作例では、あらかじめ、回路MPに“+1”の重み係数が設定されているものとする。具体的には、時刻T11より前の時刻において、トランジスタM1に電流量I₁が流れるように設定され、トランジスタM1rには電流が流れないように設定される。また、回路HCのノードn1にはV₁が保持され、回路HCrのノードn1rにはVSSが保持されているものとする。なお、電位V₁は、VSSよりも高い電位とする。また、あらかじめ、図8Aにおいて、スイッチSWH、スイッチSWHBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWO、スイッチSWOB、スイッチSWL、スイッチSWLBをオフ状態として、配線OL及び配線OLBと配線VCN2との間を導通状態にして、配線OL、配線OLBの電位を高レベル電位としている。

[0609]

時刻T11以降では、配線OL及び配線OLBと回路AFPとの間を導通状態にするため、図8Aにおいて、スイッチSWO、スイッチSWOBはオン状態になり、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、スイッチSWHBはオフ状態になるものとする。

[0610]

時刻 T_{12} から時刻 T_{13} までの間において、回路MPへの第2データ（例えば、ここではニューロンの信号の値とする。）の入力が行われる。なお、時刻 T_{12} から時刻 T_{13} までの間の入力時間を、 t_{ut} とする。この入力時間の長さが、ニューロンの信号の値の大きさに対応する。つまり、この入力時間の長さを変えることにより、演算結果を変えることができるようになる。

[0611]

図49Aの動作例では、回路MPへの第2データ（ニューロンの信号の値）の入力として、配線 WX_{1L} に高レベル電位、配線 X_{2L} に低レベル電位が入力される。そのため、トランジスタ M_3 、トランジスタ M_{3r} のそれぞれのゲートに高レベル電位が入力され、トランジスタ M_4 、トランジスタ M_{4r} のそれぞれのゲートに低レベル電位が入力されて、トランジスタ M_3 、トランジスタ M_{3r} のそれぞれはオン状態となり、トランジスタ M_4 、トランジスタ M_{4r} のそれぞれはオフ状態になる。この動作によって、回路MCと配線 OL との間、及び、回路 MC_r と配線 OLB との間が導通状態になり、回路MCと配線 OLB との間、及び、回路 MC_r と配線 OL との間が非導通状態になる。

[0612]

このとき、トランジスタ M_1 は、電流量を I_1 とする電流を流すように設定されているため、回路 $ACTF$ から、切り替え回路 TW 、配線 OL 、回路MCを介して、配線 VE に電流量 I_1 の電流が流れる。また、トランジスタ M_{1r} は、オフ状態となっているため（電流量として0を流すように設定されているため）、回路 $ACTF$ から、切り替え回路 TW 、配線 OLB 、回路 MC_r を介して、配線 VE_r に電流は流れない。

[0613]

ここで、回路 $ACTF$ の積分回路に着目する。時刻 T_{12} から時刻 T_{13} までの間に第2データ（ニューロンの信号の値）の入力が行われているため、配線 OL と導通状態になっている、回路 $ACTF$ に含まれている積分回路の容量（負荷 LE_a ）には、時刻 T_{12} から時刻 T_{13} までの間に電荷が蓄積され続ける。理想的には、時刻 T_{13} の時点において、当該容量には、 $t_{ut} \times I_1$ の電荷が蓄積される。なお、図49Aのタイミングチャートでは、時刻 T_{12} から時刻 T_{13} までの間に、当該容量に蓄積された電荷量を Q_1 と記載している。一方、配線 OLB と導通状態となっている、回路 $ACTF$ に含まれている積分回路の容量（負荷 LE_b ）には、電荷の蓄積は起こらない。この結果、回路 $ACTF$ は、配線 OL に流れた電荷量 Q_1 と配線 OLB に流れた電荷量0に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0614]

次に、図49Aのタイミングチャートにおいて、回路MPへのニューロンの信号の入力時間を t_{ut} から $2t_{ut}$ に変化した場合を考える。図49Bに示すタイミングチャートは、図49Aのタイミングチャートにおいて、回路MPへのニューロンの信号の入力時間を t_{ut} から $2t_{ut}$ に変化させた場合の動作例を示している。

[0615]

図49Bのタイミングチャートの時刻 T_{12} より前の動作については、図49Aのタイミングチャートの時刻 T_{12} より前の動作例と同様である。そのため、図49Bのタイミングチャートの時刻 T_{12} より前の動作については、図49Aのタイミングチャートの時刻 T_{12} より前の動作の説明を参酌する。

[0616]

図49Bの動作例の時刻T12から時刻T14までの間において、回路MPへのニューロンの信号の入力が行われる。上述したとおり、時刻T12から時刻T14までの間の入力時間を、 $2t_{ut}$ としている。

[0617]

図49Bの動作例では、図49Aの動作例と同様に、回路MPへの第2データ（ニューロンの信号の値）の入力として、配線WX1Lに高レベル電位、配線X2Lに低レベル電位が入力される。このため、回路ACTFから、切り替え回路TW、配線OL、回路MCを介して、配線VEに電流量 I_1 の電流が流れる。また、回路ACTFから、切り替え回路TW、配線OLB、回路MCrを介して、配線VERに電流は流れない。

[0618]

時刻T12から時刻T14までの間に第2データ（ニューロンの信号の値）の入力が行われているため、配線OLと導通状態となっている、積分回路の容量（負荷Lea）には、時刻T12から時刻T14までの間に電荷が蓄積され続ける。理想的には、時刻T14の時点において、当該容量には、 $2t_{ut} \times I_1 (=2Q_1)$ の電荷が蓄積される。なお、図49Bのタイミングチャートでは、時刻T12から時刻T14までの間に、当該容量に蓄積された電荷量を Q_2 と記載している。一方、配線OLBと導通状態となっている、回路ACTFに含まれている積分回路の容量（負荷Leb）には、電荷の蓄積は起こらない。この結果、回路ACTFは、配線OLに流れた電荷量 Q_2 と配線OLBに流れた電荷量0とに応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0619]

次に、図49Aのタイミングチャートにおいて、回路MPに設定されている重み係数を“+1”から“-2”に変更した場合を考える。具体的には、図49Cに示すタイミングチャートは、あらかじめ、時刻T11より前の時刻において、トランジスタM1には電流が流れないように設定され、トランジスタM1rに電流 $I_2 (=2I_1)$ が流れるように設定される。また、回路HCrのノードn1rには V_2 が保持され、回路HCのノードn1にはVSSが保持されているものとする。なお、電位 V_2 は、 V_1 及びVSSよりも高い電位とする。

[0620]

図49Cのタイミングチャートの時刻T12より前の動作については、図49Aのタイミングチャートの時刻T12より前の動作例と同様である。そのため、図49Cのタイミングチャートの時刻T12より前の動作については、図49Aのタイミングチャートの時刻T12より前の動作の説明を参酌する。

[0621]

図49Cの動作例の時刻T12から時刻T13までの間において、回路MPへのニューロンの信号の入力が行われる。上述したとおり、時刻T12から時刻T13までの間の入力時間を、 t_{ut} としている。

[0622]

図49Cの動作例では、図49Aの動作例と同様に、回路MPへの第2データ（ニューロンの信号の値）の入力として、配線WX1Lに高レベル電位、配線X2Lに低レベル電位が入力される。このため、回路ACTFから、切り替え回路TW、配線OLB、回路MCrを介して、配線VERに電流量 I_2 の電流が流れる。また、回路ACTFから、切り替え回路TW、配線OL、回路MC

を介して、配線V Eに電流は流れない。

[0623]

時刻T 1 2から時刻T 1 3までの間に第2データ（ニューロンの信号の値）の入力が行われているため、配線O L Bと導通状態となっている、積分回路の容量（負荷L E b）には、時刻T 1 2から時刻T 1 3までの間に電荷が蓄積され続ける。理想的には、時刻T 1 3の時点において、当該容量には、 $t_{ut} \times I_2 (= 2 t_{ut} \times I_1 = 2 Q_1)$ の電荷が蓄積される。なお、図49Cのタイミングチャートでは、時刻T 1 2から時刻T 1 3までの間に、当該容量に蓄積された電荷量を Q_2 と記載している。一方、配線O Lと導通状態となっている、回路A C T Fに含まれている積分回路の容量（負荷L E a）には、電荷の蓄積は起こらない。この結果、回路A C T Fは、配線O Lに流れた電荷量0と配線O L Bに流れた電荷量 Q_2 とに応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0624]

図49A乃至図49Cに示した動作例の通り、第2データ（ニューロンの信号の値）は、回路M Pへの第2データの入力期間に応じて定めることができ、入力期間の長さに応じて、回路A C T Fから出力される演算結果が決まる。そのため、第2データ（ニューロンの信号の値）を、入力期間の長さ、及び配線W X 1 L、配線X 2 Lに印加する電位に応じて定義することによって、回路M Pは、3値以上の第2データ（ニューロンの信号の値）を扱うことができ、多値の第1データ（重み係数）と3値以上の第2データ（ニューロンの信号の値）との積和演算、及び／又は活性化関数の演算を行うことができる。

[0625]

本動作例において、回路M Pに入力される第2データ（ニューロンの信号の値）は、一例として、次の通りに定義することができる。配線W X 1 Lに高レベル電位、配線X 2 Lに低レベル電位を入力し、かつ入力期間を t_{ut} としたときの第2データ（ニューロンの信号の値）を“+1”とし、配線W X 1 Lに高レベル電位、配線X 2 Lに低レベル電位を入力し、かつ入力期間を $2 t_{ut}$ としたときの第2データ（ニューロンの信号の値）を“+2”とし、配線W X 1 Lに高レベル電位、配線X 2 Lに低レベル電位を入力し、かつ入力期間を $3 t_{ut}$ としたときの第2データ（ニューロンの信号の値）を“+3”とする。また、配線W X 1 Lに低レベル電位、配線X 2 Lに高レベル電位を入力し、かつ入力期間を t_{ut} としたときの第2データ（ニューロンの信号の値）を“-1”とし、配線W X 1 Lに低レベル電位、配線X 2 Lに高レベル電位を入力し、かつ入力期間を $2 t_{ut}$ としたときの第2データ（ニューロンの信号の値）を“-2”とし、配線W X 1 Lに低レベル電位、配線X 2 Lに高レベル電位を入力し、かつ入力期間を $3 t_{ut}$ としたときの第2データ（ニューロンの信号の値）を“-3”とする。また、配線W X 1 Lに低レベル電位、配線X 2 Lに低レベル電位を入力したときの第2データ（ニューロンの信号の値）を“0”とする。

[0626]

回路M Pに入力される第2データ（ニューロンの信号の値）を上述の通り、定義することによって、図49Aに示した動作例では、第1データ（重み係数）“+1”と第2データ（ニューロンの信号の値）“+1”との積として、“+1”を算出することができる。また、図49Bに示した動作例では、第1データ（重み係数）“+1”と第2データ（ニューロンの信号の値）“+2”との積として、“+2”を算出することができる。また、図49Cに示した動作例では、第1データ（重み係数）“-2”と第2データ（ニューロンの信号の値）“+1”との積として、“-2”を

算出することができる。本動作例において、第1データ（重み係数）を“−2”、“−1”、“0”、“+1”、“+2”のいずれかーとして、第2データ（ニューロンの信号の値）を“−2”、“−1”、“0”、“+1”、“+2”のいずれかーとしたときにおける、配線OLに流れた電荷量 Q_{OL} と配線OLBに流れる電荷量 Q_{OLB} を下の表に記す。なお、下表において、高レベル電位をhigh、低レベル電位をlowと記載している。

[0627]

[表6]

		ニューロンの信号の値						
		−3 (WX1L:low, X2L:high, 3t _{ut})	−2 (WX1L:low, X2L:high, 2t _{ut})	−1 (WX1L:low, X2L:high, t _{ut})	0 (WX1L:low, X2L:low)	+1 (WX1L:high, X2L:low, t _{ut})	+2 (WX1L:high, X2L:low, 2t _{ut})	+3 (WX1L:high, X2L:low, 3t _{ut})
重み 係数	−3	$Q_{OL}=9Q_1$, $Q_{OLB}=0$	$Q_{OL}=6Q_1$, $Q_{OLB}=0$	$Q_{OL}=3Q_1$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=3Q_1$	$Q_{OL}=0$, $Q_{OLB}=6Q_1$	$Q_{OL}=0$, $Q_{OLB}=9Q_1$
	−2	$Q_{OL}=2Q_1$, $Q_{OLB}=0$	$Q_{OL}=4Q_1$, $Q_{OLB}=0$	$Q_{OL}=2Q_1$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=2Q_1$	$Q_{OL}=0$, $Q_{OLB}=4Q_1$	$Q_{OL}=0$, $Q_{OLB}=6Q_1$
	−1	$Q_{OL}=3Q_1$, $Q_{OLB}=0$	$Q_{OL}=2Q_1$, $Q_{OLB}=0$	$Q_{OL}=Q_1$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=Q_1$	$Q_{OL}=0$, $Q_{OLB}=2Q_1$	$Q_{OL}=0$, $Q_{OLB}=3Q_1$
	0	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=0$, $Q_{OLB}=0$
	+1	$Q_{OL}=0$, $Q_{OLB}=3Q_1$	$Q_{OL}=0$, $Q_{OLB}=2Q_1$	$Q_{OL}=0$, $Q_{OLB}=Q_1$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=Q_1$, $Q_{OLB}=0$	$Q_{OL}=2Q_1$, $Q_{OLB}=0$	$Q_{OL}=3Q_1$, $Q_{OLB}=0$
	+2	$Q_{OL}=0$, $Q_{OLB}=6Q_1$	$Q_{OL}=0$, $Q_{OLB}=4Q_1$	$Q_{OL}=0$, $Q_{OLB}=2Q_1$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=2Q_1$, $Q_{OLB}=0$	$Q_{OL}=4Q_1$, $Q_{OLB}=0$	$Q_{OL}=6Q_1$, $Q_{OLB}=0$
	+3	$Q_{OL}=0$, $Q_{OLB}=9Q_1$	$Q_{OL}=0$, $Q_{OLB}=6Q_1$	$Q_{OL}=0$, $Q_{OLB}=3Q_1$	$Q_{OL}=0$, $Q_{OLB}=0$	$Q_{OL}=3Q_1$, $Q_{OLB}=0$	$Q_{OL}=6Q_1$, $Q_{OLB}=0$	$Q_{OL}=9Q_1$, $Q_{OLB}=0$

[0628]

また、本発明の一態様は、上述の定義に限定されない。上述では、第2データ（ニューロンの信号の値）として、正の多値、負の多値、0を定義したが、入力期間を離散的な値でなく連続的な値をとることによって（aを正の実数として、入力期間を $a \times t_{ut}$ とすることによって）、第2データ（ニューロンの信号の値）をアナログ値として扱うことができる。

[0629]

また、図49A、図49Bに示した動作例では、回路MPに設定された第1データ（重み係数）を“+1”とし、図49Cに示した動作例では、回路MPに設定された第1データ（重み係数）を“−2”としたが、“+1”、“−2”以外の第1データ（重み係数）を用いて計算を行ってもよい。実施の形態1、及び実施の形態2で説明したとおり、回路MPに設定される第1データ（重み係数）は、アナログ値などを設定することができるため、回路ACTFに含まれている積分回路の容量に蓄積される電荷量も、アナログ値などとする第1データ（重み係数）に応じて算出することができる。

[0630]

また、図49A乃至図49Cに示した動作例では、回路MPは、説明の煩雑さを避けるため、配線OL、配線OLBには1個の回路MPのみが電氣的に接続されている場合を考えたが、図11の演算回路150のとおり、配線OL、配線OLBには複数の回路MPを電氣的に接続してもよい。これにより、配線OL、配線OLBのそれぞれから複数の回路MPに入力された電荷量の合計を、

回路ACTFに含まれる積分回路の容量に蓄積することができ、回路ACTFは、配線OL、配線OLBに流れたそれぞれの電荷量に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。なお、図49A乃至図49Cでは、時刻T12から配線WX1Lの電位の変化が開始されている。つまり、図49A乃至図49Cのそれぞれでは、配線WX1Lの電位が高レベル電位となる期間が異なっている場合においても、低レベル電位から高レベル電位へ変化する時刻が同じ（時刻T12）となっているが、本発明の一態様は、これに限定されない。例えば、図49A乃至図49Cのそれぞれの配線WX1Lの電位が高レベル電位となる期間が異なっている場合においても、高レベル電位から低レベル電位へ変化する時刻が、同じになるように動作させてもよい。または、図49A乃至図49Cのそれぞれの配線WX1Lの電位が高レベル電位となる期間が異なっている場合においても、高レベル電位となる期間の中心の時刻が、同じになるように動作させてもよい。

[0631]

なお、本動作例では、図11の演算回路150を例としたが、状況に応じて、別の演算回路に変更することでも、本動作例と同様の動作を行うことができる。例えば、図47Bの回路MPを図7の演算回路140に適用して、回路AFPに含まれている回路ACTF[1]乃至ACTF[n]のそれぞれが積分回路の構成（または、電流電荷(IQ)変換回路)を有している場合を考える。この場合の回路構成においても、第1データ（重み係数）に応じてトランジスタM20、及びトランジスタM20rのそれぞれに流れる電流量を設定し、第2データ（ニューロンの信号の値）に応じて配線XLに高レベル電位を与える期間を設定することにより、本動作例と同様に、“正の多値”、“負の多値”、“0”のいずれかである第1データと、“正の多値”又は“0”である第2データと、の積を計算することができる。また、第1データ及び／又は第2データをアナログ値として計算を行ってもよい。

[0632]

なお、本動作方法例は、本明細書で示す他の動作方法例などと適宜組み合わせることができる。

[0633]

<動作方法例2>

次に、図49A乃至図49Cに示した動作例とは異なる、別の動作方法の例について説明する。

[0634]

一例として、図49A乃至図49Cと同様に、図21Aの回路MPを適用した図11の演算回路150の動作方法を考える。また、説明の煩雑さを避けるため、配線OL、配線OLBに流れる電流の変化については、配線OL、配線OLBに電氣的に接続されている1個の回路MPのみによって行われるものとする。また、回路MPに電氣的に接続されている配線VE、配線VErのそれぞれは、回路MPに対して、定電圧としてVSSを与えるものとする。また、回路AFPに含まれている回路ACTF[1]乃至ACTF[n]のそれぞれは、一例として、積分回路（または、電流電荷(IQ)変換回路)の構成を有する回路ACTFとする。例えば、積分回路は、図6Eの回路ACTF[j]において、負荷LEa、負荷LEbを容量などとした構成としてもよい。

[0635]

図50Aは、当該動作方法の例を示したタイミングチャートである。具体的には、図50Aのそれぞれは、時刻T21から時刻T25までの間、及びその近傍の時刻における、回路HCのノードn1の電位と、回路HCrのノードn1rの電位と、配線WX1Lの電位と、配線OLに流れる電流I_{OL}の電流量と、配線OLBに流れる電流I_{OLB}の電流量と、回路ACTFの積分回路の容量に

蓄積される電荷量の変化を示している。特に、図50Aにおいて、配線OLから負荷LEaに含まれている容量に流れる電流によって蓄積される電荷量を Q_{OL} と記載し、配線OLBから負荷LEbに含まれている容量に流れる電流によって蓄積される電荷量を Q_{OLB} と記載する。

[0636]

また、図50Aに示すタイミングチャートは、それぞれ時刻T21より前の時刻において、多値の第1データ（例えば、ここでは重み係数とする。）に応じた電流が設定されたものとする。なお、当該電流の設定の方法については、実施の形態2の説明の記載を参酌する。

[0637]

図50Aのタイミングチャートの動作例では、あらかじめ、回路MPに“+1”の第1データ（ここでは、例えば、重み係数とする。）が設定されているものとする。具体的には、時刻T21より前の時刻において、トランジスタM1に電流量 I_1 が流れるように設定され、トランジスタM1rには電流が流れないように設定される。また、回路HCのノードn1には V_1 が保持され、回路HCrのノードn1rにはVSSが保持されているものとする。なお、電位 V_1 は、VSSよりも高い電位とする。また、あらかじめ、図8Aにおいて、スイッチSWH、スイッチSWHBをオン状態とし、スイッチSWI、スイッチSWIB、スイッチSWO、スイッチSWOB、スイッチSWL、スイッチSWLBをオフ状態として、配線OL及び配線OLBと配線VCN2との間を導通状態にして、配線OL、配線OLBの電位を高レベル電位としている。

[0638]

時刻T21以降では、配線OL及び配線OLBと回路AFPとの間を導通状態にするため、図8Aにおいて、スイッチSWO、スイッチSWOBはオン状態になり、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、スイッチSWHBはオフ状態になるものとする。

[0639]

時刻T22以降において、回路MPへの第2データ（例えば、ここではニューロンの信号の値とする。）の入力が行われる。なお、図50Aの動作例では、回路MPへの第2データ（ニューロンの信号の値）の入力は、時刻T22から時刻T23までの間と、時刻T23から時刻T24までの間と、時刻T24から時刻T25までの間と、に分けて行われる。具体的には、時刻T22から時刻T23までの間の入力時間を t_{ut} とし、時刻T23から時刻T24までの間の入力時間を $2t_{ut}$ とし、時刻T24から時刻T25までの間の入力時間を $4t_{ut}$ としている。なお、本明細書などでは、それぞれの期間を第1サブ期間、第2サブ期間、第3サブ期間、と呼称する。また、第2サブ期間の長さは、第1サブ期間の長さの1.8倍以上、又は1.9倍以上とすることが好ましく、かつ2.1倍以下、又は2.2倍以下とすることが好ましい。また、第3サブ期間の長さは、第1サブ期間の長さの3.6倍以上、又は3.8倍以上とすることが好ましく、かつ4.2倍以下、又は4.4倍以下とすることが好ましい。なお、上述したそれぞれの下限值と上限値は互いに組み合わせることができるものとする。

[0640]

図50Aの動作例では、第1サブ期間と、第3サブ期間において、回路MPへの第2データ（ニューロンの信号の値）の入力として、配線WX1Lに高レベル電位、配線X2Lに低レベル電位が入力される。そのため、トランジスタM3、トランジスタM3rのそれぞれのゲートに高レベル電位が入力され、トランジスタM4、トランジスタM4rのそれぞれのゲートに低レベル電位が入力

されて、トランジスタM3、トランジスタM3rのそれぞれはオン状態となり、トランジスタM4、トランジスタM4rのそれぞれはオフ状態になる。この動作によって、回路MCと配線OLとの間、及び、回路MCrと配線OLBとの間が導通状態になり、回路MCと配線OLBとの間、及び、回路MCrと配線OLとの間が非導通状態になる。

[0641]

このとき、トランジスタM1は、電流量として I_1 を流すように設定されているため、第1サブ期間と、第3サブ期間において、回路ACTFから、切り替え回路TW、配線OL、回路MCを介して、配線VEに電流量 I_1 の電流が流れる。なお、第2サブ期間では、配線WX1L、配線X2Lに低レベル電位が入力されて、トランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rのそれぞれのゲートに低レベル電位が入力されるため、トランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rのそれぞれはオフ状態となり、回路ACTFから、切り替え回路TW、配線OL、回路MCを介して、配線VEに電流は流れない。

[0642]

また、第1サブ期間と、第2サブ期間と、第3サブ期間において、トランジスタM1rは、オフ状態となっているため（電流量として0を流すように設定されているため）、回路ACTFから、切り替え回路TW、配線OLB、回路MCrを介して、配線VERに電流は流れない。

[0643]

ここで、回路ACTFの積分回路に着目する。時刻T22以降に第2データ（ニューロンの信号）の入力が行われているため、配線OLと導通状態となっている、回路ACTFに含まれている積分回路の容量（負荷LEa）には、時刻T22以降に電荷が蓄積され続ける。理想的には、第1サブ期間において、当該容量には、 $t_{ut} \times I_1$ の電荷が蓄積され、第3サブ期間において、 $4 t_{ut} \times I_1$ の電荷が蓄積される。なお、図50Aのタイミングチャートでは、第1サブ期間において、当該容量に蓄積された電荷量を Q_1 とし、第3サブ期間において、当該容量に蓄積された電荷量を Q_4 としている。そのため、時刻T25以降の当該容量に蓄積された電荷量を $Q_1 + Q_4$ と記載している。一方、配線OLBと導通状態となっている、回路ACTFに含まれている積分回路の容量（負荷LEb）には、電荷の蓄積は起こらない。この結果、回路ACTFは、配線OLに流れた電荷量 $Q_1 + Q_4$ （ $= 5 Q_1$ ）と配線OLBに流れた電荷量0とに応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0644]

次に、図50Aのタイミングチャートにおいて、回路MPへのニューロンの信号の入力を、第1サブ期間及び第3サブ期間から、第2サブ期間に変更した場合を考える。図50Bに示すタイミングチャートは、図50Aのタイミングチャートにおいて、回路MPへのニューロンの信号の入力を、第1サブ期間及び第3サブ期間から、第2サブ期間に変化した場合の動作例を示している。

[0645]

図50Bのタイミングチャートの時刻T22より前の動作については、図50Aのタイミングチャートの時刻T22より前の動作例と同様である。そのため、図50Bのタイミングチャートの時刻T22より前の動作については、図50Aのタイミングチャートの時刻T22より前の動作の説明を参酌する。

[0646]

図50Bの動作例の時刻T22以降において、回路MPへのニューロンの信号の入力が行われる。

具体的には、上述したとおり、回路MPへのニューロンの信号の入力は、第2サブ期間に行われる。

[0647]

図50Bの動作例では、第2サブ期間において、回路MPへのニューロンの信号（演算値）の入力として、配線WX1Lに高レベル電位、配線X2Lに低レベル電位が入力される。このため、第2サブ期間では、回路ACTFから、切り替え回路TW、配線OL、回路MCを介して、配線VEに電流量 I_1 の電流が流れる。なお、第1サブ期間と、第3サブ期間では、配線WX1L、配線X2Lに低レベル電位が入力されているため、トランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rのそれぞれはオフ状態となり、回路ACTFから、切り替え回路TW、配線OL、回路MCを介して、配線VEに電流は流れない。

[0648]

また、第1サブ期間と、第2サブ期間と、第3サブ期間において、トランジスタM1rは、オフ状態となっているため（電流量として0を流すように設定されているため）、回路ACTFから、切り替え回路TW、配線OLB、回路MCrを介して、配線VERに電流は流れない。

[0649]

時刻T22以降に第2データ（ニューロンの信号）の入力が行われているため、配線OLと導通状態となっている積分回路の容量（負荷LEa）には、時刻T22以降に電荷が蓄積され続ける。理想的には、時刻T25の時点において、当該容量には、 $2t_{ut} \times I_1$ の電荷が蓄積される。なお、図50Bのタイミングチャートでは、時刻T22以降に当該容量に蓄積された電荷量を Q_2 と記載している。一方、配線OLBと導通状態となっている、回路ACTFに含まれている積分回路の容量（負荷LEb）には、電荷の蓄積は起こらない。この結果、回路ACTFは、配線OLに流れた電荷量 Q_2 （ $=2Q_1$ ）と配線OLBに流れた電荷量0とに応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0650]

次に、図50Aのタイミングチャートにおいて、回路MPに設定されている重み係数を“+1”から“-2”に変更し、かつ第2データ（ニューロンの信号）の入力を第1サブ期間及び第3サブ期間から、第1サブ期間及び第2サブ期間に変更した場合を考える。

[0651]

図50Cに示すタイミングチャートは、あらかじめ、時刻T21より前の時刻において、トランジスタM1には電流が流れないように設定され、トランジスタM1rに電流 I_2 （ $=2I_1$ ）が流れるように設定されている。また、回路HCのノードn1にはVSSが保持され、回路HCrのノードn1rには V_2 が保持されているものとする。なお、電位 V_2 は、 V_1 及びVSSよりも高い電位とする。

[0652]

図50Cのタイミングチャートの時刻T22より前の動作については、図50Aのタイミングチャートの時刻T22より前の動作例と同様である。そのため、図50Cのタイミングチャートの時刻T22より前の動作については、図50Aのタイミングチャートの時刻T22より前の動作の説明を参酌する。

[0653]

図50Cの動作例の時刻T22以降において、回路MPへのニューロンの信号の入力が行われる。上述したとおり、回路MPへのニューロンの信号の入力は、第1サブ期間及び第2サブ期間に行わ

れる。

[0654]

図50Cの動作例では、第1サブ期間及び第2サブ期間において、回路MPへの第2データ（ニューロンの信号の値）の入力として、配線WX1Lに高レベル電位、配線X2Lに低レベル電位が入力される。このため、第1サブ期間及び第2サブ期間では、回路ACTFから、切り替え回路TW、配線OLB、回路MCrを介して、配線Verに電流量 I_2 の電流が流れる。なお、第3サブ期間では、配線WX1L、配線X2Lに低レベル電位が入力されているため、トランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rのそれぞれはオフ状態となり、回路ACTFから、切り替え回路TW、配線OLB、回路MCrを介して、配線Verに電流は流れない。

[0655]

また、第1サブ期間と、第2サブ期間と、第3サブ期間において、トランジスタM1は、オフ状態となっているため（電流量として0を流すように設定されているため）、回路ACTFから、切り替え回路TW、配線OL、回路MCを介して、配線VEに電流は流れない。

[0656]

時刻T22以降に第2データ（ニューロンの信号）の入力が行われているため、配線OLBと導通状態となっている積分回路の容量（負荷LEb）には、時刻T22以降に電荷が蓄積され続ける。理想的には、時刻T25の時点において、当該容量には、 $6t_{ut} \times I_1 (= t_{ut} \times 2I_1 + 2t_{ut} \times 2I_1)$ の電荷が蓄積される。なお、図50Cのタイミングチャートでは、時刻T25以降に当該容量に蓄積された電荷量を $2(Q_1 + Q_2)$ と記載している。一方、配線OLと導通状態となっている、回路ACTFに含まれている積分回路の容量（負荷LEa）には、電荷の蓄積は起こらない。この結果、回路ACTFは、配線OLに流れた電荷量0と配線OLBに流れた電荷量 $2(Q_1 + Q_2)$ （ $=6Q_1$ ）と、に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0657]

図50A乃至図50Cに示した動作例の通り、第2データ（ニューロンの信号の値）は、回路MPへの第2データ（ニューロンの信号の値）の入力が可能な期間において複数のサブ期間を設けて、複数のサブ期間から一以上の選択された期間に応じて定めることができ、選択された期間に応じて、回路ACTFから出力される演算結果が決まる。そのため、第2データ（ニューロンの信号の値）を、選択されたサブ期間、及び配線WX1L、配線X2Lに印加する電位に応じて定義することによって、回路MPは、3値以上の第2データ（ニューロンの信号の値）を扱うことができ、多値の第1データ（重み係数）と3値以上の第2データ（ニューロンの信号の値）との積和演算、及び／又は活性化関数の演算を行うことができる。

[0658]

本動作例において、回路MPに入力される第2データ（ニューロンの信号の値）は、一例として、次の通りに定義することができる。第1サブ期間にのみ、配線WX1Lに高レベル電位、配線X2Lに低レベル電位を入力したときの第2データ（ニューロンの信号の値）を“+1”とし、第2サブ期間にのみ、配線WX1Lに高レベル電位、配線X2Lに低レベル電位を入力したときの第2データ（ニューロンの信号の値）を“+2”とし、第3サブ期間にのみ、配線WX1Lに高レベル電位、配線X2Lに低レベル電位を入力したときの第2データ（ニューロンの信号の値）を“+4”とする。第1サブ期間にのみ、配線WX1Lに低レベル電位、配線X2Lに高レベル電位を入力し

たときの第2データ（ニューロンの信号の値）を“−1”とし、第2サブ期間にのみ、配線WX 1 Lに低レベル電位、配線X 2 Lに高レベル電位を入力したときの第2データ（ニューロンの信号の値）を“−2”とし、第3サブ期間にのみ、配線WX 1 Lに低レベル電位、配線X 2 Lに高レベル電位を入力したときの第2データ（ニューロンの信号の値）を“−4”とする。また、第1サブ期間、第2サブ期間、第3サブ期間において、配線WX 1 Lに低レベル電位、配線X 2 Lに低レベル電位を入力したときの第2データ（ニューロンの信号の値）を“0”とする。

[0659]

なお、第2データ（ニューロンの信号の値）を“+3”としたい場合、第1サブ期間及び第2サブ期間にのみ、配線WX 1 Lに高レベル電位、配線X 2 Lに低レベル電位を入力すればよく、また、第2データ（ニューロンの信号の値）を“+5”としたい場合、第1サブ期間及び第3サブ期間に、配線WX 1 Lに高レベル電位、配線X 2 Lに低レベル電位を入力すればよい。また、第2データ（ニューロンの信号の値）を“−6”としたい場合、第2サブ期間及び第3サブ期間にのみ、配線WX 1 Lに低レベル電位、配線X 2 Lに高レベル電位を入力すればよく、また、第2データ（ニューロンの信号の値）を“−7”としたい場合、第1サブ期間、第2サブ期間及び第3サブ期間に、配線WX 1 Lに低レベル電位、配線X 2 Lに高レベル電位を入力すればよい。

[0660]

回路MPに入力される第2データ（ニューロンの信号の値）を上述の通り、定義することによって、図50Aに示した動作例では、第1データ（重み係数）“+1”と第2データ（ニューロンの信号の値）“+5”との積として、“+5”を算出することができる。また、図50Bに示した動作例では、第1データ（重み係数）“+1”と第2データ（ニューロンの信号の値）“+2”との積として、“+2”を算出することができる。また、図50Cに示した動作例では、第1データ（重み係数）“−2”と第2データ（ニューロンの信号の値）“+3”との積として、“−6”を算出することができる。

[0661]

また、本発明の一態様は、上述の定義に限定されない。上述では、第2データ（ニューロンの信号の値）の入力可能な期間として、第1サブ期間、第2サブ期間、第3サブ期間を設けたが、4つ以上のサブ期間を設けてもよい。例えば、第2データ（ニューロンの信号の値）の入力可能な期間を第1サブ期間乃至第Tサブ期間（Tは4以上の整数である。）に分けて、第sサブ期間（sは4以上T以下の整数である。）の長さを $2^{(s-1)} \times t_{ut}$ と定めればよい。また、例えば、第2データ（ニューロンの信号の値）の入力可能な期間を第1サブ期間乃至第Tサブ期間（Tは4以上の整数である。）に分けて、第sサブ期間（sは4以上T以下の整数である。）の長さを $s \times t_{ut}$ と定めてもよい。また、例えば、第1サブ期間にのみ、配線WX 1 Lに高レベル電位、配線X 2 Lに低レベル電位を入力したときの第2データ（ニューロンの信号の値）を“+0.1”とし、第2サブ期間にのみ、配線WX 1 Lに高レベル電位、配線X 2 Lに低レベル電位を入力したときの第2データ（ニューロンの信号の値）を“+0.2”とし、第3サブ期間にのみ、配線WX 1 Lに高レベル電位、配線X 2 Lに低レベル電位を入力したときの第2データ（ニューロンの信号の値）を“+0.4”とするなど、第2データ（ニューロンの信号の値）を実数として定義してもよい。

[0662]

また、図50A、図50Bに示した動作例では、回路MPに設定された第1データ（重み係数）を“+1”とし、図50Cに示した動作例では、回路MPに設定された第1データ（重み係数）を

“+2”としたが、“+1”、“+2”以外の第1データ（重み係数）を用いて計算を行ってもよい。実施の形態1、及び実施の形態2で説明したとおり、回路MPに設定される第1データ（重み係数）は、負の値、多値、アナログ値などを設定することができるため、回路ACTFに含まれている積分回路の容量に蓄積される電荷量も、負の値、多値、アナログ値などとする第1データ（重み係数）に応じて算出することができる。

[0663]

また、図50A乃至図50Cに示した動作例では、回路MPは、説明の煩雑さを避けるため、配線OL、配線OLBには1個の回路MPのみが電氣的に接続されている場合を考えたが、図11の演算回路150のとおり、配線OL、配線OLBには複数の回路MPを電氣的に接続してもよい。これにより、配線OL、配線OLBのそれぞれから複数の回路MPに入力された電荷量の合計を、回路ACTFに含まれる積分回路の容量に蓄積することができ、回路ACTFは、配線OL、配線OLBに流れたそれぞれの電荷量に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0664]

また、図50A乃至図50Cの動作例のとおり、第2データ（ニューロンの信号の値）の入力可能な期間として、複数のサブ期間を設けて、複数のサブ期間から1つ以上を選択して、選択された期間に信号を入力する構成としては、例えば、それぞれのサブ期間の長さを、回路設計の段階からあらかじめ決めることが好ましい。このような回路構成にすることにより、図49A乃至図49Cの動作例に求められる回路構成よりも、演算回路を簡易的及び／又は効率的にレイアウトできる場合がある。

[0665]

なお、本動作例では、図11の演算回路150を例としたが、状況に応じて、別の演算回路に変更することでも、本動作例と同様の動作を行うことができる。

[0666]

なお、本動作方法例は、本明細書で示す他の動作方法例などと適宜組み合わせることができる。

[0667]

<動作方法例3>

ここでは、図51の回路MPを適用した図11の演算回路150の動作方法について、説明する。

[0668]

動作方法例1及び動作方法例2と同様に、説明の煩雑さを避けるため、配線OL、配線OLBに流れる電流の変化については、配線OL、配線OLBに電氣的に接続されている1個の回路MPのみによって行われるものとする。また、回路MPに電氣的に接続されている配線VE、配線VERのそれぞれは、回路MPに対して、定電圧としてVSSを与えるものとする。また、回路AFPに含まれている回路ACTF[1]乃至ACTF[n]のそれぞれは、一例としては、積分回路（または、電流電荷（IQ）変換回路）の構成を有する回路ACTFとする。例えば、回路ACTFは、図6Eの回路ACTF[j]において、負荷LEa、負荷LEbを容量などとした構成としてもよい。

[0669]

図51は、図26に示した回路MPと同様の回路構成を示している。但し、トランジスタM1、トランジスタM1r、トランジスタM1-2b、トランジスタM1-2br、トランジスタM1-3b、トランジスタM1-3brのそれぞれのサイズ、例えば、W長とL長は等しいことが好まし

い。また、本動作方法の例は、実施の形態 2 で説明した図 2 6 の回路 MP の動作例と異なる。

[0670]

具体的には、回路 MP に第 2 データ（例えば、ここではニューロンの信号の値とする。）を入力する際において、配線 WX 1 L、又は配線 X 2 L の一方への高レベル電位の入力時間を t_{ut} としたとき、配線 X 1 L 2 b、又は配線 X 2 L 2 b の一方への高レベル電位の入力時間は $2 t_{ut}$ とし、配線 X 1 L 3 b、又は配線 X 2 L 3 b の一方への高レベル電位の入力時間は $4 t_{ut}$ として動作させるものとする。つまり、トランジスタ M 3、トランジスタ M 3 r がオン状態、又はトランジスタ M 4、トランジスタ M 4 r がオン状態となる時間を t_{ut} としたとき、トランジスタ M 3-2 b、トランジスタ M 3-2 b r がオン状態、又はトランジスタ M 4-2 b、トランジスタ M 4-2 b r がオン状態となる時間が $2 t_{ut}$ となり、トランジスタ M 3-3 b、トランジスタ M 3-3 b r がオン状態、又はトランジスタ M 4-3 b、トランジスタ M 4-3 b r がオン状態となる時間を $4 t_{ut}$ となるように動作させる。なお、図 5 1 の回路 MP には、図 2 6 の回路 MP と動作が異なることを示すため、配線 WX 1 L、配線 X 2 L、配線 X 1 L 2 b、配線 X 2 L 2 b、配線 X 1 L 3 b、配線 X 2 L 3 b の符号の付近に、パルス電圧の模式図と入力時間を図示している。

[0671]

動作方法例 1、動作方法例 2 で説明したとおり、回路 MP に第 1 データ（例えば、ここでは重み係数とする。）を設定して、かつトランジスタ M 3、又はトランジスタ M 4 がオン状態となる時間を定めることによって、配線 OL 又は配線 OL B から、トランジスタ M 1 を介して配線 VE に流れる電荷量が決まる。また、回路 MP に第 1 データ（重み係数）を設定して、トランジスタ M 3 r、又はトランジスタ M 4 r がオン状態となる時間を定めることによって、配線 OL 又は配線 OL B から、トランジスタ M 1 r を介して配線 VE r に流れる電荷量が決まる。

[0672]

同様に、配線 OL 又は配線 OL B から、トランジスタ M 1-2 b を介して配線 VE に流れる電荷量と、配線 OL 又は配線 OL B から、トランジスタ M 1-2 b r を介して配線 VE r に流れる電荷量と、についても、トランジスタ M 3-2 b、トランジスタ M 3-2 b r、トランジスタ M 4-2 b、トランジスタ M 4-2 b r のそれぞれにおいて、オン状態となる時間を定めることによって決まる。また、配線 OL 又は配線 OL B から、トランジスタ M 1-3 b を介して配線 VE に流れる電荷量と、配線 OL 又は配線 OL B から、トランジスタ M 1-3 b r を介して配線 VE r に流れる電荷量と、についても、トランジスタ M 3-3 b、トランジスタ M 3-3 b r、トランジスタ M 4-3 b、トランジスタ M 4-3 b r のそれぞれにおいて、オン状態となる時間を定めることによって決まる。

[0673]

そのため、回路 MP に設定する第 2 データ（ニューロンの信号の値）を次の表の通りに定義することができる。

[0674]

[表 7]

信号	WX1L (t_{ut})	X2L (t_{ut})	X1L2b ($2t_{ut}$)	X2L2b ($2t_{ut}$)	X1L3b ($4t_{ut}$)	X2L2b ($4t_{ut}$)
0	low	low	low	low	low	low
+1	high	low	low	low	low	low
+2	low	low	high	low	low	low
+3	high	low	high	low	low	low
+4	low	low	low	low	high	low
+5	high	low	low	low	high	low
+6	low	low	high	low	high	low
+7	high	low	high	low	high	low
-1	low	high	low	low	low	low
-2	low	low	low	high	low	low
-3	low	high	low	high	low	low
-4	low	low	low	low	low	high
-5	low	high	low	low	low	high
-6	low	low	low	high	low	high
-7	low	high	low	high	low	high

[0675]

ここで、例えば、回路MPには、あらかじめ、“+1”の第1データ（重み係数）が設定されているものとする。具体的には、トランジスタM1には電流量 I_1 が流れるように設定されているものとし、かつトランジスタM1r、トランジスタM1-2br、トランジスタM1-3brはオフ状態になっているものとする。

[0676]

回路MCにおいて、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bのそれぞれのサイズが等しく、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bのそれぞれのゲートが回路HCのノードn1に電氣的に接続され、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bのそれぞれの第1端子が配線VEに電氣的に接続されているため、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bのそれぞれのソースドレイン間には互いにほぼ等しい電流が流れる。当該電流の量を I_{ut} とする。

[0677]

回路MPに第2データ（ニューロンの信号の値）として“+7”が入力されている場合、トランジスタM3が時間 t_{ut} だけオン状態、トランジスタM4がオフ状態となることで、配線OLから、トランジスタM1を介して配線VEに流れる電荷量は、 $t_{ut} \times I_{ut}$ となる。なお、ここで、 $t_{ut} \times I_{ut} = Q_{ut}$ とする。また、同様に、トランジスタM3-2bが時間 $2t_{ut}$ だけオン状態、トランジスタM4-2bがオフ状態となることで、配線OLから、トランジスタM1-2bを介して配線VEに流れる電荷量は、 $2t_{ut} \times I_{ut} = 2Q_{ut}$ となり、トランジスタM3-3bが時間 $4t_{ut}$ だけオン状態、トランジスタM4-3bがオフ状態となることで、配線OLから、トランジスタM1-3bを介して配線VEに流れる電荷量は、 $4t_{ut} \times I_{ut} = 4Q_{ut}$ となる。そのため、配線OLから、回路MCを介して配線VEに流れる電荷量は、 $Q_{ut} + 2Q_{ut} + 4Q_{ut} = 7Q_{ut}$ となる。一方、配線OLBから、回路MCrを介して配線VERに流れる電荷量は、トランジスタM1r、

トランジスタM1-2br、トランジスタM1-3brがオフ状態であるため、0となる。

[0678]

なお、回路MPに第2データ（ニューロンの信号の値）として“-7”が入力されている場合、配線OLBと回路MCとの間、配線OLと回路MCrとの間がそれぞれ導通状態となり、配線OLBと回路MCrとの間、配線OLと回路MCとの間が非導通状態となるため、配線OLBから、回路MCを介して配線VEに流れる電荷量が $Q_{ut} + 2Q_{ut} + 4Q_{ut} = 7Q_{ut}$ となり、配線OLから、回路MCrを介して配線VERに流れる電荷量が、0となる。

[0679]

また、例えば、回路MPには、あらかじめ、“-1”の第1データ（重み係数）が設定されているものとする。具体的には、トランジスタM1rには電流量 I_1 が流れるように設定されているものとし、かつトランジスタM1、トランジスタM1-2b、トランジスタM1-3bはオフ状態になっているものとする。

[0680]

回路MCrにおいて、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brのそれぞれのサイズが等しく、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brのそれぞれのゲートが回路HCrのノードn1rに電氣的に接続され、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brのそれぞれの第1端子が配線VERに電氣的に接続されているため、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brのそれぞれのソースドレイン間には互いにほぼ等しい電流が流れる。トランジスタM1のソースドレイン間に流れる電流と同様に、当該電流の量を I_{ut} とする。

[0681]

回路MPに第2データ（ニューロンの信号の値）として“+7”が入力されている場合、トランジスタM3rが時間 t_{ut} だけオン状態、トランジスタM4rがオフ状態となることで、配線OLBから、トランジスタM1rを介して配線VERに流れる電荷量は、 $t_{ut} \times I_{ut} = Q_{ut}$ となる。また、同様に、トランジスタM3-2brが時間 $2t_{ut}$ だけオン状態、トランジスタM4-2brがオフ状態となることで、配線OLBから、トランジスタM1-2brを介して配線VERに流れる電荷量は、 $2t_{ut} \times I_{ut} = 2Q_{ut}$ となり、トランジスタM3-3brが時間 $4t_{ut}$ だけオン状態、トランジスタM4-3brがオフ状態となることで、配線OLBから、トランジスタM1-3brを介して配線VERに流れる電荷量は、 $4t_{ut} \times I_{ut} = 4Q_{ut}$ となる。そのため、配線OLBから、回路MCrを介して配線VERに流れる電荷量は、 $Q_{ut} + 2Q_{ut} + 4Q_{ut} = 7Q_{ut}$ となる。一方、配線OLから、回路MCを介して配線VEに流れる電荷量は、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bがオフ状態であるため、0となる。

[0682]

なお、回路MPに第2データ（ニューロンの信号の値）として“-7”が入力されている場合、配線OLBと回路MCとの間、配線OLと回路MCrとの間がそれぞれ導通状態となり、配線OLBと回路MCrとの間、配線OLと回路MCとの間が非導通状態となるため、配線OLから、回路MCrを介して配線VERに流れる電荷量が $Q_{ut} + 2Q_{ut} + 4Q_{ut} = 7Q_{ut}$ となり、配線OLBから、回路MCを介して配線VEに流れる電荷量が、0となる。

[0683]

このため、回路MPに“+1”の第1データ（重み係数）を設定し、正の第2データ（ニューロ

ンの信号の値) に応じて、回路MPに含まれているトランジスタM3、トランジスタM3-2b、トランジスタM3-3bから、オン状態にするトランジスタを一つ以上選択することによって、配線OLから、回路MCを介して配線VEに流れる電荷量を、 Q_{ut} 、 $2Q_{ut}$ 、 $3Q_{ut}$ 、 $4Q_{ut}$ 、 $5Q_{ut}$ 、 $6Q_{ut}$ 、 $7Q_{ut}$ のいずれか一とすることができる。なお、このとき、配線OLBから、回路MCrを介して、配線VERに流れる電荷量は0となる。また、回路MPに“-1”の第1データ(重み係数)を設定し、正の第2データ(ニューロンの信号の値)に応じて、回路MPに含まれているトランジスタM3r、トランジスタM3-2br、トランジスタM3-3brから、オン状態にするトランジスタを一つ以上選択することによって、配線OLBから、回路MCrを介して配線VERに流れる電荷量を、 Q_{ut} 、 $2Q_{ut}$ 、 $3Q_{ut}$ 、 $4Q_{ut}$ 、 $5Q_{ut}$ 、 $6Q_{ut}$ 、 $7Q_{ut}$ のいずれか一とすることができる。なお、このとき、配線OLから、回路MCを介して、配線VEに流れる電荷量は0となる。

[0684]

また、回路MPに“+1”の第1データ(重み係数)を設定し、負の第2データ(ニューロンの信号の値)に応じて、回路MPに含まれているトランジスタM4、トランジスタM4-2b、トランジスタM4-3bから、オン状態にするトランジスタを一つ以上選択することによって、配線OLBから、回路MCを介して配線VEに流れる電荷量を、 Q_{ut} 、 $2Q_{ut}$ 、 $3Q_{ut}$ 、 $4Q_{ut}$ 、 $5Q_{ut}$ 、 $6Q_{ut}$ 、 $7Q_{ut}$ のいずれか一とすることができる。なお、このとき、配線OLから、回路MCrを介して、配線VERに流れる電荷量は0となる。また、回路MPに“-1”の第1データ(重み係数)を設定し、負の第2データ(ニューロンの信号の値)に応じて、回路MPに含まれているトランジスタM4r、トランジスタM4-2br、トランジスタM4-3brから、オン状態にするトランジスタを一つ以上選択することによって、配線OLから、回路MCrを介して配線VERに流れる電荷量を、 Q_{ut} 、 $2Q_{ut}$ 、 $3Q_{ut}$ 、 $4Q_{ut}$ 、 $5Q_{ut}$ 、 $6Q_{ut}$ 、 $7Q_{ut}$ のいずれか一とすることができる。なお、このとき、配線OLBから、回路MCを介して、配線VEに流れる電荷量は0となる。

[0685]

また、例えば、回路MPに設定されている第1データ(重み係数)を“+1”から正の整数である“A”に変更したとする。具体的には、トランジスタM1には電流量 $I_A (=A I_1)$ が流れるように設定されているものとし、かつトランジスタM1r、トランジスタM1-2br、トランジスタM1-3brはオフ状態になっているものとする。このとき、トランジスタM1-2b、トランジスタM1-3bのそれぞれのソースドレイン間に流れる電流量も I_A となる。このため、第2データ(ニューロンの信号の値)に応じて、回路MPに含まれているトランジスタM3、トランジスタM3-2b、トランジスタM3-3bから、オン状態にするトランジスタを一つ以上選択することによって、配線OLから、回路MCを介して配線VEに流れる電荷量は、 AQ_{ut} 、 $2AQ_{ut}$ 、 $3AQ_{ut}$ 、 $4AQ_{ut}$ 、 $5AQ_{ut}$ 、 $6AQ_{ut}$ 、 $7AQ_{ut}$ のいずれか一となる。また、“A”を負の整数としたとき、配線OLBから、回路MCrを介して配線VERに、 AQ_{ut} 、 $2AQ_{ut}$ 、 $3AQ_{ut}$ 、 $4AQ_{ut}$ 、 $5AQ_{ut}$ 、 $6AQ_{ut}$ 、 $7AQ_{ut}$ のいずれか一の電荷量が流れることになる。

[0686]

なお、回路MPには、あらかじめ、“0”の第1データ(重み係数)が設定されている場合、トランジスタM1、トランジスタM1rのそれぞれはオフ状態になっているものとする。そのため、配線OL又は配線OLBから、回路MCを介して配線VEに電流は流れず、配線OL又は配線OL

Bから、回路MC_rを介して配線VE_rに電流は流れない。換言すると、配線OL、配線OLBのそれぞれに流れる電荷量は0といふことができる。

[0687]

ここで、回路ACTFの積分回路に着目する。配線OL又は配線OLBから、回路MCを介して配線VEに電流が流れるとき、又は、配線OL又は配線OLBから、回路MC_rを介して配線VE_rに電流が流れるとき、図8Aにおいて、スイッチSWO、SWOBはオン状態にし、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、スイッチSWHBはオフ状態にして、配線OL及び配線OLBと回路AFPとの間を導通状態にすることで、回路ACTFに含まれている積分回路の容量に配線OL、配線OLBに流れる電荷量を蓄積することができる。この結果、回路ACTFは、配線OLに流れた電荷量 Q_{OL} と配線OLBに流れた電荷量 Q_{OLB} に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0688]

上述の動作例より、第1データ（重み係数）を“+1”又は“-1”として、第2データ（ニューロンの信号の値）を上述の通りに定義した場合の、配線OLに流れた電荷量 Q_{OL} と配線OLBに流れた電荷量 Q_{OLB} を下の表に記載する。

[0689]

[表8]

重み係数	n1	n1r	ニューロンの 信号の値	重み係数 × 信号	配線OL に流れる 電荷量 Q_{OL}	配線OLB に流れる 電荷量 Q_{OLB}
+1	V_1	VSS	0	0	0	0
+1	V_1	VSS	+1	+1	Q_{ut}	0
+1	V_1	VSS	+2	+2	$2Q_{ut}$	0
+1	V_1	VSS	+3	+3	$3Q_{ut}$	0
+1	V_1	VSS	+4	+4	$4Q_{ut}$	0
+1	V_1	VSS	+5	+5	$5Q_{ut}$	0
+1	V_1	VSS	+6	+6	$6Q_{ut}$	0
+1	V_1	VSS	+7	+7	$7Q_{ut}$	0
+1	V_1	VSS	-1	-1	0	Q_{ut}
+1	V_1	VSS	-2	-2	0	$2Q_{ut}$
+1	V_1	VSS	-3	-3	0	$3Q_{ut}$
+1	V_1	VSS	-4	-4	0	$4Q_{ut}$
+1	V_1	VSS	-5	-5	0	$5Q_{ut}$
+1	V_1	VSS	-6	-6	0	$6Q_{ut}$
+1	V_1	VSS	-7	-7	0	$7Q_{ut}$

[0690]

[表 9]

重み係数	n1	n1r	ニューロンの 信号の値	重み係数 × 信号	配線OL に流れる 電荷量 Q_{OL}	配線OLB に流れる 電荷量 Q_{OLB}
-1	VSS	V_i	0	0	0	0
-1	VSS	V_i	+1	-1	0	Q_{ut}
-1	VSS	V_i	+2	-2	0	$2Q_{ut}$
-1	VSS	V_i	+3	-3	0	$3Q_{ut}$
-1	VSS	V_i	+4	-4	0	$4Q_{ut}$
-1	VSS	V_i	+5	-5	0	$5Q_{ut}$
-1	VSS	V_i	+6	-6	0	$6Q_{ut}$
-1	VSS	V_i	+7	-7	0	$7Q_{ut}$
-1	VSS	V_i	-1	+1	Q_{ut}	0
-1	VSS	V_i	-2	+2	$2Q_{ut}$	0
-1	VSS	V_i	-3	+3	$3Q_{ut}$	0
-1	VSS	V_i	-4	+4	$4Q_{ut}$	0
-1	VSS	V_i	-5	+5	$5Q_{ut}$	0
-1	VSS	V_i	-6	+6	$6Q_{ut}$	0
-1	VSS	V_i	-7	+7	$7Q_{ut}$	0

[0691]

上記の通り、第1データ（重み係数）と、第2データ（ニューロンの信号の値）を定めることにより、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果に応じて、配線OLから回路MC又は回路MC rに流れる電荷量 Q_{OL} 、及び配線OLBから回路MC又は回路MC rに流れる電荷量 Q_{OLB} が決まる。また、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果が正の値の場合、配線OLから回路MC又は回路MC rに電流が流れ、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果が負の値の場合、配線OLBから回路MC又は回路MC rに電流が流れる。つまり、電荷量 Q_{OL} 、及び電荷量 Q_{OLB} から、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を算出することができる。例えば、第1データ（重み係数）を“-1”又は“+1”とし、第2データ（ニューロンの信号の値）を“-7”乃至“+7”のいずれか一とし、かつ、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積が正の数である場合、上述の表において、配線OLから回路MC又は回路MC rに電流が流れる電荷量 Q_{OL} において、 Q_{ut} を“+1”に置き換えることで、電荷量 Q_{OL} から第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を求めることができる。また、例えば、第1データ（重み係数）を“-1”又は“+1”とし、第2データ（ニューロンの信号の値）を“-7”乃至“+7”のいずれか一とし、かつ、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積が負の数である場合、上述の表において、配線OLBから回路MC又は回路MC rに電流が流れる電荷量 Q_{OLB} において、 Q_{ut} を“-1”に置き換えることで、電荷量 Q_{OLB} から第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を求めることができる。

[0692]

なお、上述の動作例では、回路MPに設定された第1データ（重み係数）を“+1”、“-1”としたが、“0”、アナログ値などの第1データ（重み係数）を用いて計算してもよい。これにより、回路MPは、2値、多値、アナログ値などの第1データ（重み係数）と多値の第2データ（ニューロンの信号の値）との積和演算、及び／又は活性化関数の演算を行うことができる。

[0693]

また、本発明の一態様は、上述の定義に限定されない。上述では、第2データ（ニューロンの信号の値）として、正の多値、負の多値、0を定義したが、例えば、入力期間を離散的な値でなく連続的な値をとることによって（ a を正の実数として、入力期間を $a \times t_{ut}$ とすることによって）、第2データ（ニューロンの信号の値）をアナログ値として扱うことができる。

[0694]

また、例えば、トランジスタM3、トランジスタM3rがオン状態、又はトランジスタM4、トランジスタM4rがオン状態となる時間を t_{ut} とし、トランジスタM3-2b、トランジスタM3-2brがオン状態、又はトランジスタM4-2b、トランジスタM4-2brがオン状態となる時間を $2t_{ut}$ とし、トランジスタM3-3b、トランジスタM3-3brがオン状態、又はトランジスタM4-3b、トランジスタM4-3brがオン状態となる時間を $4t_{ut}$ としたとき、配線W X1Lに高レベル電位、配線X2Lに低レベル電位が入力され、かつ配線X1L2b、配線X2L2b、配線X1L3b、配線X2L3bに低レベル電位が入力されたときの第2データ（ニューロンの信号の値）を“+1”ではなく“+0.1”などの実数として定義してもよい。

[0695]

また、本発明の一態様の半導体装置は、図51の回路MPの構成に限定されない。例えば、図51の回路MPでは、電流量を設定するトランジスタとして、回路MC内には、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bの3個とし、回路MCr内には、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brの3個としたが、回路MC、回路MCrのそれぞれにおいて、電流量を設定するトランジスタは2個でもよいし、4個以上としてもよい。

[0696]

また、本発明の一態様の半導体装置及び当該半導体装置の動作方法は、上述に限定されない。上述では、図51の回路MPのトランジスタM1、トランジスタM1r、トランジスタM1-2b、トランジスタM1-2br、トランジスタM1-3b、トランジスタM1-3brのそれぞれのサイズを等しいものとして説明したが、例えば、トランジスタM1、トランジスタM1rのW長とL長との比を W/L とし、トランジスタM1-2b、トランジスタM1-2br、トランジスタM1-3b、トランジスタM1-3brのW長とL長との比を $2W/L$ としてもよい。このとき、トランジスタM1のソースドレイン間に電流量として I_1 の電流が流れるように設定することによって、トランジスタM1-2bのW長とL長の比と、トランジスタM1-3bのW長とL長の比と、のそれぞれはトランジスタM1のW長とL長の比の2倍であるため、トランジスタM1-2b、トランジスタM1-3bのそれぞれのソースドレイン間には電流量として $2I_1$ が流れる。同様に、トランジスタM1rのソースドレイン間に電流量として I_1 の電流が流れるように設定することによって、トランジスタM1-2brのW長とL長の比と、トランジスタM1-3brのW長とL長の比と、のそれぞれはトランジスタM1rのW長とL長の比の2倍であるため、トランジスタM1-2br、トランジスタM1-3brのそれぞれのソースドレイン間には電流量として $2I_1$

が流れる。

[0697]

ここで、トランジスタM3、トランジスタM3_rがオン状態、又はトランジスタM4、トランジスタM4_rがオン状態となる時間を t_{ut} とし、トランジスタM3-2b、トランジスタM3-2b_rがオン状態、又はトランジスタM4-2b、トランジスタM4-2b_rがオン状態となる時間を $2t_{ut}$ とし、トランジスタM3-3b、トランジスタM3-3b_rがオン状態、又はトランジスタM4-3b、トランジスタM4-3b_rがオン状態となる時間を $2t_{ut}$ とする。つまり、回路MPに第2データ（ニューロンの信号の値）を入力する際において、配線WX1L、又は配線X2Lの一方への高レベル電位の入力時間は t_{ut} とし、配線X1L2b、又は配線X2L2bの一方への高レベル電位の入力時間は $2t_{ut}$ とし、配線X1L3b、又は配線X2L3bの一方への高レベル電位の入力時間は $2t_{ut}$ とする。図52の回路MPには、配線WX1L、配線X2L、配線X1L2b、配線X2L2b、配線X1L3b、配線X2L3bの符号の付近に、図51とは異なる、パルス電圧の模式図と入力時間を示している。

[0698]

トランジスタM1のソースドレイン間に電流量として I_{ut} の電流が流れるように設定されたとき、トランジスタM3-3b又はトランジスタM4-3bの一方が時間 $2t_{ut}$ だけオン状態、トランジスタM3-3b又はトランジスタM4-3bの他方がオフ状態となることで、配線OL又は配線OLBから、トランジスタM1-3bを介して配線VEに流れる電荷量は、 $2t_{ut} \times 2I_{ut} = 4Q_{ut}$ となる。なお、配線OLからトランジスタM1を介して配線VEに流れる電荷量と、配線OLからトランジスタM1-2bを介して配線VEに流れる電荷量と、については上述の動作例と条件が同じであるため、説明を省略する。

[0699]

また、トランジスタM1_rのソースドレイン間に電流量として I_{ut} の電流が流れるように設定されたとき、トランジスタM3-3b_r又はトランジスタM4-3b_rの一方が時間 $2t_{ut}$ だけオン状態、トランジスタM3-3b_r又はトランジスタM4-3b_rの他方がオフ状態となることで、配線OL又は配線OLBから、トランジスタM1-3b_rを介して配線VE_rに流れる電荷量は、 $2t_{ut} \times 2I_{ut} = 4Q_{ut}$ となる。なお、配線OL又は配線OLBからトランジスタM1_rを介して配線VE_rに流れる電荷量と、配線OL又は配線OLBからトランジスタM1-2b_rを介して配線VE_rに流れる電荷量と、については上述の動作例と条件が同じであるため、説明を省略する。

[0700]

上述の通り、トランジスタM1、トランジスタM1_r、トランジスタM1-2b、トランジスタM1-2b_r、トランジスタM1-3b、トランジスタM1-3b_rのそれぞれのサイズと、配線WX1L、配線X2L、配線X1L2b、配線X2L2b、配線X1L3b、配線X2L3bのそれぞれへの高レベル電位の入力時間と、を適切に変更することによって、図51に示した回路MPの動作例と同様に、動作することができる。

[0701]

また、本発明の一態様の半導体装置は、図51、図52の回路MPの構成に限定されない。例えば、図51の回路MPでは、電流量を設定するトランジスタとして、回路MC内には、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bの3個とし、回路MC_r内は、トランジスタM1_r、トランジスタM1-2b_r、トランジスタM1-3b_rの3個としたが、回路MC、

回路MC r のそれぞれにおいて、電流量を設定するトランジスタは2個、又は4個以上としてもよい。また、当該トランジスタに応じて、保持部の個数、配線の数も増減してもよい。

[0702]

また、本発明の一態様の半導体装置の動作方法は、上述の動作方法に限定されない。例えば、動作方法例2で説明した通り、配線WX 1 L、配線X 2 L、配線X 1 L 2 b、配線X 2 L 2 b、配線X 1 L 3 b、配線X 2 L 3 bのそれぞれに入力される信号の入力期間を、複数のサブ期間に分けてもよい。

[0703]

また、本動作方法例では、回路MPは、説明の煩雑さを避けるため、配線OL、配線OL Bには1個の回路MPのみが電氣的に接続されている場合を考えたが、図11の演算回路150のとおり、配線OL、配線OL Bには複数の回路MPを電氣的に接続してもよい。これにより、配線OL、配線OL Bのそれぞれから複数の回路MPに入力された電荷量の合計を、回路ACT Fに含まれる積分回路の容量に蓄積することができ、回路ACT Fは、配線OL、配線OL Bに流れたそれぞれの電荷量に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0704]

なお、本動作例では、図11の演算回路150を例としたが、状況に応じて、別の演算回路に変更することでも、本動作例と同様の動作を行うことができる。

[0705]

なお、本動作方法例は、本明細書で示す他の動作方法例などと適宜組み合わせることができる。

[0706]

<動作方法例4>

ここでは、図53の回路MPを適用した図11の演算回路150の動作方法について、説明する。

[0707]

動作方法例1乃至動作方法例3と同様に、説明の煩雑さを避けるため、配線OL、配線OL Bに流れる電流の変化については、配線OL、配線OL Bに電氣的に接続されている1個の回路MPのみによって行われるものとする。また、回路MPに電氣的に接続されている配線VE、配線VE rのそれぞれは、回路MPに対して、定電圧としてVSSを与えるものとする。また、回路AF Pに含まれている回路ACT F [1]乃至回路ACT F [n]のそれぞれは、一例としては、積分回路（または、電流電荷（IQ）変換回路）の構成を有する回路ACT Fとする。回路ACT Fは、例えば、図6Eの回路ACT F [j]において、負荷LE a、負荷LE bを容量などとした構成としてもよい。

[0708]

図53は、図27に示した回路MPにおいて、トランジスタM1-3 b、トランジスタM1-3 b r、トランジスタM3-3 b、トランジスタM3-3 b r、トランジスタM4-3 b、トランジスタM4-3 b r、回路HC-3 b、回路HC-3 b rを設けていない構成となっている。また、そのため、図53の回路MPには、配線WX 1 L 3 b、配線X 2 L 3 b、配線WL 3 bも設けられていない。また、トランジスタM1、トランジスタM1 r、トランジスタM1-2 b、トランジスタM1-2 b rのそれぞれのサイズ、例えば、W長とL長は等しいことが好ましい。また、本動作方法の例は、実施の形態2で説明した図27の回路MPの動作例と異なる。

[0709]

具体的には、回路A F Pから回路M Pに電流が流れる際において、配線W X 1 L、又は配線X 2 Lの一方への高レベル電位の入力時間は t_{ut} として、配線W X 1 L 2 b、又は配線X 2 L 2 bの一方への高レベル電位の入力時間は $2 t_{ut}$ として動作させるものとする。つまり、トランジスタM 3、トランジスタM 3 rがオン状態、又はトランジスタM 4、トランジスタM 4 rがオン状態となる時間を t_{ut} としたとき、トランジスタM 3-2 b、トランジスタM 3-2 b rがオン状態、又はトランジスタM 4-2 b、トランジスタM 4-2 b rがオン状態となる時間を $2 t_{ut}$ となるように動作させる。そのため、図5 3の回路M Pには、図2 7の回路M Pと動作が異なることを示すため、配線W X 1 L、配線X 2 L、配線W X 1 L 2 b、配線X 2 L 2 bの符号の付近に、パルス電圧の模式図と入力時間を図示している。

[0 7 1 0]

動作方法例1、動作方法例2で説明したとおり、回路M Pに第1データ（例えば、ここでは重み係数とする。）を設定して、かつトランジスタM 3、又はトランジスタM 4がオン状態となる時間を定めることによって、配線O L又は配線O L Bから、トランジスタM 1を介して配線V Eに流れる電荷量が決まる。また、回路M Pに第1データ（重み係数）を設定して、トランジスタM 3 r、又はトランジスタM 4 rがオン状態となる時間を定めることによって、配線O L又は配線O L Bから、トランジスタM 1 rを介して配線V E rに流れる電荷量が決まる。

[0 7 1 1]

同様に、配線O L又は配線O L Bから、トランジスタM 1-2 bを介して配線V Eに流れる電荷量と、配線O L又は配線O L Bから、トランジスタM 1-2 b rを介して配線V E rに流れる電荷量と、についてもトランジスタM 3-2 b、トランジスタM 3-2 b r、トランジスタM 4-2 b、トランジスタM 4-2 b rのそれぞれがオン状態となる時間を定めることによって決まる。

[0 7 1 2]

ところで、図5 3の回路H C、回路H C-2 bのそれぞれには、デジタル値（2値）として、V S S、又は V_1 が保持されるものとする。回路H C、回路H C-2 bのそれぞれへの電位V S Sの保持は、図8 Aにおける配線V C Nと、図5 3の回路H Cのノードn 1及び／又は回路H C-2 bのノードn 1と、を導通状態にすることによって行われる。また、回路H C、回路H C-2 bのそれぞれへの電位 V_1 の保持は、トランジスタM 1及び／又はトランジスタM 1-2 bのソースドレイン間に電流を電流量 I_1 として設定を行うことによって行われるものとする。なお、トランジスタM 1、トランジスタM 1-2 bのそれぞれに電流量 I_1 として設定したとき、トランジスタM 1、トランジスタM 1-2 bの作製工程などを起因とするトランジスタ特性のばらつきによって、回路H C、回路H C-2 bのそれぞれに保持されている電圧は互いに異なる場合がある。

[0 7 1 3]

回路H C r、回路H C-2 b rのそれぞれには、上述と同様に、デジタル値（2値）として、V S S、又は V_1 が保持されるものとする。

[0 7 1 4]

ここで、回路M Pに設定される第1データ（重み係数）について定義する。

[0 7 1 5]

一例として、回路M Pに第1データ（重み係数）として“+1”を設定する場合、トランジスタM 1において電流量 I_1 が流れるように設定し、回路H C-2 b、回路H C r、回路H C-2 b rにはV S Sを保持するものとする。トランジスタM 1の第1端子は、トランジスタM 3を介して配

線OLに電氣的に接続され、トランジスタM4を介して配線OLBに電氣的に接続されているため、配線WX1L、又は配線X2Lの一方に高レベル電位が入力されている場合、配線OL又は配線OLBからトランジスタM1を介して、配線VEに流れる電荷量は $t_{ut} \times I_1$ となる。ここで、 $t_{ut} \times I_1 = Q_{ut}$ とする。なお、トランジスタM1r、トランジスタM1-2b、トランジスタM1-2brはオフ状態となるため、トランジスタM1r、トランジスタM1-2b、トランジスタM1-2brのそれぞれのソースドレイン間に流れる電流量は0となる。

[0716]

また、回路MPに第1データ（重み係数）として“+2”を設定する場合、トランジスタM1-2bにおいて電流量 I_1 が流れるように設定し、回路HC、回路HCr、回路HC-2brにはVSSを保持するものとする。トランジスタM1-2bの第1端子は、トランジスタM3-2bを介して配線OLに電氣的に接続され、トランジスタM4-2bを介して配線OLBに電氣的に接続されているため、配線WX1L2b、又は配線X2L2bの一方に高レベル電位が入力されている場合、配線OL又は配線OLBからトランジスタM1-2bを介して、配線VEに流れる電荷量は $2 t_{ut} \times I_1 = 2 Q_{ut}$ となる。なお、トランジスタM1、トランジスタM1r、トランジスタM1-2brはオフ状態となるため、トランジスタM1、トランジスタM1r、トランジスタM1-2brのそれぞれのソースドレイン間に流れる電流量は0となる。

[0717]

また、回路MPに第1データ（重み係数）として“+3”を設定する場合、トランジスタM1、トランジスタM1-2bにおいて電流量 I_1 が流れるように設定し、回路HCr、回路HC-2brにはVSSを保持するものとする。上述より、配線WX1L、又は配線X2Lの一方に高レベル電位が入力されている場合、配線OL又は配線OLBからトランジスタM1を介して、配線VEに流れる電荷量は $t_{ut} \times I_1$ となり、配線WX1L2b、又は配線X2L2bの一方に高レベル電位が入力されている場合、配線OL又は配線OLBからトランジスタM1を介して、配線VEに流れる電荷量は $2 t_{ut} \times I_1$ となる。このため、配線OL又は配線OLBから回路MCを介して配線VEに流れる電荷量は、 $t_{ut} \times I_1 + 2 t_{ut} \times I_1 = 3 Q_{ut}$ となる。なお、トランジスタM1r、トランジスタM1-2brはオフ状態となるため、トランジスタM1r、トランジスタM1-2brのそれぞれのソースドレイン間に流れる電流量は0となる。

[0718]

また、第1データ（重み係数）を“-1”とする場合、トランジスタM1rにおいて電流量 I_1 が流れるように設定し、回路HC、回路HC-2b、回路HC-2brにはVSSを保持するものとする。トランジスタM1rの第1端子は、トランジスタM3rを介して配線OLBに電氣的に接続され、トランジスタM4rを介して配線OLに電氣的に接続されているため、配線WX1L、又は配線X2Lの一方に高レベル電位が入力されている場合、配線OL又は配線OLBからトランジスタM1rを介して、配線VERに流れる電荷量は $t_{ut} \times I_1$ となる。ここで、 $t_{ut} \times I_1 = Q_{ut}$ とする。なお、トランジスタM1r、トランジスタM1-2b、トランジスタM1-2brはオフ状態となるため、トランジスタM1、トランジスタM1-2b、トランジスタM1-2brのそれぞれのソースドレイン間に流れる電流量は0となる。

[0719]

また、回路MPに第1データ（重み係数）として“-2”を設定する場合、トランジスタM1-2brにおいて電流量 I_1 が流れるように設定し、回路HC、回路HCr、回路HC-2bにはV

SSを保持するものとする。トランジスタM1-2brの第1端子は、トランジスタM3-2brを介して配線OLBに電氣的に接続され、トランジスタM4-2brを介して配線OLに電氣的に接続されているため、配線WX1L2b、又は配線X2L2bの一方に高レベル電位が入力されている場合、配線OL又は配線OLBからトランジスタM1-2brを介して、配線VERに流れる電荷量は $2 t_{ut} \times I_1 = 2 Q_{ut}$ となる。なお、トランジスタM1、トランジスタM1r、トランジスタM1-2bはオフ状態となるため、トランジスタM1、トランジスタM1r、トランジスタM1-2bのそれぞれのソースドレイン間に流れる電流量は0となる。

[0720]

また、回路MPに第1データ（重み係数）として“-3”を設定する場合、トランジスタM1r、トランジスタM1-2brにおいて電流量 I_1 が流れるように設定し、回路HC、回路HC-2bにはVSSを保持するものとする。上述より、配線WX1L、又は配線X2Lの一方に高レベル電位が入力されている場合、配線OL又は配線OLBからトランジスタM1rを介して、配線VERに流れる電荷量は $t_{ut} \times I_1$ となり、配線WX1L2b、又は配線X2L2bの一方に高レベル電位が入力されている場合、配線OL又は配線OLBからトランジスタM1r-2brを介して、配線VERに流れる電荷量は $2 t_{ut} \times I_1$ となる。このため、配線OL又は配線OLBから回路MCrを介して配線VERに流れる電荷量は、 $t_{ut} \times I_1 + 2 t_{ut} \times I_1 = 3 Q_{ut}$ となる。なお、トランジスタM1、トランジスタM1-2bはオフ状態となるため、トランジスタM1、トランジスタM1-2bのそれぞれのソースドレイン間に流れる電流量は0となる。

[0721]

また、第1データ（重み係数）を“0”とする場合、回路HC、回路HCr、回路HC-2b、回路HC-2brにはVSSを保持するものとする。そのため、トランジスタM1、トランジスタM1r、トランジスタM1-2b、トランジスタM1-2brのそれぞれのソースドレイン間に流れる電流量は0となる。

[0722]

つまり、回路HC、回路HCr、回路HC-2b、回路HC-2brにデジタル値（2値）を保持して、配線WX1L、配線X2Lの一方への高レベル電位の入力期間を t_{ut} とし、配線WX1L2b、配線X2L2bの一方への高レベル電位の入力期間を $2 t_{ut}$ とすることで、多値（本動作例では“-3”、“-2”、“-1”、“0”、“+1”、“+2”、“+3”の7値）の第1データ（重み係数）を表すことができる。

[0723]

なお、本動作例では、回路MPに入力される第2データ（ここでは、例えば、ニューロンの信号とする。）の定義として、一例として、第2データが“+1”のときは、配線WX1L、配線X1L2bに高レベル電位が入力され、かつ配線X2L、配線X2L2bに低レベル電位が入力されるものとし、第2データが“-1”のときは、配線WX1L、配線X1L2bに低レベル電位が入力され、かつ配線X2L、配線X2L2bに高レベル電位が入力されるものとし、第2データが“0”のときは、配線WX1L、配線X1L2b、配線X2L、配線X2L2bのそれぞれに低レベル電位が入力されるものとする。

[0724]

ここで、回路ACTFの積分回路に着目する。配線OL又は配線OLBから、回路MCを介して配線VEに電流が流れるとき、又は、配線OL又は配線OLBから、回路MCrを介して配線VE

rに電流が流れるとき、図8Aにおいて、スイッチSWO、スイッチSWOBはオン状態にし、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、スイッチSWHBはオフ状態にして、配線OL及び配線OLBと回路AFPとの間を導通状態にすることで、回路ACTFに含まれている積分回路の容量に配線OL、配線OLBに流れる電荷量を蓄積することができる。この結果、回路ACTFは、配線OLに流れた電荷量 Q_{OL} と配線OLBに流れた電荷量 Q_{OLB} に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0725]

上述の動作例より、第1データ（重み係数）を“+3”、“+2”、“+1”、“0”、“-1”、“-2”、“-3”のいずれかに設定し、第2データ（ニューロンの信号の値）を上述の通りに定義した場合の、配線OLに流れた電荷量 Q_{OL} と配線OLBに流れた電荷量 Q_{OLB} を下の表に記載する。

[0726]

[表10]

		ニューロンの信号の値		
		-1 (WX1L:low, X2L:high)	0 (WX1L:low, X2L:low)	+1 (WX1L:high, X2L:low)
重み 係数	-3	$Q_{OL}=3Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=3Q_{ut}$
	-2	$Q_{OL}=2Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=2Q_{ut}$
	-1	$Q_{OL}=Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=Q_{ut}$
	0	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=0$
	+1	$Q_{OL}=0,$ $Q_{OLB}=Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=Q_{ut},$ $Q_{OLB}=0$
	+2	$Q_{OL}=0,$ $Q_{OLB}=2Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=2Q_{ut},$ $Q_{OLB}=0$
	+3	$Q_{OL}=0,$ $Q_{OLB}=3Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=3Q_{ut},$ $Q_{OLB}=0$

[0727]

上記の通り、第1データ（重み係数）と、第2データ（ニューロンの信号の値）を定めることにより、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果に応じて、配線OLから回路MC又は回路MC rに電流が流れる電荷量 Q_{OL} 、及び配線OLBから回路MC又は回路MC rに電流が流れる電荷量 Q_{OLB} が決まる。また、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果が正の値の場合、配線OLから回路MC又は回路MC rに電流が流れ、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果が負の値の場合、配線OLBから回路MC又は回路MC rに電流が流れる。つまり、電荷量 Q_{OL} 、及び電荷量 Q_{OLB} から、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を算出す

ることができる。例えば、第1データ（重み係数）を“−3”乃至“+3”とし、第2データ（ニューロンの信号の値）を“−1”、“0”、“+1”のいずれかーとし、かつ、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積が正の数である場合、上述の表において、配線OLから回路MC又は回路MC rに電流が流れる電荷量 Q_{OL} において、 Q_{ut} を“+1”に置き換えることで、電荷量 Q_{OL} から第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を求めることができる。また、例えば、第1データ（重み係数）を“−1”又は“+1”とし、第2データ（ニューロンの信号の値）を“−7”乃至“+7”のいずれかーとし、かつ、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積が負の数である場合、上述の表において、配線OLBから回路MC又は回路MC rに電流が流れる電荷量 Q_{OLB} において、 Q_{ut} を“−1”に置き換えることで、電荷量 Q_{OLB} から第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を求めることができる。

[0728]

なお、上述の動作例では、回路MPに設定された第1データ（重み係数）を“+3”、“+2”、“+1”、“0”、“−1”、“−2”、“−3”としたが、配線WX1L、配線X2L、配線WX1L2b、配線X2L2bへの高レベル電位を入力する時間を調節して、第1データ（重み係数）をアナログ値などとして用いてもよい。これにより、回路MPは、アナログ値などの第1データ（重み係数）と多値の第2データ（ニューロンの信号の値）との積和演算、及び／又は活性化関数の演算を行うことができる。

[0729]

また、本発明の一態様の半導体装置は、図53の回路MPの構成に限定されない。例えば、図53の回路MPでは、電流量を設定するトランジスタとして、回路MC内には、トランジスタM1、トランジスタM1−2bの2個とし、回路MC r内は、トランジスタM1 r、トランジスタM1−2b rの2個としたが、回路MC、回路MC rのそれぞれにおいて、電流量を設定するトランジスタは3個以上としてもよい。また、当該トランジスタに応じて、保持部の個数、配線の数も増減してもよい。

[0730]

また、本発明の一態様の半導体装置の動作方法は、上述に限定されない。例えば、動作方法例2で説明した通り、配線WX1L、配線X2L、配線WX1L2b、配線X2L2bのそれぞれに入力される信号の入力期間を、複数のサブ期間に分けてもよいし、短く又は長くしてもよい。後者において、具体的には、例えば、上記の動作例で、配線WX1L、及び配線X2Lに入力される信号の入力時間を $A t_{ut}$ （Aは0よりも大きい実数とする）、配線WX1L2b、及び配線X2L2bに入力される信号の入力時間を $2 A t_{ut}$ とすることにより、第2データ（ニューロンの信号の値）を“−1”、“0”、“+1”の3値でなく、3値以外の多値、又はアナログ値として、第1データと第2データとの積和演算を行うことができる。

[0731]

また、本動作方法例では、回路MPは、説明の煩雑さを避けるため、配線OL、配線OLBには1個の回路MPのみが電氣的に接続されている場合を考えたが、図11の演算回路150のとおり、配線OL、配線OLBには複数の回路MPを電氣的に接続してもよい。これにより、配線OL、配線OLBのそれぞれから複数の回路MPに入力された電荷量の合計を、回路ACTFに含まれる積分回路の容量に蓄積することができ、回路ACTFは、配線OL、配線OLBに流れたそれぞれの

電荷量に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0732]

なお、本動作例では、図11の演算回路150を例としたが、状況に応じて、別の演算回路に変更することでも、本動作例と同様の動作を行うことができる。

[0733]

なお、本動作方法例は、本明細書で示す他の動作方法例などと適宜組み合わせることができる。

[0734]

<動作方法例5>

ここでは、図54の回路MPを適用した図11の演算回路150の動作方法について、説明する。

[0735]

動作方法例1乃至動作方法例4と同様に、説明の煩雑さを避けるため、配線OL、配線OLBに流れる電流の変化については、配線OL、配線OLBに電氣的に接続されている1個の回路MPのみによって行われるものとする。また、回路MPに電氣的に接続されている配線VE、配線VERのそれぞれは、回路MPに対して、定電圧としてVSSを与えるものとする。また、回路AFPに含まれている回路ACTF[1]乃至回路ACTF[n]のそれぞれは、一例としては、積分回路（または、電流電荷(IQ)変換回路)の構成を有する回路ACTFとする。例えば、回路ACTFは、図6Eの回路ACTF[j]において、負荷LEa、負荷LEbを容量などとした構成としてもよい。

[0736]

図54は、図29に示した回路MPにおいて、トランジスタM1-2b、トランジスタM1-2br、トランジスタM1-3b、トランジスタM1-3br、トランジスタM3-2b、トランジスタM3-2br、トランジスタM3-3b、トランジスタM3-3br、トランジスタM4-2b、トランジスタM4-2br、トランジスタM4-3b、トランジスタM4-3br、回路HC-2b、回路HC-2br、回路HC-3b、回路HC-3brを設けていない構成となっている。また、そのため、図54の回路MPには、配線X1L2b、配線X2L2b、配線X1L3b、配線X2L3bを設けていない。また、本動作方法の例は、実施の形態2で説明した図29の回路MPの動作例と異なる。

[0737]

具体的には、回路MPに第2データ（例えば、ここではニューロンの信号の値とする。）を入力する際において、第2データ（ニューロンの信号の値）に応じて、配線X1L、又は配線X2Lの一方への高レベル電位の入力時間を設定する。つまり、トランジスタM3、トランジスタM3rがオン状態、又はトランジスタM4、トランジスタM4rがオン状態となる時間を設定する。

[0738]

動作方法例1で説明したとおり、回路MPに第1データ（例えば、ここでは重み係数とする。）を設定して、かつトランジスタM3、又はトランジスタM4がオン状態となる時間を定めることによって、配線OL又は配線OLBから、トランジスタM1を介して配線VEに流れる電荷量が決まる。また、回路MPに第1データ（重み係数）を設定して、トランジスタM3r、又はトランジスタM4rがオン状態となる時間を定めることによって、配線OL又は配線OLBから、トランジスタM1rを介して配線VERに流れる電荷量が決まる。

[0739]

一例として、第2データ（ニューロンの信号の値）が“+1”のときは、配線X1Lへの高レベル電位の入力期間を t_{ut} として、配線X1Lに高レベル電位、配線X2Lに低レベル電位を印加するものとしたとき、他の第2データ（ニューロンの信号の値）を次の表の通りに定義することができる。なお、下の表は、“-3”乃至“+3”の整数のみを図示している。

[0740]

[表11]

信号	X1L	X2L
-3	low	high($3t_{ut}$)
-2	low	high($2t_{ut}$)
-1	low	high(t_{ut})
0	low	low
+1	high(t_{ut})	low
+2	high($2t_{ut}$)	low
+3	high($3t_{ut}$)	low

[0741]

また、回路HCS、回路HCSRとしては、実施の形態2の構成例5で説明したとおり、SRAMを有する構成、又はNOSRAMを有する構成とすることができる。ここでは、回路HCS、回路HCSRには、2値（デジタル値）の電位を保持するものとする。そのため、一例として、回路MPに設定される第1データ（重み係数）を“+1”とするとき、回路HCSに高レベル電位（ここでは、例えばVDDLとする。）、回路HCSRに低レベル電位（ここでは、例えばVSSとする。）、が保持されているものとし、回路MPに設定される第1データ（重み係数）を“-1”とするとき、回路HCSに低レベル電位、回路HCSRに高レベル電位が保持されているものとし、回路MPに設定される第1データ（重み係数）を“0”とするとき、回路HCSに低レベル電位、回路HCSRに低レベル電位が保持されているものとする。

[0742]

なお、回路HCSに電圧VDDLが保持されている場合、トランジスタM1に流れる電流の量を I_1 とする。また、回路HCSに電圧VSSが保持されている場合、トランジスタM1に流れる電流の量を0とする。同様に、回路HCSRに電圧VDDLが保持されている場合、トランジスタM1rに流れる電流の量を I_1 とし、回路HCSRに電圧VSSが保持されている場合、トランジスタM1rに流れる電流の量を0とする。

[0743]

次に、図54の回路MPの具体的な動作例について説明する。

[0744]

回路MPには、例えば、あらかじめ、“+1”の第1データ（重み係数）が設定されているものとする。

[0745]

回路MPに第2データ（ニューロンの信号の値）として“+3”が入力されている場合、トランジスタM3が時間 $3t_{ut}$ だけオン状態、トランジスタM4がオフ状態となることで、配線OLから、トランジスタM1を介して配線VEに流れる電荷量は、 $3t_{ut} \times I_{ut}$ となる。なお、ここで、 $t_{ut} \times I_{ut} = Q_{ut}$ とする。一方、配線OLBから、回路MCrを介して配線VERに流れる電荷量は、トランジスタM1rがオフ状態であるため、0となる。

[0746]

また、回路MPに第2データ（ニューロンの信号の値）として“-3”が入力されている場合、配線OLBと回路MCとの間、配線OLと回路MCrとの間がそれぞれ導通状態となり、配線OLBと回路MCrとの間、配線OLと回路MCとの間が非導通状態となるため、配線OLBから、回路MCを介して配線VEに流れる電荷量が $3t_{ut} \times I_{ut} = 3Q_{ut}$ となり、配線OLから、回路MCrを介して配線VERに流れる電荷量が、0となる。

[0747]

また、回路MPには、例えば、あらかじめ、“-1”の第1データ（重み係数）が設定されている場合を考える。

[0748]

回路MPに第2データ（ニューロンの信号の値）として“+3”が入力されている場合、トランジスタM3rが時間 $3t_{ut}$ だけオン状態、トランジスタM4rがオフ状態となることで、配線OLBから、トランジスタM1rを介して配線VERに流れる電荷量は、 $3t_{ut} \times I_{ut} = 3Q_{ut}$ となる。一方、配線OLから、回路MCを介して配線VEに流れる電荷量は、トランジスタM1がオフ状態であるため、0となる。

[0749]

また、回路MPに第2データ（ニューロンの信号の値）として“-3”が入力されている場合、配線OLBと回路MCとの間、配線OLと回路MCrとの間がそれぞれ導通状態となり、配線OLBと回路MCrとの間、配線OLと回路MCとの間が非導通状態となるため、配線OLから、回路MCrを介して配線VERに流れる電荷量が $3t_{ut} \times I_{ut} = 3Q_{ut}$ となり、配線OLBから、回路MCを介して配線VEに流れる電荷量が、0となる。

[0750]

ここで、回路ACTFの積分回路に着目する。配線OL又は配線OLBから、回路MCを介して配線VEに電流が流れるとき、又は、配線OL又は配線OLBから、回路MCrを介して配線VERに電流が流れるとき、図8Aにおいて、スイッチSWO、スイッチSWOBはオン状態にし、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、スイッチSWHBはオフ状態にして、配線OL及び配線OLBと回路AFPとの間を導通状態にすることで、回路ACTFに含まれている積分回路の容量に配線OL、配線OLBに流れる電荷量を蓄積することができる。この結果、回路ACTFは、配線OLに流れた電荷量 Q_{OL} と配線OLBに流れた電荷量 Q_{OLB} に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0751]

上述の動作例より、第1データ（重み係数）を“+1”又は“-1”として、第2データ（ニューロンの信号の値）を上述の通りに定義した場合の、配線OLに流れた電荷量 Q_{OL} と配線OLBに流れた電荷量 Q_{OLB} を下の表に記載する。

[0752]

[表 1 2]

		ニューロンの信号の値						
		-3 (X1L:low, X2L:high, 3t _{ut})	-2 (X1L:low, X2L:high, 2t _{ut})	-1 (X1L:low, X2L:high, t _{ut})	0 (X1L:low, X2L:low)	+1 (X1L:high, X2L:low, t _{ut})	+2 (X1L:high, X2L:low, 2t _{ut})	+3 (X1L:high, X2L:low, 3t _{ut})
重み 係数	-1	$Q_{OL}=3Q_1,$ $Q_{OLB}=0$	$Q_{OL}=2Q_1,$ $Q_{OLB}=0$	$Q_{OL}=Q_1,$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=Q_1$	$Q_{OL}=0,$ $Q_{OLB}=2Q_1$	$Q_{OL}=0,$ $Q_{OLB}=3Q_1$
	0	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=0,$ $Q_{OLB}=0$
	+1	$Q_{OL}=0,$ $Q_{OLB}=3Q_1$	$Q_{OL}=0,$ $Q_{OLB}=2Q_1$	$Q_{OL}=0,$ $Q_{OLB}=Q_1$	$Q_{OL}=0,$ $Q_{OLB}=0$	$Q_{OL}=Q_1,$ $Q_{OLB}=0$	$Q_{OL}=2Q_1,$ $Q_{OLB}=0$	$Q_{OL}=3Q_1,$ $Q_{OLB}=0$

[0 7 5 3]

なお、第2データ（ニューロンの信号の値）を“−3”、“−2”、“−1”、“0”、“+1”、“+2”、“+3”以外の整数、又は実数とすると、整数又は実数に応じて、配線X1L、又は配線X2Lの一方への高レベル電位の入力時間を設定すればよい。例えば、aを正の実数として、入力期間を $a \times t_{ut}$ とすることによって、第2データ（ニューロンの信号の値）をアナログ値として扱うことができる。

[0 7 5 4]

これにより、動作方法例1乃至動作方法例3と同様に、第2データ（ニューロンの信号の値）を多値として、回路MPに与えることができる。

[0 7 5 5]

なお、上述した通り、図54の回路MPに含まれている回路HCS、回路HCS_rは、SRAMを有する構成とすることができる。図55Aは、回路HCS、回路HCS_rがSRAMを有する構成として、図54の回路MPの詳細を示した具体例を示している。なお、図55Aに記載している符号、第1データ（重みデータ）の保持方法などについては、図30の回路MPの説明の記載を参酌する。

[0 7 5 6]

また、図55Aの回路MPにおいて、回路HCSに保持されている電位を低レベル電位、又は高レベル電位の一方とし、回路HCS_rに保持されている電位を低レベル電位、又は高レベル電位の他方とする場合、つまり、回路HCS、回路HCS_rにそれぞれ同じ電位を保持しなくてもよい場合、図55Aの回路MPは、図55Bの回路MPに構成を変更することができる。図55Bの回路MPは、回路MCに回路HCSを有しており、回路HCSに含まれているインバータループ回路IVRによって、トランジスタM1のゲートに与える信号の反転信号をトランジスタM1_rに与える構成となっている。なお、この場合、一例として、トランジスタM1のゲートに高レベル電位が与えられているとき（トランジスタM1_rのゲートに低レベル電位が与えられているとき）、回路MPに設定される第1データ（重み係数）を“+1”とすることができ、トランジスタM1のゲートに低レベル電位が与えられているとき（トランジスタM1_rのゲートに高レベル電位が与えられているとき）、回路MPに設定される第1データ（重み係数）を“−1”とすることができる。

[0 7 5 7]

また、回路HCS、回路HCS_rにインバータループ回路IVRを有し、かつ図55Aの回路MPとは異なる構成例を、図56Aに示す。図56Aに示す回路MPは、回路MCにおいて、インバータループ回路IVRを含む回路HCSと、トランジスタM3、トランジスタM4と、回路MC_rにおいて、インバータループ回路IVR_rを含む回路HCS_rと、トランジスタM3_r、トランジスタM4_rと、を有する。インバータループ回路IVRは、インバータ回路IV1と、インバータ回路IV2と、を有し、インバータループ回路IVR_rは、インバータ回路IV1_rと、インバータ回路IV2_rと、を有する。

[0758]

インバータ回路IV1の出力端子は、インバータ回路IV2の入力端子と、トランジスタM3の第1端子と、トランジスタM4の第1端子と、に電氣的に接続され、インバータ回路IV2の出力端子は、インバータ回路IV1の入力端子に電氣的に接続されている。トランジスタM3の第2端子は、配線OLに電氣的に接続され、トランジスタM3のゲートは、配線WX1Lに電氣的に接続されている。トランジスタM4の第2端子は、配線OLBに電氣的に接続され、トランジスタM4のゲートは、配線X2Lに電氣的に接続されている。インバータ回路IV1_rの出力端子は、インバータ回路IV2_rの入力端子と、トランジスタM3_rの第1端子と、トランジスタM4_rの第1端子と、に電氣的に接続され、インバータ回路IV2_rの出力端子は、インバータ回路IV1_rの入力端子に電氣的に接続されている。トランジスタM3_rの第2端子は、配線OLBに電氣的に接続され、トランジスタM3_rのゲートは、配線WX1Lに電氣的に接続されている。トランジスタM4_rの第2端子は、配線OLに電氣的に接続され、トランジスタM4_rのゲートは、配線X2Lに電氣的に接続されている。

[0759]

回路HCSは、インバータループ回路IVRによって、インバータ回路IV1の出力端子に高レベル電位、又は低レベル電位的一方を保持する機能を有し、回路HCS_rは、インバータループ回路IVR_rによって、インバータ回路IV1_rの出力端子に高レベル電位、又は低レベル電位的一方を保持する機能を有する。このため、図54、図55Aと同様に、一例として、回路MPに設定される第1データ（重み係数）を“+1”とするとき、インバータ回路IV1の出力端子に高レベル電位（ここでは、例えばVDDLとする。）、インバータ回路IV1_rの出力端子に低レベル電位（ここでは、例えばVSSとする。）が保持されているものとし、回路MPに設定される第1データ（重み係数）を“-1”とするとき、インバータ回路IV1の出力端子に低レベル電位、インバータ回路IV1_rの出力端子に高レベル電位が保持されているものとし、回路MPに設定される第1データ（重み係数）を“0”とするとき、インバータ回路IV1の出力端子に低レベル電位、インバータ回路IV1_rの出力端子に低レベル電位が保持されているものとする。

[0760]

また、図56Aの回路MPへの第2データ（ニューロンの信号の値）の入力は、図54、図55Aと同様に、配線WX1L、又は配線X2Lの一方への高レベル電位の入力時間を設定すればよい。

[0761]

図56Aの回路MPは、図54、図55A、及び図55Bのそれぞれの回路MPと異なり、回路HCSのインバータループ回路IVRに含まれているトランジスタを用いて配線OL又は配線OLBから回路MCに電流を流し、回路HCS_rのインバータループ回路IVR_rに含まれているトランジスタを用いて、配線OL又は配線OLBから回路MC_rに電流を流す構成となっている。

[0762]

また、図56Aの回路MPは、図56Bに示す回路MPの構成に変更することができる。図56Bの回路MPは、図56Aの回路MPに含まれている回路MC_rを設けていない構成となっている。つまり、回路HCSのインバータループ回路IVRに含まれているトランジスタを用いて配線OL又は配線OLBから回路MCに電流を流す構成となっている。なお、この場合、一例として、インバータ回路IV1の出力端子に高レベル電位が与えられているとき、回路MPに設定される第1データ（重み係数）を“+1”とすることができ、インバータ回路IV1の出力端子に低レベル電位が与えられているとき、回路MPに設定される第1データ（重み係数）を“0”とすることができる。

[0763]

また、図56Cの回路MPは、図56Bの回路MPにおいて、配線X2Lを設けず、かつトランジスタM4の第1端子がインバータ回路IV1の入力端子と、インバータ回路IV2の出力端子とに電氣的に接続されている構成となっている。配線WX1Lの電位が高レベル電位となっているときに、配線OL又は配線OLBには、逆の信号が出力されることとなる。この場合、一例として、インバータ回路IV1の出力端子に高レベル電位が与えられているとき、回路MPに設定される第1データ（重み係数）を“+1”とすることができ、インバータ回路IV1の出力端子に低レベル電位が与えられているとき、回路MPに設定される第1データ（重み係数）を“-1”とすることができる。また、一例として、回路MPから回路AFPに情報（例えば、電流、電圧など）を供給する際において、配線WX1Lに高レベル電位が入力されているとき、回路MPに入力される第2データ（ニューロンの信号の値）を“+1”とし、配線WX1Lに低レベル電位が入力されているとき、回路MPに入力される第2データ（ニューロンの信号の値）を“0”とすることができる。

[0764]

なお、図56A乃至図56Cの回路MPは、例えば、図7に示す演算回路140の回路MPに適用することができる。

[0765]

また、上述した通り、図54の回路MPに含まれている回路HCS、回路HCS_rは、NOSRAMを有する構成とすることができる。図57Aは、回路HCS、回路HCS_rがNOSRAMを有する構成として、図54の回路MPの詳細を示した具体例を示している。但し、図54の回路MPでは、回路HCSは、配線OL及び配線OLBに電氣的に接続され、回路HCS_rは、配線OL及び配線OLBに電氣的に接続されている構成を示しているが、図57Aの回路MPは、図54の回路MPに対して配線IL及び配線ILBが設けられており、回路HCSは、配線ILに電氣的に接続され、回路HCS_rは配線ILBに電氣的に接続されている構成となっている。また、図57Aに記載している符号、第1データ（重みデータ）の保持方法などについては、図34の回路MPの説明の記載を参酌する。

[0766]

また、図57Aの回路MPにおいて、配線ILと配線OLとを一本の配線にまとめ、及び／又は、配線ILBと配線OLBとを一本の配線にまとめてもよい。図57Bの回路MPは、配線ILと配線OLとを、配線OLとして一本の配線にまとめ、配線ILBと配線OLBとを、配線OLBとして一本の配線にまとめた構成となっている。

[0767]

また、図 5 7 A の回路 MP において、配線 I L と配線 I L B とを一本の配線まとめてもよい。図 5 8 の回路 MP は、配線 I L と配線 I L B とを、配線 I L として一本にまとめた構成となっている。ただし、図 5 8 に示す回路 MP には、図 5 7 の回路 MP の配線 W L に相当する配線として、配線 W 1 L、及び配線 W 2 L が電氣的に接続されている。具体的には、回路 MC のトランジスタ M 8 のゲートには、配線 W 1 L が電氣的に接続され、回路 MC r のトランジスタ M 8 r のゲートには、配線 W 2 L が電氣的に接続されている。配線 W 1 L、及び配線 W 2 L は、配線 I L から回路 MC、又は回路 MC r の一方にデータを書き込む際に、回路 MC、又は回路 MC r の一方を選択する信号線として機能する。なお、トランジスタ M 8 を n チャネル型トランジスタ又は p チャネル型トランジスタの一方とし、トランジスタ M 8 r を n チャネル型トランジスタ又は p チャネル型トランジスタの他方とすることで、配線 W 1 L、及び配線 W 2 L は一本の配線としてまとめてもよい場合がある（図示しない）。

[0768]

また、図 5 7 A の回路 MP において、容量 C 2 の第 2 端子と、トランジスタ M 1 の第 1 端子と、のそれぞれに異なる電圧を与えたい場合は、図 5 7 A の回路 MP を図 5 9 A に示す回路 MP の構成に変更すればよい。図 5 9 A の回路 MP は、図 1 6 A の回路 MP と同様に、容量 C 2 の第 2 端子に配線 V E が電氣的に接続され、トランジスタ M 1 の第 1 端子に配線 V E m が電氣的に接続され、容量 C 2 r の第 2 端子に配線 V E r が電氣的に接続され、トランジスタ M 1 の第 1 端子に配線 V E m r が電氣的に接続された構成となっている。この構成によって、トランジスタ M 1 の第 1 端子、容量 C 2 の第 2 端子、トランジスタ M 1 r の第 1 端子、及び容量 C 2 r の第 2 端子のそれぞれに異なる電位を与えることができる。また、図 5 7 B の回路 MP においても、同様に、容量 C 2 の第 2 端子と、トランジスタ M 1 の第 1 端子と、のそれぞれに異なる電圧を与えたい場合は、図 5 9 B に示す回路 MP の構成に変更すればよい。なお、図 5 9 B の回路 MP の回路構成は、図 1 6 A の回路 MP と同じ構成になる場合がある。

[0769]

また、本発明の一態様の半導体装置の動作方法は、上述に限定されない。例えば、動作方法例 2 で説明した通り、図 5 4 乃至図 5 8 の回路 MP において、配線 X 1 L（図 5 6 A、及び図 5 6 B では配線 W X 1 L）、配線 X 2 L のそれぞれに入力される信号の入力期間を、複数のサブ期間に分けてもよい。

[0770]

また、本動作方法例では、回路 MP は、説明の煩雑さを避けるため、配線 O L、配線 O L B には 1 個の回路 MP のみが電氣的に接続されている場合を考えたが、図 1 1 の演算回路 1 5 0 のとおり、配線 O L、配線 O L B には複数の回路 MP を電氣的に接続してもよい。これにより、配線 O L、配線 O L B のそれぞれから複数の回路 MP に入力された電荷量の合計を、回路 A C T F に含まれる積分回路の容量に蓄積することができ、回路 A C T F は、配線 O L、配線 O L B に流れたそれぞれの電荷量に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0771]

なお、本動作例では、図 1 1 の演算回路 1 5 0 を例としたが、状況に応じて、別の演算回路に変更することでも、本動作例と同様の動作を行うことができる。

[0772]

なお、本動作方法例は、本明細書で示す他の動作方法例などと適宜組み合わせることができる。

[0773]

<動作方法例6>

ここでは、図60Aの回路MPを適用した図3の演算回路120の動作方法について、説明する。

[0774]

動作方法例1乃至動作方法例5と同様に、説明の煩雑さを避けるため、配線OL、配線OLBに流れる電流の変化については、配線OL、配線OLBに電氣的に接続されている1個の回路MPのみによって行われるものとする。また、回路MPに電氣的に接続されている配線VEは、回路MPに対して、定電圧としてVSSを与えるものとする。また、回路AFPに含まれている回路ACTF[1]乃至回路ACTF[n]のそれぞれは、一例としては、積分回路（または、電流電荷（IQ）変換回路）の構成を有する回路ACTFとする。例えば、回路ACTFは、図6Eの回路ACTF[j]において、負荷LEa、負荷LEbを容量などとした構成としてもよい。

[0775]

図60Aは、回路MPに含まれている回路MCが、トランジスタM3と、トランジスタM4と、回路HCSと、を有する構成となっている。具体的には、トランジスタM3の第1端子は、トランジスタM4の第1端子と、回路HCSと、に電氣的に接続されている構成となっている。また、トランジスタM3のゲートは、配線X1Lに電氣的に接続され、トランジスタM3のバックゲートは、回路HCSに電氣的に接続され、トランジスタM3の第2端子は、配線OLに電氣的に接続されている。また、トランジスタM4のゲートは、配線X2Lに電氣的に接続され、トランジスタM4のバックゲートは、回路HCSに電氣的に接続され、トランジスタM4の第2端子は、配線OLBに電氣的に接続されている。また、回路HCSは、配線ILと、配線WLと、に電氣的に接続されている。

[0776]

また、図60Aの回路MPにおいて、回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。また、トランジスタM3_rは、配線OLBに電氣的に接続され、トランジスタM4_rは、配線OLに電氣的に接続されている。

[0777]

トランジスタM3、トランジスタM4、トランジスタM3_r、及びトランジスタM4_rのそれぞれの構成については、別の個所に記載のトランジスタM3、トランジスタM4、トランジスタM3_r、及びトランジスタM4_rの説明の記載を参酌する。

[0778]

回路HCS、及び回路HCS_rとしては、例えば、図29の回路MPが有する回路HCS、及び回路HCS_rと同様にSRAM、NOSRAMなどとしてすることができる。また、回路HCS、及び回路HCS_rは、回路MPに設定される第1データ（例えば、重み係数など）に応じた電位を保持する機能を有する。

[0779]

具体例として、回路HCS、及び回路HCS_rのそれぞれにNOSRAMを適用した場合の回路構成を図60Bに示す。回路HCSは、トランジスタM8と、容量C3と、を有する。トランジスタM8の第1端子は、配線ILに電氣的に接続され、トランジスタM8の第2端子は、容量C3の第1端子と、トランジスタM3のバックゲートと、トランジスタM4のバックゲートと、に電氣的

に接続され、トランジスタM8のゲートは、配線WLに電氣的に接続されている。また、容量C3の第2端子は、配線VEに電氣的に接続されている。

[0780]

図60A、及び図60Bに示す配線X1L、及び配線X2Lは、例えば、図3に示す演算回路120の配線X1L[i]、及び配線X2L[i]とすることができる。また、図60A、及び図60Bに示す配線WLは、例えば、図3に示す演算回路120の配線WLS[i]とすることができる。また、図60A、及び図60Bに示す配線IL、及び配線ILBは、例えば、図3に示す演算回路120の配線IL[j]、及び配線IL[j]とすることができる。また、図60A、及び図60Bに示す配線OL、及び配線OLBは、例えば、図3に示す演算回路120の配線OL[j]、及び配線OLB[j]とすることができる。

[0781]

配線VEは、定電圧を与える配線として機能する。当該定電圧としては、例えば、接地電位、低レベル電位などとすることができる。

[0782]

ここで、回路MPに含まれるトランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rの動作特性について説明する。図61Aは、図60Aの回路MPに含まれるトランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rのいずれか一のトランジスタのゲートソース間電圧とドレイン電流との特性を簡易的に示したグラフである。横軸は、当該トランジスタのゲートソース間電圧 V_{gs} を示し、縦軸は、当該トランジスタのドレイン電流 I_d を示している。なお、図60Aに示す縦軸は、線形スケールとしている。

[0783]

また、図60Aにおいて、一例として、当該トランジスタのゲートに印加される電位を V_g とし、当該トランジスタのバックゲートに印加される電位を V_{bg} とする。また、当該トランジスタのソースに印加されている定電位を、一例として、0Vとする。

[0784]

図61Aには、2本の曲線を示しており、一方の曲線は当該トランジスタの V_{bg} が高レベル電位（図61AではHighと図示している。）である場合のゲートソース間電圧 V_{gs} とドレイン電流 I_d との特性を示しており、他方の曲線は当該トランジスタの V_{bg} が低レベル電位（図61AではLowと図示している。）である場合のゲートソース間電圧 V_{gs} とドレイン電流 I_d との特性を示している。図61Aより、 V_{bg} が高レベル電位であるときの当該トランジスタのしきい値電圧 V_{th2} は、 V_{bg} が低レベル電位であるときの当該トランジスタのしきい値電圧 V_{th1} よりも低くなることが分かる。つまり、当該トランジスタの V_{bg} を変動させることによって、当該トランジスタをオン状態にするのに必要な V_{gs} （ソースの電位を0Vとしているため、 V_g に言い換えることができる。）を変化させることができる。

[0785]

ここで、当該トランジスタの V_{bg} が高レベル電位であるとき、当該トランジスタがオン状態となり、かつ当該トランジスタの V_{bg} が低レベル電位であるとき、当該トランジスタがオフ状態となるように、当該トランジスタの V_g を定める。図61Aでは、そのトランジスタの V_g を V_{g1} と図示している。つまり、 V_{g1} は、 V_{bg} が高レベル電位である当該トランジスタのしきい値電圧 V_{th2} より高く、 V_{bg} が低レベル電位である当該トランジスタのしきい値電圧 V_{th1} より

低い電位とすればよい。

[0786]

また、当該トランジスタの V_{bg} が高レベル電位であるとき、当該トランジスタがオフ状態となり、かつ当該トランジスタの V_{bg} が低レベル電位であるとき、当該トランジスタがオフ状態となるように、当該トランジスタの V_g を定める。図61Aでは、そのトランジスタの V_g を V_{g2} と図示している。つまり、 V_{g2} は、 V_{bg} が高レベル電位であるトランジスタM3（トランジスタM4）のしきい値電圧 V_{th2} より低い電位とすればよい。

[0787]

また、例えば、図60Aより、トランジスタM3、トランジスタM3rのゲートの電位 V_g は、配線X1Lから与えられる。そのため、 V_{g1} 、 V_{g2} は、配線X1Lから与えられる電位とすることができる。また、同様に、トランジスタM4、トランジスタM4rのゲートの電位 V_g は、配線X2Lから与えられる。そのため、 V_{g1} 、 V_{g2} は、配線X2Lから与えられる電位とすることができる。本明細書等において、 V_{g1} 、 V_{g2} はそれぞれ高レベル電位、低レベル電位と言い換えることができるものとする。

[0788]

本明細書などにおいて、「低レベル電位」、「高レベル電位」という用語は、特定の電位を意味するものではなく、配線が異なれば、具体的な電位も異なる場合がある。そのため、トランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rのバックゲートに印加される高レベル電位は、配線X1L、配線X2Lに印加される高レベル電位（ V_{g1} ）と異なる電位であってもよい。同様に、トランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rのバックゲートに印加される低レベル電位は、配線X1L、配線X2Lに印加される低レベル電位（ V_{g2} ）と異なる電位であってもよい。例えば、トランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rのバックゲートに印加される高レベル電位は、トランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rのソース電位と同じとしてもよい。また例えば、トランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rのバックゲートに印加される低レベル電位は、トランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rのソース電位よりも低い電位としてもよい。そのため例えば、トランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rのソース電位が0Vの場合には、トランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rのバックゲートに印加される低レベル電位は、マイナスの電位となり、例えば、 -1.1V 以上 -2V 以下、より好ましくは、 -3V 程度であってもよい。

[0789]

なお、上記の動作例では、配線X1L、配線X2Lに与えられる電位（ V_{g1} 又は V_{g2} ）と、トランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rのバックゲートの電位は、2値（デジタル値）として説明しているが、本発明の一態様は、これに限定されない。例えば、図61Bに示すとおり、トランジスタのゲートを V_{ga1} とした場合に、トランジスタのバックゲートの電位を V_{bg1} 、 V_{bg2} 、 V_{bg3} のいずれか一に変動させることによって、トランジスタのドレイン電流 I_d を増減することができる。ここで、図60Aの回路MPの場合を考える。トランジスタM3、トランジスタM3r、トランジスタM4、及びトランジスタM4rのゲートの電位を一定とし、トランジスタM3、トランジスタM3r、トランジスタM4、及びトラ

ンジスタM4 rのバックゲートの電位を変動させて、トランジスタM3、トランジスタM3 r、トランジスタM4、及びトランジスタM4 rのドレイン電流I dを変化させることで、配線OL、配線OLBに流れる電流量を増減することができる。つまり、トランジスタM3、トランジスタM3 r、トランジスタM4、及びトランジスタM4 rのバックゲートの電位をアナログ値として変動させることによって、回路MPはアナログ値を利用した演算を行うことができる。

[0790]

図60A及び図60Bより、トランジスタM3、及びトランジスタM4のバックゲートに与えられる電位は、回路HCSで保持された電位とすることができる。また、トランジスタM3 r、及びトランジスタM4 rのバックゲートに与えられる電位は、回路HCS rで保持された電位とすることができる。つまり、回路HCS、及び回路HCS rのそれぞれには、回路MPに設定される第1データ（例えば、重み係数など）に応じた電位を保持すればよい。

[0791]

また、例えば、図61Bに示すとおり、トランジスタのバックゲートの電位をVbg1、Vbg2、Vbg3のいずれかに定めた場合に、当該トランジスタのゲートの電位をVga1、Vga2、Vga3のいずれかに変動させることによって、当該トランジスタのドレイン電流I dを増減することができる。図60Aの回路MPの場合を考えたとき、トランジスタM3、トランジスタM3 r、トランジスタM4、及びトランジスタM4 rのバックゲートの電位を一定とし、トランジスタM3、トランジスタM3 r、トランジスタM4、及びトランジスタM4 rのゲートの電位を変動させて、トランジスタM3、トランジスタM3 r、トランジスタM4、及びトランジスタM4 rのドレイン電流I dを変化させることで、配線OL、配線OLBに流れる電流量を増減することができる。つまり、トランジスタM3、トランジスタM3 r、トランジスタM4、及びトランジスタM4 rのゲートの電位をアナログ値として変動させることによって、回路MPはアナログ値を利用した演算を行うことができる。また、トランジスタM3、トランジスタM3 r、トランジスタM4、及びトランジスタM4 rのゲート及びバックゲートの電位を一定とし、ソース電極の電位をナログ値として変動させて、トランジスタM3、トランジスタM3 r、トランジスタM4、及びトランジスタM4 rのドレイン電流I dを変化させる構成としてもよい（図示しない。）。

[0792]

又は、図60Aの回路MPに第2データ（例えば、ここではニューロンの信号の値とする。）を入力する際において、前述した動作方法例と同様に、第2データ（ニューロンの信号の値）に応じて、配線X1L、又は配線X2Lの一方に高レベル電位を入力し、配線X1L、又は配線X2Lの他方には低レベル電位を入力し、かつ配線X1L、又は配線X2Lの一方に入力される高レベル電位の入力時間を設定してもよい。また、例えば、高レベル電位の入力期間を、複数のサブ期間に分けてもよい。この方法でも、第2データを多値、又はアナログ値として扱うことができるため、2値、多値、又はアナログ値の第1データと、2値、多値、又はアナログ値の第2データとの積を計算することができる。

[0793]

なお、図60Bにおいて、配線VEは、トランジスタM3の第1端子と、トランジスタM4の第1端子と、トランジスタM3 rの第1端子と、トランジスタM4 rの第1端子と、容量C3の第2端子と、容量C3 rの第2端子と、に電氣的に接続されているが、それぞれの回路素子に異なる電位を与えたい場合は、図59A、図59Bなどの配線VE、配線VE m、配線VE r、配線VE m

r などのように、それぞれの回路素子に異なる配線を電氣的に接続すればよい。

[0794]

また、図59A、図59Bにおいて、トランジスタM3のゲートと、バックゲートと、は互いに入れ替えても、上記と同様の動作を行うことができる場合がある。また、トランジスタM3_r、トランジスタM4、及びトランジスタM4_rのそれぞれについても、ゲートと、バックゲートと、は互いに入れ替えても、上記と同様の動作を行うことができる場合がある。

[0795]

また、本動作方法例では、回路MPは、説明の煩雑さを避けるため、配線OL、配線OLBには1個の回路MPのみが電氣的に接続されている場合を考えたが、図3の演算回路120のとおり、配線OL、配線OLBには複数の回路MPを電氣的に接続してもよい。これにより、配線OL、配線OLBのそれぞれから複数の回路MPに入力された電荷量の合計を、回路ACTFに含まれる積分回路の容量に蓄積することができ、回路ACTFは、配線OL、配線OLBに流れたそれぞれの電荷量に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0796]

なお、本動作例では、図3の演算回路120を例としたが、状況に応じて、別の演算回路に変更することでも、本動作例と同様の動作を行うことができる。例えば、図59A、図59Bの回路MPは、配線ILと配線OLとを一本の配線OLとしてまとめて、配線ILBと配線OLBとを一本の配線OLBとしてまとめることで、図7の演算回路140、図11の演算回路150などにも適用することができる。

[0797]

なお、本動作方法例は、本明細書で示す他の動作方法例などと適宜組み合わせることができる。

[0798]

<動作方法例7>

ここでは、図62の回路MPを適用した図11の演算回路150の動作方法について、説明する。

[0799]

動作方法例1乃至動作方法例6と同様に、説明の煩雑さを避けるため、配線OL、配線OLBに流れる電流の変化については、配線OL、配線OLBに電氣的に接続されている1個の回路MPのみによって行われるものとする。また、回路MPに電氣的に接続されている配線VE、配線VE_rのそれぞれは、回路MPに対して、定電圧としてVSSを与えるものとする。また、回路AFPに含まれている回路ACTF[1]乃至ACTF[n]のそれぞれは、一例としては、積分回路（または、電流電荷(IQ)変換回路)の構成を有する回路ACTFとする。例えば、回路ACTFは、図6Eの回路ACTF[j]において、負荷LEa、負荷LEbを容量などとした構成としてもよい。

[0800]

図62は、図36に示した回路MPと同様の回路構成を示している。なお、図62の回路MPは、回路HCS、回路HCS-2b、回路HCS-3bのそれぞれは、配線OLBに電氣的に接続され、回路HCS_r、回路HCS-2b_r、回路HCS-3b_rのそれぞれは、配線OLに電氣的に接続されている構成となっている。また、本動作方法の例は、実施の形態2で説明した図36の回路MPの動作例と異なる。

[0801]

具体的には、動作方法例5と同様に、回路MPに第2データ（例えば、ここではニューロンの信号の値とする。）に応じて、配線X1L、又は配線X2Lの一方への高レベル電位の入力時間を設定する。つまり、トランジスタM3、トランジスタM3rがオン状態、又はトランジスタM4、トランジスタM4rがオン状態となる時間を設定する。

[0802]

動作方法例1で説明したとおり、回路MPに第1データ（例えば、ここでは重み係数とする。）を設定して、かつトランジスタM3、又はトランジスタM4がオン状態となる時間を定めることによって、配線OL又は配線OLBから、トランジスタM1を介して配線VEに流れる電荷量が決まる。また、回路MPに第1データ（重み係数）を設定して、トランジスタM3r、又はトランジスタM4rがオン状態となる時間を定めることによって、配線OL又は配線OLBから、トランジスタM1rを介して配線VErに流れる電荷量が決まる。

[0803]

また、配線OL又は配線OLBから、トランジスタM1-2bを介して配線VEに流れる電荷量と、配線OL又は配線OLBから、トランジスタM1-2brを介して配線VErに流れる電荷量と、についてもトランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rのそれぞれがオン状態となる時間を定めることによって決まる。

[0804]

そのため、図62の回路MPにおける、第2データ（ニューロンの信号の値）については、図54の回路MPにおける第2データ（ニューロンの信号の値）の定義と同様とすることができる。

[0805]

また、図62に示す回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、回路HCS-3brとしては、実施の形態2の構成例6で説明したとおり、一例として、SRAMを有する構成、又はNOSRAMを有する構成とすることができる。ここでは、回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、回路HCS-3brには、2値（デジタル値）の電位を保持するものとする。

[0806]

また、トランジスタM1、トランジスタM1rのW長とL長との比を W/L としたとき、トランジスタM1-2b、トランジスタM1-2brのW長とL長との比を $2W/L$ とし、トランジスタM1-3b、トランジスタM1-3brのW長とL長との比を $4W/L$ とする。

[0807]

そのため、回路MPに設定される第1データ（ここでは、例えば、重み係数とする。）は、実施の形態2の構成例6の内容を参酌することができる。具体的には、例えば、回路MPに設定される第1データ（重み係数）は、トランジスタM1、トランジスタM1r、トランジスタM1-2b、トランジスタM1-2br、トランジスタM1-3b、トランジスタM1-3brのそれぞれに流れる電流に応じて決まる。換言すると、回路MPに設定される第1データ（重み係数）は、回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、回路HCS-3brのそれぞれに保持される電位に応じて決まる。上記より、一例として、次の表のとおり、回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、回路HCS-3brのそれぞれに電位を保持することによって、回路MPに設定される第1データ（重み係数）を設定することができる。

[0808]

[表13]

重み係数	HCS	HCSr	HCS-2b	HCS-2br	HCS-3b	HCS-3br
+1	VDDL	VSS	VSS	VSS	VSS	VSS
+2	VSS	VSS	VDDL	VSS	VSS	VSS
+3	VDDL	VSS	VDDL	VSS	VSS	VSS
+4	VSS	VSS	VSS	VSS	VDDL	VSS
+5	VDDL	VSS	VSS	VSS	VDDL	VSS
+6	VSS	VSS	VDDL	VSS	VDDL	VSS
+7	VDDL	VSS	VDDL	VSS	VDDL	VSS
-1	VSS	VDDL	VSS	VSS	VSS	VSS
-2	VSS	VSS	VSS	VDDL	VSS	VSS
-3	VSS	VDDL	VSS	VDDL	VSS	VSS
-4	VSS	VSS	VSS	VSS	VSS	VDDL
-5	VSS	VDDL	VSS	VSS	VSS	VDDL
-6	VSS	VSS	VSS	VDDL	VSS	VDDL
-7	VSS	VDDL	VSS	VDDL	VSS	VDDL
0	VSS	VSS	VSS	VSS	VSS	VSS

[0809]

なお、回路HCSに電圧VDDLが保持されている場合、トランジスタM1に流れる電流の量を I_1 とする。また、トランジスタM1-2bのW長とL長の比は、トランジスタM1のW長とL長の比の2倍であるため、回路HCS-2bに電圧VDDLが保持されている場合、トランジスタM1-2bに流れる電流の量は $2I_1$ となる。また、トランジスタM1-3bのW長とL長の比は、トランジスタM1のW長とL長の比の4倍であるため、回路HCS-3bに電圧VDDLが保持されている場合、トランジスタM1-3bに流れる電流の量は $4I_1$ となる。また、同様に、回路HCSrに電圧VDDLが保持されている場合、トランジスタM1rに流れる電流の量は I_1 となり、回路HCS-2brに電圧VDDLが保持されている場合、トランジスタM1-2brに流れる電流の量は $2I_1$ となり、回路HCS-3brに電圧VDDLが保持されている場合、トランジスタM1-3brに流れる電流の量は $4I_1$ となる。なお、回路HCS、回路HCSr、回路HCS-2b、回路HCS-2br、回路HCS-3b、回路HCS-2brのそれぞれに電圧VSSが保持されている場合、トランジスタM1、トランジスタM1r、トランジスタM1-2b、トランジスタM1-2br、トランジスタM1-3b、トランジスタM1-3brに流れる電流の量を0とする。

[0810]

次に、図62の回路MPの具体的な動作例について説明する。

[0811]

回路MPには、例えば、あらかじめ、“+7”の第1データ（重み係数）が設定されているものとする。このとき、トランジスタM1のソースドレイン間には電流 I_{ut} が流れ、トランジスタM1-2bのソースドレイン間には電流 $2I_{ut}$ が流れ、トランジスタM1-3bのソースドレイン間には電流 $4I_{ut}$ が流れる。

[0812]

回路MPに第2データ（ニューロンの信号の値）として“+3”が入力されている場合、トランジスタM3が時間 $3 t_{ut}$ だけオン状態、トランジスタM4がオフ状態となることで、配線OLから、回路MCを介して配線VEに流れる電荷量は、 $3 t_{ut} \times I_{ut} + 3 t_{ut} \times 2 I_{ut} + 3 t_{ut} \times 4 I_{ut} = 21 t_{ut} \times I_{ut}$ となる。なお、ここで、 $t_{ut} \times I_{ut} = Q_{ut}$ とする。つまり、配線OLから、回路MCを介して配線VEに流れる電荷量は、 $21 t_{ut} \times I_{ut} = 21 Q_{ut}$ となる。一方、配線OLBから、回路MC_rを介して配線VE_rに流れる電荷量は、トランジスタM1_r、トランジスタM1-2b_r、トランジスタM1-3b_rがオフ状態であるため、0となる。

[0813]

また、回路MPに第2データ（ニューロンの信号の値）として“-3”が入力されている場合、配線OLBと回路MCとの間、配線OLと回路MC_rとの間がそれぞれ導通状態となり、配線OLBと回路MC_rとの間、配線OLと回路MCとの間が非導通状態となるため、配線OLBから、回路MCを介して配線VEに流れる電荷量が $21 t_{ut} \times I_{ut} = 21 Q_{ut}$ となり、配線OLから、回路MC_rを介して配線VE_rに流れる電荷量が、0となる。

[0814]

また、回路MPには、例えば、あらかじめ、“-7”の第1データ（重み係数）が設定されている場合を考える。このとき、トランジスタM1_rのソースドレイン間には電流 I_1 が流れ、トランジスタM1-2b_rのソースドレイン間には電流 $2 I_1$ が流れ、トランジスタM1-3b_rのソースドレイン間には電流 $4 I_1$ が流れる。

[0815]

回路MPに第2データ（ニューロンの信号の値）として“+3”が入力されている場合、トランジスタM3_rが時間 $3 t_{ut}$ だけオン状態、トランジスタM4_rがオフ状態となることで、配線OLBから、回路MC_rを介して配線VE_rに流れる電荷量は、 $3 t_{ut} \times I_{ut} + 3 t_{ut} \times 2 I_{ut} + 3 t_{ut} \times 4 I_{ut} = 21 t_{ut} \times I_{ut}$ となる。つまり、配線OLBから、回路MC_rを介して配線VE_rに流れる電荷量は、 $21 t_{ut} \times I_{ut} = 21 Q_{ut}$ となる。一方、配線OLから、回路MCを介して配線VEに流れる電荷量は、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bがオフ状態であるため、0となる。

[0816]

また、回路MPに第2データ（ニューロンの信号の値）として“-3”が入力されている場合、配線OLBと回路MCとの間、配線OLと回路MC_rとの間がそれぞれ導通状態となり、配線OLBと回路MC_rとの間、配線OLと回路MCとの間が非導通状態となるため、配線OLから、回路MC_rを介して配線VE_rに流れる電荷量が $21 t_{ut} \times I_{ut} = 21 Q_{ut}$ となり、配線OLBから、回路MCを介して配線VEに流れる電荷量が、0となる。

[0817]

また、回路MPに設定される第1データ（重み係数）を変更することによって、回路HCS、回路HCS-2b、回路HCS-3b、回路HCS_r、回路HCS-2b_r、回路HCS-3b_rのそれぞれに保持される電位の組み合わせが変化するため、これにより、トランジスタM1、トランジスタM1_r、トランジスタM1-2b、トランジスタM1-2b_r、トランジスタM1-3b、トランジスタM1-3b_rのそれぞれに流れる電流の量が変化する。したがって、配線OL又は配線OLBから、回路MCを介して配線VEに流れる電荷量と、配線OL又は配線OLBから、回路MC_rを介して配線VE_rに流れる電荷量と、第1データ（重み係数）に応じて決めることができ

る。

[0818]

また、回路MPには、あらかじめ、“0”の第1データ（重み係数）が設定されている場合、トランジスタM1、トランジスタM1r、トランジスタM1-2b、トランジスタM1-2br、トランジスタM1-3b、トランジスタM1-3brのそれぞれはオフ状態になっている。そのため、配線OL又は配線OLBから、回路MCを介して配線VEに電流は流れず、配線OL又は配線OLBから、回路MCrを介して配線VERに電流は流れない。換言すると、配線OL、配線OLBのそれぞれに流れる電荷量は0ということができる。

[0819]

また、回路MPに第2データ（ニューロンの信号の値）として“0”が入力されている場合、配線X1L、配線X2Lのそれぞれには低レベル電位が入力されているため、トランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rはオフ状態となる。そのため、配線OL又は配線OLBから、回路MCを介して配線VEに電流は流れず、配線OL又は配線OLBから、回路MCrを介して配線VERに電流は流れない。換言すると、配線OL、配線OLBのそれぞれに流れる電荷量は0ということができる。

[0820]

配線OL又は配線OLBから、回路MCを介して配線VEに電流が流れるとき、又は、配線OL又は配線OLBから、回路MCrを介して配線VERに電流が流れるとき、図8Aにおいて、スイッチSWO、スイッチSWOBはオン状態にし、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、スイッチSWHBはオフ状態にして、配線OL及び配線OLBと回路AFPとの間を導通状態にすることで、回路ACTFに含まれている積分回路の容量に配線OL、配線OLBに流れる電荷量を蓄積することができる。この結果、回路ACTFは、配線OL、配線OLBのそれぞれに流れた電荷量に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0821]

上記の通り、第1データ（重み係数）と、第2データ（ニューロンの信号の値）を定めることにより、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果に応じて、配線OLから回路MC又は回路MCrに電流が流れる電荷量 Q_{OL} 、及び配線OLBから回路MC又は回路MCrに電流が流れる電荷量 Q_{OLB} が決まる。また、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果が正の値の場合、配線OLから回路MC又は回路MCrに電流が流れ、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果が負の値の場合、配線OLBから回路MC又は回路MCrに電流が流れる。つまり、電荷量 Q_{OL} 、及び電荷量 Q_{OLB} から、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を算出することができる。例えば、第1データ（重み係数）を“+7”とし、第2データ（ニューロンの信号の値）を“+3”としたとき、 $Q_{OL}=21Q_{ut}$ 、 $Q_{OLB}=0$ となる。この場合、配線OLから回路MC又は回路MCrに電流が流れるため、積の結果は正の値となる。このため、一例として、配線OLから回路MC又は回路MCrに電流が流れる電荷量 Q_{OL} において、 Q_{ut} を“+1”に置き換えることによって、電荷量 Q_{OL} から第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果として、“+21”を求めることができる。また、例えば、第1データ（重み係数）を“-7”とし、第2データ（ニューロンの信号の値）を“+3”としたとき、 $Q_{OL}=0$ 、 Q_{OLB}

$= 21 Q_{ut}$ となる。この場合、配線OLBから回路MC又は回路MC_rに電流が流れるため、積の結果は負の値となる。このため、一例として、配線OLBから回路MC又は回路MC_rに電流が流れる電荷量 Q_{OLB} において、 Q_{ut} を“−1”に置き換えることによって、電荷量 Q_{OLB} から第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果として、“−21”を求めることができる。

[0822]

また、第2データ（ニューロンの信号の値）を“−3”、“−2”、“−1”、“0”、“+1”、“+2”、“+3”以外の整数、又は実数とすると、整数又は実数に応じて、配線X1L、又は配線X2Lの一方への高レベル電位の入力時間を設定すればよい。例えば、 a を正の実数として、入力期間を $a \times t_{ut}$ とすることによって、第2データ（ニューロンの信号の値）をアナログ値として扱うことができる。

[0823]

これにより、動作方法例1乃至動作方法例3、動作方法例5と同様に、第2データ（ニューロンの信号の値）を多値として、回路MPに与えることができる。

[0824]

また、本発明の一態様の半導体装置は、図62の回路MPの構成に限定されない。例えば、図62の回路MPでは、電流量を設定するトランジスタとして、回路MC内には、トランジスタM1、トランジスタM1−2b、トランジスタM1−3bの3個とし、回路MC_r内は、トランジスタM1_r、トランジスタM1−2b_r、トランジスタM1−3b_rの3個としたが、回路MC、回路MC_rのそれぞれにおいて、電流量を設定するトランジスタは2個、又は4個以上としてもよい。また、当該トランジスタに応じて、保持部の個数、配線の数も増やしてもよい。

[0825]

また、本発明の一態様の半導体装置の動作方法は、上述に限定されない。例えば、動作方法例2で説明した通り、図62の回路MPにおいて、配線X1L、X2Lのそれぞれに入力される信号の入力期間を、複数のサブ期間に分けてもよい。

[0826]

また、本動作方法例では、回路MPは、説明の煩雑さを避けるため、配線OL、配線OLBには1個の回路MPのみが電氣的に接続されている場合を考えたが、図11の演算回路150のとおり、配線OL、配線OLBには複数の回路MPを電氣的に接続してもよい。これにより、配線OL、配線OLBのそれぞれから複数の回路MPに入力された電荷量の合計を、回路ACTFに含まれる積分回路の容量に蓄積することができ、回路ACTFは、配線OL、配線OLBに流れたそれぞれの電荷量に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0827]

なお、本動作例では、図11の演算回路150を例としたが、状況に応じて、別の演算回路に変更することでも、本動作例と同様の動作を行うことができる。

[0828]

なお、本動作方法例は、本明細書で示す他の動作方法例などと適宜組み合わせることができる。

[0829]

<動作方法例8>

ここでは、図63の回路MPを適用した図11の演算回路150の動作方法について、説明する。

[0830]

動作方法例1乃至動作方法例7と同様に、説明の煩雑さを避けるため、配線OL、配線OLBに流れる電流の変化については、配線OL、配線OLBに電氣的に接続されている1個の回路MPのみによって行われるものとする。また、回路MPに電氣的に接続されている配線VE、配線VERのそれぞれは、回路MPに対して、定電圧としてVSSを与えるものとする。また、回路AFPに含まれている回路ACTF[1]乃至ACTF[n]のそれぞれは、一例としては、積分回路（又は、電流電荷（IQ）変換回路）の構成を有する回路ACTFとする。例えば、回路ACTFは、図6Eの回路ACTF[j]において、負荷LEa、負荷LEbを容量などとした構成としてもよい。

[0831]

図63は、図29に示した回路MPと同様の回路構成を示している。但し、トランジスタM1、トランジスタM1r、トランジスタM1-2b、トランジスタM1-2br、トランジスタM1-3b、トランジスタM1-3brのそれぞれのサイズ、例えば、W長とL長は等しいことが好ましい。また、本動作方法の例は、実施の形態2で説明した図29の回路MPの動作例と異なる。

[0832]

具体的には、図51の回路MPと同様に、回路MPに第2データ（例えば、ここではニューロンの信号の値とする。）を入力する際において、配線X1L、又は配線X2Lの一方への高レベル電位の入力時間を t_{ut} としたとき、配線X1L2b、又は配線X2L2bの一方への高レベル電位の入力時間は $2t_{ut}$ とし、配線X1L3b、又は配線X2L3bの一方への高レベル電位の入力時間は $4t_{ut}$ として動作させるものとする。つまり、トランジスタM3、トランジスタM3rがオン状態、又はトランジスタM4、トランジスタM4rがオン状態となる時間が t_{ut} としたとき、トランジスタM3-2b、トランジスタM3-2brがオン状態、又はトランジスタM4-2b、トランジスタM4-2brがオン状態となる時間を $2t_{ut}$ となり、トランジスタM3-3b、トランジスタM3-3brがオン状態、又はトランジスタM4-3b、トランジスタM4-3brがオン状態となる時間を $4t_{ut}$ となるように動作させる。そのため、図63の回路MPには、図29の回路MPと動作が異なることを示すため、配線X1L、配線X2L、配線X1L2b、配線X2L2b、配線X1L3b、配線X2L3bの符号の付近に、パルス電圧の模式図と入力時間を図示している。

[0833]

動作方法例1、動作方法例2で説明したとおり、回路MPに第1データ（例えば、ここでは重み係数とする。）を設定して、かつトランジスタM3、又はトランジスタM4がオン状態となる時間を定めることによって、配線OL又は配線OLBから、トランジスタM1を介して配線VEに流れる電荷量が決まる。また、回路MPに第1データ（重み係数）を設定して、トランジスタM3r、又はトランジスタM4rがオン状態となる時間を定めることによって、配線OL又は配線OLBから、トランジスタM1rを介して配線VERに流れる電荷量が決まる。

[0834]

同様に、配線OL又は配線OLBから、トランジスタM1-2bを介して配線VEに流れる電荷量と、配線OL又は配線OLBから、トランジスタM1-2brを介して配線VERに流れる電荷量と、についても、トランジスタM3-2b、トランジスタM3-2br、トランジスタM4-2b、トランジスタM4-2brのそれぞれにおいて、オン状態となる時間を定めることによって決まる。また、配線OL又は配線OLBから、トランジスタM1-3bを介して配線VEに流れる電

荷量と、配線OL又は配線OLBから、トランジスタM1-3brを介して配線Verに流れる電荷量と、についても、トランジスタM3-3b、トランジスタM3-3br、トランジスタM4-3b、トランジスタM4-3brのそれぞれにおいて、オン状態となる時間を定めることによって決まる。

[0835]

そのため、図63の回路MPにおける、第2データ（ニューロンの信号の値）については、一例としては、動作方法例3で説明した図51の回路MPにおける第2データ（ニューロンの信号の値）の定義と同様とすることができる。

[0836]

また、図63に示す回路HCS、回路HCSRとしては、実施の形態2の構成例5で説明したとおり、一例として、SRAMを有する構成、又はNOSRAMを有する構成とすることができる。ここでは、回路HCS、回路HCSRは、2値（デジタル値）の電位を保持するものとする。そのため、一例として、回路MPに設定される第1データ（重み係数）を“+1”とするとき、回路HCSに高レベル電位（ここでは、例えばVDDLとする。）、回路HCSRに低レベル電位（ここでは、例えばVSSとする。）が保持されているものとし、回路MPに設定される第1データ（重み係数）を“-1”とするとき、回路HCSに低レベル電位、回路HCSRに高レベル電位が保持されているものとし、回路MPに設定される第1データ（重み係数）を“0”とするとき、回路HCSに低レベル電位、回路HCSRに低レベル電位が保持されているものとする。

[0837]

なお、回路HCSに電圧VDDLが保持されている場合、トランジスタM1に流れる電流の量を I_1 とする。また、回路HCSに電圧VSSが保持されている場合、トランジスタM1に流れる電流の量を0とする。同様に、回路HCSRに電圧VDDLが保持されている場合、トランジスタM1rに流れる電流の量を I_{ut} とし、回路HCSRに電圧VSSが保持されている場合、トランジスタM1rに流れる電流の量を0とする。

[0838]

また、回路MCにおいて、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bのそれぞれのサイズは互いに等しく、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bのそれぞれのゲートが回路HCSに電氣的に接続され、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bのそれぞれの第1端子が配線VEに電氣的に接続されているため、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bのそれぞれのソースドレイン間には互いにほぼ等しい電流が流れる。そのため、トランジスタM1-2b、トランジスタM1-3bのそれぞれのソースドレイン間に流れる電流量は、トランジスタM1と同じ I_{ut} となる。また、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brのそれぞれは、トランジスタM1のサイズと等しく、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brのゲートが回路HCSRに電氣的に接続され、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brのそれぞれの第1端子が配線Verに電氣的に接続されているため、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brのそれぞれのソースドレイン間に流れる電流は、トランジスタM1のソースドレイン間に流れる電流と等しくなる。そのため、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brのそれぞれのソースドレイン間に流れる電流量は、トランジスタM1と

同じ I_{ut} となる。

[0839]

次に、図63の回路MPの具体的な動作例について説明する。

[0840]

回路MPには、例えば、あらかじめ、“+1”の第1データ（重み係数）が設定されているものとする。

[0841]

回路MPに第2データ（ニューロンの信号の値）として“+7”が入力されている場合、トランジスタM3が時間 t_{ut} だけオン状態、トランジスタM4がオフ状態となることで、配線OLから、トランジスタM1を介して配線VEに流れる電荷量は、 $t_{ut} \times I_{ut}$ となる。なお、ここで、 $t_{ut} \times I_{ut} = Q_{ut}$ とする。また、同様に、トランジスタM3-2bが時間 $2t_{ut}$ だけオン状態、トランジスタM4-2bがオフ状態となることで、配線OLから、トランジスタM1-2bを介して配線VEに流れる電荷量は、 $2t_{ut} \times I_{ut} = 2Q_{ut}$ となり、トランジスタM3-3bが時間 $4t_{ut}$ だけオン状態、トランジスタM4-3bがオフ状態となることで、配線OLから、トランジスタM1-3bを介して配線VEに流れる電荷量は、 $4t_{ut} \times I_{ut} = 4Q_{ut}$ となる。そのため、配線OLから、回路MCを介して配線VEに流れる電荷量は、 $Q_{ut} + 2Q_{ut} + 4Q_{ut} = 7Q_{ut}$ となる。一方、配線OLBから、回路MCrを介して配線VERに流れる電荷量は、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brがオフ状態であるため、0となる。

[0842]

なお、回路MPに第2データ（ニューロンの信号の値）として“-7”が入力されている場合、配線OLBと回路MCとの間、配線OLと回路MCrとの間がそれぞれ導通状態となり、配線OLBと回路MCrとの間、配線OLと回路MCとの間が非導通状態となるため、配線OLBから、回路MCを介して配線VEに流れる電荷量が $Q_{ut} + 2Q_{ut} + 4Q_{ut} = 7Q_{ut}$ となり、配線OLから、回路MCrを介して配線VERに流れる電荷量が、0となる。

[0843]

また、回路MPには、例えば、あらかじめ、“-1”の第1データ（重み係数）が設定されている場合を考える。

[0844]

回路MPに第2データ（ニューロンの信号の値）として“+7”が入力されている場合、トランジスタM3rが時間 t_{ut} だけオン状態、トランジスタM4rがオフ状態となることで、配線OLBから、トランジスタM1rを介して配線VERに流れる電荷量は、 $t_{ut} \times I_{ut} = Q_{ut}$ となる。また、同様に、トランジスタM4-2brが時間 $2t_{ut}$ だけオン状態、トランジスタM3-2brがオフ状態となることで、配線OLBから、トランジスタM1-2brを介して配線VERに流れる電荷量は、 $2t_{ut} \times I_{ut} = 2Q_{ut}$ となり、トランジスタM4-3brが時間 $4t_{ut}$ だけオン状態、トランジスタM3-3brがオフ状態となることで、配線OLBから、トランジスタM1-3brを介して配線VERに流れる電荷量は、 $4t_{ut} \times I_{ut} = 4Q_{ut}$ となる。そのため、配線OLBから、回路MCrを介して配線VERに流れる電荷量は、 $Q_{ut} + 2Q_{ut} + 4Q_{ut} = 7Q_{ut}$ となる。一方、配線OLから、回路MCを介して配線VEに流れる電荷量は、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bがオフ状態であるため、0となる。

[0845]

なお、回路MPに第2データ（ニューロンの信号の値）として“−7”が入力されている場合、配線OLBと回路MCとの間、配線OLと回路MC_rとの間がそれぞれ導通状態となり、配線OLBと回路MC_rとの間、配線OLと回路MCとの間が非導通状態となるため、配線OLから、回路MC_rを介して配線VE_rに流れる電荷量が $Q_{ut} + 2Q_{ut} + 4Q_{ut} = 7Q_{ut}$ となり、配線OLBから、回路MCを介して配線VEに流れる電荷量が、0となる。

[0846]

このため、回路MPに“+1”の第1データ（重み係数）を設定し、正の第2データ（ニューロンの信号の値）に応じて、回路MPに含まれているトランジスタM3、トランジスタM3−2_b、トランジスタM3−3_bから、オン状態にするトランジスタを一つ以上選択することによって、配線OLから、回路MCを介して配線VEに流れる電荷量を、 Q_{ut} 、 $2Q_{ut}$ 、 $3Q_{ut}$ 、 $4Q_{ut}$ 、 $5Q_{ut}$ 、 $6Q_{ut}$ 、 $7Q_{ut}$ のいずれか一とすることができる。なお、このとき、配線OLBから、回路MC_rを介して、配線VE_rに流れる電荷量は0となる。また、回路MPに“−1”の第1データ（重み係数）を設定し、正の第2データ（ニューロンの信号の値）に応じて、回路MPに含まれているトランジスタM3_r、トランジスタM3−2_b_r、トランジスタM3−3_b_rから、オン状態にするトランジスタを一つ以上選択することによって、配線OLBから、回路MC_rを介して配線VE_rに流れる電荷量を、 Q_{ut} 、 $2Q_{ut}$ 、 $3Q_{ut}$ 、 $4Q_{ut}$ 、 $5Q_{ut}$ 、 $6Q_{ut}$ 、 $7Q_{ut}$ のいずれか一とすることができる。なお、このとき、配線OLから、回路MCを介して、配線VEに流れる電荷量は0となる。

[0847]

また、回路MPに“+1”の第1データ（重み係数）を設定し、負の第2データ（ニューロンの信号の値）に応じて、回路MPに含まれているトランジスタM4、トランジスタM4−2_b、トランジスタM4−3_bから、オン状態にするトランジスタを一つ以上選択することによって、配線OLBから、回路MCを介して配線VEに流れる電荷量を、 Q_{ut} 、 $2Q_{ut}$ 、 $3Q_{ut}$ 、 $4Q_{ut}$ 、 $5Q_{ut}$ 、 $6Q_{ut}$ 、 $7Q_{ut}$ のいずれか一とすることができる。なお、このとき、配線OLから、回路MC_rを介して、配線VE_rに流れる電荷量は0となる。また、回路MPに“−1”の第1データ（重み係数）を設定し、負の第2データ（ニューロンの信号の値）に応じて、回路MPに含まれているトランジスタM4_r、トランジスタM4−2_b_r、トランジスタM4−3_b_rから、オン状態にするトランジスタを一つ以上選択することによって、配線OLから、回路MC_rを介して配線VE_rに流れる電荷量を、 Q_{ut} 、 $2Q_{ut}$ 、 $3Q_{ut}$ 、 $4Q_{ut}$ 、 $5Q_{ut}$ 、 $6Q_{ut}$ 、 $7Q_{ut}$ のいずれか一とすることができる。なお、このとき、配線OLBから、回路MCを介して、配線VEに流れる電荷量は0となる。

[0848]

なお、回路MPには、あらかじめ、“0”の第1データ（重み係数）が設定されている場合、トランジスタM1、トランジスタM1_r、トランジスタM1−2_b、トランジスタM1−2_b_r、トランジスタM1−3_b、トランジスタM1−3_b_rのそれぞれはオフ状態となる。そのため、配線OL又は配線OLBから、回路MCを介して配線VEに電流は流れず、配線OL又は配線OLBから、回路MC_rを介して配線VE_rに電流は流れない。換言すると、配線OL、配線OLBのそれぞれに流れる電荷量は0ということができる。

[0849]

また、回路MPに“0”の第2データ（ニューロンの信号の値）が入力される場合、トランジス

タM3、トランジスタM3-2b、トランジスタM3-3b、トランジスタM4、トランジスタM4-2b、トランジスタM4-3b、トランジスタM3r、トランジスタM3-2br、トランジスタM3-3br、トランジスタM4r、トランジスタM4-2br、トランジスタM4-3brのそれぞれはオフ状態となる。そのため、配線OL又は配線OLBから、回路MCを介して配線VEに電流は流れず、配線OL又は配線OLBから、回路MCrを介して配線VERに電流は流れない。換言すると、配線OL、配線OLBのそれぞれに流れる電荷量は0ということができる。

[0850]

ここで、回路ACTFの積分回路に着目する。配線OL又は配線OLBから、回路MCを介して配線VEに電流が流れるとき、又は、配線OL又は配線OLBから、回路MCrを介して配線VERに電流が流れるとき、図8Aにおいて、スイッチSWO、スイッチSWOBはオン状態にし、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、スイッチSWHBはオフ状態にして、配線OL及び配線OLBと回路AFPとの間を導通状態にすることで、回路ACTFに含まれている積分回路の容量に配線OL、配線OLBに流れる電荷量を蓄積することができる。この結果、回路ACTFは、配線OLに流れた電荷量 Q_{OL} と配線OLBに流れた電荷量 Q_{OLB} に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0851]

上述の動作例より、第1データ（重み係数）を“+1”又は“-1”として、第2データ（ニューロンの信号の値）を上述の通りに定義した場合の、配線OLに流れた電荷量 Q_{OL} と配線OLBに流れた電荷量 Q_{OLB} を下の表に記載する。

[0852]

[表14]

重み係数	ニューロンの 信号の値	重み係数 × 信号	配線OL に流れる 電荷量 Q_{OL}	配線OLB に流れる 電荷量 Q_{OLB}
+1	0	0	0	0
+1	+1	+1	Q_{ut}	0
+1	+2	+2	$2Q_{ut}$	0
+1	+3	+3	$3Q_{ut}$	0
+1	+4	+4	$4Q_{ut}$	0
+1	+5	+5	$5Q_{ut}$	0
+1	+6	+6	$6Q_{ut}$	0
+1	+7	+7	$7Q_{ut}$	0
+1	-1	-1	0	Q_{ut}
+1	-2	-2	0	$2Q_{ut}$
+1	-3	-3	0	$3Q_{ut}$
+1	-4	-4	0	$4Q_{ut}$
+1	-5	-5	0	$5Q_{ut}$
+1	-6	-6	0	$6Q_{ut}$
+1	-7	-7	0	$7Q_{ut}$

[0853]

[表 15]

重み係数	ニューロンの 信号の値	重み係数 × 信号	配線OL に流れる 電荷量 Q_{OL}	配線OLB に流れる 電荷量 Q_{OLB}
-1	0	0	0	0
-1	+1	-1	0	Q_{ut}
-1	+2	-2	0	$2Q_{ut}$
-1	+3	-3	0	$3Q_{ut}$
-1	+4	-4	0	$4Q_{ut}$
-1	+5	-5	0	$5Q_{ut}$
-1	+6	-6	0	$6Q_{ut}$
-1	+7	-7	0	$7Q_{ut}$
-1	-1	+1	Q_{ut}	0
-1	-2	+2	$2Q_{ut}$	0
-1	-3	+3	$3Q_{ut}$	0
-1	-4	+4	$4Q_{ut}$	0
-1	-5	+5	$5Q_{ut}$	0
-1	-6	+6	$6Q_{ut}$	0
-1	-7	+7	$7Q_{ut}$	0

[0854]

上記の通り、第1データ（重み係数）と、第2データ（ニューロンの信号の値）を定めることにより、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果に応じて、配線OLから回路MC又は回路MC rに電流が流れる電荷量 Q_{OL} 、及び配線OLBから回路MC又は回路MC rに電流が流れる電荷量 Q_{OLB} が決まる。また、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果が正の値の場合、配線OLから回路MC又は回路MC rに電流が流れ、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果が負の値の場合、配線OLBから回路MC又は回路MC rに電流が流れる。つまり、電荷量 Q_{OL} 、及び電荷量 Q_{OLB} から、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を算出することができる。例えば、第1データ（重み係数）を“-1”又は“+1”とし、第2データ（ニューロンの信号の値）を“-7”乃至“+7”のいずれかーとし、かつ、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積が正の数である場合、上述の表において、配線OLから回路MC又は回路MC rに電流が流れる電荷量 Q_{OL} において、 Q_{ut} を“+1”に置き換えることで、電荷量 Q_{OL} から第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を求めることができる。また、例えば、第1データ（重み係数）を“-1”又は“+1”とし、第2データ（ニューロンの信号の値）を“-7”乃至“+7”のいずれかーとし、かつ、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積が負の数である場合、上述の表において、配線OLBから回路MC又は回路MC rに電流が流れる電荷量 Q_{OLB} において、 Q_{ut} を“-1”に置き換えることで、電荷量 Q_{OLB} から第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を求めることができる。

[0855]

また、本発明の一態様は、上述の定義に限定されない。上述では、第2データ（ニューロンの信

号の値)として、正の多値、負の多値、0を定義したが、例えば、入力期間を離散的な値でなく連続的な値をとることによって(a を正の実数として、入力期間を $a \times t_{ut}$ とすることによって)、第2データ(ニューロンの信号の値)をアナログ値として扱うことができる。

[0856]

また、例えば、トランジスタM3、トランジスタM3rがオン状態、又はトランジスタM4、トランジスタM4rがオン状態となる時間を t_{ut} とし、トランジスタM3-2b、M3-2brがオン状態、又はトランジスタM4-2b、トランジスタM4-2brがオン状態となる時間を $2t_{ut}$ とし、トランジスタM3-3b、トランジスタM3-3brがオン状態、又はトランジスタM4-3b、トランジスタM4-3brがオン状態となる時間を $4t_{ut}$ としたとき、配線X1Lに高レベル電位、配線X2Lに低レベル電位が入力され、かつ配線X1L2b、配線X2L2b、配線X1L3b、配線X2L3bに低レベル電位が入力されたときの第2データ(ニューロンの信号の値)を“+1”ではなく“+0.1”などの実数として定義してもよい。

[0857]

また、本発明の一態様の半導体装置は、図63の回路MPの構成に限定されない。例えば、図63の回路MPでは、電流量を設定するトランジスタとして、回路MC内には、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bの3個とし、回路MCr内は、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brの3個としたが、回路MC、回路MCrのそれぞれにおいて、電流量を設定するトランジスタは2個でもよいし、4個以上としてもよい。

[0858]

また、本発明の一態様の半導体装置及び当該半導体装置の動作方法は、上述に限定されない。上述では、図63の回路MPのトランジスタM1、トランジスタM1r、トランジスタM1-2b、トランジスタM1-2br、トランジスタM1-3b、トランジスタM1-3brのそれぞれのサイズを等しいものとして説明したが、例えば、図52の回路MPのとおり、トランジスタM1、トランジスタM1rのW長とL長との比を W/L とし、トランジスタM1-2b、トランジスタM1-2br、トランジスタM1-3b、トランジスタM1-3brのW長とL長との比を $2W/L$ としてもよい。回路HCSに電位VDDLが保持されている場合、トランジスタM1のソースドレイン間に電流量として I_1 の電流が流れるものとする、トランジスタM1-2bのW長とL長の比と、トランジスタM1-3bのW長とL長の比と、のそれぞれはトランジスタM1のW長とL長の比の2倍であるため、トランジスタM1-2b、トランジスタM1-3bのそれぞれのソースドレイン間には電流量として $2I_1$ が流れる。同様に、回路HCSrに電位VDDLが保持されている場合、トランジスタM1rのソースドレイン間に電流量として I_1 の電流が流れるものとする、トランジスタM1-2brのW長とL長の比と、トランジスタM1-3brのW長とL長の比と、のそれぞれはトランジスタM1rのW長とL長の比の2倍であるため、トランジスタM1-2br、トランジスタM1-3brのそれぞれのソースドレイン間には電流量として $2I_1$ が流れる。

[0859]

ここで、トランジスタM3、トランジスタM3rがオン状態、又はトランジスタM4、トランジスタM4rがオン状態となる時間を t_{ut} とし、トランジスタM3-2b、トランジスタM3-2brがオン状態、又はトランジスタM4-2b、トランジスタM4-2brがオン状態となる時間を

2 t_{ut} とし、トランジスタM3-3b、トランジスタM3-3brがオン状態、又はトランジスタM4-3b、トランジスタM4-3brがオン状態となる時間を2 t_{ut} とする。つまり、回路MPに第2データ（ニューロンの信号の値）を入力する際において、配線X1L、又は配線X2Lの一方への高レベル電位の入力時間は t_{ut} とし、配線X1L2b、又は配線X2L2bの一方への高レベル電位の入力時間は2 t_{ut} とし、配線X1L3b、又は配線X2L3bの一方への高レベル電位の入力時間は2 t_{ut} とする。図64の回路MPには、配線X1L、配線X2L、配線X1L2b、配線X2L2b、配線X1L3b、配線X2L3bの符号の付近に、図63とは異なる、パルス電圧の模式図と入力時間を示している。

[0860]

回路HCSに電位VDDLが保持されて、トランジスタM1のソースドレイン間に電流量として I_{ut} の電流が流れるとき、トランジスタM3-3b又はトランジスタM4-3bの一方が時間2 t_{ut} だけオン状態、トランジスタM3-3b又はトランジスタM4-3bの他方がオフ状態となることで、配線OL又は配線OLBから、トランジスタM1-3bを介して配線VEに流れる電荷量は、 $2 t_{ut} \times 2 I_{ut} = 4 Q_{ut}$ となる。なお、配線OLからトランジスタM1を介して配線VEに流れる電荷量と、配線OLからトランジスタM1-2bを介して配線VEに流れる電荷量と、については上述の動作例と条件が同じであるため、説明を省略する。

[0861]

回路HCSrに電位VDDLが保持されて、トランジスタM1rのソースドレイン間に電流量として I_{ut} の電流が流れるとき、トランジスタM3-3br又はトランジスタM4-3brの一方が時間2 t_{ut} だけオン状態、トランジスタM3-3br又はトランジスタM4-3brがオフ状態となることで、配線OL又は配線OLBから、トランジスタM1-3brを介して配線VERに流れる電荷量は、 $2 t_{ut} \times 2 I_{ut} = 4 Q_{ut}$ となる。なお、配線OLBからトランジスタM1rを介して配線VERに流れる電荷量と、配線OLBからトランジスタM1-2brを介して配線VERに流れる電荷量と、については上述の動作例と条件が同じであるため、説明を省略する。

[0862]

上述の通り、トランジスタM1、トランジスタM1r、トランジスタM1-2b、トランジスタM1-2br、トランジスタM1-3b、トランジスタM1-3brのそれぞれのサイズと、配線X1L、配線X2L、配線X1L2b、配線X2L2b、配線X1L3b、配線X2L3bのそれぞれへの高レベル電位の入力時間と、を適切に変更することによって、図63に示した回路MPの動作例と同様に、動作することができる。

[0863]

また、本発明の一態様の半導体装置は、図63、図64の回路MPの構成に限定されない。例えば、図63の回路MPでは、回路HCSに保持されている電位に応じた電流を流すトランジスタを、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bの3個とし、回路HCSrに保持されている電位に応じた電流を流すトランジスタを、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brの3個としたが、回路MC、回路MCrのそれぞれにおいて保持されている電位に応じた電流量を設定するトランジスタは2個、又は4個以上としてもよい。また、当該トランジスタに応じて、保持部の個数、配線の数も増減してもよい。

[0864]

また、本発明の一態様の半導体装置の動作方法は、上述に限定されない。例えば、動作方法例2

で説明した通り、図 6 3、図 6 4 の回路 MP において、配線 X 1 L、配線 X 2 L、配線 X 1 L 2 b、配線 X 2 L 2 b、配線 X 1 L 3 b、配線 X 2 L 3 b のそれぞれに入力される信号の入力期間を、複数のサブ期間に分けてもよい。

[0865]

また、本動作方法例では、回路 MP は、説明の煩雑さを避けるため、配線 OL、配線 OLB には 1 個の回路 MP のみが電氣的に接続されている場合を考えたが、図 1 1 の演算回路 150 のとおり、配線 OL、配線 OLB には複数の回路 MP を電氣的に接続してもよい。これにより、配線 OL、配線 OLB のそれぞれから複数の回路 MP に入力された電荷量の合計を、回路 ACTF に含まれる積分回路の容量に蓄積することができ、回路 ACTF は、配線 OL、配線 OLB に流れたそれぞれの電荷量に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0866]

なお、本動作例では、図 1 1 の演算回路 150 を例としたが、状況に応じて、別の演算回路に変更することでも、本動作例と同様の動作を行うことができる。

[0867]

なお、本動作方法例は、本明細書で示す他の動作方法例などと適宜組み合わせることができる。

[0868]

<動作方法例 9>

ここでは、図 6 5 の回路 MP を適用した図 1 1 の演算回路 150 の動作方法について、説明する。

[0869]

動作方法例 1 乃至動作方法例 8 と同様に、説明の煩雑さを避けるため、配線 OL、配線 OLB に流れる電流の変化については、配線 OL、配線 OLB に電氣的に接続されている 1 個の回路 MP のみによって行われるものとする。また、回路 MP に電氣的に接続されている配線 VE、配線 VER のそれぞれは、回路 MP に対して、定電圧として VSS を与えるものとする。また、回路 AFP に含まれている回路 ACTF [1] 乃至回路 ACTF [n] のそれぞれは、一例としては、積分回路（または、電流電荷 (IQ) 変換回路）の構成を有する回路 ACTF とする。例えば、回路 ACTF は、図 6 E の回路 ACTF [j] において、負荷 LEa、負荷 LEb を容量などとした構成としてもよい。なお、例えば、1 つの保持部（例として、回路 HCS）に接続されたトランジスタは、3 個（例として、トランジスタ M1、トランジスタ M1-2x、トランジスタ M1-3x という 3 個）の場合を示したが、本発明の一態様は、これに限定されない。各保持部には、任意の数のトランジスタを配置してもよい。同様に、回路 MC に含まれ、配線 OL（配線 OLB）に電氣的に接続されているトランジスタについても、3 個（トランジスタ M3、トランジスタ M3-2x、トランジスタ M3-3x、及びトランジスタ M4、トランジスタ M4-2x、トランジスタ M4-3x）の場合を示したが、本発明の一態様は、これに限定されず、任意の数のトランジスタを配置してもよい。また、保持部は、3 個（例として、回路 HCS、回路 HCS-2b、回路 HCS-3b）の場合を示したが、本発明の一態様は、これに限定されない。任意の数の保持部を配置してもよい。

[0870]

図 6 5 の回路 MP において、回路 MC は、トランジスタ M1、トランジスタ M1-2x、トランジスタ M1-3x、トランジスタ M1-2b、トランジスタ M1-2x-2b、トランジスタ M1-3x-2b、トランジスタ M1-3b、トランジスタ M1-2x-3b、トランジスタ M1-3x-2b、トランジスタ M3、トランジスタ M3-2x、トランジスタ M3-3x、トランジスタ

M4、トランジスタM4-2x、トランジスタM4-3x、回路HCS、回路HCS-2b、回路HCS-3bを有する。

[0871]

なお、トランジスタM1、トランジスタM1-2x、トランジスタM1-3xのそれぞれのサイズ、例えば、W長とL長は、互いに等しいことが好ましい。また、トランジスタM1-2b、トランジスタM1-2x-2b、トランジスタM1-3x-2bのサイズは、互いに等しいことが好ましい。また、トランジスタM1-3b、トランジスタM1-2x-3b、トランジスタM1-3x-3bのサイズは、互いに等しいことが好ましい。

[0872]

更に、トランジスタM1、トランジスタM1-2x、トランジスタM1-3xのそれぞれのW長とL長の比を W/L としたとき、トランジスタM1-2b、トランジスタM1-2x-2b、トランジスタM1-3x-2bのそれぞれのW長とL長の比を $2W/L$ とし、トランジスタM1-3b、トランジスタM1-2x-3b、トランジスタM1-3x-3bのそれぞれのW長とL長の比を $4W/L$ とするのが好ましい。つまり、保持部（例として、回路HCS、回路HCS-2b、回路HCS-3bなど）と、ゲートに電氣的に接続されているトランジスタ（例として、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bなど）のW長とL長の比 W/L は、保持部の数に応じて2のべき乗で大きくしていけばよい。

[0873]

また、本明細書などにおいて、トランジスタM1、トランジスタM1-2x、トランジスタM1-3x、トランジスタM1-2b、トランジスタM1-2x-2b、トランジスタM1-3x-2b、トランジスタM1-3b、トランジスタM1-2x-3b、及びトランジスタM1-3x-3bは、特に断りの無い場合は、オン状態の場合は最終的に飽和領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、飽和領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。供給される電圧の振幅値を小さくするために、これらのトランジスタは、線形領域で動作してもよい。また、これらのトランジスタに流れる電流量を小さくするため、上述したトランジスタは、サブスレッショルド領域で動作してもよい。又は、トランジスタM1、トランジスタM1-2x、トランジスタM1-3x、トランジスタM1-2b、トランジスタM1-2x-2b、トランジスタM1-3x-2b、トランジスタM1-3b、トランジスタM1-2x-3b、及びトランジスタM1-3x-3bは、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。なお、第1データ（重み係数）をアナログ値とする場合には、第1データ（重み係数）の大きさに応じて、例えば、上述したトランジスタは、線形領域で動作する場合と、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在していてもよい。又は、トランジスタM1、トランジスタM1-2x、トランジスタM1-3x、トランジスタM1-2b、トランジスタM1-2x-2b、トランジスタM1-3x-2b、トランジスタM1-3b、トランジスタM1-2x-3b、及びトランジスタM1-3x-3bは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよい。

[0874]

また、本明細書などにおいて、トランジスタM3、トランジスタM3-2x、トランジスタM3-3x、トランジスタM4、トランジスタM4-2x、及びトランジスタM4-3xは、特に断りの無い場合は、オン状態の場合は最終的に線形領域で動作する場合を含むものとする。すなわち、上述したそれぞれのトランジスタのゲート電圧、ソース電圧、及びドレイン電圧は、線形領域で動作する範囲での電圧に適切にバイアスされている場合を含むものとする。ただし、本発明の一態様は、これに限定されない。例えば、トランジスタM3、トランジスタM3-2x、トランジスタM3-3x、トランジスタM4、トランジスタM4-2x、及びトランジスタM4-3xは、オン状態のときは飽和領域で動作してもよく、またはサブスレッショルド領域で動作してもよい。または、飽和領域とサブスレッショルド領域の境界付近で動作させてもよい。又は、トランジスタM3、トランジスタM3-2x、トランジスタM3-3x、トランジスタM4、トランジスタM4-2x、及びトランジスタM4-3xは、線形領域で動作する場合と、飽和領域で動作する場合と、が混在してもよく、又は、飽和領域で動作する場合と、サブスレッショルド領域で動作する場合と、が混在してもよく、又は、サブスレッショルド領域で動作する場合と線形領域で動作する場合と、が混在してもよく、又は、線形領域で動作する場合と、飽和領域で動作する場合とサブスレッショルド領域で動作する場合と、が混在してもよい。

[0875]

回路HCS、回路HCS-2b、回路HCS-3bのそれぞれは、図29の回路MPに含まれている回路HCSと同様に、配線OL、又は配線OLBの一方、又は両方から入力される情報（電位、電流など）を受け取って、当該情報に応じた電位を保持する機能を有する。また、回路HCSは、電氣的に接続されているトランジスタのゲートに保持した当該電位を印加する機能を有する。回路HCS、回路HCS-2b、回路HCS-3bとしては、例えば、SRAMを有する構成、又はNOSRAMを有する構成とすることができる。図65の回路MPに含まれている回路HCS、回路HCS-2b、回路HCS-3bのそれぞれは、デジタル値（2値）として、高レベル電位（ここでは、例えばVDDL）又は低レベル電位（ここでは、例えばVSS）の一方を保持するものとする。

[0876]

なお、トランジスタM1-2b、トランジスタM1-2x-2b、トランジスタM1-3x-2bのそれぞれのゲートは、回路HCS-2bに電氣的に接続されている。トランジスタM1-3b、トランジスタM1-2x-3b、トランジスタM1-3x-2bのそれぞれのゲートは、回路HCS-3bに電氣的に接続されている。

[0877]

トランジスタM1、トランジスタM1-2x、トランジスタM1-3xのそれぞれのゲートに、回路HCSに保持されているVDDLが入力されているとき、トランジスタM1、トランジスタM1-2x、トランジスタM1-3xのそれぞれのソースドレイン間に流れる電流量を I_{ut} とする。トランジスタM1-2b、トランジスタM1-2x-2b、トランジスタM1-3x-2bのそれぞれのW長とL長の比は、トランジスタM1のW長とL長の比の2倍であるため、トランジスタM1-2b、トランジスタM1-2x-2b、トランジスタM1-3x-2bのゲートに、回路HCS-2bに保持されているVDDLが入力されているとき、トランジスタM1-2b、トランジスタM1-2x-2b、トランジスタM1-3x-2bのそれぞれのソースドレイン間に流れる電流量は $2I_{ut}$ となる。また、トランジスタM1-3b、トランジスタM1-2x-3b、トランジ

スタM1-3x-3bのそれぞれのW長とL長の比は、トランジスタM1のW長とL長の比の4倍であるため、トランジスタM1-3b、トランジスタM1-2x-3b、トランジスタM1-3x-3bのゲートに、回路HCS-3bに保持されているVDDLが入力されているとき、トランジスタM1-3b、トランジスタM1-2x-3b、トランジスタM1-3x-3bのそれぞれのソースドレイン間に流れる電流量は $4 I_{ut}$ となる。

[0878]

トランジスタM1、トランジスタM1-2x、トランジスタM1-3x、トランジスタM1-2b、トランジスタM1-2x-2b、トランジスタM1-3x-2b、トランジスタM1-3b、トランジスタM1-2x-3b、トランジスタM1-3x-2bのそれぞれの第1端子は、配線VEに電氣的に接続されている。トランジスタM1、トランジスタM1-2x、トランジスタM1-3xのそれぞれのゲートは、回路HCSに電氣的に接続されている。

[0879]

トランジスタM1、トランジスタM1-2b、トランジスタM1-3bのそれぞれの第2端子は、トランジスタM3の第1端子と、トランジスタM4の第1端子と、に電氣的に接続されている。トランジスタM1-2x、トランジスタM1-2x-2b、トランジスタM1-2x-3bのそれぞれの第2端子は、トランジスタM3-2xの第1端子と、トランジスタM4-2xの第1端子と、に電氣的に接続されている。トランジスタM1-3x、トランジスタM1-3x-2b、トランジスタM1-3x-3bのそれぞれの第2端子は、トランジスタM3-3xの第1端子と、トランジスタM4-3xの第1端子と、に電氣的に接続されている。

[0880]

トランジスタM3のゲートは、配線X1Lに電氣的に接続され、トランジスタM4のゲートは、配線X2Lに電氣的に接続されている。トランジスタM3-2xのゲートは、配線X1L2xに電氣的に接続され、トランジスタM4-2xのゲートは、配線X2L2xに電氣的に接続されている。トランジスタM3-3xのゲートは、配線X1L3xに電氣的に接続され、トランジスタM4-3xのゲートは、配線X2L3xに電氣的に接続されている。

[0881]

トランジスタM3、トランジスタM3-2x、トランジスタM3-3xのそれぞれの第2端子は、配線OLに電氣的に接続され、トランジスタM4、トランジスタM4-2x、トランジスタM4-3xのそれぞれの第2端子は、配線OLBに電氣的に接続されている。

[0882]

なお、図65の回路MPにおいて、回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子などには、回路MCの有する回路素子などと区別をするため、符号に「r」を付している。また、トランジスタM3_r、トランジスタM3-2x_r、トランジスタM3-3x_rのそれぞれの第2端子は、配線OLBに電氣的に接続され、トランジスタM4、トランジスタM4-2x、トランジスタM4-3xのそれぞれの第2端子は、配線OLに電氣的に接続されている。

[0883]

図65の回路MPに設定される第1データ（ここでは、例えば、重み係数とする。）について説明する。図65の回路MPに設定される第1データ（重み係数）は、回路HCS、回路HCS-2b、回路HCS-3b、回路HCS_r、回路HCS-2b_r、回路HCS-3b_rのそれぞれに保

持されている電位の組み合わせによって、定義することができる。具体的には、動作方法例7で説明した図62の回路MPのとおり、回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、回路HCS-3brのそれぞれに所定の電位を保持して、第1データ（重み係数）を設定すればよい。上記より、図65の回路MPにおける、第1データ（重み係数）については、一例として、動作方法例7で説明した図62の回路MPにおける第1データ（重み係数）の定義と同様とすることができる。

[0884]

次に、回路MPに入力される第2データ（ここでは、例えば、ニューロンの信号の値とする。）について説明する。前提として、回路MPに第2データ（ニューロンの信号の値）を入力する際において、配線X1L、又は配線X2Lの一方への高レベル電位の入力時間を t_{ut} としたとき、配線X1L2x、又は配線X2L2xの一方への高レベル電位の入力時間は $2t_{ut}$ とし、配線X1L3x、又は配線X2L3xの一方への高レベル電位の入力時間は $4t_{ut}$ として動作させるものとする。つまり、トランジスタM3、トランジスタM3rがオン状態、又はトランジスタM4、トランジスタM4rがオン状態となる時間が t_{ut} としたとき、トランジスタM3-2x、トランジスタM3-2xrがオン状態、又はトランジスタM4-2x、トランジスタM4-2xrがオン状態となる時間を $2t_{ut}$ とし、トランジスタM3-3x、トランジスタM3-3xrがオン状態、又はトランジスタM4-3x、トランジスタM4-3xrがオン状態となる時間を $4t_{ut}$ とするように動作させる。

[0885]

動作方法例1、動作方法例2で説明したとおり、回路MPに第1データ（例えば、ここでは重み係数とする。）を設定して、かつトランジスタM3、又はトランジスタM4がオン状態となる時間を定めることによって、配線OL又は配線OLBから、トランジスタM1、トランジスタM1-2b、トランジスタM1-3bを介して配線VEに流れる電荷量が決まる。また、回路MPに第1データ（重み係数）を設定して、トランジスタM3r、又はトランジスタM4rがオン状態となる時間を定めることによって、配線OL又は配線OLBから、トランジスタM1r、トランジスタM1-2br、トランジスタM1-3brを介して配線VERに流れる電荷量が決まる。

[0886]

同様に、配線OL又は配線OLBから、トランジスタM1-2x、トランジスタM1-2x-2b、トランジスタM1-2x-3bを介して配線VEに流れる電荷量と、配線OL又は配線OLBから、トランジスタM1-2xr、トランジスタM1-2x-2br、トランジスタM1-2x-3brを介して配線VERに流れる電荷量と、についても、トランジスタM3-2x、トランジスタM3-2xr、トランジスタM4-2x、トランジスタM4-2xrのそれぞれにおいて、オン状態となる時間を定めることによって決まる。また、配線OL又は配線OLBから、トランジスタM1-3x、トランジスタM1-3x-2b、トランジスタM1-3x-3bを介して配線VEに流れる電荷量と、配線OL又は配線OLBから、トランジスタM1-3xr、トランジスタM1-3x-2br、トランジスタM1-3x-3brを介して配線VERに流れる電荷量と、についても、トランジスタM3-3x、トランジスタM3-3xr、トランジスタM4-3x、トランジスタM4-3xrのそれぞれにおいて、オン状態となる時間を定めることによって決まる。

[0887]

そのため、図65の回路MPにおける、第2データ（ニューロンの信号の値）については、一例

としては、動作方法例3で説明した図51の回路MPにおける第2データ（ニューロンの信号の値）の定義と同様とすることができる。

[0888]

上述の通り、第1データ（重み係数）と、第2データ（ニューロンの信号の値）を定めることにより、配線OLから回路MC又は回路MC_rに電流が流れる電荷量、及び配線OLBから回路MC又は回路MC_rに電流が流れる電荷量によって、第1データ（重み係数）と、第2データ（ニューロンの信号の値）との積を表現することができる。

[0889]

次に、図65の回路MPの具体的な動作例について説明する。

[0890]

回路MPには、例えば、あらかじめ、“+7”の第1データ（重み係数）が設定されているものとする。このとき、トランジスタM1、トランジスタM1-2_x、トランジスタM1-3_xのソースドレイン間には電流 I_{ut} が流れ、トランジスタM1-2_b、トランジスタM1-2_x-2_b、トランジスタM1-3_x-2_bのソースドレイン間には電流 $2I_{ut}$ が流れ、トランジスタM1-3_b、トランジスタM1-2_x-3_b、トランジスタM1-3_x-3_bのソースドレイン間には電流 $4I_{ut}$ が流れる。一方、トランジスタM1_r、トランジスタM1-2_x_r、トランジスタM1-3_x_r、トランジスタM1-2_b_r、トランジスタM1-2_x-2_b_r、トランジスタM1-3_x-2_b_r、トランジスタM1-3_b_r、トランジスタM1-2_x-3_b_r、トランジスタM1-3_x-3_b_rのそれぞれのソースドレイン間に流れる電流量は0となる。

[0891]

回路MPに第2データ（ニューロンの信号の値）として“+7”が入力されている場合、トランジスタM3が時間 t_{ut} だけオン状態、トランジスタM4がオフ状態となることで、配線OLから、トランジスタM1、トランジスタM1-2_b、トランジスタM1-3_bのそれぞれを介して配線VEに流れる電荷量は、 $t_{ut} \times I_{ut} + t_{ut} \times 2I_{ut} + t_{ut} \times 4I_{ut} = 7t_{ut} \times I_{ut}$ となる。なお、ここで、 $t_{ut} \times I_{ut} = Q_{ut}$ とする。また、トランジスタM3-2_xが時間 $2t_{ut}$ だけオン状態、トランジスタM4-2_xがオフ状態となることで、配線OLから、トランジスタM1-2_x、トランジスタM1-2_x-2_b、トランジスタM1-2_x-3_bのそれぞれを介して配線VEに流れる電荷量は、 $2t_{ut} \times I_{ut} + 2t_{ut} \times 2I_{ut} + 2t_{ut} \times 4I_{ut} = 14t_{ut} \times I_{ut}$ となる。また、トランジスタM3-3_xが時間 $4t_{ut}$ だけオン状態、トランジスタM4-3_xがオフ状態となることで、配線OLから、トランジスタM1-3_x、トランジスタM1-3_x-2_b、トランジスタM1-3_x-3_bのそれぞれを介して配線VEに流れる電荷量は、 $4t_{ut} \times I_{ut} + 4t_{ut} \times 2I_{ut} + 4t_{ut} \times 4I_{ut} = 28t_{ut} \times I_{ut}$ となる。そのため、配線OLから、回路MCを介して配線VEに流れる電荷量は、 $7Q_{ut} + 14Q_{ut} + 28Q_{ut} = 49Q_{ut}$ となる。一方、配線OLBから、回路MC_rを介して配線VE_rに流れる電荷量は、トランジスタM1_r、トランジスタM1-2_x_r、トランジスタM1-3_x_r、トランジスタM1-2_b_r、トランジスタM1-2_x-2_b_r、トランジスタM1-3_x-2_b_r、トランジスタM1-3_b_r、トランジスタM1-2_x-3_b_r、トランジスタM1-3_x-3_b_rのそれぞれがオフ状態であるため、0となる。

[0892]

なお、回路MPに第2データ（ニューロンの信号の値）として“-7”が入力されている場合、配線OLBと回路MCとの間、配線OLと回路MC_rとの間がそれぞれ導通状態となり、配線OL

Bと回路MC rとの間、配線OLと回路MCとの間が非導通状態となるため、配線OLBから、回路MCを介して配線VEに流れる電荷量が $7Q_{ut} + 14Q_{ut} + 28Q_{ut} = 49Q_{ut}$ となり、配線OLから、回路MC rを介して配線VERに流れる電荷量が、0となる。

[0893]

また、回路MPには、例えば、あらかじめ、“-7”の第1データ（重み係数）が設定されているものとする。このとき、トランジスタM1 r、トランジスタM1-2 x r、トランジスタM1-3 x rのソースドレイン間には電流 I_{ut} が流れ、トランジスタM1-2 b r、トランジスタM1-2 x-2 b r、トランジスタM1-3 x-2 b rのソースドレイン間には電流 $2I_{ut}$ が流れ、トランジスタM1-3 b r、トランジスタM1-2 x-3 b r、トランジスタM1-3 x-3 b rのソースドレイン間には電流 $4I_{ut}$ が流れる。一方、トランジスタM1、トランジスタM1-2 x、トランジスタM1-3 x、トランジスタM1-2 b、トランジスタM1-2 x-2 b、トランジスタM1-3 x-2 b、トランジスタM1-3 b、トランジスタM1-2 x-3 b、トランジスタM1-3 x-3 bのそれぞれのソースドレイン間に流れる電流量は0となる。

[0894]

回路MPに第2データ（ニューロンの信号の値）として“+7”が入力されている場合、トランジスタM3 rが時間 t_{ut} だけオン状態、トランジスタM4 rがオフ状態となることで、配線OLBから、トランジスタM1 r、トランジスタM1-2 b r、トランジスタM1-3 b rのそれぞれを介して配線VERに流れる電荷量は、 $t_{ut} \times I_{ut} + t_{ut} \times 2I_{ut} + t_{ut} \times 4I_{ut} = 7t_{ut} \times I_{ut}$ となる。なお、ここで、 $t_{ut} \times I_{ut} = Q_{ut}$ とする。また、トランジスタM3-2 x rが時間 $2t_{ut}$ だけオン状態、トランジスタM4-2 x rがオフ状態となることで、配線OLから、トランジスタM1-2 x r、トランジスタM1-2 x-2 b r、トランジスタM1-2 x-3 b rのそれぞれを介して配線VERに流れる電荷量は、 $2t_{ut} \times I_{ut} + 2t_{ut} \times 2I_{ut} + 2t_{ut} \times 4I_{ut} = 14t_{ut} \times I_{ut}$ となる。また、トランジスタM3-3 x rが時間 $4t_{ut}$ だけオン状態、トランジスタM4-3 x rがオフ状態となることで、配線OLBから、トランジスタM1-3 x r、トランジスタM1-3 x-2 b r、トランジスタM1-3 x-3 b rのそれぞれを介して配線VERに流れる電荷量は、 $4t_{ut} \times I_{ut} + 4t_{ut} \times 2I_{ut} + 4t_{ut} \times 4I_{ut} = 28t_{ut} \times I_{ut}$ となる。そのため、配線OLBから、回路MC rを介して配線VERに流れる電荷量は、 $7Q_{ut} + 14Q_{ut} + 28Q_{ut} = 49Q_{ut}$ となる。一方、配線OLから、回路MCを介して配線VEに流れる電荷量は、トランジスタM1、トランジスタM1-2 x、トランジスタM1-3 x、トランジスタM1-2 b、トランジスタM1-2 x-2 b、トランジスタM1-3 x-2 b、トランジスタM1-3 b、トランジスタM1-2 x-3 b、トランジスタM1-3 x-3 bのそれぞれがオフ状態であるため、0となる。

[0895]

なお、回路MPに第2データ（ニューロンの信号の値）として“-7”が入力されている場合、配線OLBと回路MCとの間、配線OLと回路MC rとの間がそれぞれ導通状態となり、配線OLBと回路MC rとの間、配線OLと回路MCとの間が非導通状態となるため、配線OLBから、回路MCを介して配線VEに流れる電荷量が $7Q_{ut} + 14Q_{ut} + 28Q_{ut} = 49Q_{ut}$ となり、配線OLから、回路MC rを介して配線VERに流れる電荷量が、0となる。

[0896]

上記より、回路MPに正の第1データ（重み係数）として“+1”乃至“+7”の7値のいずれ

かを設定し、正の第2データ（ニューロンの信号の値）に応じて、回路MPに含まれているトランジスタM3、トランジスタM3-2x、トランジスタM3-3xから、オン状態にするトランジスタを一つ以上選択することによって、配線OLから、回路MCを介して配線VEに流れる電荷量を、 Q_{ut} 刻みで“ Q_{ut} ”乃至“ $49Q_{ut}$ ”のいずれか一とすることができる。なお、このとき、配線OLBから、回路MCrを介して、配線VERに流れる電荷量は0となる。また、回路MPに負の第1データ（重み係数）として“-7”乃至“-1”の7値のいずれか一を設定し、正の第2データ（ニューロンの信号の値）に応じて、回路MPに含まれているトランジスタM3r、トランジスタM3-2xr、トランジスタM3-3xrから、オン状態にするトランジスタを一つ以上選択することによって、配線OLBから、回路MCrを介して配線VERに流れる電荷量を、 Q_{ut} 刻みで“ Q_{ut} ”乃至“ $49Q_{ut}$ ”のいずれか一とすることができる。なお、このとき、配線OLから、回路MCを介して、配線VEに流れる電荷量は0となる。

[0897]

また、回路MPに正の第1データ（重み係数）として“+1”乃至“+7”の7値のいずれか一を設定し、負の第2データ（ニューロンの信号の値）に応じて、回路MPに含まれているトランジスタM4、トランジスタM4-2x、トランジスタM4-3xから、オン状態にするトランジスタを一つ以上選択することによって、配線OLBから、回路MCを介して配線VEに流れる電荷量を、 Q_{ut} 刻みで“ Q_{ut} ”乃至“ $49Q_{ut}$ ”のいずれか一とすることができる。なお、このとき、配線OLから、回路MCrを介して、配線VERに流れる電荷量は0となる。また、回路MPに負の第1データ（重み係数）として“-7”乃至“-1”の7値のいずれか一を設定し、負の第2データ（ニューロンの信号の値）に応じて、回路MPに含まれているトランジスタM4r、トランジスタM4-2xr、トランジスタM4-3xrから、オン状態にするトランジスタを一つ以上選択することによって、配線OLから、回路MCrを介して配線VERに流れる電荷量を、 Q_{ut} 刻みで“ Q_{ut} ”乃至“ $49Q_{ut}$ ”のいずれか一とすることができる。なお、このとき、配線OLBから、回路MCを介して、配線VEに流れる電荷量は0となる。

[0898]

なお、回路MPには、あらかじめ、“0”の第1データ（重み係数）が設定されている場合、トランジスタM1、トランジスタM1-2x、トランジスタM1-3x、トランジスタM1-2b、トランジスタM1-2x-2b、トランジスタM1-3x-2b、トランジスタM1-3b、トランジスタM1-2x-3b、トランジスタM1-3x-3b、トランジスタM1r、トランジスタM1-2xr、トランジスタM1-3xr、トランジスタM1-2br、トランジスタM1-2x-2br、トランジスタM1-3x-2br、トランジスタM1-3br、トランジスタM1-2x-3br、トランジスタM1-3x-3brのそれぞれはオフ状態となる。そのため、配線OL又は配線OLBから、回路MCを介して配線VEに電流は流れず、配線OL又は配線OLBから、回路MCrを介して配線VERに電流は流れない。換言すると、配線OL、配線OLBのそれぞれに流れる電荷量は0ということができる。

[0899]

また、回路MPに“0”の第2データ（ニューロンの信号の値）が入力される場合、トランジスタM3、トランジスタM3-2x、トランジスタM3-3x、トランジスタM4、トランジスタM4-2x、トランジスタM4-3x、トランジスタM3r、トランジスタM3-2xr、トランジスタM3-3xr、トランジスタM4r、トランジスタM4-2xr、トランジスタM4-3xr

のそれぞれはオフ状態となる。そのため、配線OL又は配線OLBから、回路MCを介して配線VEに電流は流れず、配線OL又は配線OLBから、回路MC_rを介して配線VE_rに電流は流れない。換言すると、配線OL、配線OLBのそれぞれに流れる電荷量は0ということができる。

[0900]

ここで、回路ACTFの積分回路に着目する。配線OL又は配線OLBから、回路MCを介して配線VEに電流が流れるとき、又は、配線OL又は配線OLBから、回路MC_rを介して配線VE_rに電流が流れるとき、図8Aにおいて、スイッチSWO、スイッチSWOBはオン状態にし、スイッチSWI、スイッチSWIB、スイッチSWL、スイッチSWLB、スイッチSWH、スイッチSWHBはオフ状態にして、配線OL及び配線OLBと回路AFPとの間を導通状態にすることで、回路ACTFに含まれている積分回路の容量に配線OL、配線OLBに流れる電荷量を蓄積することができる。この結果、回路ACTFは、配線OLに流れた電荷量 Q_{OL} と配線OLBに流れた電荷量 Q_{OLB} に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0901]

上述の動作例より、第1データ（重み係数）を“0”を除く“−7”乃至“+7”のいずれかーとして、第2データ（ニューロンの信号の値）を“0”を除く“−7”乃至“+7”のいずれかーとした場合の、配線OLに流れた電荷量 Q_{OL} と配線OLBに流れた電荷量 Q_{OLB} を下の表に記載する。なお、第1データ（重み係数）、第2データ（ニューロンの信号の値）の少なくとも一方が“0”のときは、 $Q_{OL}=0$ 、 $Q_{OLB}=0$ となる。

[0902]

[表16]

		ニューロンの信号の値						
		+1	+2	+3	+4	+5	+6	+7
重み 係数	+1	$Q_{OL}=Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=2Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=3Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=4Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=5Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=6Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=7Q_{ut},$ $Q_{OLB}=0$
	+2	$Q_{OL}=2Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=4Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=6Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=8Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=10Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=12Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=14Q_{ut},$ $Q_{OLB}=0$
	+3	$Q_{OL}=3Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=6Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=9Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=12Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=15Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=18Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=21Q_{ut},$ $Q_{OLB}=0$
	+4	$Q_{OL}=4Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=8Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=12Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=16Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=20Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=24Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=28Q_{ut},$ $Q_{OLB}=0$
	+5	$Q_{OL}=5Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=10Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=15Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=20Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=25Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=30Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=35Q_{ut},$ $Q_{OLB}=0$
	+6	$Q_{OL}=6Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=12Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=18Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=24Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=30Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=36Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=42Q_{ut},$ $Q_{OLB}=0$
	+7	$Q_{OL}=7Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=14Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=21Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=28Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=35Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=42Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=49Q_{ut},$ $Q_{OLB}=0$

[0903]

[表 17]

		ニューロンの信号の値						
		-7	-6	-5	-4	-3	-2	-1
重み 係数	+1	$Q_{OL}=0,$ $Q_{OLB}=7Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=6Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=5Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=4Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=3Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=2Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=Q_{ut}$
	+2	$Q_{OL}=0,$ $Q_{OLB}=14Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=10Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=8Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=6Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=4Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=2Q_{ut}$
	+3	$Q_{OL}=0,$ $Q_{OLB}=21Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=18Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=15Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=9Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=6Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=3Q_{ut}$
	+4	$Q_{OL}=0,$ $Q_{OLB}=28Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=24Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=20Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=16Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=8Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=4Q_{ut}$
	+5	$Q_{OL}=0,$ $Q_{OLB}=35Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=30Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=25Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=20Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=15Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=10Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=5Q_{ut}$
	+6	$Q_{OL}=0,$ $Q_{OLB}=42Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=36Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=30Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=24Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=18Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=6Q_{ut}$
	+7	$Q_{OL}=0,$ $Q_{OLB}=49Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=42Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=35Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=28Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=21Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=14Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=7Q_{ut}$

[0904]

[表 18]

		ニューロンの信号の値						
		+1	+2	+3	+4	+5	+6	+7
重み 係数	-7	$Q_{OL}=0,$ $Q_{OLB}=7Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=14Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=21Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=28Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=35Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=42Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=49Q_{ut}$
	-6	$Q_{OL}=0,$ $Q_{OLB}=6Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=18Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=24Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=30Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=36Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=42Q_{ut}$
	-5	$Q_{OL}=0,$ $Q_{OLB}=5Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=10Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=15Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=20Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=25Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=30Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=35Q_{ut}$
	-4	$Q_{OL}=0,$ $Q_{OLB}=4Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=8Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=16Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=20Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=24Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=28Q_{ut}$
	-3	$Q_{OL}=0,$ $Q_{OLB}=3Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=6Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=9Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=15Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=18Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=21Q_{ut}$
	-2	$Q_{OL}=0,$ $Q_{OLB}=2Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=4Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=6Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=8Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=10Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=12Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=14Q_{ut}$
	-1	$Q_{OL}=0,$ $Q_{OLB}=Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=2Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=3Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=4Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=5Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=6Q_{ut}$	$Q_{OL}=0,$ $Q_{OLB}=7Q_{ut}$

[0905]

[表 19]

		ニューロンの信号の値						
		-7	-6	-5	-4	-3	-2	-1
重み 係数	-7	$Q_{OL}=49Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=42Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=35Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=28Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=21Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=14Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=7Q_{ut},$ $Q_{OLB}=0$
	-6	$Q_{OL}=42Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=36Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=30Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=24Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=18Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=12Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=6Q_{ut},$ $Q_{OLB}=0$
	-5	$Q_{OL}=35Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=30Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=25Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=20Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=15Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=10Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=5Q_{ut},$ $Q_{OLB}=0$
	-4	$Q_{OL}=28Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=24Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=20Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=16Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=12Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=8Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=4Q_{ut},$ $Q_{OLB}=0$
	-3	$Q_{OL}=21Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=18Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=15Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=12Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=9Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=6Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=3Q_{ut},$ $Q_{OLB}=0$
	-2	$Q_{OL}=14Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=12Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=10Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=8Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=6Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=4Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=2Q_{ut},$ $Q_{OLB}=0$
	-1	$Q_{OL}=7Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=6Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=5Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=4Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=3Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=2Q_{ut},$ $Q_{OLB}=0$	$Q_{OL}=Q_{ut},$ $Q_{OLB}=0$

[0906]

上記の通り、第1データ（重み係数）と、第2データ（ニューロンの信号の値）を定めることにより、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果に応じて、配線OLから回路MC又は回路MC rに電流が流れる電荷量 Q_{OL} 、及び配線OLBから回路MC又は回路MC rに電流が流れる電荷量 Q_{OLB} が決まる。また、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果が正の値の場合、配線OLから回路MC又は回路MC rに電流が流れ、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積の結果が負の値の場合、配線OLBから回路MC又は回路MC rに電流が流れる。つまり、電荷量 Q_{OL} 、及び電荷量 Q_{OLB} から、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を算出することができる。例えば、第1データ（重み係数）を“−7”乃至“+7”のいずれかーとし、第2データ（ニューロンの信号の値）を“−7”乃至“+7”のいずれかーとし、かつ、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積が正の数である場合、上述の表において、配線OLから回路MC又は回路MC rに電流が流れる電荷量 Q_{OL} において、 Q_{ut} を“+1”に置き換えることで、電荷量 Q_{OL} から第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を求めることができる。また、例えば、第1データ（重み係数）を“−7”乃至“+7”のいずれかーとし、第2データ（ニューロンの信号の値）を“−7”乃至“+7”のいずれかーとし、かつ、第1データ（重み係数）と第2データ（ニューロンの信号の値）との積が負の数である場合、上述の表において、配線OLBから回路MC又は回路MC rに電流が流れる電荷量 Q_{OLB} において、 Q_{ut} を“−1”に置き換えることで、電荷量 Q_{OLB} から第1データ（重み係数）と第2データ（ニューロンの信号の値）との積を求めることができる。

[0907]

また、本発明の一態様は、上述の定義に限定されない。上述では、第2データ（ニューロンの信号の値）として、正の多値、負の多値、0を定義したが、例えば、入力期間を離散的な値でなく連続的な値をとることによって（ a を正の実数として、入力期間を $a \times t_{ut}$ とすることによって）、

第2データ（ニューロンの信号の値）をアナログ値として扱うことができる。

[0908]

また、本発明の一態様の半導体装置は、図65の回路MPの構成に限定されない。例えば、図65の回路MPでは、電位を保持する回路を、回路HCS、回路HCS-2b、回路HCS-3b、回路HCSr、回路HCS-2br、回路HCS-3brの6個とし、それぞれの回路にゲートを電氣的に接続しているトランジスタ（トランジスタM1、トランジスタM1-2x、トランジスタM1-3x）の数を3個としたが、第1データ（重み係数）及び第2データ（ニューロンの信号の値）の取り得る値に応じて、電位を保持する回路及び当該トランジスタの数を増減してもよい。また、当該トランジスタに応じて、保持部の個数、配線の数も増減してもよい。

[0909]

また、本発明の一態様の半導体装置の動作方法は、上述に限定されない。例えば、動作方法例2で説明した通り、図65の回路MPにおいて、配線X1L、配線X2L、配線X1L2b、配線X2L2b、配線X1L3b、配線X2L3bのそれぞれに入力される信号の入力期間を、複数のサブ期間に分けてもよい。

[0910]

また、本動作方法例では、回路MPは、説明の煩雑さを避けるため、配線OL、配線OLBには1個の回路MPのみが電氣的に接続されている場合を考えたが、図11の演算回路150のとおり、配線OL、配線OLBには複数の回路MPを電氣的に接続してもよい。これにより、配線OL、配線OLBのそれぞれから複数の回路MPに入力された電荷量の合計を、回路ACTFに含まれる積分回路の容量に蓄積することができ、回路ACTFは、配線OL、配線OLBに流れたそれぞれの電荷量に応じたニューロンの信号 $z_j^{(k)}$ を出力することができる。

[0911]

なお、本動作例では、図11の演算回路150を例としたが、状況に応じて、別の演算回路に変更することでも、本動作例と同様の動作を行うことができる。

[0912]

なお、本動作方法例は、本明細書で示す他の動作方法例などと適宜組み合わせることができる。

[0913]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0914]

（実施の形態4）

本実施の形態では、一例として、畳み込みニューラルネットワーク（CNN）で行われる演算を行うため半導体装置の構成例について説明する。なお、当該半導体装置としては、上記実施の形態で説明した半導体装置を用いることができる。

[0915]

<畳み込みニューラルネットワーク>

CNNは、画像などを特徴抽出する場合において使用される計算モデルの一である。図66に、CNNの構成例を示す。CNNは、畳み込み層CL、プーリング層PL、全結合層FCLなどによって構成されている。CNNは、画像データIPDが入力されることによって、画像データIPDに対する特徴抽出を行う。

[0916]

畳み込み層C Lは、画像データに対して畳み込み処理を行う機能を有する。畳み込み処理は、画像データの一部の領域と重みフィルタのフィルタ値との積和演算を繰り返すことにより行われる。畳み込み層C Lにおける畳み込みにより、画像の特徴が抽出される。

[0917]

畳み込み処理には、一又は複数の重みフィルタを用いることができる。複数の重みフィルタを用いる場合、画像データに含まれる複数の特徴を抽出することが可能となる。図66には、重みフィルタとして3つのフィルタ（フィルタf i l_a、フィルタf i l_b、フィルタf i l_c）が用いられる例を示している。畳み込み層C Lに入力された画像データには、フィルタf i l_a、f i l_b、f i l_cを用いたフィルタ処理が施され、画像データD_a、D_b、D_cが生成される。

[0918]

畳み込みが施された画像データD_a、D_b、D_cは、例えば、活性化関数による演算が行われてもよい。活性化関数としては、一例として、ReLU（Rectified Linear Units）などを用いることができる。ReLUは、入力値が負である場合は“0”を出力し、入力値が“0”以上である場合は入力値をそのまま出力する関数である。また、別の活性化関数として、シグモイド関数、tanh関数などを用いることもできる。

[0919]

畳み込みが施された画像データD_a、D_b、D_c（活性化関数による演算が行われたかどうかは問わない。）は、例えば、プーリング層P Lに出力される。プーリング層P Lは、畳み込み層C Lから入力された画像データに対してプーリングを行う機能を有する。プーリングは、画像データを複数の領域に分割し、当該領域ごとに所定のデータを抽出して新たにマトリクス状に配置する処理である。プーリングによって、畳み込み層C Lによって抽出された特徴を残しつつ、画像データを縮小することができる。なお、プーリングとしては、最大プーリング、平均プーリング、L_pプーリングなどを用いることができる。

[0920]

CNNは、例えば、上記の畳み込み処理、プーリング処理などにより特徴抽出を行う。なお、CNNは、複数の畳み込み層C L、及び／又は複数のプーリング層P Lを有してもよい。図66では、一例として、畳み込み層C Lとプーリング層P Lを有する層Lがz層（ここでのzは1以上の整数である。）設けられ（層L₁乃至層L_z）、畳み込み処理及びプーリング処理がz回行われる構成を示している。これにより、各層Lにおいて特徴抽出を行うことができ、より高度な特徴抽出が可能となる場合がある。なお、図66には、層L₁、層L₂、層L_zを図示しており、それ以外の層Lについては、省略している。

[0921]

なお、図66では、層L₁乃至層L_zのそれぞれは、畳み込み層C Lと、プーリング層P Lと、を有する例を示したが、CNNの構成は、これに限定されない。例えば、CNNに含まれる層L₁乃至層L_zから選ばれた一以上の層は、畳み込み層C Lと、プーリング層P Lと、のどちらか一方のみを有する構成としてもよい。例えば、CNNは、畳み込み層C Lが連続して設けられていてもよいし、プーリング層P Lが連続して設けられていてもよい。

[0922]

全結合層F C Lは、例えば、畳み込み及びプーリングが行われた画像データを用いて、画像の判定を行う機能を有する。全結合層F C Lは、ある層の全てのノードが、次の層の全てのノードと接

続された構成を有する。畳み込み層CL又はプーリング層PLから出力された画像データは2次元の特徴マップであり、全結合層FCLに入力されると1次元に展開される。そして、全結合層FCLによる推論によって得られたデータOPDが出力される。

[0923]

なお、CNNの構成は図66の構成に限定されない。例えば、プーリング層PLが複数の畳み込み層CLごとに設けられていてもよい。また、抽出された特徴の位置情報を極力残したい場合は、プーリング層PLを少なめに設ければよい。

[0924]

また、全結合層FCLの出力データから画像の分類を行う場合は、全結合層FCLと電氣的に接続された出力層が設けられていてもよい。出力層は、尤度関数としてソフトマックス関数などを用い、分類クラスを出力することができる。

[0925]

また、CNNは、画像データを学習データ及び教師データとして用いた教師あり学習を行うことができる。教師あり学習には、例えば誤差逆伝播法を用いることができる。CNNの学習により、重みフィルタのフィルタ値、全結合層の重み係数などを最適化することができる。

[0926]

<畳み込み処理>

次に、畳み込み層CLにおいて行われる畳み込み処理の具体例について説明する。

[0927]

図67Aに、マトリクス状に配置された、 n 行 m 列（ここでの n 、 m のそれぞれは1以上の整数である。）の複数の画素 pix を示す。画素 $pix[1, 1]$ 乃至 $pix[n, m]$ には、それぞれ画像データとして $g[1, 1]$ 乃至 $g[n, m]$ が取り込まれる。

[0928]

畳み込みは、画像データ g と重みフィルタのフィルタ値との積和演算によって行われる。図67Bに、 t 行 s 列（ここでの t は1以上 n 以下の整数であり、 s は1以上 m 以下の整数である。）のフィルタ fil_a を示す。フィルタ fil_a のそれぞれのアドレスには、フィルタ値 $f_a[1, 1]$ 乃至フィルタ値 $f_a[t, s]$ が割り振られている。

[0929]

畳み込みによって特徴抽出を行う場合、フィルタ値 $f_a[1, 1]$ 乃至フィルタ値 $f_a[t, s]$ として、所定の特徴を示すデータ（特徴データと呼称する。）を格納することができる。そして、特徴抽出の際は、当該データと画像データの比較が行われる。また、畳み込みによってエッジ処理、又はぼかし処理などの画像処理を行う場合、フィルタ値 $f_a[1, 1]$ 乃至フィルタ値 $f_a[t, s]$ として、画像処理に必要なパラメータを格納することができる。以下では一例として、特徴抽出を行う場合の動作の詳細について説明する。

[0930]

図68Aは、画素 $pix[1, 1]$ と、画素 $pix[1, s]$ と、画素 $pix[t, 1]$ と、画素 $pix[t, s]$ と、を角とする画素領域 $P[1, 1]$ に対して、フィルタ fil_a を用いたフィルタ処理を行うことにより、データ $D_a[1, 1]$ を取得する様子を示している。このフィルタ処理は、図67Bに示すように、画素領域 $P[1, 1]$ が有する一の画素 pix の画像データと、当該画素 pix のアドレスに対応するフィルタ fil_a のフィルタ値 f_a を乗算し、各画素 pix に

おける乗算結果を足し合わせる処理である。すなわち、画素領域 $P[1, 1]$ が有する全ての画素 pix において、画像データ $g[v, w]$ （ここでの v は 1 以上 t 以下の整数であり、 w は 1 以上 s 以下の整数である。）とフィルタ値 $f_a[v, w]$ を用いた積和演算が行われる。データ $D_a[1, 1]$ は、下式で表すことができる。

[0931]

[数7]

$$D_a[1,1] = \sum_{v=1}^t \sum_{w=1}^s g[v,w] \cdot f_a[v,w] \quad \cdots(4.1)$$

[0932]

その後、上記の積和演算が他の画素領域についても順次行われる。具体的には、例えば、図69に示すように、画素 $pix[1, 2]$ と、画素 $pix[1, s+1]$ と、画素 $pix[t, 2]$ と、画素 $pix[t, s+1]$ と、を角とする画素領域 $P[1, 2]$ に対してフィルタ処理を行い、データ $D_a[1, 2]$ を取得する。その後も同様に、画素領域 P を画素1列分ずつ移動させ、各画素領域 P においてデータ D_a を取得する。

[0933]

そして、画素 $pix[1, m-s+1]$ と、画素 $pix[1, m]$ と、画素 $pix[t, m-s+1]$ と、画素 $pix[t, m]$ と、を角とする画素領域 $P[1, m-s+1]$ からデータ $D_a[1, m-s+1]$ を取得する。1行分の画素領域、つまり画素領域 $P[1, 1]$ 乃至画素領域 $P[1, m-s+1]$ のそれぞれにおいてデータ D_a の取得が完了した後は、一例として、画素領域 P を画素1行分移動させ、同様に1行分のデータ D_a を順次取得する。図69には、画素領域 $P[2, 1]$ 乃至画素領域 $P[2, m-s+1]$ からデータ $D_a[2, 1]$ 乃至データ $D_a[2, m-s+1]$ が取得される様子を示している。

[0934]

以上の動作を繰り返し、画素 $pix[n-t+1, m-s+1]$ と、画素 $pix[n-t+1, m]$ と、画素 $pix[n, m-s+1]$ と、画素 $pix[n, m]$ と、を角とする画素領域 $P[n-t+1, m-s+1]$ からデータ $D_a[n-t+1, m-s+1]$ が取得されると、全ての画素領域 P に対する、フィルタ f_{il_a} を用いたフィルタ処理が終了する。

[0935]

このように、画素 $pix[1, 1]$ 乃至画素 $pix[n, m]$ から、 t 行 s 列のマトリクス状の画素領域 P が選択され、当該画素領域 P に対してフィルタ f_{il_a} を用いたフィルタ処理が行われる。画素 $pix[x, y]$ （ここでの x は 1 以上 $n-t+1$ 以下の整数であり、 y は 1 以上 $m-s+1$ 以下の整数である。）と、画素 $pix[x, y+s-1]$ と、画素 $pix[x+t-1, y]$ と、画素 $pix[x+t-1, y+s-1]$ と、を角とする画素領域 P に対して、フィルタ f_{il_a} を用いたフィルタ処理を行うことにより得られるデータ $D_a[x, y]$ は、下式で表すことができる。

[0936]

[数 8]

$$D_a[x, y] = \sum_{v=1}^t \sum_{w=1}^s g[x+v-1, y+w-1] \cdot f_a[v, w] \quad \cdots(4.2)$$

[0937]

上記の通り、画素 $p_{ix} [1, 1]$ 乃至画素 $p_{ix} [n, m]$ から選択することができる全ての t 行 s 列の画素領域 P に対して、フィルタ f_{il_a} を用いたフィルタ処理を行うことにより、データ $D_a [1, 1]$ 乃至 $D_a [n-t+1, m-s+1]$ を得ることができる。そして、データ $D_a [1, 1]$ 乃至データ $D_a [n-t+1, m-s+1]$ をアドレスに従ってマトリクス状に配置することにより、図 70 に示す特徴マップ（場合によっては、深度マップ）が得られる。

[0938]

以上のように、画像データとフィルタ値を用いた積和演算により、畳み込み処理が行われ、画像の特徴抽出が行われる。

[0939]

なお、図 66 に示すよう、畳み込み層 CL に複数のフィルタ f_{il} が設けられる場合は、フィルタ f_{il} ごとに上記の畳み込み処理を行う。

[0940]

また、ここでは画素領域 P を画素 1 列分、及び画素 1 行分ずつ移動させる例について説明したが、画素領域 P の移動距離（ストライドと呼ばれる場合がある。）は自由に設定することができる。例えば、画素領域 P は、2 行分及び 2 列分移動させてもよいし、1 行分及び 3 列分移動させてもよい。また、例えば、画素領域 P は、その画素領域 P の列の数以上の数だけ列方向に移動、及び／又は、その画素領域 P の行の数以上の数だけ行方向に移動させてもよい。つまり、移動した画素領域 P が元の位置の画素領域 P と重ならないように、移動距離を設定してもよい。

[0941]

また、画像データの大きさとしては、例えば、「8K UHD」（ 7680×4320 ）、「4K UHD」（ 3840×2160 ）、「FHD」（ 1920×1080 ）、「HD」（ 1280×720 ）、「SD」（ 720×480 ）などとすることができる。また、画像データの大きさとしては、行数を 0 よりも大きい数、50 以上の数、100 以上の数、又は 500 以上の数とし、かつ列数を 0 よりも大きい数、50 以上の数、100 以上の数、又は 500 以上の数としてもよい。なお、行数の下限値と、列数の下限値と、は、それぞれ独立に任意に選択できるものとする。

[0942]

また、畳み込み処理に用いるフィルタの大きさ（画素領域の範囲）としては、例えば、行数を 0 よりも大きい数、3 以上の数、5 以上の数、10 以上の数、50 以上の数、又は 100 以上の数とし、かつ列数を 0 よりも大きい数、3 以上の数、5 以上の数、10 以上の数、50 以上の数、又は 100 以上の数としてもよい。なお、行数の下限値と、列数の下限値と、は、それぞれ独立に任意に選択できるものとする。

[0943]

<半導体装置の動作例>

次に、上記の実施の形態で説明した半導体装置において、上述した畳み込み処理を行う場合について、説明する。

[0944]

ここでは、一例として、図71に示すブロック図を用いて、実施の形態1で説明した図2の演算回路110が、上述した畳み込み処理を行う動作例について説明する。なお、ここでは図71に示すブロック図を用いて述べるが、図71に示すブロック図に限定されず、上記の実施の形態で説明した様々な回路を用いることが出来る。なお、ここでの畳み込み処理は、 t 行 s 列の重みフィルタを用いて、 n 行 m 列の画像データ ($g[1, 1]$ 乃至 $g[n, m]$) に対して行われるものとする。なお、 t 行 s 列の重みフィルタについては、図67Bの説明を参酌し、 n 行 m 列の画像データについては、図67Aの説明を参酌する。

[0945]

また、ここでの畳み込み処理は、 u 個 (u は1以上の整数とする。)の重みフィルタによって行われるものとする。そのため、 u 個の重みフィルタのそれぞれを、フィルタ fil_1 乃至フィルタ fil_u と呼称する。

[0946]

図71の演算回路110において、アレイ部ALPに含まれている回路MPは、例えば、列方向(縦方向)に少なくとも $t \times s$ 個配置されている。また、アレイ部ALPの行方向(横方向)に配置されている回路MPの数は、例えば、重みフィルタの数とすることができる。そのため、重みフィルタの数を u 個としたとき、図71の演算回路110のアレイ部ALPに含まれている回路MPは、 $(t \times s)$ 行 u 列のマトリクス状に配置されることになる。また、各回路MPには、一例としては、重みフィルタの値が保存される。例えば、1列分として縦方向に配置された $t \times s$ 個の回路MPには、 t 行 s 列の重みフィルタの1個分の値が保存される。1列分として縦方向に配置された $t \times s$ 個の回路MPが、 t 行 s 列の重みフィルタの1個分に相当するため、 u 列分の回路MPに保存される重みフィルタは、 u 個分の重みフィルタに対応することになる。

[0947]

なお、図2では、回路MPの符号にアドレスとして $[x, y]$ を付記したが、図71では、回路MPの符号には $[x, y]$ を付記していない。

[0948]

図71の演算回路110には、一例としては、アレイ部ALPが $t \times s$ 行の回路MPを有するため、 $t \times s$ 本の配線WLSと、 $t \times s$ 本の配線XLSが設けられている。図71では、 $t \times s$ 本の配線WLSの一部の配線として、配線WLS[1]と、配線WLS[s]と、配線WLS[$(t-1)s+1$]と、配線WLS[$t \times s$]と、を図示し、 $t \times s$ 本の配線XLSの一部の配線として、配線XLS[1]と、配線XLS[s]と、配線XLS[$(t-1)s+1$]と、配線XLS[$t \times s$]と、を図示している。

[0949]

配線WLS[1]乃至配線WLS[$t \times s$]のそれぞれは、回路WLDに電氣的に接続されている。また、配線XLS[1]乃至配線XLS[$t \times s$]のそれぞれは、回路XLDに電氣的に接続されている。なお、図71の演算回路110に含まれる回路WLD、及び回路XLDについては、図2の回路WLD、及び回路XLDのそれぞれの説明を参酌する。

[0950]

特に、図71の演算回路110の回路XLDは、配線XLS[1]乃至配線XLS[$t \times s$]のそれぞれに対して、画像データを入力する機能を有する。具体的には、図71では、回路XLDは、

配線XLS [1] 乃至配線XLS [$t \times s$] のそれぞれに対して、図68Aに示す画素領域P [1, 1] に含まれる画像データg [1, 1] 乃至g [t, s] を出力する例を示している。

[0951]

また、図71の演算回路110には、アレイ部ALPがu列の回路MPを有するため、一例としては、u本の配線ILと、u本の配線ILBと、u本の配線OLと、u本の配線OLBと、が設けられている。図71では、u本の配線ILの一部として、配線IL [1] と、配線IL [h] (ここのhは、1以上u以下の整数である。) と、配線IL [u] と、を図示し、u本の配線ILBの一部として、配線ILB [1] と、配線ILB [h] と、配線ILB [u] と、を図示している。また、図71では、u本の配線OLの一部として、配線OL [1] と、配線OL [h] と、配線OL [u] と、を図示し、u本の配線OLBの一部として、配線OLB [1] と、配線OLB [h] と、配線OLB [u] と、を図示している。なお、例えば、重みフィルタの値が、負の値を有していない場合、又は正の値を有していない場合には、配線OLまたは配線OLBのいずれか1つを有していなくてもよい。または、例えば、重みフィルタの値が、負の値を有していない場合、又は正の値を有していない場合には、配線ILまたは配線ILBのいずれか1つを有していなくてもよい。

[0952]

配線IL [1] 乃至配線IL [u]、及び配線ILB [1] 乃至配線ILB [u] のそれぞれは、回路ILDに電氣的に接続されている。また、配線OL [1] 乃至配線OL [u]、及び配線OL [1] 乃至配線OL [u] のそれぞれは、回路AFPに電氣的に接続されている。なお、図71の演算回路110に含まれる回路ILD、及び回路AFPについては、図2の回路ILD、及び回路AFPのそれぞれの説明を参酌する。

[0953]

特に、配線OL [1]、及び配線OLB [1] は、回路AFPに含まれている回路ACTF [1] に電氣的に接続されている。また、配線OL [h]、及び配線OLB [h] は、回路AFPに含まれている回路ACTF [h] に電氣的に接続されている。また、配線OL [u]、及び配線OLB [u] は、回路AFPに含まれている回路ACTF [u] に電氣的に接続されている。なお、図71の回路AFPに含まれる回路ACTF [1] 乃至回路ACTF [u] は、図2の回路ACTF [1] 乃至回路ACTF [n] の説明を参酌する。また、図71の回路ACTF [1] 乃至回路ACTF [u] は、配線OLと配線OLBとに流れる電流量の差を電圧などの信号に変換する機能だけでなく、当該電流量の差、当該電圧などに対してReLU関数、シグモイド関数、tanh関数などの演算を行う機能を有してもよい。

[0954]

次に、図71の演算回路110のアレイ部ALPに含まれている回路MPについて説明する。

[0955]

アレイ部ALPの回路MPには、一例としては、重みフィルタのフィルタ値が保持される。重みフィルタのフィルタ値としては、例えば、上記実施の形態で説明したとおり、“0”、“+1”の2値、“-1”、“+1”の2値、“-1”、“0”、“+1”の3値、3値を超える多値、アナログ値などとしてすることができる。

[0956]

ここでは、アレイ部ALPの1列目の回路MPには、フィルタfil₁に含まれるフィルタ値が保持され、アレイ部ALPのh列目の回路MPには、フィルタfil_hに含まれるフィルタ値が保

持され、アレイ部ALPのu列目の回路MPには、フィルタ f_{il_u} に含まれるフィルタ値が保持されるものとする。

[0957]

一例として、フィルタ f_{il_1} のv行w列（ここでのvは1以上t以下の整数であり、wは1以上s以下の整数である。）のフィルタ値を $f_1[v, w]$ としたとき、アレイ部ALPの1行目1列目の回路MPには $f_1[1, 1]$ が保持され、アレイ部ALPのs行目1列目の回路MPには $f_1[1, s]$ が保持され、アレイ部ALPの $(t-1)s+1$ 行目1列目の回路MPには $f_1[t, 1]$ が保持され、アレイ部ALPの $t \times s$ 行目1列目の回路MPには $f_1[t, s]$ が保持されるものとする。同様に、一例として、フィルタ f_{il_h} のv行w列のフィルタ値を $f_h[v, w]$ としたとき、アレイ部ALPの1行目h列目の回路MPには $f_h[1, 1]$ が保持され、アレイ部ALPのs行目h列目の回路MPには $f_h[1, s]$ が保持され、アレイ部ALPの $(t-1)s+1$ 行目h列目の回路MPには $f_h[t, 1]$ が保持され、アレイ部ALPの $t \times s$ 行目h列目の回路MPには $f_h[t, s]$ が保持されるものとする。同様に、一例として、フィルタ f_{il_u} のv行w列のフィルタ値を $f_u[v, w]$ としたとき、アレイ部ALPの1行目u列目の回路MPには $f_u[1, 1]$ が保持され、アレイ部ALPのs行目u列目の回路MPには $f_u[1, s]$ が保持され、アレイ部ALPの $(t-1)s+1$ 行目u列目の回路MPには $f_u[t, 1]$ が保持され、アレイ部ALPの $t \times s$ 行目u列目の回路MPには $f_u[t, s]$ が保持されるものとする。つまり、一例として、v行w列のフィルタ f_{il_h} は、合計で $v \times w$ 個の値を有している。この値を、h列目において縦方向に並んで配置された合計 $v \times w$ 個の回路MPに、それぞれ保存することになる。なお、アレイ部ALPでの回路MPの列数が、フィルタ f_{il} の数よりも多い場合には、余った列の回路MPには、ゼロの値を保持しておけばよい。具体的には、回路MPから配線IL及び配線ILBのそれぞれに電流が流れないような電圧を保持すればよい。これにより、回路MPから配線IL及び配線ILBに電流が出力されないため、消費電力を低減することが出来る。

[0958]

アレイ部ALPの回路MPのそれぞれに、重みフィルタのフィルタ値が保持されているとき、配線XLS[1]乃至配線XLS[$t \times s$]のそれぞれには、画像データとして $g[1, 1]$ 乃至 $g[n, m]$ のうち、畳み込み処理が行われる $t \times s$ 個の画像データが入力される。

[0959]

一例として、配線XLS[1]乃至配線XLS[s]のそれぞれには、畳み込み処理の対象となる画像データの画素領域P[1, 1]に含まれている $g[1, 1]$ 乃至 $g[1, s]$ が入力される。また、配線XLS[$(t-1)s+1$]乃至配線XLS[$t \times s$]のそれぞれには、 $g[t, 1]$ 乃至 $g[t, s]$ が入力される。つまり、配線XLS[1]乃至配線XLS[$t \times s$]のそれぞれには、図68A及び図69で示した画素領域P[1, 1]の画像データが入力される。

[0960]

上記実施の形態で説明したとおり、回路MPに第1データ（本説明におけるフィルタ値）が保持されているときに、配線XLSから第2データ（本説明における画像データ）が入力されることによって、第1データと第2データとの積和演算が行われる。また、当該積和演算の結果は、配線OLと配線OLBに流れる電流量の差分に応じて定められる。

[0961]

したがって、アレイ部ALPの1列目では、画像データの画素領域P[1, 1]に含まれる画像

データと、重みフィルタ f_{i1_1} ($f_{i1_1}[1, 1]$ 乃至 $f_{i1_1}[t, s]$) と、の積和演算が行われる。具体的には、アレイ部ALPの1列目に位置する回路MPから、配線OL[1]及び配線OLB[1]を介して、回路ACTF[1]に電流が流れる。なお、当該積和演算の結果をデータ D_1 [1, 1]としたとき、データ D_1 [1, 1]は、配線OL[1]及び配線OLB[1]のそれぞれに流れる電流量の差分に応じた値となる。また、データ D_1 [1, 1]は、回路ACTF[1]に含まれる回路によって活性化関数の演算が施されてもよい。なお、図71では、活性化関数が施されたデータ D_1 [1, 1]をAF(D_1 [1, 1])として、便宜上、回路ACTF[1]からAF(D_1 [1, 1])を出力する様子を示している。

[0962]

また、同様に、アレイ部ALPのh列目では、画像データの画素領域P[1, 1]に含まれる画像データと、重みフィルタ f_{i1_h} ($f_{i1_h}[1, 1]$ 乃至 $f_{i1_h}[t, s]$) と、の積和演算が行われる。なお、当該積和演算の結果をデータ D_h [1, 1]としたとき、データ D_h [1, 1]は、配線OL[h]及び配線OLB[h]のそれぞれに流れる電流量の差分に応じた値となる。また、アレイ部ALPのu列目では、画像データの画素領域P[1, 1]に含まれる画像データと、重みフィルタ f_{i1_u} ($f_{i1_u}[1, 1]$ 乃至 $f_{i1_u}[t, s]$) と、の積和演算が行われる。なお、当該積和演算の結果をデータ D_u [1, 1]としたとき、データ D_u [1, 1]は、配線OL[u]及び配線OLB[u]のそれぞれに流れる電流量の差分に応じた値となる。また、図71では、活性化関数が施されたデータ D_h [1, 1]、及びデータ D_u [1, 1]を、それぞれAF(D_h [1, 1])、及びAF(D_u [1, 1])とし、便宜上、回路ACTF[h]からAF(D_h [1, 1])を出力し、回路ACTF[u]からAF(D_u [1, 1])を出力する様子を示している。

[0963]

また、データ D_1 [1, 1]乃至データ D_u [1, 1]のそれぞれは、式(4.2)を用いて表すことができる。このように、複数の重みフィルタに対して、画像データ1回分を入力することにより、同時に複数の積和演算を行うことが出来る。そのため、消費電力を小さくすることができ、かつ、高速に演算を行うことが出来る。

[0964]

ところで、図71に示す演算回路110では、回路XLDが、画素領域P[1, 1]に含まれている画像データとしてg[1, 1]乃至g[t, s]のそれぞれを、配線XLS[1]乃至配線XLS[t × s]に出力する例を示しているが、回路XLDは、画素領域Pを順次切り替えて、g[1, 1]乃至g[t, s]とは異なる画像データを配線XLS[1]乃至配線XLS[t × s]に出力する構成としてもよい。

[0965]

例えば、図72に示す演算回路110を考える。図72の演算回路110では、図71の演算回路110において、アレイ部ALPにおけるh列目の回路MPのみを図示している。また、図72の演算回路110では、回路XLDが順次出力する画素領域Pに含まれている画像データについて図示している。

[0966]

回路XLDは、一例として、1回目の積和演算を行うとき、画素領域P[1, 1]に含まれている画像データとして、g[1, 1]乃至g[t, s]のそれぞれを配線XLS[1]乃至配線XLS[t × s]に出力する。これにより、演算回路110は、アレイ部ALPのh列目において、フ

フィルタ f_{il_h} と $g[1, 1]$ 乃至 $g[t, s]$ との積和演算の結果であるデータ $D_h[1, 1]$ を生成する。また、同時に、アレイ部 ALP の 1 列目において、重みフィルタ f_{il_1} と $g[1, 1]$ 乃至 $g[t, s]$ との積和演算の結果であるデータ $D_1[1, 1]$ を生成し、アレイ部 ALP の u 列目において、フィルタ f_{il_u} と $g[1, 1]$ 乃至 $g[t, s]$ との積和演算の結果であるデータ $D_u[1, 1]$ を生成する。なお、図 72 では、回路 ACTF[h] から AF($D_h[1, 1]$) を出力する様子を示している。

[0967]

続いて、2 回目の積和演算を行うとき、回路 XLD は、画素領域 $P[1, 2]$ に含まれている画像データとして、 $g[1, 2]$ 乃至 $g[t, s+1]$ のそれぞれを配線 XLS[1] 乃至配線 XLS[t × s] に出力する。これにより、演算回路 110 は、アレイ部 ALP の h 列目において、フィルタ f_{il_h} と $g[1, 2]$ 乃至 $g[t, s+1]$ との積和演算の結果であるデータ $D_h[1, 2]$ を生成する。同様に、演算回路 110 は、アレイ部 ALP の 1 列目において、フィルタ f_{il_1} と $g[1, 2]$ 乃至 $g[t, s+1]$ との積和演算の結果であるデータ $D_1[1, 2]$ を生成し、演算回路 110 は、アレイ部 ALP の u 列目において、フィルタ f_{il_u} と $g[1, 2]$ 乃至 $g[t, s+1]$ との積和演算の結果であるデータ $D_u[1, 2]$ を生成する。

[0968]

つまり、積和演算を 1 回行うたびに、回路 XLD から出力する画素領域を変更することによって、画素領域毎にフィルタ f_{il_1} 乃至フィルタ f_{il_u} のそれぞれとの積和演算との結果を出力することができる。ここで、画像データ $g[1, 1]$ 乃至 $g[n, m]$ において、取り得る全ての画素領域 $P[1, 1]$ 乃至画素領域 $P[n-s+1, m-t+1]$ を、回路 XLD から順次出力することによって、画素領域 $P[1, 1]$ 乃至画素領域 $P[n-s+1, m-t+1]$ のそれぞれに対して、フィルタ f_{il_1} 乃至フィルタ f_{il_u} の畳み込み処理を行うことができる。これにより、演算回路 110 は、アレイ部 ALP の 1 列目において、画素領域 $P[1, 1]$ 乃至画素領域 $P[n-s+1, m-t+1]$ のそれぞれと、フィルタ f_{il_1} と、の積和演算の結果であるデータ $D_1[1, 1]$ 乃至データ $D_1[n-s+1, m-t+1]$ を生成する。同様に、演算回路 110 は、アレイ部 ALP の h 列目において、画素領域 $P[1, 1]$ 乃至画素領域 $P[n-s+1, m-t+1]$ のそれぞれと、フィルタ f_{il_h} と、の積和演算の結果であるデータ $D_h[1, 1]$ 乃至データ $D_h[n-s+1, m-t+1]$ を生成し、また、アレイ部 ALP の u 列目において、画素領域 $P[1, 1]$ 乃至画素領域 $P[n-s+1, m-t+1]$ のそれぞれと、フィルタ f_{il_u} と、の積和演算の結果であるデータ $D_u[1, 1]$ 乃至データ $D_u[n-s+1, m-t+1]$ を生成する。

[0969]

これにより、図 69 に示した処理と同様に、画像データに含まれている $g[1, 1]$ 乃至 $g[n, m]$ に対する畳み込み処理を行うことができる。なお、重みフィルタの値は、一旦決まれば、通常は、変更されることが少ない。そのため、一旦、回路 MP に入力しておけば、その値を保存しておくことにより、書き換えを行う必要がない。そのため、消費電力を低減することが出来る。一方、画像データは、畳み込み処理を行う対象が変わるたびに、変更されることになる。例えば、動画の場合には、画像データは特定周期毎に変わることになる。

[0970]

なお、本実施の形態で扱われた画像データ $g[1, 1]$ 乃至 $g[n, m]$ は、ゼロパディングされたデータとしてもよい。ゼロパディングされたデータを用いることで、積和演算の回数が増える

ため、画像データの周辺の部分において、特徴を抽出することができる。

[0971]

なお、上記実施の形態で説明した半導体装置では、回路XLDから送られる第2データは、負の値、“0”、正の値とすることができる。そのため、第2データとして画像データを送る場合、“0”は、画像データにおける基準値とすることができる。例えば、グレースケールの場合、最小値（負の値）を黒、最大値（正の値）を白として、中間に位置する灰色を“0”とすることができる。または、第2データとして画像データを送る場合、“0”は、画像データにおける最小値、または、最大値とすることができる。例えば、全体として暗い画像の場合、“0”を黒、最大値（正の値）を白とすることができる。その結果、負の値を用いないようにすることが出来る。その場合には、図40に示すような回路を用いることが出来る。なお、データは、“0”の場合には、電流が流れないため、消費電力を下げる事が出来る。そのため、例えば、全体として明るい画像の場合、“0”を白、最小値（負の値）を黒とすることもできる。その結果、正の値を用いないようにすることが出来る。その場合にも、図40に示すような回路を用いることが出来る。

[0972]

また、上記実施の形態で説明した方法、例えば、図26乃至図35、図39などに示す回路MPを用いることによって、回路XLDから送られる第2データ（画像データ）を多値、又はアナログ値として扱うことができる。また、実施の形態3、図51乃至図53、図63乃至図65など、に記載したとおり、回路XLDから配線XLSに供給する信号の入力時間の長さを設定することでも、回路XLDから送られる第2データ（画像データ）を多値、又はアナログ値として扱うことができる。

[0973]

また、上記では、演算回路110のアレイ部ALPの回路MPに重みフィルタの値を保持し、回路XLDから、配線XLS[1]乃至配線XLS[t×s]に画像データを入力して、当該画像データに対する畳み込み処理を行う例について説明したが、本発明の一態様の半導体装置に係る動作方法は、これに限定されない。例えば、演算回路110で畳み込み処理を行う場合、演算回路110のアレイ部ALPの回路MPに画像データを保持し、回路XLDから、配線XLS[1]乃至配線XLS[t×s]に重みフィルタの値を入力して演算を行ってもよい。

[0974]

このような動作が行われる演算回路110を、図73に示す。図73の演算回路110のアレイ部ALPに含まれている回路MPは、例えば、列方向（縦方向）に少なくとも $t \times s$ 個配置されている。また、図73の演算回路110のアレイ部ALPの行方向（横方向）に配置される回路MPの個数は、一例として、畳み込み処理が行われる画像のサイズと畳み込み処理の条件（重みフィルタのサイズ、ストライドなど）によって定められる画素領域の個数とすることができる。例えば、図67A、図67B、図68A、図68B、図69に示す通り、画像の画素数が $n \times m$ 個であり、重みフィルタが t 行 s 列であり、ストライドが1である場合、アレイ部ALPの行方向に配置される回路MPの個数は、 $(n - t + 1) \times (m - s + 1)$ 個となる。なお、ここでは、 $(n - t + 1) \times (m - s + 1) = U$ とする。つまり、図73の演算回路110のアレイ部ALPに含まれている回路MPは、 $t \times s$ 行 U 列のマトリクス状に配置されることになる。

[0975]

したがって、図73の演算回路110は、アレイ部ALPが U 列の回路MPを有する点で、図7

1の演算回路110と異なる。このため、図73の演算回路には、U本の配線ILと、U本の配線ILBと、U本の配線OLと、U本の配線OLBと、が設けられている。なお、図73では、U本の配線ILの一部として、配線IL[1]と、配線IL[H]（ここでのHは、1以上U以下の整数である。）と、配線IL[U]と、を図示し、U本の配線ILBの一部として、配線ILB[1]と、配線ILB[H]と、配線ILB[U]と、を図示している。また、図71では、U本の配線OLの一部として、配線OL[1]と、配線OL[H]と、配線OL[U]と、を図示し、U本の配線OLBの一部として、配線OLB[1]と、配線OLB[H]と、配線OLB[U]と、を図示している。また、回路AFPには、U個の回路ACTFが含まれている。

[0976]

上述したとおり、アレイ部ALPの回路MPには、畳み込み処理される画像に含まれる画像データが保持される。

[0977]

ここでは、アレイ部ALPの1列目の回路MPには、画素領域P[1, 1]に含まれる画像データ $g[1, 1]$ 乃至 $g[t, s]$ が保持され、アレイ部ALPのH列目の回路MPには、H番目の画素領域（図73では P_H と表記している）に含まれる画像データが保持され、アレイ部ALPのU列目の回路MPには、画素領域P[n-t+1, m-s+1]に含まれる画像データ $g[n-t+1, m-s+1]$ 乃至 $g[n, m]$ が保持されるものとする。

[0978]

一例として、アレイ部ALPの1行目1列目の回路MPには $g[1, 1]$ が保持され、アレイ部ALPのs行目1列目の回路MPには $g[1, s]$ が保持され、アレイ部ALPの(t-1)s+1行目1列目の回路MPには $g[t, 1]$ が保持され、アレイ部ALPのt×s行目1列目の回路MPには $g[t, s]$ が保持されるものとする。同様に、一例として、アレイ部ALPの1行目U列目の回路MPには $g[n-t+1, m-s+1]$ が保持され、アレイ部ALPのs行目U列目の回路MPには $g[n-t+1, m]$ が保持され、アレイ部ALPの(t-1)s+1行目U列目の回路MPには $g[n, m-s+1]$ が保持され、アレイ部ALPのt×s行目u列目の回路MPには $g[n, m]$ が保持されるものとする。

[0979]

アレイ部ALPの回路MPのそれぞれに、画像データが保持されているとき、配線XLS[1]乃至配線XLS[t×s]のそれぞれには、畳み込み処理に使われるフィルタ f_{i1} に含まれるフィルタ値として $f_1[1, 1]$ 乃至 $f_1[t, s]$ が入力される。

[0980]

一例として、配線XLS[1]乃至配線XLS[s]のそれぞれには、畳み込み処理に使われるフィルタ f_{i1} に含まれている $f_1[1, 1]$ 乃至 $f_1[1, s]$ が入力される。また、配線XLS[(t-1)s+1]乃至配線XLS[t×s]のそれぞれには、 $f_1[t, 1]$ 乃至 $f_1[t, s]$ が入力される。つまり、配線XLS[1]乃至配線XLS[t×s]のそれぞれには、図68A及び図69の畳み込み処理で使われるフィルタ f_{i1} に含まれているフィルタ値が入力される。

[0981]

上記実施の形態で説明したとおり、回路MPに第1データ（本説明における画像データ）が保持されているときに、配線XLSから第2データ（本説明におけるフィルタ値）が入力されることによって、第1データと第2データとの積和演算が行われる。また、当該積和演算の結果は、配線O

Lと配線OLBに流れる電流量の差分に応じて定められる。

[0982]

したがって、アレイ部ALPの1列目では、画像データの画素領域 $P[1, 1]$ に含まれる画像データと、重みフィルタ $f_{i1_1}(f_1[1, 1]$ 乃至 $f_1[t, s])$ と、の積和演算が行われる。具体的には、アレイ部ALPの1列目に位置する回路MPから、配線OL[1]及び配線OLB[1]を介して、回路ACTF[1]に電流が流れる。なお、当該積和演算の結果をデータ $D_1[1, 1]$ としたとき、データ $D_1[1, 1]$ は、配線OL[1]及び配線OLB[1]のそれぞれに流れる電流量の差分に応じた値となる。なお、図73では、活性化関数が施されたデータ $D_1[1, 1]$ を $AF(D_1[1, 1])$ として、便宜上、回路ACTF[1]から $AF(D_1[1, 1])$ を出力する様子を示している。

[0983]

また、同様に、アレイ部ALPのH列目では、画像データの画素領域 P_H に含まれる画像データと、重みフィルタ $f_{i1_1}(f_1[1, 1]$ 乃至 $f_1[t, s])$ と、の積和演算が行われる。なお、当該積和演算の結果をデータ $D_1[P_H]$ としたとき、データ $D_1[P_H]$ は、配線OL[H]及び配線OLB[H]のそれぞれに流れる電流量の差分に応じた値となる。また、アレイ部ALPのU列目では、画像データの画素領域 $P[n-t+1, m-s+1]$ に含まれる画像データと、重みフィルタ $f_{i1_1}(f_1[1, 1]$ 乃至 $f_1[t, s])$ と、の積和演算が行われる。なお、当該積和演算の結果をデータ $D_1[n-t+1, m-s+1]$ としたとき、データ $D_1[n-t+1, m-s+1]$ は、配線OL[U]及び配線OLB[U]のそれぞれに流れる電流量の差分に応じた値となる。また、図73では、活性化関数が施されたデータ $D_1[P_H]$ 、及びデータ $D_1[n-t+1, m-s+1]$ を、それぞれ $AF(D_1[P_H])$ 、及び $AF(D_1[n-t+1, m-s+1])$ とし、便宜上、回路ACTF[h]から $AF(D_1[P_H])$ を出力し、回路ACTF[u]から $AF(D_1[n-t+1, m-s+1])$ を出力する様子を示している。

[0984]

また、データ $D_1[1, 1]$ 乃至データ $D_1[n-t+1, m-s+1]$ のそれぞれは、式(4.2)を用いて表すことができる。

[0985]

ところで、図73に示す演算回路110では、回路XLDが、重みフィルタ f_{i1_1} に含まれているフィルタ値として $f_1[1, 1]$ 乃至 $f_1[t, s]$ のそれぞれを、配線XLS[1]乃至配線XLS[t×s]に出力する例を示しているが、回路XLDは、重みフィルタ f_{i1_1} を別の重みフィルタに順次切り替えて、配線XLS[1]乃至配線XLS[t×s]に出力する構成としてもよい。

[0986]

例えば、図74に示す演算回路110を考える。図74の演算回路110では、図73の演算回路110において、アレイ部ALPにおけるH列目の回路MPのみを図示している。また、図74の演算回路110では、回路XLDが順次出力する重みフィルタ f_{i1_1} 乃至 f_{i1_u} に含まれているフィルタ値について図示している。

[0987]

回路XLDは、一例として、1回目の積和演算を行うとき、重みフィルタ f_{i1_1} に含まれているフィルタ値として、 $f_1[1, 1]$ 乃至 $f_1[t, s]$ のそれぞれを配線XLS[1]乃至配線X

LS $[t \times s]$ に出力する。これにより、演算回路 110 は、アレイ部 ALP の H 列目において、フィルタ f_{i11} と画素領域 P_H に含まれている画像データとの積和演算の結果であるデータ $D_1 [P_H]$ を生成する。また、同時に、アレイ部 ALP の 1 列目において、重みフィルタ f_{i11} と $g [1, 1]$ 乃至 $g [t, s]$ との積和演算の結果であるデータ $D_1 [1, 1]$ を生成し、アレイ部 ALP の U 列目において、フィルタ f_{i11} と $g [n-t+1, m-s+1]$ 乃至 $g [n, m]$ との積和演算の結果であるデータ $D_1 [n-t+1, m-s+1]$ を生成する。

[0988]

続いて、2 回目の積和演算を行うとき、回路 XLD は、重みフィルタ f_{i12} (図示しない) に含まれているフィルタ値として、 $f_2 [1, 1]$ 乃至 $f_2 [t, s]$ のそれぞれを配線 XLS $[1]$ 乃至配線 XLS $[t \times s]$ に出力する。これにより、演算回路 110 は、アレイ部 ALP の H 列目において、フィルタ f_{i12} と画素領域 P_H に含まれている画像データとの積和演算の結果であるデータ $D_2 [P_H]$ を生成する。同様に、演算回路 110 は、アレイ部 ALP の 1 列目において、フィルタ f_{i12} と $g [1, 1]$ 乃至 $g [t, s]$ との積和演算の結果であるデータ $D_2 [1, 1]$ を生成し、演算回路 110 は、アレイ部 ALP の U 列目において、フィルタ f_{i12} と $g [n-t+1, m-s+1]$ 乃至 $g [n, m]$ との積和演算の結果であるデータ $D_2 [n-t+1, m-s+1]$ を生成する。

[0989]

つまり、積和演算を 1 回行うたびに、回路 XLD から出力する重みフィルタを変更することによって、重みフィルタ毎に画素領域 $P [1, 1]$ 乃至画素領域 $P [n-s+1, m-t+1]$ のそれぞれとの積和演算との結果を出力することができる。ここで、重みフィルタ f_{i11} 乃至 f_{iu} を、回路 XLD から順次出力することによって、画素領域 $P [1, 1]$ 乃至画素領域 $P [n-s+1, m-t+1]$ のそれぞれに対して、フィルタ f_{i11} 乃至フィルタ f_{iu} の畳み込み処理を行うことができる。これにより、演算回路 110 は、アレイ部 ALP の 1 列目において、画素領域 $P [1, 1]$ と、フィルタ f_{i11} 乃至フィルタ f_{iu} のそれぞれと、の積和演算の結果であるデータ $D_1 [1, 1]$ 乃至データ $D_u [1, 1]$ を生成する。同様に、演算回路 110 は、アレイ部 ALP の H 列目において、画素領域 P_H と、フィルタ f_{i11} 乃至フィルタ f_{iu} のそれぞれと、の積和演算の結果であるデータ $D_1 [P_H]$ 乃至データ $D_u [P_H]$ を生成し、また、アレイ部 ALP の U 列目において、画素領域 $P [n-s+1, m-t+1]$ と、フィルタ f_{i11} 乃至フィルタ f_{iu} と、の積和演算の結果であるデータ $D_1 [n-s+1, m-t+1]$ 乃至データ $D_u [n-s+1, m-t+1]$ を生成する。

[0990]

これにより、図 69 に示した処理と同様に、画像データに含まれている $g [1, 1]$ 乃至 $g [n, m]$ に対する畳み込み処理を行うことができる。

[0991]

<半導体装置の構成例>

上記の動作例では、演算回路 110 を用いて畳み込み処理を行う動作について、説明したが、演算回路 120、演算回路 130、演算回路 140、演算回路 150、演算回路 160、及び演算回路 170 を用いても、画像に対する畳み込み処理を行うことができる。

[0992]

また、上述した演算回路において、回路 MP への、重みフィルタのフィルタ値 (又は画像データ)

の保持は、実施の形態1で説明した、トランジスタM1のソースドレイン間に流れる電流量を設定する方法、実施の形態2で説明したSRAM、NOSRAMを用いた方法などとしてもよい。

[0993]

また、畳み込み処理、ニューラルネットワークなどの演算は、上記の実施の形態で説明した演算回路、及び当該演算回路に含まれる回路MP以外の回路を用いても行うことができる。ここでは、上記の実施の形態で扱った回路以外で、畳み込み処理、ニューラルネットワークなどの演算が可能な回路について説明する。

[0994]

図75Aは、上記実施の形態では説明していない回路MPの構成の一例である。図75Aに示す回路MPは、他の回路MPと同様に、第1データ（重み係数、又は重みフィルタのフィルタ値（又は画像データ））を保持することができる。また、図75Aに示す回路MPは、例えば、図2乃至図4、図12などの演算回路の回路MPに適用できる回路である。

[0995]

図75Aの回路MPにおいて、回路MCは、回路HCとトランジスタM3とトランジスタM4とを有する。また、回路HCは、負荷回路LCとトランジスタM8とを有する。

[0996]

図75Aの回路MPの回路MCにおいて、負荷回路LCの第1端子は、トランジスタM8の第2端子と、トランジスタM3の第1端子と、トランジスタM4の第1端子と、に電氣的に接続され、負荷回路LCの第2端子は、配線VLに電氣的に接続されている。また、トランジスタM8の第1端子は、配線ILに電氣的に接続され、トランジスタM3の第2端子は、配線OLに電氣的に接続され、トランジスタM4の第2端子は、配線OLBに電氣的に接続されている。また、トランジスタM8のゲートは、配線WLに電氣的に接続され、トランジスタM3のゲートは、配線X1Lに電氣的に接続され、トランジスタM4のゲートは、配線X2Lに電氣的に接続されている。

[0997]

図75Aに示す配線X1L、及び配線X2Lは、例えば、図3に示す演算回路120の配線X1L[i]、及び配線X2L[i]とすることができる。また、図75Aに示す配線WLは、例えば、図3に示す演算回路120の配線WLS[i]とすることができる。また、図75Aに示す配線IL、及び配線ILBは、例えば、図3に示す演算回路120の配線IL[j]、及び配線IL[j]とすることができる。また、図75Aに示す配線OL、及び配線OLBは、例えば、図3に示す演算回路120の配線OL[j]、及び配線OLB[j]とすることができる。

[0998]

なお、図75Aの回路MPの回路MC_rは、回路MCとほぼ同様の回路構成となっている。そのため、回路MC_rの有する回路素子には、回路MCの有する回路素子と区別をするため、符号に「r」を付している。また、トランジスタM8_rの第1端子は、配線ILBに電氣的に接続され、トランジスタM3_rの第2端子は、配線OLBに電氣的に接続され、トランジスタM4_rの第2端子は、配線OLに電氣的に接続されている。

[0999]

また、トランジスタM3、トランジスタM4、トランジスタM8、トランジスタM3_r、トランジスタM4_r、及びトランジスタM8_rのそれぞれの構成については、別の個所に記載のトランジスタM3、トランジスタM4、トランジスタM8、トランジスタM3_r、トランジスタM4_r、及

びトランジスタM8rの説明の記載を参酌する。

[1000]

ここでの配線VL、配線VLrは、定電圧VCNSを供給する配線として機能する。VCNSとしては、例えば、接地電位（GND）、又は負荷回路LCと負荷回路LCrを正常に動作させる範囲の低電位とすることができる。

[1001]

負荷回路LC、負荷回路LCrは、一例としては、第1端子と第2端子との間の抵抗値を変化することができる回路である。負荷回路LC、負荷回路LCrの第1端子と第2端子との間の抵抗値を変化することにより、負荷回路LC、負荷回路LCrの第1端子と第2端子との間に流れる電流量を変化させることができる。

[1002]

ここで、図75Aの回路MPにおいて、負荷回路LC、負荷回路LCrの第1端子と第2端子との間の抵抗値を変更する方法について説明する。初めに、配線X1L、配線X2Lのそれぞれに低レベル電位を入力してトランジスタM3、トランジスタM3r、トランジスタM4、トランジスタM4rをオフ状態にする。次に、配線WLに高レベル電位を入力してトランジスタM8、トランジスタM8rをオン状態にし、配線IL（配線ILB）の電位を変化させることで、負荷回路LC（負荷回路LCr）の第1端子と第2端子との間の抵抗値を設定する。例えば、配線IL（配線ILB）に、負荷回路LC（負荷回路LCr）の第1端子と第2端子との間の抵抗値をリセットするための電位を入力し、その後に、配線IL（配線ILB）に、負荷回路LC（負荷回路LCr）の第1端子と第2端子との間の抵抗値を所望の値となるような電位を入力する方法などがある。負荷回路LC（負荷回路LCr）の第1端子と第2端子との間の抵抗値を所望の値に設定したあとは、配線WLに低レベル電位を入力してトランジスタM8、トランジスタM8rをオフ状態にすればよい。

[1003]

負荷回路LC、及び負荷回路LCrとしては、例えば、図76Aに図示するように、ReRAM（Resistive Random Access Memory）などに含まれる抵抗変化素子VRを用いることができる。また、負荷回路LC、及び負荷回路LCrとしては、例えば、図76Bに図示するように、MRAM（Magnetoresistive Random Access Memory）などに含まれるMTJ（Magnetic Tunnel Junction）素子MRを含む負荷回路LCとすることができる。また、負荷回路LC、及び負荷回路LCrとしては、例えば、図76Cに図示するように、相変化メモリ（PCM）などに用いられる、相変化材料が含まれる抵抗素子（本明細書等では、便宜上、相変化メモリPCMと呼称する。）を用いることができる。

[1004]

また、負荷回路LC、及び負荷回路LCrとしては、例えば、図76Dに図示するように、FeRAM（Ferroelectric Random Access Memory）などに用いられる一対の電極によって挟まれた強誘電体キャパシタFECを用いることができる。図76Dでは、強誘電体キャパシタFECの第1端子は、配線VLに電氣的に接続され、強誘電体キャパシタFECの第2端子は、トランジスタM8の第2端子と、トランジスタM3の第1端子（図76Dには図示せず、図75Aに図示されている。）と、トランジスタM4の第1端子（図76Dには図示

せず、図 7 5 A に図示されている。) に電氣的に接続されている。

[1005]

なお、この場合、配線 V L は、定電圧を供給する配線ではなく、強誘電体キャパシタの強誘電体膜を分極させる、又は強誘電体膜の分極を反転させるためのプレート線として機能する。

[1006]

強誘電体キャパシタ F E C に第 1 データを書き込む場合、一例として、トランジスタ M 8 をオン状態にして、配線 I L、及び配線 V L に電圧を与えて、強誘電体キャパシタ F E C に含まれる強誘電体膜を分極させることによって書き込みが行われる。また、強誘電体キャパシタ F E C から第 1 データを読み出す場合、第 2 データに応じた電圧を配線 X 1 L 及び配線 X 2 L に入力して、トランジスタ M 3、及びトランジスタ M 4 をオン状態、又はオフ状態にした後に、配線 V L にパルス電圧を与えることによって読み出しが行われる。強誘電体キャパシタ F E C は、配線 V L からのパルス電圧によって分極反転が起きたかどうかで、第 1 データが“0”か“1”かを判定する。強誘電体キャパシタ F E C は、強誘電体膜で分極反転が起きた時、トランジスタ M 3 を介して配線 O L に、又は、トランジスタ M 4 を介して配線 O L B に電流が流れる。配線 O L、及び配線 O L B に流れる電流の量は、例えば、積分回路（または、電流電荷 (I Q) 変換回路) の構成を有する回路 A C T F を用いることによって取得することができる。

[1007]

以上より、図 7 5 A の回路 M P を用いることによって、上記実施の形態で説明した演算回路に含まれる回路 M P と同様に、第 1 データと第 2 データとの積の結果を、配線 O L 及び配線 O L B に電流量として出力することができる。また、上記実施の形態で説明した演算回路と同様に、複数の回路 M P を配線 O L、及び配線 O L B に沿って電氣的に接続することによって、複数の回路 M P から出力された電流の総和が配線 O L、及び配線 O L B に流れる。配線 O L、及び配線 O L B に流れる電流量の差を取ることで、回路 M P に保持された第 1 データと、回路 M P に入力された第 2 データと、の積和の値を算出することができる。

[1008]

また、本発明の一態様に係る、負荷回路 L C、及び負荷回路 L C r を用いた回路 M P は、図 7 5 A に示した構成に限定されず、状況に応じて、図 7 5 A の回路 M P の構成を変更することができる。図 7 5 A の回路 M P の変更例としては、図 7 5 A の回路 M P に配線 I L、配線 I L B と、トランジスタ M 8 と、トランジスタ M 8 r と、を設けない回路構成とすることができる。図 7 5 B は、当該回路構成を示した回路図であり、例えば、図 7、図 1 1、図 1 4 などに示した演算回路の回路 M P に適用することができる。

[1009]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[1010]

(実施の形態 5)

本実施の形態では、上記実施の形態で説明した半導体装置の構成例、及び上記の実施の形態で説明した半導体装置に適用できるトランジスタの構成例について説明する。

[1011]

<半導体装置の構成例>

図 7 7 は、上記実施の形態で説明した半導体装置の一例であって、当該半導体装置は、トランジ

スタ３００と、トランジスタ５００と、容量素子６００と、を有する。また、図７８Ａにはトランジスタ５００のチャネル長方向の断面図、図７８Ｂにはトランジスタ５００のチャネル幅方向の断面図を示しており、図７８Ｃにはトランジスタ３００のチャネル幅方向の断面図を示している。

[１０１２]

トランジスタ５００は、チャネル形成領域に金属酸化物を有するトランジスタ（ＯＳトランジスタ）である。トランジスタ５００は、オフ電流が小さく、また、高温でも電界効果移動度が変化しにくい特性を有する。トランジスタ５００を、半導体装置、例えば、上記実施の形態で説明した演算回路１１０、演算回路１２０、演算回路１３０、演算回路１４０、演算回路１５０、演算回路１６０、演算回路１７０などに含まれるトランジスタに適用することにより、高温でも動作能力が低下しにくい半導体装置を実現できる。特に、オフ電流が小さい特性を利用して、トランジスタ５００を、例えば、トランジスタＭ２、トランジスタＭ７、トランジスタＭ８、トランジスタＭ９などに適用することにより、回路ＨＣ、回路ＨＣＳなどに書き込んだ電位を長時間保持することができる。

[１０１３]

トランジスタ５００は、例えば、トランジスタ３００の上方に設けられ、容量素子６００は、例えば、トランジスタ３００、及びトランジスタ５００の上方に設けられている。なお、容量素子６００は、上記実施の形態で説明した演算回路１１０、演算回路１２０、演算回路１３０、演算回路１４０、演算回路１５０、演算回路１６０、演算回路１７０などに含まれる容量などとしてすることができる。なお、回路構成によっては、図７７に示す容量素子６００は必ずしも設けなくてもよい。

[１０１４]

トランジスタ３００は、基板３１０上に設けられ、素子分離層３１２、導電体３１６、絶縁体３１５、基板３１０の一部からなる半導体領域３１３、ソース領域又はドレイン領域として機能する低抵抗領域３１４ａ、及び低抵抗領域３１４ｂを有する。なお、トランジスタ３００は、例えば、上記実施の形態で説明した演算回路１１０、演算回路１２０、演算回路１３０、演算回路１４０、演算回路１５０、演算回路１６０、演算回路１７０などに含まれるトランジスタなどに適用することができる。具体的には、例えば、図５Ａ乃至図５Ｅ、図６Ａ乃至図６Ｅに示した回路ＡＣＴＦが有する比較器ＣＭＰａ、比較器ＣＭＰｂ、オペアンプＯＰａ、オペアンプＯＰｂなどに含まれているトランジスタとすることができる。なお、図７７では、トランジスタ３００のゲートが、容量素子６００の一对の電極を介して、トランジスタ５００のソース又はドレインの一方に電氣的に接続されている構成を示しているが、演算回路１１０、演算回路１２０、演算回路１３０、演算回路１４０、演算回路１５０、演算回路１６０、演算回路１７０などの構成によっては、トランジスタ３００のソース又はドレインの一方が、容量素子６００の一对の電極を介して、トランジスタ５００のソース又はドレインの一方に電氣的に接続されている構成としてもよく、また、トランジスタ３００のソース又はドレインの一方が、容量素子６００の一对の電極を介して、トランジスタ５００のゲートに電氣的に接続されている構成としてもよく、また、トランジスタ３００の各端子は、トランジスタ５００の各端子、容量素子６００の各端子のそれぞれに電氣的に接続されない構成としてもよい。

[１０１５]

また、基板３１０としては、半導体基板（例えば単結晶基板又はシリコン基板）を用いることが好ましい。

[1016]

トランジスタ300は、図78Cに示すように、半導体領域313の上面及びチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

[1017]

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[1018]

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域314a、及び低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）、GaN（窒化ガリウム）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

[1019]

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、又はホウ素などのp型の導電性を付与する元素を含む。

[1020]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

[1021]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン、アルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[1022]

素子分離層312は、基板310上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、LOCOS（Local Oxidation of Silicon）法、STI（Shallow Trench Isolation）法、メサ分離法などを用いて形成することができる。

[1023]

なお、図77に示すトランジスタ300は一例であり、その構造に限定されず、回路構成、駆動方法などに応じて適切なトランジスタを用いればよい。例えば、トランジスタ300は、図78Cに示すFIN型ではなく、プレーナ型の構造としてもよい。また、例えば、半導体装置をOSトラ

ンジスタのみの単極性回路とする場合、図 7 9 に示すとおり、トランジスタ 3 0 0 の構成を、酸化物半導体を用いているトランジスタ 5 0 0 と同様の構成にすればよい。なお、トランジスタ 5 0 0 の詳細については後述する。

[1 0 2 4]

なお、図 7 9 において、トランジスタ 3 0 0 は、基板 3 1 0 A 上に設けられているが、この場合、基板 3 1 0 A としては、図 7 7 の半導体装置の基板 3 1 0 と同様に半導体基板を用いてもよい。また、基板 3 1 0 A としては、例えば、SOI 基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどを用いることができる。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、ポリテトラフルオロエチレン（PTFE）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ樹脂、無機蒸着フィルム、又は紙類などがある。

[1 0 2 5]

図 7 7 に示すトランジスタ 3 0 0 には、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、絶縁体 3 2 6 が、基板 3 1 0 側から順に積層して設けられている。

[1 0 2 6]

絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、及び絶縁体 3 2 6 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[1 0 2 7]

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[1 0 2 8]

絶縁体 3 2 2 は、絶縁体 3 2 0 及び絶縁体 3 2 2 に覆われているトランジスタ 3 0 0 などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体 3 2 2 の上面は、平坦性を高めるために化学機械研磨（CMP：Chemical Mechanical Polishing）法等を用いた平坦化処理により平坦化されていてもよい。

[1 0 2 9]

また、絶縁体 3 2 4 には、基板 3 1 0、又はトランジスタ 3 0 0 などから、トランジスタ 5 0 0 が設けられる領域に、水素、不純物などが拡散しないようなバリア性を有する膜を用いることが好ましい。

[1030]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[1031]

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS)などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[1032]

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[1033]

また、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326には容量素子600、又はトランジスタ500と接続する導電体328、及び導電体330等が埋め込まれている。なお、導電体328、及び導電体330は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[1034]

各プラグ、及び配線(導電体328、導電体330等)の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム、銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[1035]

絶縁体326、及び導電体330上に、配線層を設けてもよい。例えば、図77において、絶縁体350、絶縁体352、及び絶縁体354が、絶縁体326、及び導電体330の上方に、順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ300と接続するプラグ、又は配線としての機能を有する。なお導電体356は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

[1036]

なお、例えば、絶縁体350は、絶縁体324と同様に、水素、水などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁体352、及び絶縁体354としては、絶縁体326と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を

用いることが好ましい。また、導電体 356 は、水素、水などの不純物に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 350 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

[1037]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 300 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 350 と接する構造であることが好ましい。

[1038]

また、絶縁体 354、及び導電体 356 上には、絶縁体 360 と、絶縁体 362 と、絶縁体 364 が順に積層されている。

[1039]

絶縁体 360 は、絶縁体 324 などと同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体 360 としては、例えば、絶縁体 324 などに適用できる材料を用いることができる。

[1040]

絶縁体 362、及び絶縁体 364 は、層間絶縁膜、及び平坦化膜としての機能を有する。また、絶縁体 362、及び絶縁体 364 は、絶縁体 324 と同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。このため、絶縁体 362、及び／又は絶縁体 364 としては、絶縁体 324 に適用できる材料を用いることができる。

[1041]

また、絶縁体 360、絶縁体 362、及び絶縁体 364 のそれぞれの、一部の導電体 356 と重畳する領域に開口部が形成されて、当該開口部を埋めるように導電体 366 が設けられている。また、導電体 366 は、絶縁体 362 上にも形成されている。導電体 366 は、一例として、トランジスタ 300 と接続するプラグ、又は配線としての機能を有する。なお、導電体 366 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[1042]

絶縁体 364、及び導電体 366 上には絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 が、順に積層して設けられている。絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 のいずれかは、酸素、水素などに対してバリア性のある物質を用いることが好ましい。

[1043]

例えば、絶縁体 510、及び絶縁体 514 には、例えば、基板 310、又はトランジスタ 300 を設ける領域などから、トランジスタ 500 が設けられている領域に、水素、不純物などが拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 324 と同様の材料を用いることができる。

[1044]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いること

ができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[1045]

また、水素に対するバリア性を有する膜として、例えば、絶縁体 510、及び絶縁体 514 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[1046]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

[1047]

また、例えば、絶縁体 512、及び絶縁体 516 には、絶縁体 320 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 512、及び絶縁体 516 として、酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

[1048]

また、絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 には、導電体 518、及びトランジスタ 500 を構成する導電体（例えば、図 78A、及び図 78B に示す導電体 503）等が埋め込まれている。なお、導電体 518 は、容量素子 600、又はトランジスタ 300 と接続するプラグ、又は配線としての機能を有する。導電体 518 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

[1049]

特に、絶縁体 510、及び絶縁体 514 と接する領域の導電体 518 は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 300 とトランジスタ 500 とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

[1050]

絶縁体 516 の上方には、トランジスタ 500 が設けられている。

[1051]

図 78A、及び図 78B に示すように、トランジスタ 500 は、絶縁体 514 上の絶縁体 516 と、絶縁体 514 または絶縁体 516 に埋め込まれるように配置された導電体 503（導電体 503a、および導電体 503b）と、絶縁体 516 上、および導電体 503 上の絶縁体 522 と、絶縁体 522 上の絶縁体 524 と、絶縁体 524 上の酸化物 530a と、酸化物 530a 上の酸化物 530b と、酸化物 530b 上の導電体 542a と、導電体 542a 上の絶縁体 571a と、酸化物 530b 上の導電体 542b と、導電体 542b 上の絶縁体 571b と、酸化物 530b 上の絶縁体 552 と、絶縁体 552 上の絶縁体 550 と、絶縁体 550 上の絶縁体 554 と、絶縁体 55

4上に位置し、酸化物530bの一部と重なる導電体560（導電体560a、および導電体560b）と、絶縁体522、絶縁体524、酸化物530a、酸化物530b、導電体542a、導電体542b、絶縁体571a、および絶縁体571b上に配置される絶縁体544と、を有する。ここで、図78A、及び図78Bに示すように、絶縁体552は、絶縁体522の上面、絶縁体524の側面、酸化物530aの側面、酸化物530bの側面および上面、導電体542の側面、絶縁体571の側面、絶縁体544の側面、絶縁体580の側面、および絶縁体550の下面と接する。また、導電体560の上面は、絶縁体554の上部、絶縁体550の上部、絶縁体552の上部、および絶縁体580の上面と高さが概略一致するように配置される。また、絶縁体574は、導電体560の上面、絶縁体552の上部、絶縁体550の上部、絶縁体554の上部、および絶縁体580の上面の少なくともいずれかの一部と接する。

[1052]

絶縁体580、および絶縁体544には、酸化物530bに達する開口が設けられる。当該開口内に、絶縁体552、絶縁体550、絶縁体554、および導電体560が配置されている。また、トランジスタ500のチャネル長方向において、絶縁体571a、および導電体542aと、絶縁体571b、および導電体542bと、の間に導電体560、絶縁体552、絶縁体550、および絶縁体554が設けられている。絶縁体554は、導電体560の側面と接する領域と、導電体560の底面と接する領域と、を有する。

[1053]

酸化物530は、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、を有することが好ましい。酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。

[1054]

なお、トランジスタ500では、酸化物530が、酸化物530a、および酸化物530bの2層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、または3層以上の積層構造を設ける構成にしてもよいし、酸化物530a、および酸化物530bのそれぞれが積層構造を有していてもよい。

[1055]

導電体560は、第1のゲート（トップゲートともいう。）電極として機能し、導電体503は、第2のゲート（バックゲートともいう。）電極として機能する。また、絶縁体552、絶縁体550、及び絶縁体554は、第1のゲート絶縁体として機能し、絶縁体522、および絶縁体524は、第2のゲート絶縁体として機能する。なお、ゲート絶縁体は、ゲート絶縁層、またはゲート絶縁膜と呼ぶ場合もある。また、導電体542aは、ソースまたはドレインの一方として機能し、導電体542bは、ソースまたはドレインの他方として機能する。また、酸化物530の導電体560と重畳する領域の少なくとも一部はチャネル形成領域として機能する。

[1056]

ここで、図78Aにおけるチャネル形成領域近傍の拡大図を図80Aに示す。酸化物530bに酸素が供給されることで、導電体542aと導電体542bの間の領域にチャネル形成領域が形成される。よって、図80Aに示すように、酸化物530bは、トランジスタ500のチャネル形成領域として機能する領域530bcと、領域530bcを挟むように設けられ、ソース領域または

ドレイン領域として機能する領域530baおよび領域530bbと、を有する。領域530bcは、少なくとも一部が導電体560と重畳している。言い換えると、領域530bcは、導電体542aと導電体542bの間の領域に設けられている。領域530baは、導電体542aに重畳して設けられており、領域530bbは、導電体542bに重畳して設けられている。

[1057]

チャネル形成領域として機能する領域530bcは、領域530baおよび領域530bbよりも、酸素欠損（本明細書等では、金属酸化物中の酸素欠損を V_O （oxygen vacancy）と呼称する場合がある。）が少なく、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって領域530bcは、i型（真性）または実質的にi型であるといえることができる。

[1058]

金属酸化物を用いたトランジスタは、金属酸化物中のチャネルが形成される領域に不純物または酸素欠損（ V_O ）が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損（ V_O ）近傍の水素が、酸素欠損（ V_O ）に水素が入った欠陥（以下、 V_OH と呼称する場合がある。）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、および V_OH はできる限り低減されていることが好ましい。

[1059]

また、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbは、酸素欠損（ V_O ）が多く、または水素、窒素、金属元素などの不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、領域530baおよび領域530bbは、領域530bcと比較して、キャリア濃度が高く、低抵抗なn型の領域である。

[1060]

ここで、チャネル形成領域として機能する領域530bcのキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域530bcのキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[1061]

また、領域530bcと領域530baまたは領域530bbとの間に、キャリア濃度が、領域530baおよび領域530bbのキャリア濃度と同等、またはそれよりも低く、領域530bcのキャリア濃度と同等、またはそれよりも高い、領域が形成されていてもよい。つまり、当該領域は、領域530bcと領域530baまたは領域530bbとの接合領域として機能する。当該接合領域は、水素濃度が、領域530baおよび領域530bbの水素濃度と同等、またはそれよりも低く、領域530bcの水素濃度と同等、またはそれよりも高くなる場合がある。また、当該接合領域は、酸素欠損が、領域530baおよび領域530bbの酸素欠損と同等、またはそれよりも少なく、領域530bcの酸素欠損と同等、またはそれよりも多くなる場合がある。

[1062]

なお、図80Aでは、領域530ba、領域530bb、および領域530bcが酸化物530bに形成される例について示しているが、本発明はこれに限られるものではない。例えば、上記の各領域が酸化物530bだけでなく、酸化物530aまで形成されてもよい。

[1063]

また、酸化物530において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

[1064]

トランジスタ500は、チャネル形成領域を含む酸化物530（酸化物530a、および酸化物530b）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[1065]

また、半導体として機能する金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[1066]

酸化物530として、例えば、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物530として、In-Ga酸化物、In-Zn酸化物、インジウム酸化物を用いてもよい。

[1067]

ここで、酸化物530bに用いる金属酸化物における、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[1068]

このように、酸化物530bの下に酸化物530aを配置することで、酸化物530aよりも下方に形成された構造物からの、酸化物530bに対する、不純物および酸素の拡散を抑制することができる。

[1069]

また、酸化物530aおよび酸化物530bが、酸素以外に共通の元素を有する（主成分とする）ことで、酸化物530aと酸化物530bの界面における欠陥準位密度を低くすることができる。酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[1070]

酸化物530bは、結晶性を有することが好ましい。特に、酸化物530bとして、CAAC-OS（c-axis aligned crystalline oxide semiconductor）を用いることが好ましい。

uctor)を用いることが好ましい。

[1071]

CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物、欠陥（例えば、酸素欠損（ V_O ）など）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、 400°C 以上 600°C 以下）で加熱処理することで、CAAC-OSをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をより高めることで、当該CAAC-OS中の不純物または酸素の拡散をより低減することができる。

[1072]

一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[1073]

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（ V_OH ）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、および V_OH はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネルが形成される領域は、キャリア濃度が低減され、 i 型（真性化）または実質的に i 型であることが好ましい。

[1074]

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある。）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、および V_OH を低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ500のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素が基板面内ではばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。

[1075]

よって、酸化物半導体中において、チャネル形成領域として機能する領域530bcは、キャリア濃度が低減され、 i 型または実質的に i 型であることが好ましいが、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbは、キャリア濃度が高く、 n 型であることが好ましい。つまり、酸化物半導体の領域530bcの酸素欠損、および V_OH を低減し、領域530baおよび領域530bbには過剰な量の酸素が供給されないようにすることが好ましい。

[1076]

そこで、本実施の形態では、酸化物530b上に導電体542aおよび導電体542bを設けた状態で、酸素を含む雰囲気中でマイクロ波処理を行い、領域530bcの酸素欠損、および V_OH の低減を図る。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。

[1077]

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。このとき、マイクロ波、またはRF等の高周波を領域530bcに照射することもできる。プラズマ、マイクロ波などの作用により、領域530bcの V_OH を分断し、水素Hを領域530bcから除去し、酸素欠損 V_O を酸素で補填することができる。つまり、領域530bcにおいて、「 $V_OH \rightarrow H + V_O$ 」という反応が起きて、領域530bcの水素濃度を低減することができる。よって、領域530bc中の酸素欠損、および V_OH を低減し、キャリア濃度を低下させることができる。

[1078]

また、酸素を含む雰囲気でマイクロ波処理を行う際、マイクロ波、またはRF等の高周波、酸素プラズマなどの作用は、導電体542aおよび導電体542bに遮蔽され、領域530baおよび領域530bbには及ばない。さらに、酸素プラズマの作用は、酸化物530b、および導電体542を覆って設けられている、絶縁体571、および絶縁体580によって、低減することができる。これにより、マイクロ波処理の際に、領域530baおよび領域530bbで、 V_OH の低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

[1079]

また、絶縁体552となる絶縁膜の成膜後、または絶縁体550となる絶縁膜の成膜後に、酸素を含む雰囲気でマイクロ波処理を行うことが好ましい。このように絶縁体552、または絶縁体550を介して、酸素を含む雰囲気でマイクロ波処理を行うことで、効率よく領域530bc中へ酸素を注入することができる。また、絶縁体552を導電体542の側面、および領域530bcの表面と接するように配置することで、領域530bcへ必要量以上の酸素の注入を抑制し、導電体542の側面の酸化を抑制することができる。また、絶縁体550となる絶縁膜の成膜時に導電体542の側面の酸化を抑制することができる。

[1080]

また、領域530bc中に注入される酸素は、酸素原子、酸素分子、酸素ラジカル（Oラジカルともいう、不対電子をもつ原子または分子、あるいはイオン）など様々な形態がある。なお、領域530bc中に注入される酸素は、上述の形態のいずれか一または複数であればよく、特に酸素ラジカルであると好適である。このため、絶縁体552、および絶縁体550の膜質を向上させることができるので、トランジスタ500の信頼性が向上する。

[1081]

このようにして、酸化物半導体の領域530bcで選択的に酸素欠損、および V_OH を除去して、領域530bcをi型または実質的にi型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域530baおよび領域530bbに過剰な酸素が供給されるのを抑制し、n型を維持することができる。これにより、トランジスタ500の電気特性の変動を抑制し、基板面内でトランジスタ500の電気特性のばらつきを少なくすることができる。

[1082]

以上のような構成にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

[1083]

また、図78Bに示すように、トランジスタ500のチャネル幅方向の断面視において、酸化物

530bの側面と酸化物530bの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう。）。

[1084]

上記湾曲面での曲率半径は、0nmより大きく、導電体542と重なる領域の酸化物530bの膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0nmより大きく20nm以下、好ましくは1nm以上15nm以下、さらに好ましくは2nm以上10nm以下とする。このような形状にすることで、絶縁体552、絶縁体550、絶縁体554、および導電体560の、酸化物530bへの被覆性を高めることができる。

[1085]

酸化物530は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、主成分である金属元素に対する元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[1086]

また、酸化物530bは、CAAC-OSなどの結晶性を有する酸化物であることが好ましい。CAAC-OSなどの結晶性を有する酸化物は、不純物、及び欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物530bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物530bから酸素が引き抜かれることを低減できるので、トランジスタ500は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[1087]

ここで、酸化物530aと酸化物530bの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物530aと酸化物530bの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面に形成される混合層の欠陥準位密度を低くするとよい。

[1088]

具体的には、酸化物530aと酸化物530bが、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-M-Zn酸化物の場合、酸化物530aとして、In-M-Zn酸化物、M-Zn酸化物、元素Mの酸化物、In-Zn酸化物、インジウム酸化物などを用いてもよい。

[1089]

具体的には、酸化物530aとして、In:M:Zn=1:3:4 [原子数比] もしくはその近傍の組成、またはIn:M:Zn=1:1:0.5 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物530bとして、In:M:Zn=1:1:1 [原子数比] もしくはその近傍の組成、またはIn:M:Zn=4:2:3 [原子数比] もしくはその近傍の組成

の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

[1090]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であつてもよい。

[1091]

また、図78Aなどに示すように、酸化物530の上面および側面に接して、酸化アルミニウムなどにより形成される絶縁体552を設けることにより、酸化物530と絶縁体552の界面およびその近傍に、酸化物530に含まれるインジウムが偏在する場合がある。これにより、酸化物530の表面近傍が、インジウム酸化物に近い原子数比、またはIn-Zn酸化物に近い原子数比になる。このように酸化物530、特に酸化物530bの表面近傍のインジウムの原子数比が大きくなることで、トランジスタ500の電界効果移動度を向上させることができる。

[1092]

酸化物530aおよび酸化物530bを上述の構成とすることで、酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は大きいオン電流、および高い周波数特性を得ることができる。

[1093]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、及び絶縁体581の少なくとも一は、水、水素などの不純物が、基板側から、または、トランジスタ500の上方からトランジスタ500に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の少なくとも一は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N₂O、NO、NO₂など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料を用いることが好ましい。

[1094]

なお、本明細書において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書において、バリア性とは、対応する物質の拡散を抑制する機能(透過性が低いともいう)とする。または、対応する物質を、捕獲、および固着する(ゲッタリングともいう)機能とする。

[1095]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581としては、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体を用いることが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどを用いることができる。例えば、絶縁体512、絶縁体544、および絶縁体576として、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体514、絶縁体571、絶縁体574、および絶縁体581として、水素を捕獲および水素を固着する機能が高

い、酸化アルミニウムまたは酸化マグネシウムなどを用いることが好ましい。これにより、水、水素などの不純物が絶縁体512、および絶縁体514を介して、基板側からトランジスタ500側に拡散するのを抑制することができる。または、水、水素などの不純物が絶縁体581よりも外側に配置されている層間絶縁膜などから、トランジスタ500側に拡散するのを抑制することができる。または、絶縁体524などに含まれる酸素が、絶縁体512、および絶縁体514を介して基板側に、拡散するのを抑制することができる。または、絶縁体580などに含まれる酸素が、絶縁体574などを介してトランジスタ500より上方に、拡散するのを抑制することができる。この様に、トランジスタ500を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体512、絶縁体514、絶縁体571、絶縁体544、絶縁体574、絶縁体576、および絶縁体581で取り囲む構造とすることが好ましい。

[1096]

ここで、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581として、アモルファス構造を有する酸化物を用いることが好ましい。例えば、 AlO_x (x は0より大きい任意数)、または MgO_y (y は0より大きい任意数)などの金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲または固着する性質を有する場合がある。このようなアモルファス構造を有する金属酸化物をトランジスタ500の構成要素として用いる、またはトランジスタ500の周囲に設けることで、トランジスタ500に含まれる水素、またはトランジスタ500の周囲に存在する水素を捕獲または固着することができる。特にトランジスタ500のチャネル形成領域に含まれる水素を捕獲または固着することが好ましい。アモルファス構造を有する金属酸化物をトランジスタ500の構成要素として用いる、またはトランジスタ500の周囲に設けることで、良好な特性を有し、信頼性の高いトランジスタ500、および半導体装置を作製することができる。

[1097]

また、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581は、アモルファス構造であることが好ましいが、一部に多結晶構造の領域が形成されていてもよい。また、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581は、アモルファス構造の層と、多結晶構造の層と、が積層された多層構造であってもよい。例えば、アモルファス構造の層の上に多結晶構造の層が形成された積層構造でもよい。

[1098]

絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の成膜は、例えば、スパッタリング法を用いて行えばよい。スパッタリング法は、成膜ガスに水素を含む分子を用いなくてよいので、絶縁体512、絶縁体514、絶縁体544、絶縁体571、絶縁体574、絶縁体576、および絶縁体581の水素濃度を低減することができる。なお、成膜方法は、スパッタリング法に限られるものではなく、化学気相成長 (CVD: Chemical Vapor Deposition) 法、分子線エピタキシー (MBE: Molecular Beam Epitaxy) 法、パルスレーザ堆積 (PLD: Pulsed Laser Deposition) 法、原子層堆積 (ALD: Atomic Layer Deposition) 法などを適宜用いてもよい。

[1099]

また、絶縁体512、絶縁体544、および絶縁体576の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体512、絶縁体544、および絶縁体576の抵抗率を概略 $1 \times 10^{13} \Omega \text{ cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体512、絶縁体544、および絶縁体576が、導電体503、導電体542、導電体560などのチャージアップを緩和することができる場合がある。絶縁体512、絶縁体544、および絶縁体576の抵抗率は、好ましくは、 $1 \times 10^{10} \Omega \text{ cm}$ 以上 $1 \times 10^{15} \Omega \text{ cm}$ 以下とする。

[1100]

また、絶縁体516、絶縁体574、絶縁体580、および絶縁体581は、絶縁体514よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体516、絶縁体580、および絶縁体581として、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

[1101]

また、絶縁体581は、一例として、層間膜、平坦化膜などとして機能する絶縁体とすることが好ましい。

[1102]

導電体503は、酸化物530、および導電体560と、重なるように配置する。ここで、導電体503は、絶縁体516に形成された開口に埋め込まれて設けることが好ましい。また、導電体503の一部が絶縁体514に埋め込まれる場合がある。

[1103]

導電体503は、導電体503a、および導電体503bを有する。導電体503aは、当該開口の底面および側壁に接して設けられる。導電体503bは、導電体503aに形成された凹部に埋め込まれるように設けられる。ここで、導電体503bの上部の高さは、導電体503aの上部の高さおよび絶縁体516の上部の高さと概略一致する。

[1104]

ここで、導電体503aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[1105]

導電体503aに、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体503bに含まれる水素などの不純物が、絶縁体524等を介して、酸化物530に拡散するのを防ぐことができる。また、導電体503aに、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体503bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体503aとしては、上記導電性材料を単層または積層とすればよい。例えば、導電体503aは、窒化チタンを用いればよい。

[1106]

また、導電体503bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体503bは、タングステンをを用いればよい。

[1107]

導電体503は、第2のゲート電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧(V_{th})を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[1108]

また、導電体503の電気抵抗率は、上記の導電体503に印加する電位を考慮して設計され、導電体503の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体516の膜厚は、導電体503とほぼ同じになる。ここで、導電体503の設計が許す範囲で導電体503および絶縁体516の膜厚を薄くすることが好ましい。絶縁体516の膜厚を薄くすることで、絶縁体516中に含まれる水素などの不純物の絶対量を低減することができるので、当該不純物が酸化物530に拡散するのを低減することができる。

[1109]

なお、導電体503は、上面から見て、酸化物530の導電体542aおよび導電体542bと重ならない領域の大きさよりも、大きく設けるとよい。特に、図78Bに示すように、導電体503は、酸化物530aおよび酸化物530bのチャネル幅方向の端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物530のチャネル幅方向における側面の外側において、導電体503と、導電体560とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第1のゲート電極として機能する導電体560の電界と、第2のゲート電極として機能する導電体503の電界によって、酸化物530のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート、および第2のゲートの電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、`surrounded channel` (`S-channel`) 構造とよぶ。

[1110]

なお、本明細書等において、`S-channel` 構造のトランジスタとは、一対のゲート電極の一方および他方の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を表す。また、本明細書等で開示する`S-channel` 構造は、`Fin`型構造およびプレーナ型構造とは異なる。`S-channel` 構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[1111]

また、図78Bに示すように、導電体503は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体503の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体503は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体503を複数のトランジスタで共有する構成にしてもよい。

[1112]

なお、トランジスタ500では、導電体503は、導電体503a、および導電体503bを積

層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 5 0 3 は、単層、または 3 層以上の積層構造として設ける構成にしてもよい。

[1 1 1 3]

絶縁体 5 2 2、および絶縁体 5 2 4 は、ゲート絶縁体として機能する。

[1 1 1 4]

絶縁体 5 2 2 は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体 5 2 2 は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 5 2 2 は、絶縁体 5 2 4 よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

[1 1 1 5]

絶縁体 5 2 2 は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体 5 2 2 を形成した場合、絶縁体 5 2 2 は、酸化物 5 3 0 から基板側への酸素の放出、トランジスタ 5 0 0 の周辺部から酸化物 5 3 0 への水素等の不純物の拡散などを抑制する層として機能する。よって、絶縁体 5 2 2 を設けることで、水素等の不純物が、トランジスタ 5 0 0 の内側へ拡散することを抑制し、酸化物 5 3 0 中の酸素欠損の生成を抑制することができる。また、導電体 5 0 3 が、絶縁体 5 2 4、酸化物 5 3 0 の少なくとも一が有する酸素と反応することを抑制することができる。

[1 1 1 6]

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体 5 2 2 は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[1 1 1 7]

また、絶縁体 5 2 2 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウムなどの、いわゆる *h i g h - k* 材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に *h i g h - k* 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、絶縁体 5 2 2 として、チタン酸ジルコン酸鉛（*P Z T*）、チタン酸ストロンチウム（*S r T i O₃*）、（*B a*, *S r*）*T i O₃*（*B S T*）などの誘電率が高い物質を用いることができる場合もある。

[1 1 1 8]

酸化物 5 3 0 と接する絶縁体 5 2 4 は、例えば、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。

[1 1 1 9]

また、トランジスタ 5 0 0 の作製工程中において、酸化物 5 3 0 の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100℃以上600℃以下、より好ましくは350℃以上550℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例え

ば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損 (V_O) の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気で加熱処理を行ってもよい。

[1120]

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_O + O \rightarrow \text{null}$ 」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素を H_2O として除去する（脱水化する）ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合して V_OH が形成されるのを抑制することができる。

[1121]

なお、絶縁体522、および絶縁体524が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、絶縁体524は、酸化物530aと重畳して島状に形成してもよい。この場合、絶縁体544が、絶縁体524の側面および絶縁体522の上面に接する構成になる。

[1122]

導電体542a、および導電体542bは酸化物530bの上面に接して設けられる。導電体542aおよび導電体542bは、それぞれトランジスタ500のソース電極またはドレイン電極として機能する。

[1123]

導電体542（導電体542a、および導電体542b）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[1124]

なお、酸化物530bなどに含まれる水素が、導電体542aまたは導電体542bに拡散する場合がある。特に、導電体542aおよび導電体542bに、タンタルを含む窒化物を用いることで、酸化物530bなどに含まれる水素は、導電体542aまたは導電体542bに拡散しやすく、拡散した水素は、導電体542aまたは導電体542bが有する窒素と結合することがある。つまり、酸化物530bなどに含まれる水素は、導電体542aまたは導電体542bに吸い取られる場合がある。

[1125]

また、導電体542の側面と導電体542の上面との間に、湾曲面が形成されないことが好ましい。当該湾曲面が形成されない導電体542とすることで、チャネル幅方向の断面における、導電体542の断面積を大きくすることができる。これにより、導電体542の導電率を大きくし、ト

ランジスタ 500 のオン電流を大きくすることができる。

[1126]

絶縁体 571a は、導電体 542a の上面に接して設けられており、絶縁体 571b は、導電体 542b の上面に接して設けられている。絶縁体 571 は、少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 571 は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 571 は、絶縁体 580 よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体 571 としては、例えば、窒化シリコンなどのシリコンを含む窒化物を用いればよい。また、絶縁体 571 は、水素などの不純物を捕獲する機能を有することが好ましい。その場合、絶縁体 571 としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を用いればよい。特に、絶縁体 571 として、アモルファス構造の酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いランジスタ 500、および半導体装置を作製することができる。

[1127]

絶縁体 544 は、絶縁体 524、酸化物 530a、酸化物 530b、導電体 542、および絶縁体 571 を覆うように設けられる。絶縁体 544 として、水素を捕獲および水素を固着する機能を有することが好ましい。その場合、絶縁体 544 としては、窒化シリコンまたは、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を含むことが好ましい。また、例えば、絶縁体 544 として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

[1128]

上記のような絶縁体 571 および絶縁体 544 を設けることで、酸素に対するバリア性を有する絶縁体で導電体 542 を包み込むことができる。つまり、絶縁体 524、および絶縁体 580 に含まれる酸素が、導電体 542 に拡散するのを防ぐことができる。これにより、絶縁体 524、および絶縁体 580 に含まれる酸素によって、導電体 542 が直接酸化されて抵抗率が増大し、オン電流が低減するのを抑制することができる。

[1129]

絶縁体 552 は、ゲート絶縁体の一部として機能する。絶縁体 552 としては、酸素に対するバリア絶縁膜を用いることが好ましい。絶縁体 552 としては、上述の絶縁体 574 に用いることができる絶縁体を用いればよい。絶縁体 552 として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。本実施の形態では、絶縁体 552 として、酸化アルミニウムを用いる。この場合、絶縁体 552 は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。

[1130]

図 78B に示すように、絶縁体 552 は、酸化物 530b の上面および側面、酸化物 530a の側面、絶縁体 524 の側面、および絶縁体 522 の上面に接して設けられる。つまり、酸化物 530a、酸化物 530b、および絶縁体 524 の導電体 560 と重なる領域は、チャネル幅方向の断面において、絶縁体 552 に覆われている。これにより、熱処理などを行った際に、酸化物 530

aおよび酸化物530bで酸素が脱離するのを、酸素に対するバリア性を有する絶縁体552でブロックすることができる。よって、酸化物530aおよび酸化物530bに酸素欠損(Vo)が形成されるのを低減することができる。これにより、領域530bcに形成される、酸素欠損(Vo)、およびVoHを低減することができる。よって、トランジスタ500の電気特性を良好にし、信頼性を向上させることができる。

[1131]

また、逆に、絶縁体580および絶縁体550などに過剰な量の酸素が含まれていても、当該酸素が酸化物530aおよび酸化物530bに過剰に供給されるのを抑制することができる。よって、領域530bcを介して、領域530baおよび領域530bbが過剰に酸化され、トランジスタ500のオン電流の低下、または電界効果移動度の低下を起こすのを抑制することができる。

[1132]

また、図78Aに示すように、絶縁体552は、導電体542、絶縁体571、および絶縁体580、それぞれの側面に接して設けられる。よって、導電体542の側面が酸化され、当該側面に酸化膜が形成されるのを低減することができる。これにより、トランジスタ500のオン電流の低下、または電界効果移動度の低下を起こすのを抑制することができる。

[1133]

また、絶縁体552は、絶縁体554、絶縁体550、および導電体560とともに、絶縁体580などに形成された開口に設ける必要がある。トランジスタ500の微細化を図るにあたって、絶縁体552の膜厚は薄いことが好ましい。絶縁体552の膜厚は、0.1nm以上、0.5nm以上、又は1.0nm以上とすることが好ましく、かつ1.0nm以下、3.0nm以下、又は5.0nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体552は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体552の膜厚は絶縁体550の膜厚より薄いことが好ましい。この場合、絶縁体552は、少なくとも一部において、絶縁体550より膜厚が薄い領域を有していればよい。

[1134]

絶縁体552を上記のように膜厚を薄く成膜するには、ALD法を用いて成膜することが好ましい。ALD法は、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD(Thermal ALD)法、プラズマ励起されたリアクタントを用いるPEALD(Plasma Enhanced ALD)法などがある。PEALD法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

[1135]

ALD法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。よって、絶縁体552を絶縁体580などに形成された開口の側面などに被覆性良く、上記のような薄い膜厚で成膜することができる。

[1136]

なお、ALD法で用いるプリカーサには炭素などを含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合が

ある。なお、不純物の定量は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）、またはX線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）を用いて行うことができる。

[1137]

絶縁体550は、ゲート絶縁体の一部として機能する。絶縁体550は、絶縁体552の上面に接して配置することが好ましい。絶縁体550は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。この場合、絶縁体550は、少なくとも酸素とシリコンと、を有する絶縁体となる。

[1138]

絶縁体550は、絶縁体524と同様に、絶縁体550中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1nm以上、又は0.5nm以上とすることが好ましく、かつ15.0nm以下、又は20nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体550は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[1139]

図78A、及び図78Bなどでは、絶縁体550を単層とする構成について示したが、本発明はこれに限られず、2層以上の積層構造としてもよい。例えば図80Bに示すように、絶縁体550を、絶縁体550aと、絶縁体550a上の絶縁体550bの2層の積層構造にしてもよい。

[1140]

図80Bに示すように、絶縁体550を2層の積層構造とする場合、下層の絶縁体550aは、酸素を透過しやすい絶縁体を用いて形成し、上層の絶縁体550bは、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体550aに含まれる酸素が、導電体560へ拡散するのを抑制することができる。つまり、酸化物530へ供給する酸素量の減少を抑制することができる。また、絶縁体550aに含まれる酸素による導電体560の酸化を抑制することができる。例えば、絶縁体550aは、上述した絶縁体550に用いることができる材料を用いて設け、絶縁体550bは、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。本実施の形態では、絶縁体550bとして、酸化ハフニウムを用いる。この場合、絶縁体550bは、少なくとも酸素と、ハフニウムと、を有する絶縁体となる。また、絶縁体550bの膜厚は、0.5nm以上、又は1.0nm以上とすることが好ましく、かつ3.0nm以下、又は5.0nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体550bは、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[1141]

なお、絶縁体550aに酸化シリコン、酸化窒化シリコンなどを用いる場合、絶縁体550bは、比誘電率が高いhigh-k材料である絶縁性材料を用いてもよい。ゲート絶縁体を、絶縁体55

0 a と絶縁体 550 b との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。よって、絶縁体 550 の絶縁耐圧を高くすることができる。

[1142]

絶縁体 554 は、ゲート絶縁体の一部として機能する。絶縁体 554 としては、水素に対するバリア絶縁膜を用いることが好ましい。これにより、導電体 560 に含まれる水素などの不純物が、絶縁体 550、および酸化物 530 b に拡散するのを防ぐことができる。絶縁体 554 としては、上述の絶縁体 576 に用いることができる絶縁体を用いればよい。例えば、絶縁体 554 として P E A L D 法で成膜した窒化シリコンを用いればよい。この場合、絶縁体 554 は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

[1143]

また、絶縁体 554 が、さらに酸素に対するバリア性を有してもよい。これにより、絶縁体 550 に含まれる酸素が、導電体 560 へ拡散するのを抑制することができる。

[1144]

また、絶縁体 554 は、絶縁体 552、絶縁体 550、および導電体 560 とともに、絶縁体 580 などに形成された開口に設ける必要がある。トランジスタ 500 の微細化を図るにあたって、絶縁体 554 の膜厚は薄いことが好ましい。絶縁体 554 の膜厚は、0.1 nm 以上、0.5 nm 以上、又は 1.0 nm 以上とすることが好ましく、かつ 3.0 nm 以下、又は 5.0 nm 以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。この場合、絶縁体 554 は、少なくとも一部において、上記のような膜厚の領域を有していればよい。また、絶縁体 554 の膜厚は絶縁体 550 の膜厚より薄いことが好ましい。この場合、絶縁体 554 は、少なくとも一部において、絶縁体 550 より膜厚が薄い領域を有していればよい。

[1145]

導電体 560 は、トランジスタ 500 の第 1 のゲート電極として機能する。導電体 560 は、導電体 560 a と、導電体 560 a の上に配置された導電体 560 b と、を有することが好ましい。例えば、導電体 560 a は、導電体 560 b の底面および側面を包むように配置されることが好ましい。また、図 78 A および図 78 B に示すように、導電体 560 の上部の高さの位置は、絶縁体 550 の上部の高さの位置と概略一致している。なお、図 78 A および図 78 B では、導電体 560 は、導電体 560 a と導電体 560 b の 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

[1146]

導電体 560 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[1147]

また、導電体 560 a が酸素の拡散を抑制する機能を持つことにより、絶縁体 550 に含まれる酸素により、導電体 560 b が酸化して導電率が低下することを抑制することができる。酸素の拡

散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[1148]

また、導電体560は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層構造としてもよい。

[1149]

また、トランジスタ500では、導電体560は、絶縁体580などに形成されている開口を埋めるように自己整合的に形成される。導電体560をこのように形成することにより、導電体542aと導電体542bとの間の領域に、導電体560を位置合わせすることなく確実に配置することができる。

[1150]

また、図78Bに示すように、トランジスタ500のチャネル幅方向において、絶縁体522の底面を基準としたときの、導電体560の、導電体560と酸化物530bとが重ならない領域の底面の高さは、酸化物530bの底面の高さより低いことが好ましい。ゲート電極として機能する導電体560が、絶縁体550などを介して、酸化物530bのチャネル形成領域の側面および上面を覆う構成とすることで、導電体560の電界を酸化物530bのチャネル形成領域全体に作用させやすくなる。よって、トランジスタ500のオン電流を増大させ、周波数特性を向上させることができる。絶縁体522の底面を基準としたときの、酸化物530aおよび酸化物530bと、導電体560とが、重ならない領域における導電体560の底面の高さと、酸化物530bの底面の高さと、の差は、0nm以上、3nm以上、又は5nm以上とすることが好ましく、かつ20nm以下、50nm以下、又は100nm以下とすることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。

[1151]

絶縁体580は、絶縁体544上に設けられ、絶縁体550、および導電体560が設けられる領域に開口が形成されている。また、絶縁体580の上面は、平坦化されていてもよい。

[1152]

層間膜として機能する絶縁体580は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体580は、例えば、絶縁体516と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[1153]

絶縁体580は、絶縁体580中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体580は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を適宜用いればよい。

[1154]

絶縁体574は、水、水素などの不純物が、上方から絶縁体580に拡散するのを抑制するバリ

ア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。また、絶縁体574は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体574としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムなどの絶縁体を用いればよい。この場合、絶縁体574は、少なくとも酸素と、アルミニウムと、を有する絶縁体となる。絶縁体512と絶縁体581に挟まれた領域内で、絶縁体580に接して、水素などの不純物を捕獲する機能を有する、絶縁体574を設けることで、絶縁体580などに含まれる水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。特に、絶縁体574として、アモルファス構造を有する酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ500、および半導体装置を作製することができる。

[1155]

絶縁体576は、水、水素などの不純物が、上方から絶縁体580に拡散するのを抑制するバリア絶縁膜として機能する。絶縁体576は、絶縁体574の上に配置される。絶縁体576としては、窒化シリコンまたは窒化酸化シリコンなどの、シリコンを含む窒化物を用いることが好ましい。例えば、絶縁体576としてスパッタリング法で成膜された窒化シリコンを用いればよい。絶縁体576をスパッタリング法で成膜することで、密度が高い窒化シリコン膜を形成することができる。また、絶縁体576として、スパッタリング法で成膜された窒化シリコンの上に、さらに、PEALD法または、CVD法で成膜された窒化シリコンを積層してもよい。

[1156]

また、トランジスタ500の第1端子、又は第2端子の一方は、プラグとして機能する導電体540aに電氣的に接続され、トランジスタ500の第1端子、又は第2端子の他方は、導電体540bに電氣的に接続されている。なお、本明細書等では、導電体540a、及び導電体540bをまとめて導電体540と呼ぶこととする。

[1157]

導電体540aは、一例として、導電体542aと重畳する領域に設けられている。具体的には、導電体542aと重畳する領域において、図78Aに示す絶縁体571、絶縁体544、絶縁体580、絶縁体574、絶縁体576、及び絶縁体581、更に図77に示す絶縁体582、及び絶縁体586には開口部が形成されており、導電体540aは、当該開口部の内側に設けられている。また、導電体540bは、一例として、導電体542bと重畳する領域に設けられている。具体的には、導電体542bと重畳する領域において、図78Aに示す絶縁体571、絶縁体544、絶縁体580、絶縁体574、絶縁体576、及び絶縁体581、更に図77に示す絶縁体582、及び絶縁体586には開口部が形成されており、導電体540bは、当該開口部の内側に設けられている。なお、絶縁体582、及び絶縁体586については後述する。

[1158]

さらに、図78Aに示すとおり、導電体542aと重畳する領域の開口部の側面と導電体540aとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体541aを設けてもよい。同様に、導電体542bと重畳する領域の開口部の側面と導電体540bとの間には、不純物に対してバリア性を有する絶縁体として、絶縁体541bを設けてもよい。なお、本明細書等では、絶縁体541a、及び絶縁体541bをまとめて絶縁体541と呼ぶこととする。

[1159]

導電体540aおよび導電体540bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体540aおよび導電体540bは積層構造としてもよい。

[1160]

また、導電体540を積層構造とする場合、絶縁体574、絶縁体576、絶縁体581、絶縁体580、絶縁体544、および絶縁体571の近傍に配置される第1の導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。また、絶縁体576より上層に含まれる水、水素などの不純物が、導電体540aおよび導電体540bを通じて酸化物530に混入することを抑制することができる。

[1161]

絶縁体541aおよび絶縁体541bとしては、絶縁体544などに用いることができるバリア絶縁膜を用いればよい。例えば、絶縁体541aおよび絶縁体541bとして、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体541aおよび絶縁体541bは、絶縁体574、絶縁体576、および絶縁体571に接して設けられるので、絶縁体580などに含まれる水、水素などの不純物が、導電体540aおよび導電体540bを通じて酸化物530に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体580に含まれる酸素が導電体540aおよび導電体540bに吸収されるのを防ぐことができる。

[1162]

絶縁体541aおよび絶縁体541bを、図78Aに示すように積層構造にする場合、絶縁体580などの開口の内壁に接する第1の絶縁体と、その内側の第2の絶縁体は、酸素に対するバリア絶縁膜と、水素に対するバリア絶縁膜を組み合わせ用いることが好ましい。

[1163]

例えば、第1の絶縁体として、ALD法で成膜された酸化アルミニウムを用い、第2の絶縁体として、PEALD法で成膜された窒化シリコンを用いればよい。このような構成にすることで、導電体540の酸化を抑制し、さらに、導電体540に水素が混入するのを低減することができる。

[1164]

なお、トランジスタ500では、絶縁体541の第1の絶縁体および絶縁体541の第2の絶縁体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体541を単層、または3層以上の積層構造として設ける構成にしてもよい。また、トランジスタ500では、導電体540の第1の導電体および導電体540の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体540を単層、または3層以上の積層構造として設ける構成にしてもよい。

[1165]

また、図77に示すとおり、導電体540aの上部、および導電体540bの上部に接して配線として機能する導電体610、導電体612などを配置してもよい。導電体610、導電体612は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材

料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[1166]

なお、本発明の一態様の半導体装置に含まれるトランジスタの構造は、図77、図78A、図78B、及び図79に示したトランジスタ500に限定されない。本発明の一態様の半導体装置に含まれるトランジスタの構造は、状況に応じて、変更してもよい。

[1167]

例えば、図77、図78A、図78B、及び図79に示すトランジスタ500は、図81に示す構成としてもよい。図81のトランジスタは、酸化物543a、及び酸化物543bを有する点で、図77、図78A、図78B、及び図79に示すトランジスタ500と異なっている。なお、本明細書等では、酸化物543a、及び酸化物543bをまとめて酸化物543と呼ぶこととする。また、図81のトランジスタのチャネル幅方向の断面の構成については、図78Bに示すトランジスタ500の断面と同様の構成とすることができる。

[1168]

酸化物543aは、酸化物530bと導電体542aの間に設けられ、酸化物543bは、酸化物530bと導電体542bの間に設けられる。ここで、酸化物543aは、酸化物530bの上面、および導電体542aの下面に接することが好ましい。また、酸化物543bは、酸化物530bの上面、および導電体542bの下面に接することが好ましい。

[1169]

酸化物543は、酸素の透過を抑制する機能を有することが好ましい。ソース電極、又はドレイン電極として機能する導電体542と酸化物530bとの間に酸素の透過を抑制する機能を有する酸化物543を配置することで、導電体542と、酸化物530bとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ500の電気特性、電界効果移動度、および信頼性を向上させることができる場合がある。

[1170]

また、酸化物543として、元素Mを有する金属酸化物を用いてもよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。また、酸化物543は、酸化物530bよりも元素Mの濃度が高いことが好ましい。また、酸化物543として、酸化ガリウムを用いてもよい。また、酸化物543として、 I_n-M-Z_n 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物に用いる金属酸化物において、 I_n に対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、 I_n に対する元素Mの原子数比より大きいことが好ましい。また、酸化物543の膜厚は、0.5nm以上、又は1nm以上であることが好ましく、かつ2nm以下、3nm以下、又は5nm以下であることが好ましい。なお、上述した下限値、及び上限値はそれぞれ組み合わせることができるものとする。また、酸化物543は、結晶性を有すると好ましい。酸化物543が結晶性を有する場合、酸化物530中の酸素の放出を好適に抑制することが出来る。例えば、酸化物543としては、六方晶などの結晶構造であれば、酸化物530中の酸素の放出を抑制できる場合がある。

[1171]

絶縁体581上には、絶縁体582が設けられ、絶縁体582上には絶縁体586が設けられている。

[1172]

絶縁体582は、酸素、水素などに対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[1173]

また、絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

[1174]

続いて、図77、及び図79に示す半導体装置に含まれている容量素子600、及びその周辺の配線、又はプラグについて説明する。なお、図77、及び図79に示すトランジスタ500の上方には、容量素子600と、配線、及び／又はプラグが設けられている。

[1175]

容量素子600は、一例として、導電体610と、導電体620、絶縁体630とを有する。

[1176]

導電体540a又は導電体540bの一方、導電体546、及び絶縁体586上には、導電体610が設けられている。導電体610は、容量素子600の一对の電極の一方としての機能を有する。

[1177]

また、導電体540a、又は導電体540bの他方、及び絶縁体586上には、導電体612が設けられる。導電体612は、トランジスタ500と、上方に備えることができる回路素子、配線、端子などと、を電氣的に接続するプラグ、配線、端子などとしての機能を有する。具体的には、例えば、導電体612は、上記実施の形態で説明した演算回路110などにおける配線IL、又は配線ILBとすることができる。

[1178]

なお、導電体612、及び導電体610は、同時に形成してもよい。

[1179]

導電体612、及び導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[1180]

図77では、導電体612、及び導電体610は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[1181]

絶縁体586、導電体610上には、絶縁体630が設けられている。絶縁体630は、容量素子600の一对の電極に挟まれる誘電体として機能する。

[1182]

絶縁体630としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、酸化ジルコニウムなどを用いればよく、積層または単層で設けることができる。

[1183]

また、例えば、絶縁体630には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率(h i g h - k)材料との積層構造を用いてもよい。当該構成により、容量素子600は、高誘電率(h i g h - k)の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子600の静電破壊を抑制することができる。

[1184]

なお、高誘電率(h i g h - k)材料(高い比誘電率の材料)の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

[1185]

または、絶縁体630は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(P Z T)、チタン酸ストロンチウム(S r T i O₃)または(B a、S r) T i O₃(B S T)などのh i g h - k材料を含む絶縁体を単層または積層で用いてもよい。また、絶縁体630としては、ハフニウムと、ジルコニウムとが含まれる化合物などを用いても良い。半導体装置の微細化、および高集積化が進むと、ゲート絶縁体、および容量素子に用いる誘電体の薄膜化により、トランジスタ、容量素子のリーク電流などの問題が生じる場合がある。ゲート絶縁体、および容量素子に用いる誘電体として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、および容量素子の容量の確保が可能となる。

[1186]

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。導電体620は、容量素子600の一对の電極の他方としての機能を有する。また、例えば、導電体620は、上記実施の形態で説明した演算回路110などにおける配線X L Sとすることができる。

[1187]

なお、導電体620は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステン、モリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるC u (銅)、A l (アルミニウム)等を用いればよい。また、例えば、導電体620は、導電体610に適用できる材料を用いることができる。また、導電体620は、単層構造ではなく、2層以上の積層構造としてもよい。

[1188]

導電体 6 2 0、及び絶縁体 6 3 0 上には、絶縁体 6 4 0 が設けられている。絶縁体 6 4 0 としては、例えば、トランジスタ 5 0 0 が設けられている領域に、水素、不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 3 2 4 と同様の材料を用いることができる。

[1 1 8 9]

絶縁体 6 4 0 上には、絶縁体 6 5 0 が設けられている。絶縁体 6 5 0 は、絶縁体 3 2 0 と同様の材料を用いて設けることができる。また、絶縁体 6 5 0 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。そのため、絶縁体 6 5 0 としては、例えば、絶縁体 3 2 2 に適用できる材料とすることができる。

[1 1 9 0]

ところで、図 7 7、及び図 7 9 に示す容量素子 6 0 0 は、プレーナ型としているが、容量素子の形状はこれに限定されない。容量素子 6 0 0 は、プレーナ型ではなく、例えば、シリンダ型としてもよい。

[1 1 9 1]

また、容量素子 6 0 0 の上方には、配線層を設けてもよい。例えば、図 7 7 において、絶縁体 4 1 1、絶縁体 4 1 2、絶縁体 4 1 3、及び絶縁体 4 1 4 が、絶縁体 6 5 0 の上方に、順に設けられている。また、絶縁体 4 1 1、絶縁体 4 1 2、及び絶縁体 4 1 3 には、プラグ、又は配線として機能する導電体 4 1 6 が設けられている構成を示している。また、導電体 4 1 6 は、一例として、後述する導電体 6 6 0 に重畳する領域に設けることができる。

[1 1 9 2]

また、絶縁体 6 3 0、絶縁体 6 4 0、及び絶縁体 6 5 0 には、導電体 6 1 2 と重畳する領域に開口部が設けられ、当該開口部を埋めるように導電体 6 6 0 が設けられている。導電体 6 6 0 は、上述した配線層に含まれている導電体 4 1 6 に電氣的に接続するプラグ、配線として機能する。

[1 1 9 3]

絶縁体 4 1 1、及び絶縁体 4 1 4 は、例えば、絶縁体 3 2 4 などと同様に、水、水素などの不純物に対するバリア性を有する絶縁体を用いることが好ましい。そのため、絶縁体 4 1 1、及び絶縁体 4 1 4 としては、例えば、絶縁体 3 2 4 などに適用できる材料を用いることができる。

[1 1 9 4]

絶縁体 4 1 2、及び絶縁体 4 1 3 は、例えば、絶縁体 3 2 6 と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。

[1 1 9 5]

また、導電体 6 1 2、及び導電体 4 1 6 は、例えば、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

[1 1 9 6]

酸化物半導体を有するトランジスタを用いた半導体装置に、本実施の形態で説明した本構造を適用することにより、当該トランジスタの電気特性の変動を抑制するとともに、信頼性を向上させることができる。又は、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

[1 1 9 7]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[1198]

(実施の形態6)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化物（以下、酸化物半導体ともいう。）について説明する。

[1199]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

[1200]

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図82Aを用いて説明を行う。図82Aは、酸化物半導体、代表的にはIGZO（Inと、Gaと、Znと、を含む金属酸化物）の結晶構造の分類を説明する図である。

[1201]

図82Aに示すように、酸化物半導体は、大きく分けて「Amorphous（無定形）」と、「Crystalline（結晶性）」と、「Crystal（結晶）」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、及びCAC（Cloud-Aligned Composite）が含まれる（excluding single crystal and poly crystal）。なお、「Crystalline」の分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

[1202]

なお、図82Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」、「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

[1203]

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図82Bに示す（横軸は 2θ [deg.]とし、また、縦軸は強度（Intensity）を任意単位（a. u.）で表している）。なお、GIXD法は、薄膜法またはSee mann-Bohlin法ともいう。以降、図82Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図82Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn=4：2：3 [原子数比] 近傍である。また、図82Bに示すCAAC-IGZO

膜の厚さは、500 nmである。

[1204]

図82Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図82Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

[1205]

また、膜または基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図82Cに示す。図82Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図82Cに示すCAAC-IGZO膜の組成は、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ [原子数比] 近傍である。また、極微電子線回折法では、プローブ径を1 nmとして電子線回折が行われる。

[1206]

図82Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

[1207]

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図82Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（a-like OS：amorphous-like oxide semiconductor）、非晶質酸化物半導体、などが含まれる。

[1208]

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

[1209]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[1210]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10 nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10 nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[1211]

また、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M, Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M, Zn）層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[1212]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

[1213]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

[1214]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないこと、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[1215]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[1216]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、欠陥の生成などによって低下する場合があるため、CAAC-O

Sは不純物、及び欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-O-Sを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-O-Sを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-O-Sは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-O-Sを用いると、製造工程の自由度を広げることが可能となる。

[1217]

[nc-O-S]

nc-O-Sは、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。別言すると、nc-O-Sは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1 nm以上10 nm以下、特に1 nm以上3 nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-O-Sは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-O-Sは、分析方法によっては、a-like OS、及び非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-O-S膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-O-S膜に対し、ナノ結晶よりも大きいプローブ径（例えば50 nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-O-S膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1 nm以上30 nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[1218]

[a-like OS]

a-like OSは、nc-O-Sと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-O-S及びCAAC-O-Sと比べて、結晶性が低い。また、a-like OSは、nc-O-S及びCAAC-O-Sと比べて、膜中の水素濃度が高い。

[1219]

<<酸化物半導体の構成>>

次に、上述のCAC-O-Sの詳細について、説明を行う。なお、CAC-O-Sは材料構成に関する。

[1220]

[CAC-O-S]

CAC-O-Sとは、例えば、金属酸化物を構成する元素が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上3 nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[1221]

さらに、CAC-O-Sとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状

となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[1222]

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

[1223]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

[1224]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[1225]

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

[1226]

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、および良好なスイッチング動作を実現することができる。

[1227]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[1228]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[1229]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[1230]

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼称する場合がある。

[1231]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[1232]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[1233]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[1234]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[1235]

酸化物半導体において、第14族元素の一つであるシリコン、又は炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコン又は炭素の濃度と、酸化物半導体との界面近傍のシリコン、又は炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[1236]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[1237]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が

増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[1238]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[1239]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[1240]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[1241]

(実施の形態7)

本実施の形態は、上記実施の形態に示す半導体装置などが形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

[1242]

<半導体ウェハ>

初めに、半導体装置などが形成された半導体ウェハの例を、図83Aを用いて説明する。

[1243]

図83Aに示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

[1244]

半導体ウェハ4800は、ウェハ4801の表面に対して、前工程によって複数の回路部4802を形成することで作製することができる。また、その後、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801の薄膜化してもよい。この工程により、ウェハ4801の反りなどを低減し、部品としての小型化を図ることができる。

[1245]

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインSCL1及びスクライブラインSCL2（ダイシングライン、又は切断ラインと呼称する場合がある）に沿って行われる。なお、スペーシング4803は、ダイシング工程を容易に行うために、

複数のスクライブラインSCL1が平行になるように設け、複数のスクライブラインSCL2が平行になるように設け、スクライブラインSCL1とスクライブラインSCL2が垂直になるように設けることが好ましい。

[1246]

ダイシング工程を行うことにより、図83Bに示すようなチップ4800aを、半導体ウェハ4800から切り出すことができる。チップ4800aは、ウェハ4801aと、回路部4802と、スペーシング4803aと、を有する。なお、スペーシング4803aは、極力小さくなるようにすることが好ましい。この場合、隣り合う回路部4802の間のスペーシング4803の幅が、スクライブラインSCL1の切りしろと、又はスクライブラインSCL2の切りしろとほぼ同等の長さであればよい。

[1247]

なお、本発明の一態様の素子基板の形状は、図83Aに図示した半導体ウェハ4800の形状に限定されない。例えば、矩形状の半導体ウェハあってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

[1248]

<電子部品>

図83Cに電子部品4700および電子部品4700が実装された基板（実装基板4704）の斜視図を示す。図83Cに示す電子部品4700は、モールド4711内にチップ4800aを有している。なお、図83Cに示すとおり、チップ4800aは、回路部4802が積層された構成としてもよい。図83Cは、電子部品4700の内部を示すために、一部を省略している。電子部品4700は、モールド4711の外側にランド4712を有する。ランド4712は電極パッド4713と電氣的に接続され、電極パッド4713はチップ4800aとワイヤ4714によって電氣的に接続されている。電子部品4700は、例えばプリント基板4702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板4702上で電氣的に接続されることで実装基板4704が完成する。

[1249]

図83Dに電子部品4730の斜視図を示す。電子部品4730は、SiP（System in package）またはMCM（Multi Chip Module）の一例である。電子部品4730は、パッケージ基板4732（プリント基板）上にインターポーザ4731が設けられ、インターポーザ4731上に半導体装置4735、および複数の半導体装置4710が設けられている。

[1250]

電子部品4730では、半導体装置4710を有する。半導体装置4710としては、例えば、上記実施の形態で説明した半導体装置、広帯域メモリ（HBM: High Bandwidth Memory）などとすることができる。また、半導体装置4735は、CPU、GPU、FPGA、記憶装置などの集積回路（半導体装置）を用いることができる。

[1251]

パッケージ基板4732は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ4731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[1252]

インターポーザ4731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ4731は、インターポーザ4731上に設けられた集積回路をパッケージ基板4732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼称する場合がある。また、インターポーザ4731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板4732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV (Through Silicon Via) を用いることも出来る。

[1253]

インターポーザ4731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[1254]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[1255]

また、シリコンインターポーザを用いたSiP、MCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ（2.5次元実装）では、シリコンインターポーザを用いることが好ましい。

[1256]

また、電子部品4730と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ4731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品4730では、半導体装置4710と半導体装置4735の高さを揃えることが好ましい。

[1257]

電子部品4730を他の基板に実装するため、パッケージ基板4732の底部に電極4733を設けてもよい。図83Dでは、電極4733を半田ボールで形成する例を示している。パッケージ基板4732の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極4733を導電性のピンで形成してもよい。パッケージ基板4732の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。

[1258]

電子部品4730は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QF

J (Quad Flat J-leaded package)、またはQFN (Quad Flat Non-leaded package) などの実装方法を用いることができる。

[1259]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[1260]

(実施の形態8)

本実施の形態では、上記実施の形態で説明した半導体装置を有する電子機器の一例について説明する。なお、図84には、当該半導体装置を有する電子部品4700が各電子機器に含まれている様子を図示している。

[1261]

[携帯電話]

図84に示す情報端末5500は、情報端末の一種である携帯電話（スマートフォン）である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

[1262]

情報端末5500は、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5511に表示するアプリケーション、表示部5511に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5511に表示するアプリケーション、指紋、声紋などの生体認証を行うアプリケーションなどが挙げられる。また、例えば、情報端末5500に備えられる撮像装置（図示しない）によって画像を取得したとき、上記実施の形態で説明した半導体装置を用いることによって、当該画像に対して畳み込み処理を行うことができる。つまり、当該画像に対して、特徴抽出を行うことができる。

[1263]

[ウェアラブル端末]

また、図84には、ウェアラブル端末の一例として腕時計型の情報端末5900が図示されている。情報端末5900は、筐体5901、表示部5902、操作ボタン5903、操作子5904、バンド5905などを有する。

[1264]

ウェアラブル端末は、先述した情報端末5500と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、ウェアラブル端末を装着した人の健康状態を管理するアプリケーション、目的地を入力することで最適な道を選択して誘導するナビゲーションシステムなどが挙げられる。

[1265]

[情報端末]

また、図84には、デスクトップ型情報端末5300が図示されている。デスクトップ型情報端末5300は、情報端末の本体5301と、ディスプレイ5302と、キーボード5303と、を有する。

[1266]

デスクトップ型情報端末５３００は、先述した情報端末５５００と同様に、上記実施の形態で説明した半導体装置を適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、デスクトップ型情報端末５３００を用いることで、新規の人工知能の開発を行うことができる。また、例えば、情報端末５５００に備えられる撮像装置（図示しない）によって画像を取得したとき、上記実施の形態で説明した半導体装置を用いることによって、当該画像に対して畳み込み処理を行うことができる。つまり、当該画像に対して、特徴抽出を行うことができる。

[１２６７]

なお、上述では、電子機器としてスマートフォン、デスクトップ用情報端末、ウェアラブル端末を例として、それぞれ図８４に図示したが、スマートフォン、デスクトップ用情報端末、ウェアラブル端末以外の情報端末を適用することができる。スマートフォン、デスクトップ用情報端末、ウェアラブル端末以外の情報端末としては、例えば、ＰＤＡ（Personal Digital Assistant）、ノート型情報端末、ワークステーションなどが挙げられる。

[１２６８]

[電化製品]

また、図８４には、電化製品の一例として電気冷凍冷蔵庫５８００が図示されている。電気冷凍冷蔵庫５８００は、筐体５８０１、冷蔵室用扉５８０２、冷凍室用扉５８０３等を有する。

[１２６９]

電気冷凍冷蔵庫５８００に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する電気冷凍冷蔵庫５８００を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫５８００は、電気冷凍冷蔵庫５８００に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能、電気冷凍冷蔵庫５８００に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

[１２７０]

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、ＩＨ（Induction Heating）調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[１２７１]

[ゲーム機]

また、図８４には、ゲーム機の一例である携帯ゲーム機５２００が図示されている。携帯ゲーム機５２００は、筐体５２０１、表示部５２０２、ボタン５２０３等を有する。

[１２７２]

更に、図８４には、ゲーム機の一例である据え置き型ゲーム機７５００が図示されている。据え置き型ゲーム機７５００は、本体７５２０と、コントローラ７５２２を有する。なお、本体７５２０には、無線または有線によってコントローラ７５２２を接続することができる。また、図８４に示していないが、コントローラ７５２２は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネル、スティック、回転式つまみ、スライド式つまみなどを備えることができる。また、コントローラ７５２２は、図８４に示す形状に限定されず、ゲームのジャン

ルに応じて、コントローラ 7 5 2 2 の形状を様々に変更してもよい。例えば、FPS (First Person Shooter) などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、及び／又は音声によって操作する形式としてもよい。

[1 2 7 3]

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイなどの表示装置によって、出力することができる。

[1 2 7 4]

携帯ゲーム機 5 2 0 0 に上記実施の形態で説明した半導体装置を適用することによって、低消費電力の携帯ゲーム機 5 2 0 0 を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[1 2 7 5]

更に、携帯ゲーム機 5 2 0 0 に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有する携帯ゲーム機 5 2 0 0 を実現することができる。

[1 2 7 6]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機 5 2 0 0 に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

[1 2 7 7]

また、携帯ゲーム機 5 2 0 0 で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1 人でもゲームを行うことができる。

[1 2 7 8]

図 8 4 では、ゲーム機の一例として携帯ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、家庭用の据え置き型ゲーム機、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[1 2 7 9]

[移動体]

上記実施の形態で説明した半導体装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

[1 2 8 0]

図 8 4 には移動体の一例である自動車 5 7 0 0 が図示されている。

[1 2 8 1]

自動車5700の運転席周辺には、スピードメーター、タコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することができるインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

[1282]

特に当該表示装置には、自動車5700に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーなどで遮られた視界、運転席の死角などを補うことができ、安全性を高めることができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

[1283]

上記実施の形態で説明した半導体装置は人工知能の構成要素として適用できるため、例えば、当該半導体装置を自動車5700の自動運転システムに用いることができる。また、当該半導体装置を道路案内、危険予測などを行うシステムに用いることができる。当該表示装置には、道路案内、危険予測などの情報を表示する構成としてもよい。

[1284]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様の半導体装置を適用して、人工知能を利用したシステムを付与することができる。

[1285]

[カメラ]

上記実施の形態で説明した半導体装置は、カメラに適用することができる。

[1286]

図84には、撮像装置の一例であるデジタルカメラ6240が図示されている。デジタルカメラ6240は、筐体6241、表示部6242、操作ボタン6243、シャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置、ビューファインダー等を別途装着することができる構成としてもよい。

[1287]

デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[1288]

更に、デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、人工知能を有するデジタルカメラ6240を実現することができる。人工知能を利用することによって、デジタルカメラ6240は、顔、物体など被写体を自動的に認識する機能、又は当該被写体に合わせたピント調節、環境に合わせて自動的にフラッシュを焚く機能、撮像した画像を調色する機能などを有することができる。また、例えば、デジタルカメラ6240によって画像を取得した

とき、上記実施の形態で説明した半導体装置を用いることによって、当該画像に対して畳み込み処理を行うことができる。つまり、当該画像に対して、特徴抽出を行うことができる。

[1289]

[ビデオカメラ]

上記実施の形態で説明した半導体装置は、ビデオカメラに適用することができる。

[1290]

図84には、撮像装置の一例であるビデオカメラ6300が図示されている。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作キー6304、レンズ6305、接続部6306等を有する。操作キー6304及びレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

[1291]

ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。人工知能を利用することによって、ビデオカメラ6300は、エンコードの際に、人工知能によるパターン認識を行うことができる。このパターン認識によって、連続する撮像画像データに含まれる人、動物、物体などの差分データを算出して、データの圧縮を行うことができる。また、例えば、撮像画像データに対して、上記実施の形態で説明した半導体装置を用いて、畳み込み処理を行ってもよい。

[1292]

[PC用の拡張デバイス]

上記実施の形態で説明した半導体装置は、PC（Personal Computer）などの計算機、情報端末用の拡張デバイスに適用することができる。

[1293]

図85Aは、当該拡張デバイスの一例として、持ち運びのできる、演算処理が可能なチップが搭載された、PCに外付けする拡張デバイス6100を示している。拡張デバイス6100は、例えば、USB（Universal Serial Bus）などでPCに接続することで、当該チップによる演算処理を行うことができる。なお、図85Aは、持ち運びが可能な形態の拡張デバイス6100を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファンなどを搭載した比較的大きい形態の拡張デバイスとしてもよい。

[1294]

拡張デバイス6100は、筐体6101、キャップ6102、USBコネクタ6103及び基板6104を有する。基板6104は、筐体6101に収納されている。基板6104には、上記実施の形態で説明した半導体装置などを駆動する回路が設けられている。例えば、基板6104には、チップ6105（例えば、上記実施の形態で説明した半導体装置、電子部品4700、メモリチップなど）、コントローラチップ6106が取り付けられている。USBコネクタ6103は、外部装置と接続するためのインターフェースとして機能する。

[1295]

拡張デバイス 6100 を PC など用いることにより、当該 PC の演算処理能力を高くすることができる。これにより、処理能力の足りない PC でも、例えば、人工知能、動画処理などの演算を行うことができる。

[1296]

[放送システム]

上記実施の形態で説明した半導体装置は、放送システムに適用することができる。

[1297]

図 85B は、放送システムにおけるデータ伝送を模式的に示している。具体的には、図 85B は、放送局 5680 から送信された電波（放送信号）が、各家庭のテレビジョン受信装置（TV）5600 に届くまでの経路を示している。TV 5600 は、受信装置を備え（図示しない。）、アンテナ 5650 で受信された放送信号は、当該受信装置を介して、TV 5600 に送信される。

[1298]

図 85B では、アンテナ 5650 は、UHF（Ultra High Frequency）アンテナを図示しているが、アンテナ 5650 としては、BS・110°CS アンテナ、CS アンテナなども適用できる。

[1299]

電波 5675A、電波 5675B は地上波放送用の放送信号であり、電波塔 5670 は受信した電波 5675A を増幅して、電波 5675B の送信を行う。各家庭では、アンテナ 5650 で電波 5675B を受信することで、TV 5600 で地上波放送を視聴することができる。なお、放送システムは、図 85B に示す地上波放送に限定せず、人工衛星を用いた衛星放送、光回線によるデータ放送などとしてもよい。

[1300]

上述した放送システムは、上記実施の形態で説明した半導体装置を適用して、人工知能を利用した放送システムとしてもよい。放送局 5680 から各家庭の TV 5600 に放送データを送信するとき、エンコーダによって放送データの圧縮が行われ、アンテナ 5650 が当該放送データを受信したとき、TV 5600 に含まれる受信装置のデコーダによって当該放送データの復元が行われる。人工知能を利用することによって、例えば、エンコーダの圧縮方法の一である動き補償予測において、表示画像に含まれる表示パターンの認識を行うことができる。また、人工知能を利用したフレーム内予測などを行うこともできる。また、例えば、解像度の低い放送データを受信して、解像度の高い TV 5600 で当該放送データの表示を行うとき、デコーダによる放送データの復元において、アップコンバートなどの画像の補間処理を行うことができる。

[1301]

上述した人工知能を利用した放送システムは、放送データの量が増大する超高精細度テレビジョン（UHD TV：4K、8K）放送に対して好適である。

[1302]

また、TV 5600 側における人工知能の応用として、例えば、TV 5600 に人工知能を有する録画装置を設けてもよい。このような構成にすることによって、当該録画装置にユーザの好みを人工知能に学習させることで、ユーザの好みにあった番組を自動的に録画することができる。

[1303]

[認証システム]

上記実施の形態で説明した半導体装置は、認証システムに適用することができる。

[1304]

図85Cは、掌紋認証装置を示しており、筐体6431、表示部6432、掌紋読み取り部6433、配線6434を有している。

[1305]

図85Cには、掌紋認証装置が手6435の掌紋を取得する様子を示している。取得した掌紋は、人工知能を利用したパターン認識の処理が行われ、当該掌紋が本人のものであるかどうかの判別を行うことができる。これにより、セキュリティの高い認証を行うシステムを構築することができる。また、本発明の一態様に係る認証システムは、掌紋認証装置に限定されず、指紋、静脈、顔、虹彩、声紋、遺伝子、体格などの生体情報を取得して生体認証を行う装置であつてもよい。

[1306]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[符号の説明]

[1307]

I L D : 回路、W L D : 回路、X L D : 回路、A F P : 回路、A C T F : 回路、M P : 回路、M C : 回路、M C r : 回路、M 1 : トランジスタ、M 1 - 2 b : トランジスタ、M 1 - 2 b r : トランジスタ、M 1 - 3 b : トランジスタ、M 1 - 3 b r : トランジスタ、M 1 c : トランジスタ、M 1 c r : トランジスタ、M 1 p : トランジスタ、M 1 p r : トランジスタ、M 1 r : トランジスタ、M 1 s : トランジスタ、M 1 s r : トランジスタ、M 1 x : トランジスタ、M 1 x r : トランジスタ、M 1 x - 2 b : トランジスタ、M 1 x - 2 b r : トランジスタ、M 1 x - 3 b : トランジスタ、M 1 x - 3 b r : トランジスタ、M 1 - 2 x : トランジスタ、M 1 - 2 x r : トランジスタ、M 1 - 3 x : トランジスタ、M 1 - 3 x r : トランジスタ、M 1 - 2 x - 2 b : トランジスタ、M 1 - 2 x - 2 b r : トランジスタ、M 1 - 3 x - 2 b : トランジスタ、M 1 - 3 x - 2 b r : トランジスタ、M 1 - 2 x - 3 b : トランジスタ、M 1 - 2 x - 3 b r : トランジスタ、M 1 - 3 x - 3 b : トランジスタ、M 1 - 3 x - 3 b r : トランジスタ、M 2 : トランジスタ、M 2 r : トランジスタ、M 2 s : トランジスタ、M 2 s r : トランジスタ、M 2 - 2 b : トランジスタ、M 2 - 2 b r : トランジスタ、M 2 - 3 b : トランジスタ、M 2 - 3 b r : トランジスタ、M 3 : トランジスタ、M 3 p : トランジスタ、M 3 p r : トランジスタ、M 3 r : トランジスタ、M 3 s : トランジスタ、M 3 s r : トランジスタ、M 3 x : トランジスタ、M 3 - 2 b : トランジスタ、M 3 - 2 b r : トランジスタ、M 3 - 2 x : トランジスタ、M 3 - 2 x r : トランジスタ、M 3 - 3 b : トランジスタ、M 3 - 3 b r : トランジスタ、M 3 - 3 x : トランジスタ、M 3 - 3 x r : トランジスタ、M 4 : トランジスタ、M 4 p : トランジスタ、M 4 p r : トランジスタ、M 4 r : トランジスタ、M 4 s : トランジスタ、M 4 s r : トランジスタ、M 4 - 2 b : トランジスタ、M 4 - 2 b r : トランジスタ、M 4 - 2 x : トランジスタ、M 4 - 2 x r : トランジスタ、M 4 - 3 b : トランジスタ、M 4 - 3 b r : トランジスタ、M 4 - 3 x : トランジスタ、M 4 - 3 x r : トランジスタ、M 5 : トランジスタ、M 5 r : トランジスタ、M 6 : トランジスタ、M 6 r : トランジスタ、M 6 s : トランジスタ、M 6 s r : トランジスタ、M 7 : トランジスタ、M 7 r : トランジスタ、M 7 s : トランジスタ、M 7 s r : トランジスタ、M 8 : トランジスタ、M 8 r : トランジスタ、M 9 : トランジスタ、M 9 r : トランジスタ、M 10 : トランジスタ、M 10 r : トランジスタ、

M11 : トランジスタ、M12 : トランジスタ、M12r : トランジスタ、M13 : トランジスタ、
 M13r : トランジスタ、M20 : トランジスタ、M20r : トランジスタ、MZ : トランジスタ、
 CC : 容量、CE : 容量、CEB : 容量、C1 : 容量、C1r : 容量、C1s : 容量、C1sr :
 容量、C2 : 容量、C2r : 容量、C3 : 容量、C3r : 容量、C4 : 容量、n1 : ノード、n1
 r : ノード、n2 : ノード、n2r : ノード、n3 : ノード、n3r : ノード、n4 : ノード、n
 4r : ノード、ina : ノード、inb : ノード、outa : ノード、outb : ノード、S01
 a : スイッチ、S01b : スイッチ、S02a : スイッチ、S02b : スイッチ、S03 : スイッ
 チ、SWI : スイッチ、SWIB : スイッチ、SWO : スイッチ、SWOB : スイッチ、SWL :
 スイッチ、SWLB : スイッチ、SWH : スイッチ、SWHB : スイッチ、SWC1 : スイッチ、
 SWC2 : スイッチ、SWC3 : スイッチ、AS3 : アナログスイッチ、AS3r : アナログスイ
 ッチ、AS4 : アナログスイッチ、AS4r : アナログスイッチ、TW[1] : 切り替え回路、T
 W[j] : 切り替え回路、TW[n] : 切り替え回路、HC : 回路、HCr : 回路、HCS : 回路、
 HCSR : 回路、HC-2b : 回路、HC-2br : 回路、HC-3b : 回路、HC-3br : 回
 路、IV1 : インバータ回路、IV1r : インバータ回路、IV2 : インバータ回路、IV2r :
 インバータ回路、INV3 : インバータ回路、IVR : インバートループ回路、IVRr : インバ
 ートループ回路、ISC : 電流源回路、ISC1 : 定電流源回路、ISC2 : 定電流源回路、IS
 C3 : 定電流源回路、HCS : 回路、HCS-2b : 回路、HCS-3b : 回路、HCSR : 回路、
 HCSR-2br : 回路、HCSR-3br : 回路、TRF : 変換回路、ADCa : アナログデジタル
 変換回路、ADCb : アナログデジタル変換回路、BS : 回路、BSr : 回路、BMC : 回路、B
 MCr : 回路、LC : 負荷回路、LCr : 負荷回路、Tsa : 端子、TsaB : 端子、TSb : 端
 子、TSb1 : 端子、TSb2 : 端子、TSb3 : 端子、TSbB : 端子、TSbB1 : 端子、T
 SbB2 : 端子、TSbB3 : 端子、TSc : 端子、TScB : 端子、VinT : 端子、Vout
 T : 端子、VrefT : 端子、IL : 配線、IL[1] : 配線、IL[j] : 配線、IL[n] :
 配線、ILB : 配線、ILB[1] : 配線、ILB[j] : 配線、ILB[n] : 配線、OL : 配
 線、OL[1] : 配線、OL[j] : 配線、OL[n] : 配線、OLB : 配線、OLB[1] : 配
 線、OLB[j] : 配線、OLB[n] : 配線、WLS[1] : 配線、WLS[i] : 配線、WL
 S[m] : 配線、XL : 配線、XLS[1] : 配線、XLS[i] : 配線、XLS[m] : 配線、
 WLBS : 配線、WXBS : 配線、VAL : 配線、VA : 配線、VAr : 配線、VB : 配線、VS
 O : 配線、VCN : 配線、VCN2 : 配線、VE : 配線、VEr : 配線、VEm : 配線、VEm
 r : 配線、VF : 配線、VFr : 配線、VrefL : 配線、VL : 配線、VLr : 配線、VLs :
 配線、VLsr : 配線、VLm : 配線、VEH : 配線、S1L : 配線、S2L : 配線、Vref1
 L : 配線、Vref2L : 配線、WL : 配線、W1L : 配線、W2L : 配線、WL2b : 配線、W
 L3b : 配線、WXL : 配線、WX1L : 配線、WX1L2b : 配線、WX1L3b : 配線、WX
 1LB : 配線、X1 : 配線、X1L : 配線、X1L2b : 配線、X1L2x : 配線、X1L3b :
 配線、X1L3x : 配線、X2L : 配線、X2L2b : 配線、X2L2x : 配線、X2L3b : 配
 線、X2L3x : 配線、X2LB : 配線、CVL : 配線、SCL1 : スクライブライン、SCL
 2 : スクライブライン、100 : ニューラルネットワーク、110 : 演算回路、120 : 演算回路、
 130 : 演算回路、140 : 演算回路、150 : 演算回路、160 : 演算回路、170 : 演算回路、
 300 : トランジスタ、310 : 基板、310A : 基板、312 : 素子分離層、313 : 半導体領
 域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320 :

絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、366：導電体、411：絶縁体、412：絶縁体、413：絶縁体、414：絶縁体、416：導電体、500：トランジスタ、503：導電体、503a：導電体、503b：導電体、510：絶縁体、512：絶縁体、514：絶縁体、516：絶縁体、518：導電体、522：絶縁体、524：絶縁体、530：酸化物、530a：酸化物、530b：酸化物、530ba：領域、530bb：領域、530bc：領域、540a：導電体、540b：導電体、541a：絶縁体、541b：絶縁体、542a：導電体、542b：導電体、543a：酸化物、543b：酸化物、544：絶縁体、546：導電体、550：絶縁体、550a：絶縁体、550b：絶縁体、552：絶縁体、554：絶縁体、560：導電体、560a：導電体、560b：導電体、571a：絶縁体、571b：絶縁体、574：絶縁体、576：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、586：絶縁体、600：容量素子、610：導電体、612：導電体、620：導電体、630：絶縁体、640：絶縁体、650：絶縁体、660：導電体、4700：電子部品、4702：プリント基板、4704：実装基板、4710：半導体装置、4711：モールド、4712：ランド、4713：電極パッド、4714：ワイヤ、4730：電子部品、4731：インターポーザ、4732：パッケージ基板、4733：電極、4735：半導体装置、4800：半導体ウェハ、4800a：チップ、4801：ウェハ、4801a：ウェハ、4802：回路部、4803：スペーシング、4803a：スペーシング、5200：携帯ゲーム機、5201：筐体、5202：表示部、5203：ボタン、5300：デスクトップ型情報端末、5301：本体、5302：ディスプレイ、5303：キーボード、5500：情報端末、5510：筐体、5511：表示部、5600：TV、5650：アンテナ、5670：電波塔、5675A：電波、5675B：電波、5680：放送局、5700：自動車、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵庫用扉、5803：冷凍室用扉、5900：情報端末、5901：筐体、5902：表示部、5903：操作ボタン、5904：操作子、5905：バンド、6100：拡張デバイス、6101：筐体、6102：キャップ、6103：USBコネクタ、6104：基板、6105：チップ、6106：コントローラチップ、6240：デジタルカメラ、6241：筐体、6242：表示部、6243：操作ボタン、6244：シャッターボタン、6246：レンズ、6300：ビデオカメラ、6301：第1筐体、6302：第2筐体、6303：表示部、6304：操作キー、6305：レンズ、6306：接続部、6431：筐体、6432：表示部、6433：掌紋読み取り部、6434：配線、6435：手、7500：据え置き型ゲーム機、7520：本体、7522：コントローラ

請求の範囲

[請求項 1]

第 1 回路と、第 2 回路と、を有し、

前記第 1 回路は、第 1 保持部と、第 1 駆動トランジスタと、を有し、

前記第 2 回路は、第 2 保持部と、第 2 駆動トランジスタと、を有し、

前記第 1 回路は、第 1 入力配線と、第 2 入力配線と、第 1 配線と、第 2 配線と、に電氣的に接続され、

前記第 2 回路は、前記第 1 入力配線と、前記第 2 入力配線と、前記第 1 配線と、前記第 2 配線と、に電氣的に接続され、

前記第 1 保持部は、前記第 1 配線から前記第 1 駆動トランジスタのソースドレイン間に流れる第 1 電流に応じた第 1 電位を保持する機能を有し、

前記第 2 保持部は、前記第 2 配線から前記第 2 駆動トランジスタのソースドレイン間に流れる第 2 電流に応じた第 2 電位を保持する機能を有し、

前記第 1 回路は、

前記第 1 入力配線に第 1 レベル電位が入力され、かつ前記第 2 入力配線に第 2 レベル電位が入力されたときに、前記第 1 電流を前記第 1 配線に出力する機能と、

前記第 1 入力配線に前記第 2 レベル電位が入力され、かつ前記第 2 入力配線に前記第 1 レベル電位が入力されたときに、前記第 1 電流を前記第 2 配線に出力する機能と、

前記第 1 入力配線に前記第 2 レベル電位が入力され、かつ前記第 2 入力配線に前記第 2 レベル電位が入力されたときに、前記第 1 電流を前記第 1 配線、及び前記第 2 配線に出力しない機能と、を有し、

前記第 2 回路は、

前記第 1 入力配線に前記第 1 レベル電位が入力され、かつ前記第 2 入力配線に前記第 2 レベル電位が入力されたときに、前記第 2 電流を前記第 2 配線に出力する機能と、

前記第 1 入力配線に前記第 2 レベル電位が入力され、かつ前記第 2 入力配線に前記第 1 レベル電位が入力されたときに、前記第 2 電流を前記第 1 配線に出力する機能と、

前記第 1 入力配線に前記第 2 レベル電位が入力され、かつ前記第 2 入力配線に前記第 2 レベル電位が入力されたときに、前記第 2 電流を前記第 1 配線、及び前記第 2 配線に出力しない機能と、を有し、

前記第 1 電流と、前記第 2 電流と、のそれぞれの電流量は、畳み込み処理に用いられるフィルタに含まれるフィルタ値に応じた量であり、

前記第 1 入力配線と、前記第 2 入力配線と、のそれぞれに入力される前記第 1 レベル電位、及び前記第 2 レベル電位は、前記畳み込み処理が施される画像データに応じて決められる、

半導体装置。

[請求項 2]

第 1 回路と、第 2 回路と、を有し、

前記第 1 回路は、第 1 保持部と、第 1 駆動トランジスタと、を有し、

前記第 2 回路は、第 2 保持部と、第 2 駆動トランジスタと、を有し、

前記第 1 回路は、第 1 入力配線と、第 2 入力配線と、第 1 配線と、第 2 配線と、に電氣的に接続され、

前記第 2 回路は、前記第 1 入力配線と、前記第 2 入力配線と、前記第 1 配線と、前記第 2 配線と、に電氣的に接続され、

前記第 1 保持部は、前記第 1 配線から前記第 1 駆動トランジスタのソースドレイン間に流れる第 1 電流に応じた第 1 電位を保持する機能を有し、

前記第 2 保持部は、前記第 2 配線から前記第 2 駆動トランジスタのソースドレイン間に流れる第 2 電流に応じた第 2 電位を保持する機能を有し、

前記第 1 駆動トランジスタは、前記第 1 駆動トランジスタのソースドレイン間において、保持された前記第 1 電位に応じた前記第 1 電流を流す機能を有し、

前記第 2 駆動トランジスタは、前記第 2 駆動トランジスタのソースドレイン間において、保持された前記第 2 電位に応じた前記第 2 電流を流す機能を有し、

前記第 1 回路は、

第 1 期間に、前記第 1 入力配線に第 1 レベル電位が入力され、かつ前記第 2 入力配線に第 2 レベル電位が入力されたときに、前記第 1 電流を前記第 1 配線に出力する機能と、

前記第 1 期間に、前記第 1 入力配線に前記第 2 レベル電位が入力され、かつ前記第 2 入力配線に前記第 1 レベル電位が入力されたときに、前記第 1 電流を前記第 2 配線に出力する機能と、

前記第 1 期間に、前記第 1 入力配線に前記第 2 レベル電位が入力され、かつ前記第 2 入力配線に前記第 2 レベル電位が入力されたときに、前記第 1 電流を前記第 1 配線、及び前記第 2 配線に出力しない機能と、を有し、

前記第 2 回路は、

前記第 1 期間に、前記第 1 入力配線に前記第 1 レベル電位が入力され、かつ前記第 2 入力配線に前記第 2 レベル電位が入力されたときに、前記第 2 電流を前記第 2 配線に出力する機能と、

前記第 1 期間に、前記第 1 入力配線に前記第 2 レベル電位が入力され、かつ前記第 2 入力配線に前記第 1 レベル電位が入力されたときに、前記第 2 電流を前記第 1 配線に出力する機能と、

前記第 1 期間に、前記第 1 入力配線に前記第 2 レベル電位が入力され、かつ前記第 2 入力配線に前記第 2 レベル電位が入力されたときに、前記第 2 電流を前記第 1 配線、及び前記第 2 配線に出力しない機能と、を有し、

前記第 1 電流と、前記第 2 電流と、のそれぞれの電流量は、畳み込み処理に用いられるフィルタに含まれるフィルタ値に応じた量であり、

前記第 1 入力配線と、前記第 2 入力配線と、のそれぞれに入力される前記第 1 レベル電位、及び前記第 2 レベル電位と、前記第 1 期間の長さとは、前記畳み込み処理が施される画像データに応じて決められる、

半導体装置。

[請求項 3]

請求項 2 において、

前記第 1 期間は、第 2 期間と、第 3 期間と、を有し、

前記第 1 入力配線は、前記第 2 期間において、前記第 1 回路及び前記第 2 回路の両方に前記第 1 レベル電位又は前記第 2 レベル電位を与える機能を有し、

前記第 2 入力配線は、前記第 2 期間において、前記第 1 回路及び前記第 2 回路の両方に前記第 1 レベル電位又は前記第 2 レベル電位を与える機能を有し、

前記第 1 入力配線は、前記第 3 期間において、前記第 1 回路及び前記第 2 回路の両方に前記第 1

レベル電位又は前記第 2 レベル電位を与える機能を有し、

前記第 2 入力配線は、前記第 3 期間において、前記第 1 回路及び前記第 2 回路の両方に前記第 1 レベル電位又は前記第 2 レベル電位を与える出力する機能を有し、

前記第 3 期間の長さは、前記第 2 期間の長さの 1.8 倍以上 2.2 倍以下である、
半導体装置。

[請求項 4]

請求項 1 乃至請求項 3 のいずれか一において、

前記第 1 回路は、第 1 トランジスタと、第 2 トランジスタと、第 3 トランジスタと、第 1 容量と、
を有し、

前記第 2 回路は、第 4 トランジスタと、第 5 トランジスタと、第 6 トランジスタと、第 2 容量と、
を有し、

前記第 1 保持部は、前記第 1 トランジスタと、前記第 1 容量と、を有し、

前記第 2 保持部は、前記第 4 トランジスタと、前記第 2 容量と、を有し、

前記第 1 トランジスタの第 1 端子は、前記第 1 容量の第 1 端子と、前記第 1 駆動トランジスタの
ゲートに電氣的に接続され、

前記第 1 トランジスタの第 2 端子は、前記第 1 配線に電氣的に接続され、

前記第 1 駆動トランジスタの第 1 端子は、前記第 2 トランジスタの第 1 端子と、前記第 3 トラン
ジスタの第 1 端子と、に電氣的に接続され、

前記第 2 トランジスタの第 2 端子は、前記第 1 配線に電氣的に接続され、

前記第 2 トランジスタのゲートは、前記第 1 入力配線に電氣的に接続され、

前記第 3 トランジスタの第 2 端子は、前記第 2 配線に電氣的に接続され、

前記第 3 トランジスタのゲートは、前記第 2 入力配線に電氣的に接続され、

前記第 4 トランジスタの第 1 端子は、前記第 2 容量の第 1 端子と、前記第 2 駆動トランジスタの
ゲートに電氣的に接続され、

前記第 4 トランジスタの第 2 端子は、前記第 2 配線に電氣的に接続され、

前記第 2 駆動トランジスタの第 1 端子は、前記第 5 トランジスタの第 1 端子と、前記第 6 トラン
ジスタの第 1 端子と、に電氣的に接続され、

前記第 5 トランジスタの第 2 端子は、前記第 2 配線に電氣的に接続され、

前記第 5 トランジスタのゲートは、前記第 1 入力配線に電氣的に接続され、

前記第 6 トランジスタの第 2 端子は、前記第 1 配線に電氣的に接続され、

前記第 6 トランジスタのゲートは、前記第 2 入力配線に電氣的に接続されている、
半導体装置。

[請求項 5]

請求項 4 において、

前記第 1 回路は、第 7 トランジスタを有し、

前記第 2 回路は、第 8 トランジスタを有し、

前記第 7 トランジスタの第 1 端子は、前記第 1 駆動トランジスタの第 1 端子と、前記第 2 トラン
ジスタの第 1 端子と、前記第 3 トランジスタの第 1 端子と、に電氣的に接続され、

前記第 7 トランジスタの第 2 端子は、前記第 1 トランジスタの第 1 端子、又は第 2 端子の一方に
電氣的に接続され、

前記第8トランジスタの第1端子は、前記第2駆動トランジスタの第1端子と、前記第5トランジスタの第1端子と、前記第6トランジスタの第1端子と、に電氣的に接続され、

前記第8トランジスタの第2端子は、前記第4トランジスタの第1端子、又は第2端子の一方に電氣的に接続され、

前記第1トランジスタのゲートは、前記第4トランジスタのゲートと、前記第7トランジスタのゲートと、前記第8トランジスタのゲートと、に電氣的に接続されている、

半導体装置。

[請求項6]

請求項1乃至請求項3のいずれか一において、

前記第1回路は、第1トランジスタと、第2トランジスタと、第3トランジスタと、第1容量と、を有し、

前記第2回路は、第4トランジスタと、第5トランジスタと、第6トランジスタと、第2容量と、を有し、

前記第1保持部は、前記第1トランジスタと、前記第1容量と、を有し、

前記第2保持部は、前記第4トランジスタと、前記第2容量と、を有し、

前記第1トランジスタの第1端子は、前記第1容量の第1端子と、前記第1駆動トランジスタのゲートと、に電氣的に接続され、

前記第1駆動トランジスタの第1端子は、前記第1トランジスタの第2端子と、前記第2トランジスタの第1端子と、前記第3トランジスタの第1端子と、に電氣的に接続され、

前記第2トランジスタの第2端子は、前記第1配線に電氣的に接続され、

前記第2トランジスタのゲートは、前記第1入力配線に電氣的に接続され、

前記第3トランジスタの第2端子は、前記第2配線に電氣的に接続され、

前記第3トランジスタのゲートは、前記第2入力配線に電氣的に接続され、

前記第4トランジスタの第1端子は、前記第2容量の第1端子と、前記第2駆動トランジスタのゲートに電氣的に接続され、

前記第2駆動トランジスタの第1端子は、前記第4トランジスタの第2端子と、前記第5トランジスタの第1端子と、前記第6トランジスタの第1端子と、に電氣的に接続され、

前記第5トランジスタの第2端子は、前記第2配線に電氣的に接続され、

前記第5トランジスタのゲートは、前記第1入力配線に電氣的に接続され、

前記第6トランジスタの第2端子は、前記第1配線に電氣的に接続され、

前記第6トランジスタのゲートは、前記第2入力配線に電氣的に接続されている、

半導体装置。

[請求項7]

請求項1乃至請求項3のいずれか一において、

前記第1回路は、第3保持部と、第3駆動トランジスタと、を有し、

前記第2回路は、第4保持部と、第4駆動トランジスタと、を有し、

前記第1回路は、第3配線に電氣的に接続され、

前記第2回路は、前記第3配線に電氣的に接続され、

前記第3保持部は、前記第1配線から前記第3駆動トランジスタのソースドレイン間に流れる第3電流に応じた第3電位を保持する機能を有し、

前記第4保持部は、前記第2配線から前記第4駆動トランジスタのソースドレイン間に流れる第4電流に応じた第4電位を保持する機能を有し、

前記第3駆動トランジスタは、前記第3駆動トランジスタのソースドレイン間において、保持された前記第3電位に応じた前記第3電流を流す機能を有し、

前記第4駆動トランジスタは、前記第4駆動トランジスタのソースドレイン間において、保持された前記第4電位に応じた前記第4電流を流す機能を有し、

前記第3配線に入力される信号に応じて、前記第1配線又は前記第2配線の一方に流れる前記第1電流を前記第3電流に切り替え、かつ前記第1配線又は前記第2配線の他方に流れる前記第2電流を前記第4電流に切り替える機能を有する、

半導体装置。

[請求項8]

請求項1乃至請求項7のいずれか一において、

第3回路と、第4回路と、第5回路と、を有し、

前記第3回路は、

前記第1配線を介して、前記第1回路に、前記フィルタ値に応じた前記第1電流を供給する機能と、

前記第2配線を介して、前記第2回路に、前記フィルタ値に応じた前記第2電流を供給する機能と、

前記第4回路は、

前記画像データに応じて、前記第1入力配線に、前記第1レベル電位又は前記第2レベル電位を入力する機能と、

前記画像データに応じて、前記第2入力配線に、前記第1レベル電位又は前記第2レベル電位を入力する機能と、

を有し、

前記第5回路は、前記第1配線と、前記第2配線と、のそれぞれから流れる電流を比較して、前記第5回路の出力端子から、前記フィルタ値と前記画像データの積に応じた電位を出力する機能を有する半導体装置。

[請求項9]

請求項1乃至請求項8のいずれか一の半導体装置と、筐体と、を有し、

前記畳み込み処理によって、画像の特徴抽出が行われる電子機器。

図1A

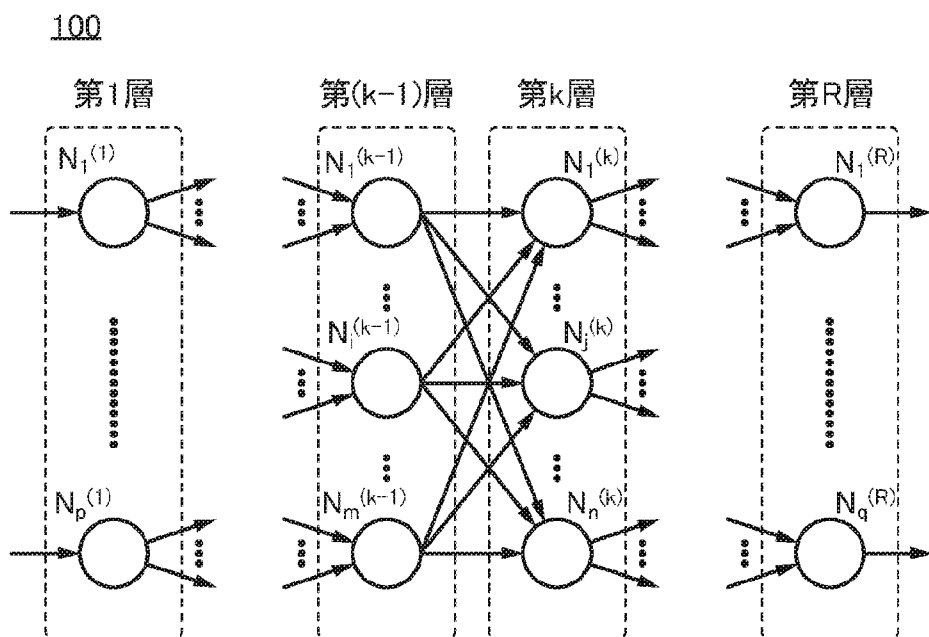
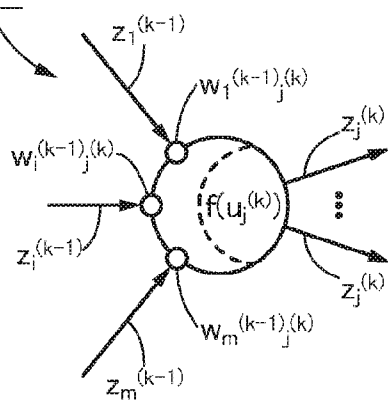
図1B $N_j^{(k)}$ 

図2

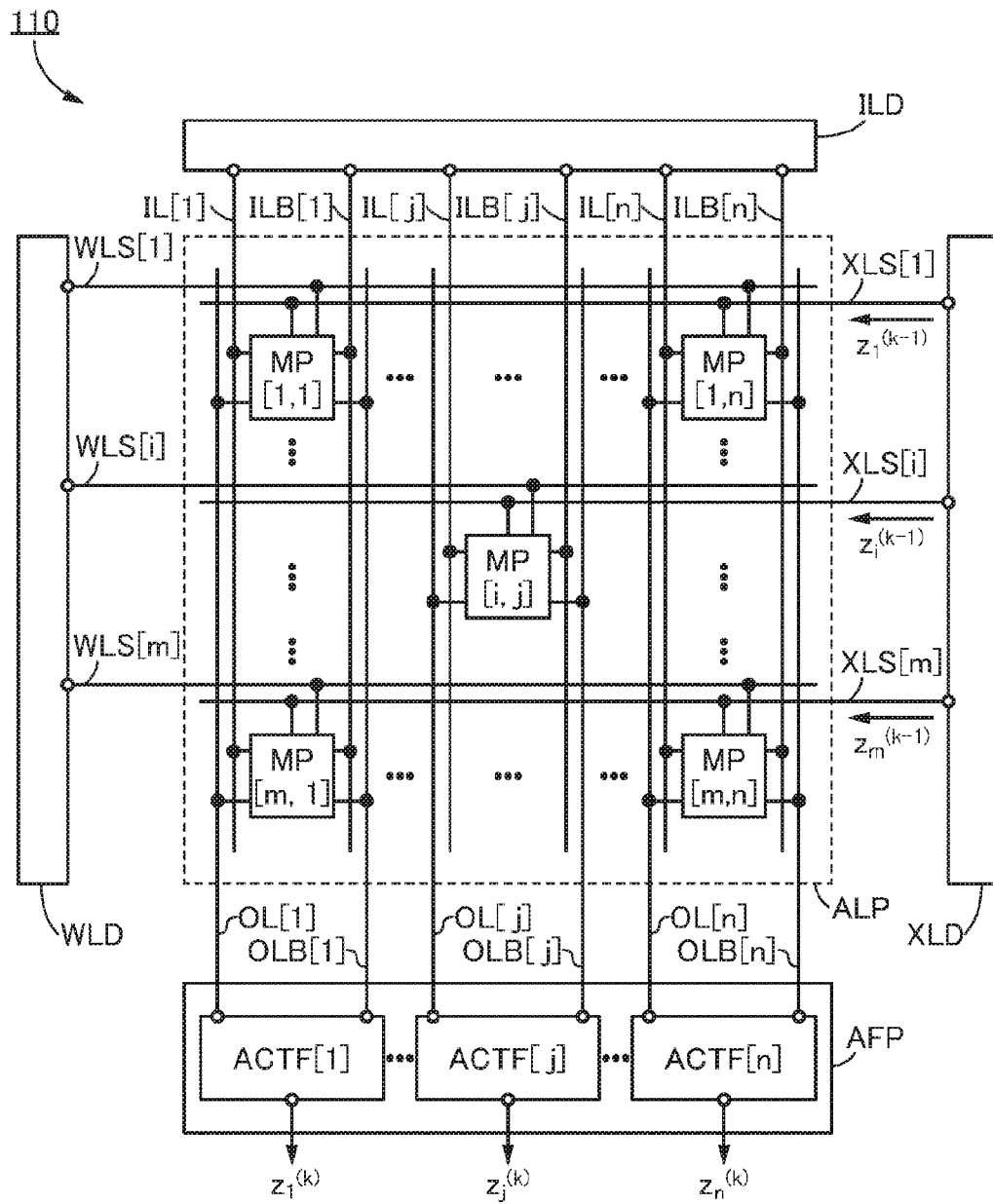


図3

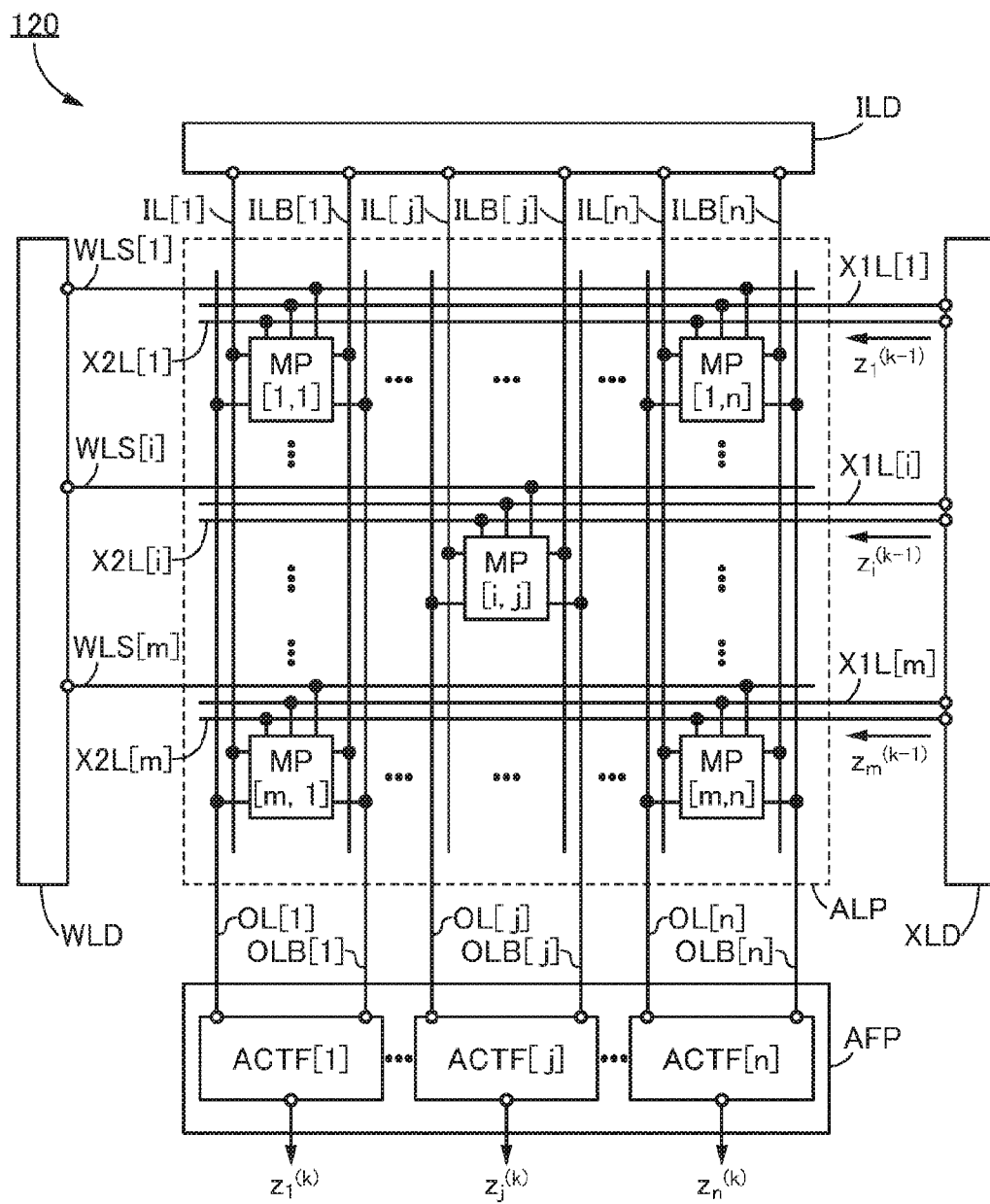


図 4

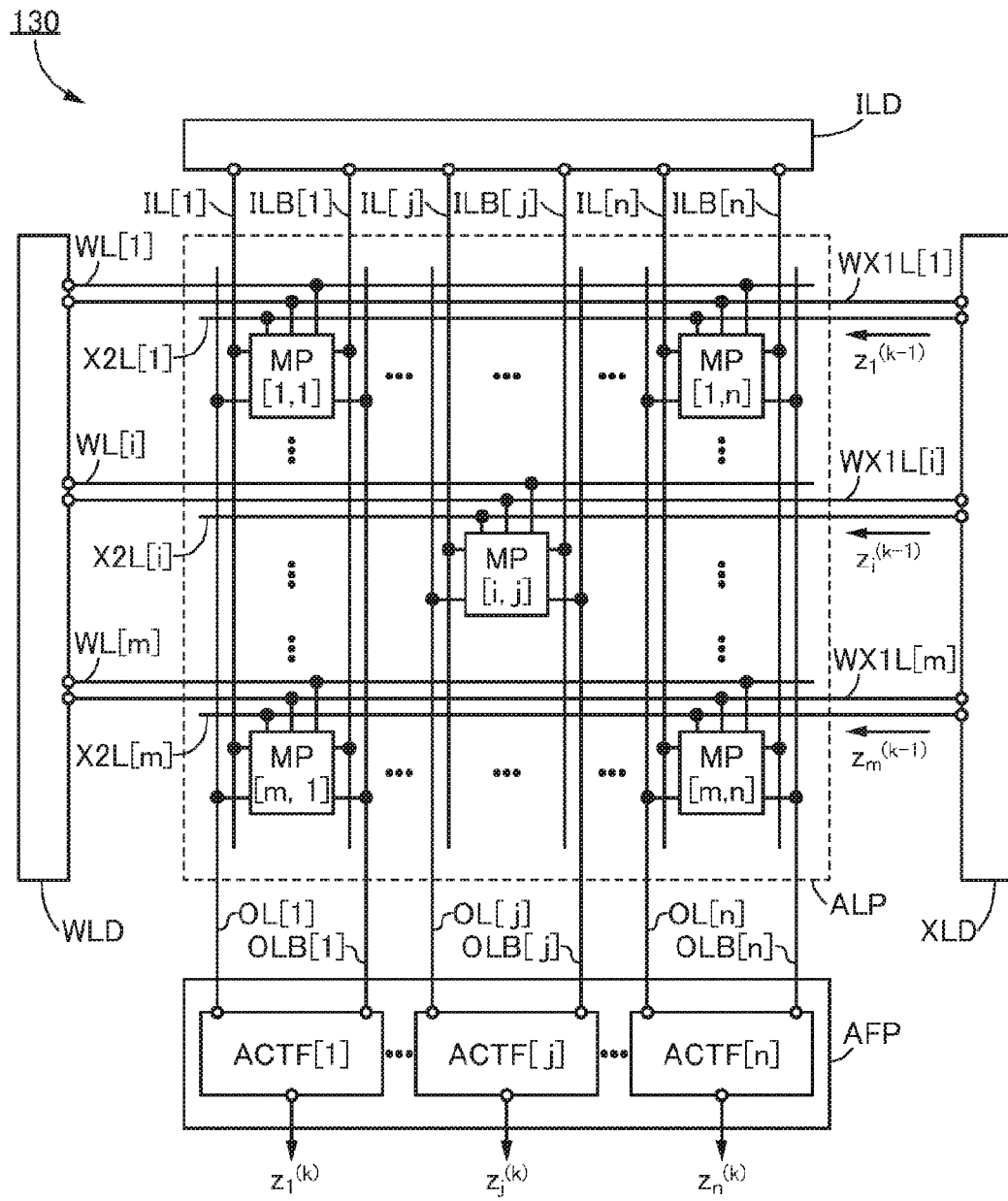


図5A

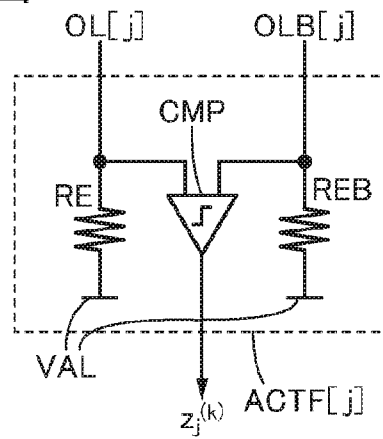


図5B

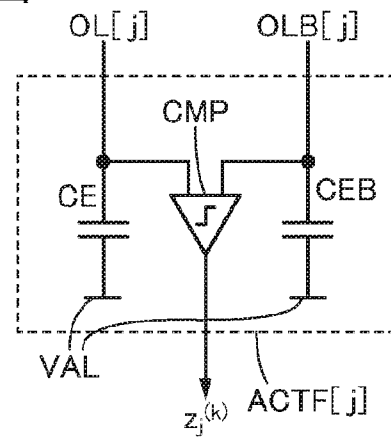


図5C

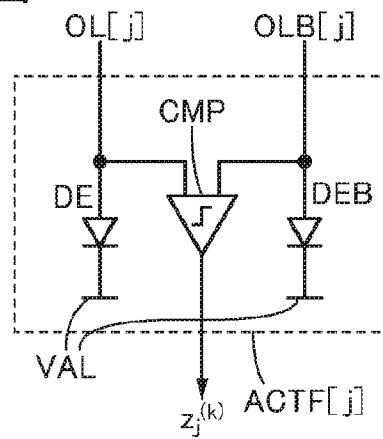


図5D

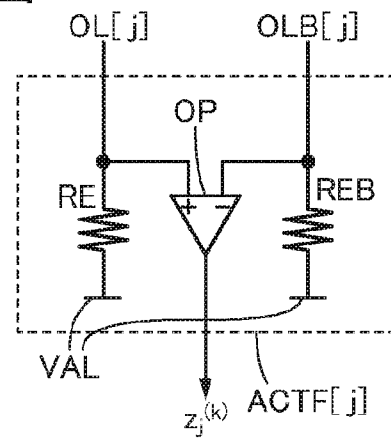


図5E

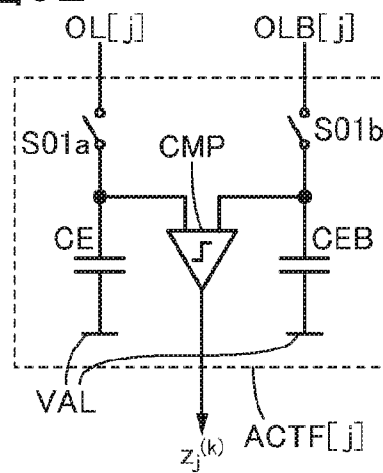


図5F

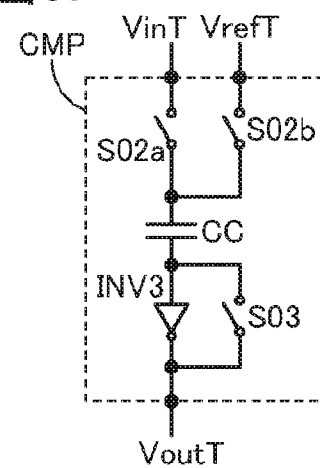


図6A

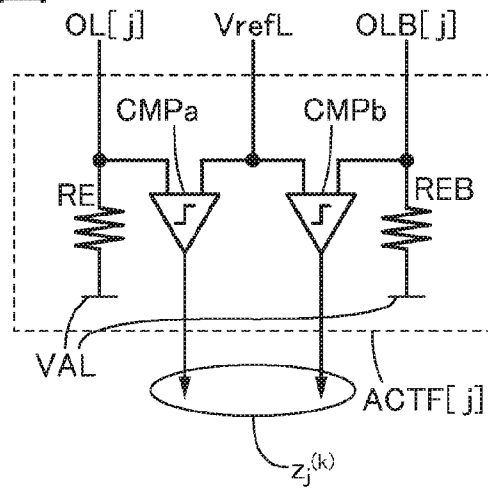


図6B

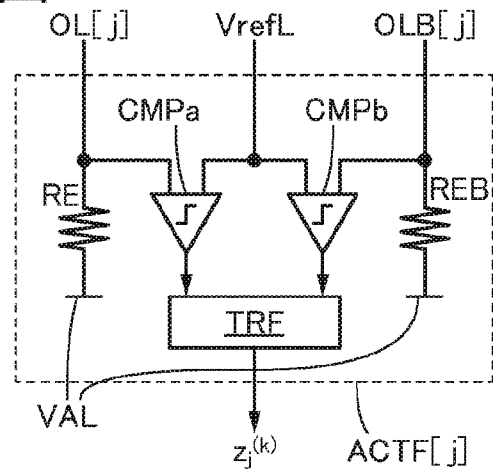


図6C

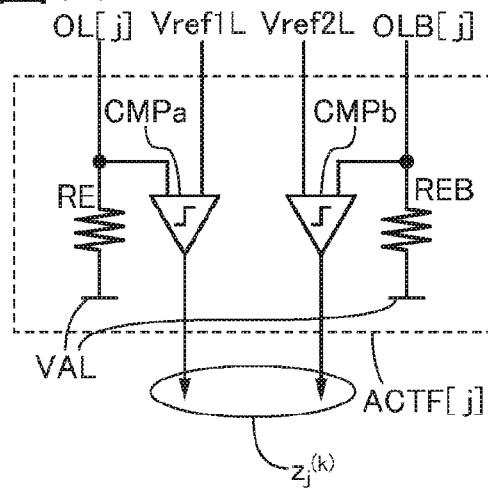


図6D

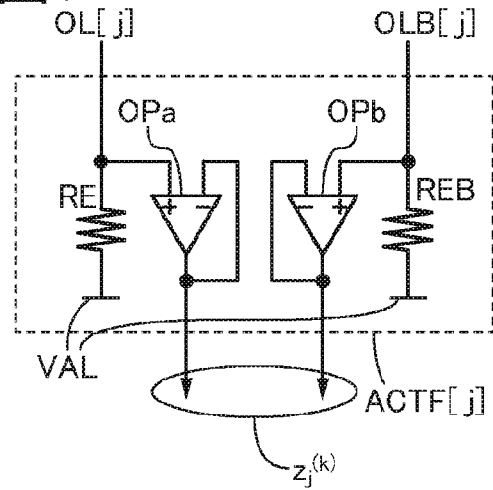


図6E

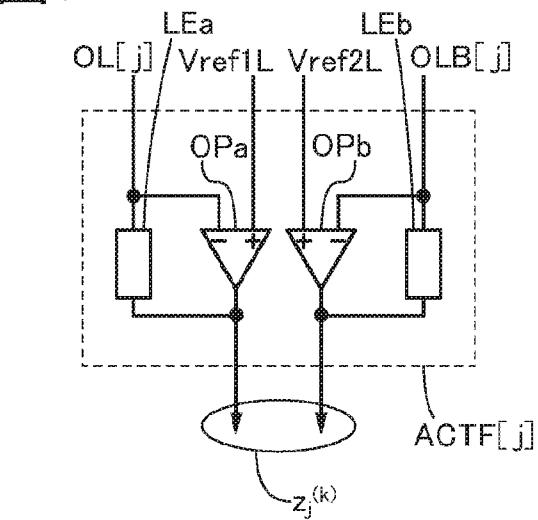


図6F

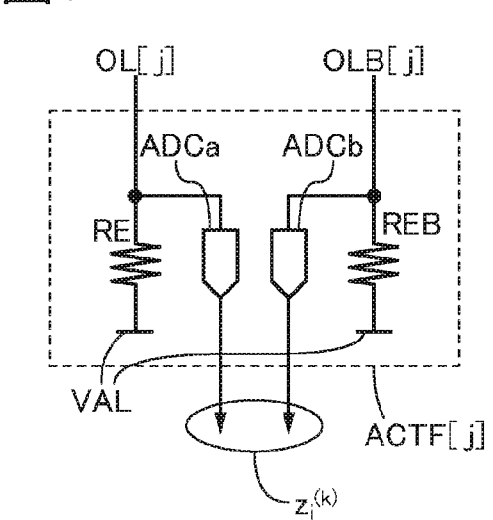


図 7

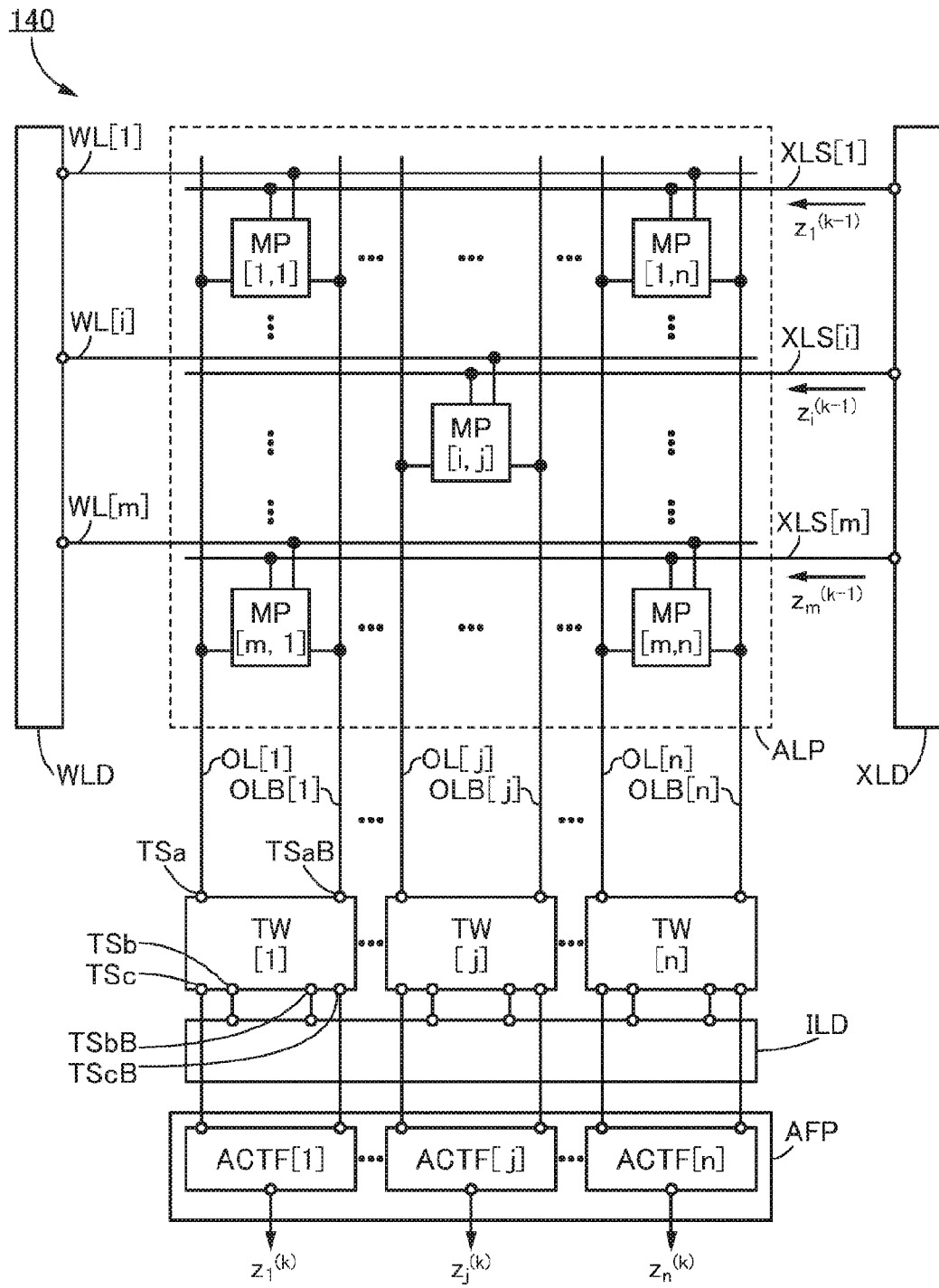


図8A

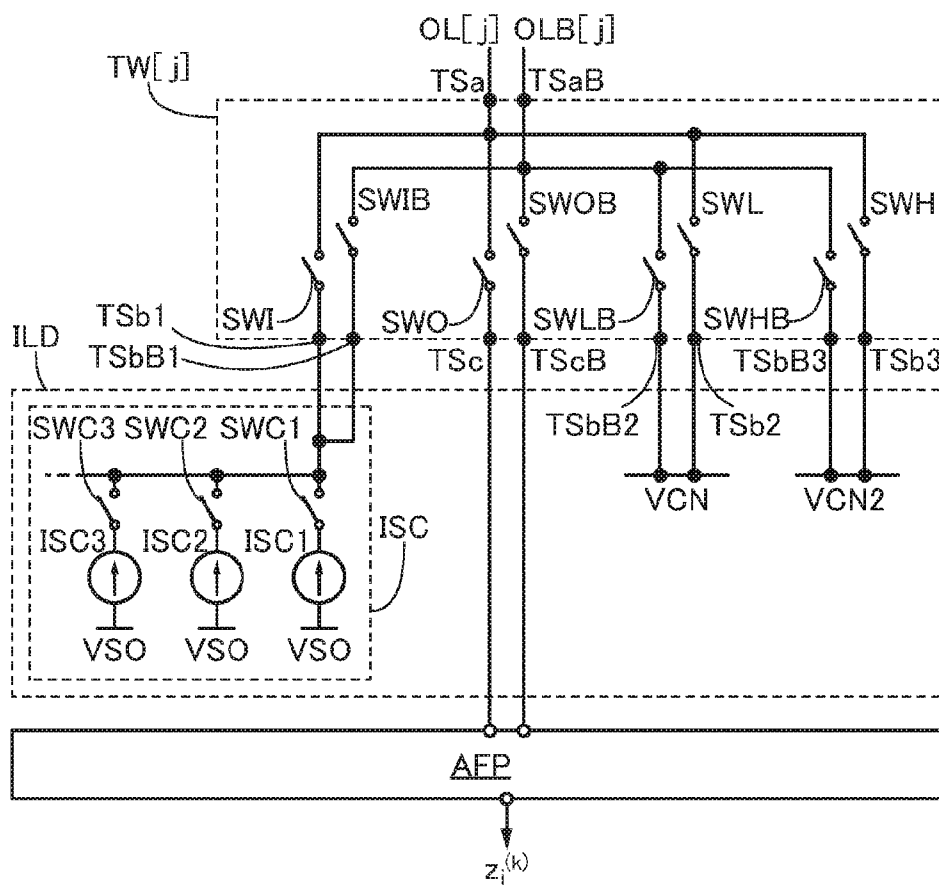


図8B

ISC1(ISC2,ISC3)

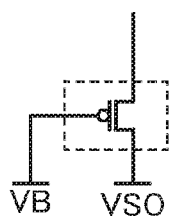


図8C

ISC1(ISC2,ISC3)

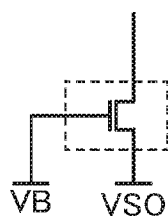


図8D

ISC1(ISC2,ISC3)

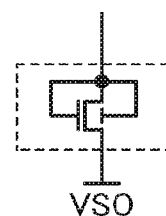


図9A

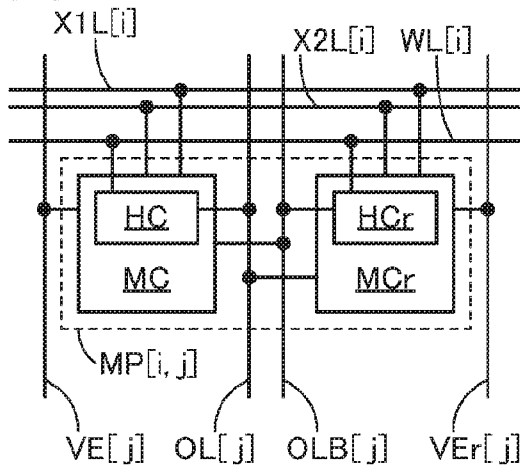


図9B

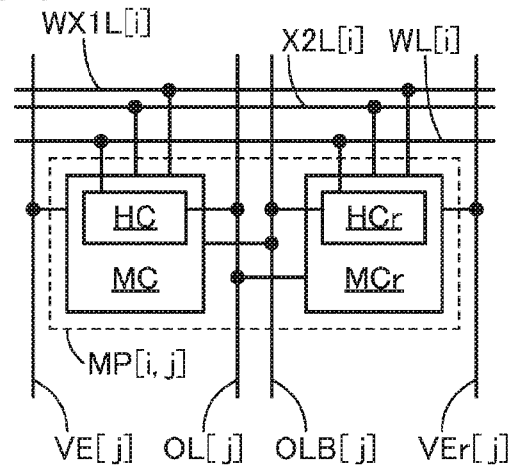


図9C

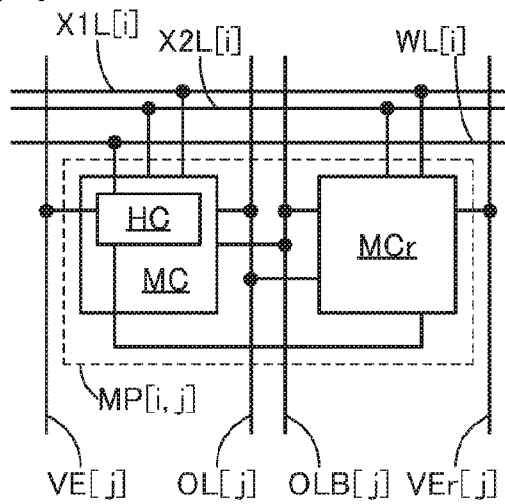


図9D

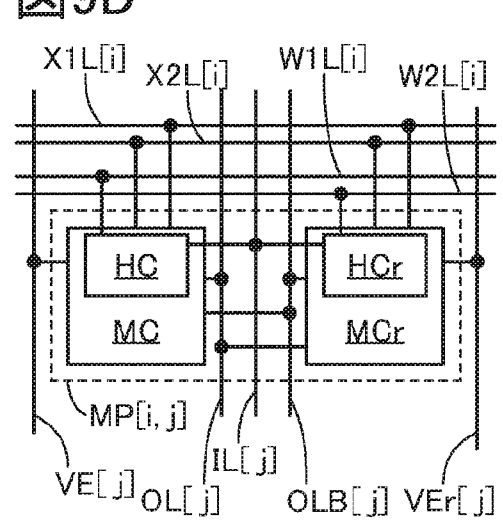


図9E

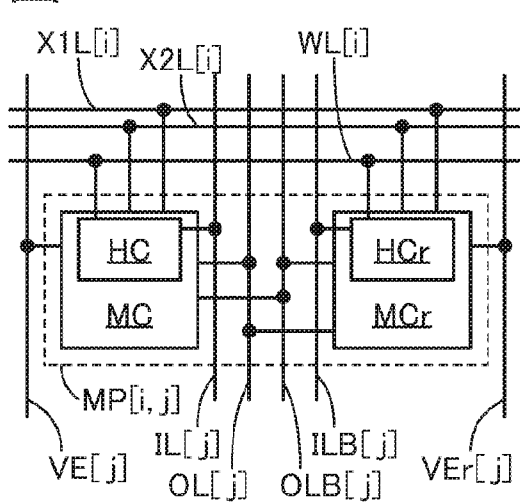


図9F

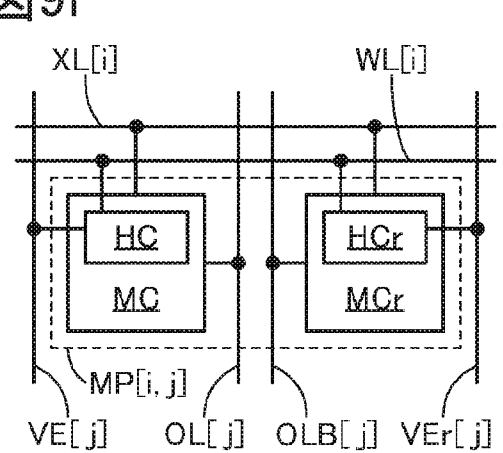


図 10A

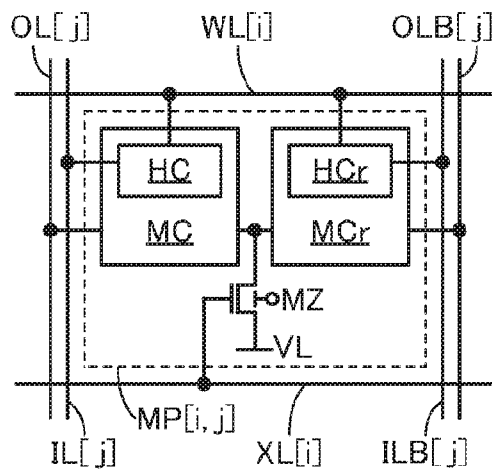
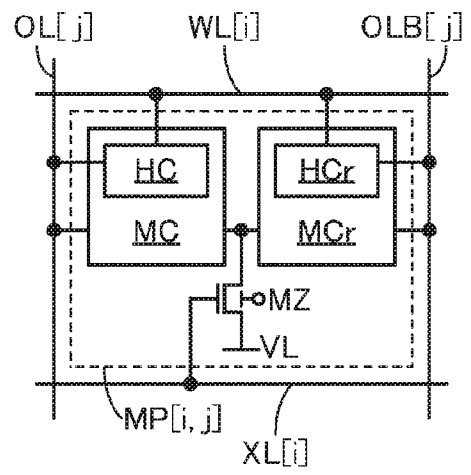
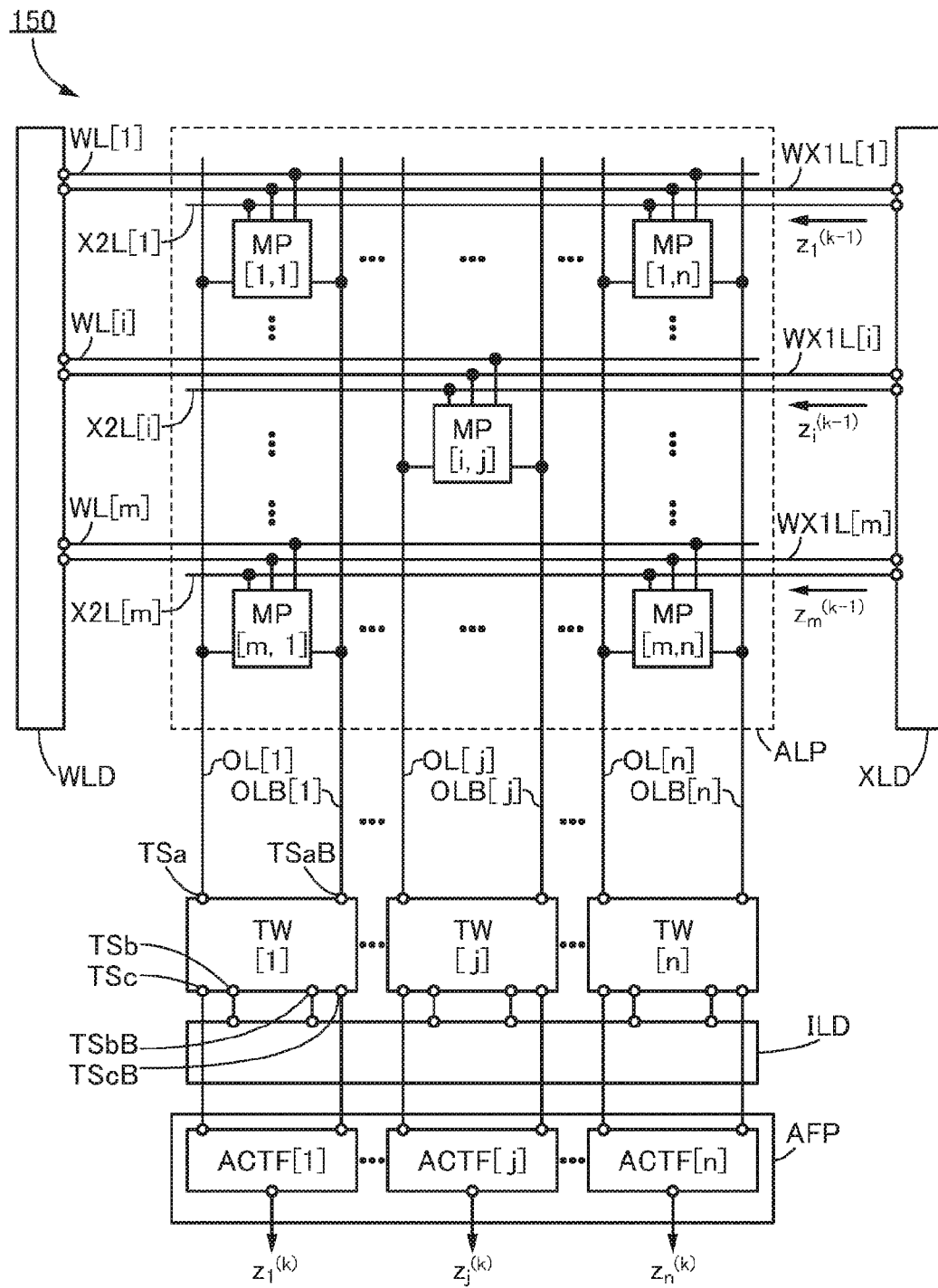


図 10B



11



12

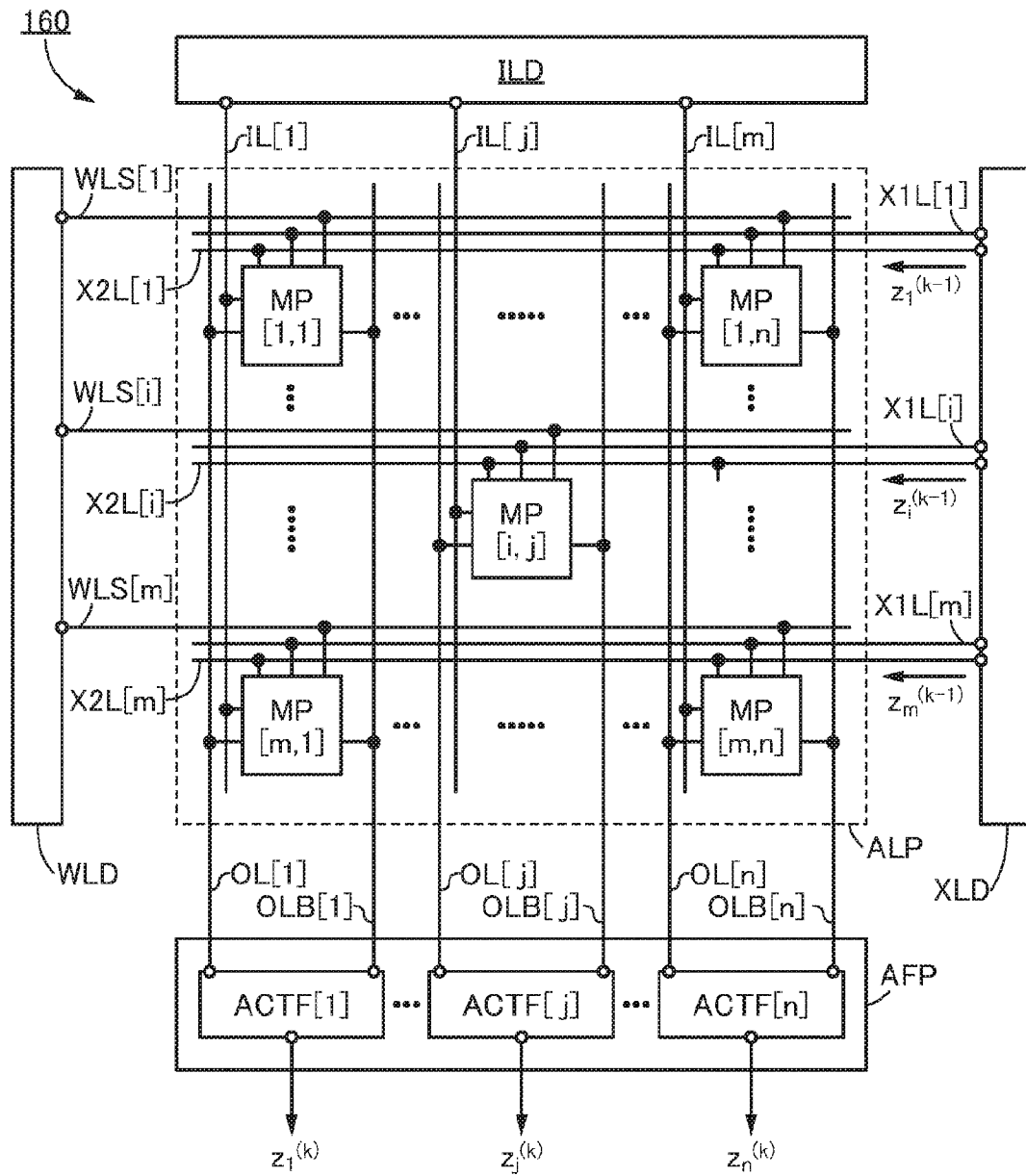


図 13

140

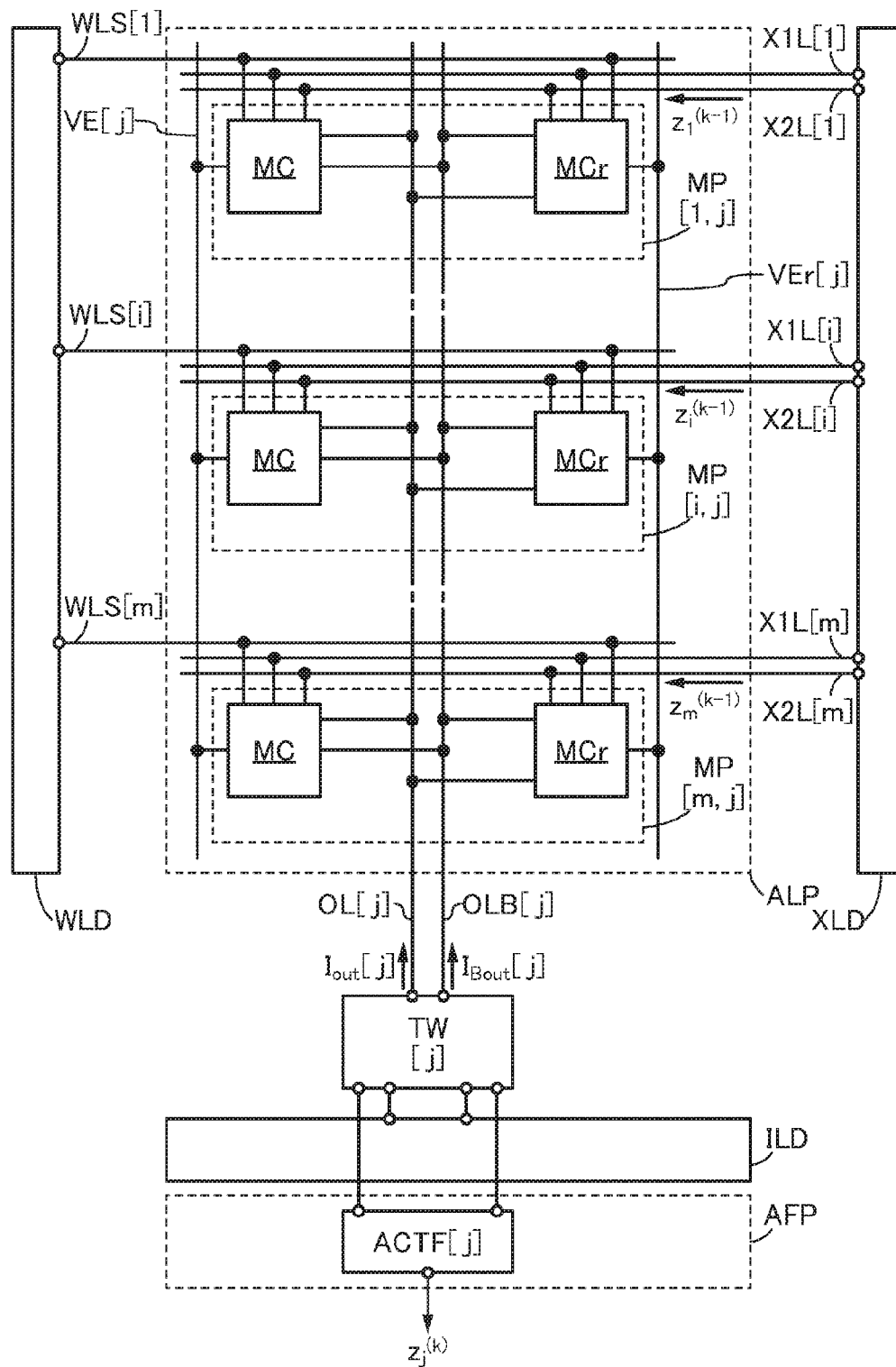


図 14

170

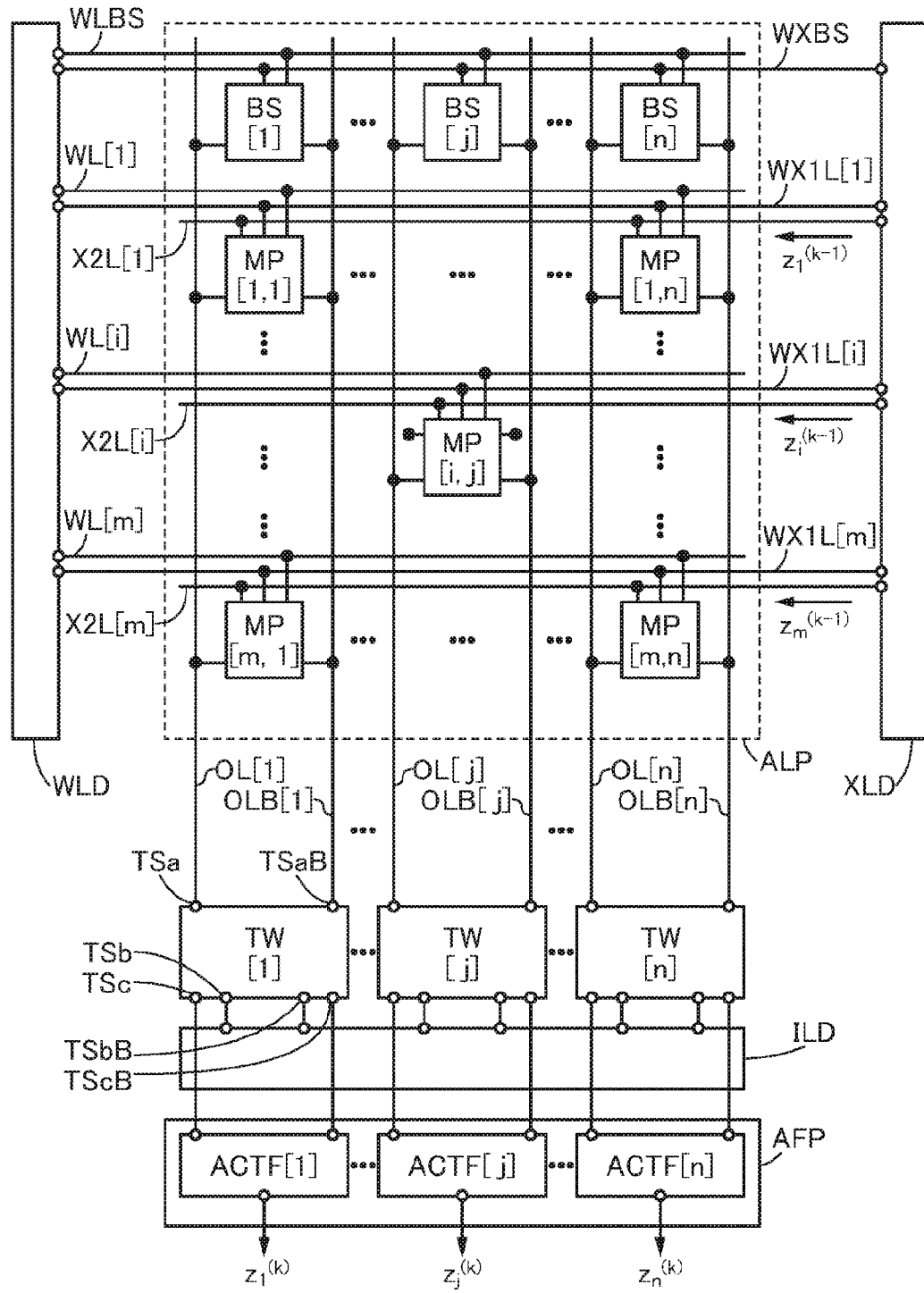


FIG 16A

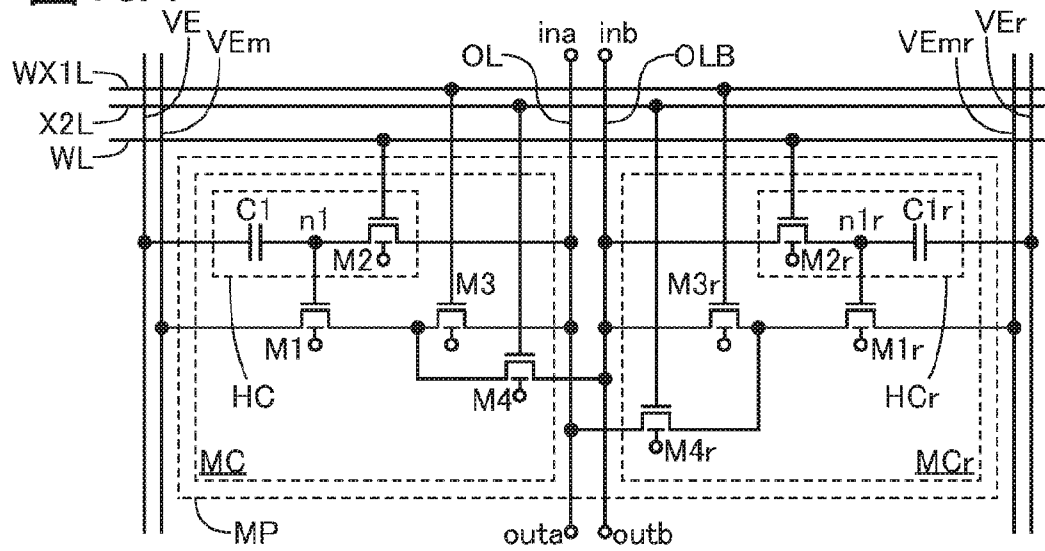


FIG 16B

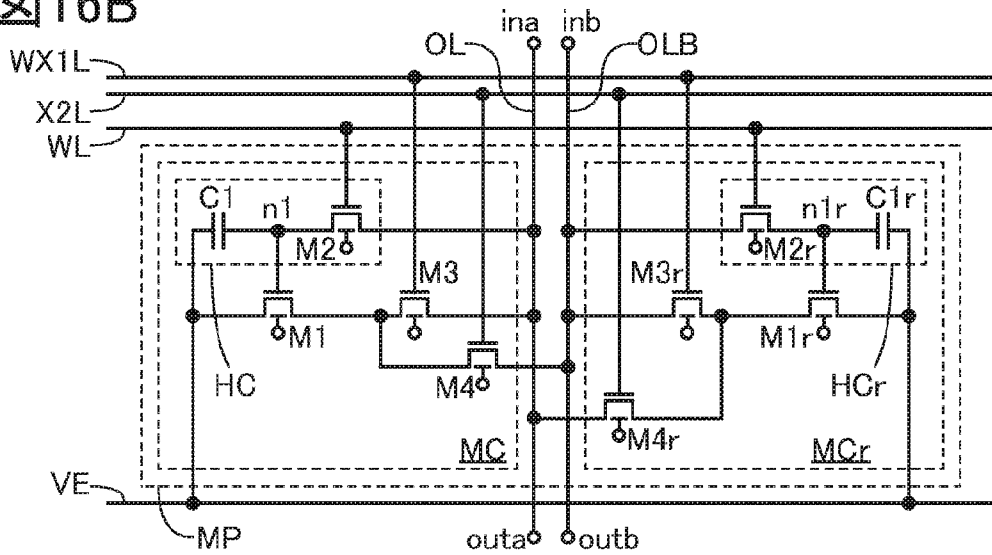


図17A

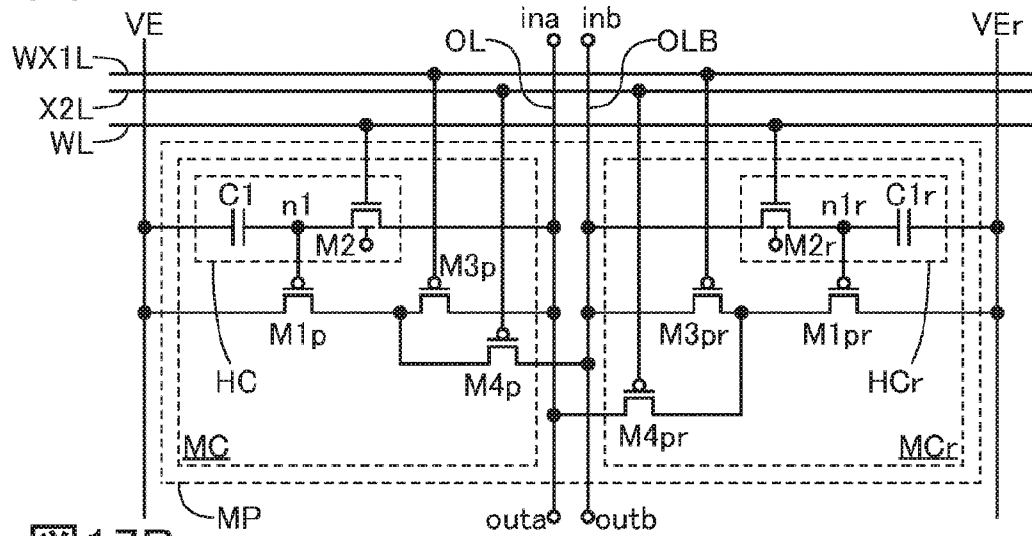


図17B

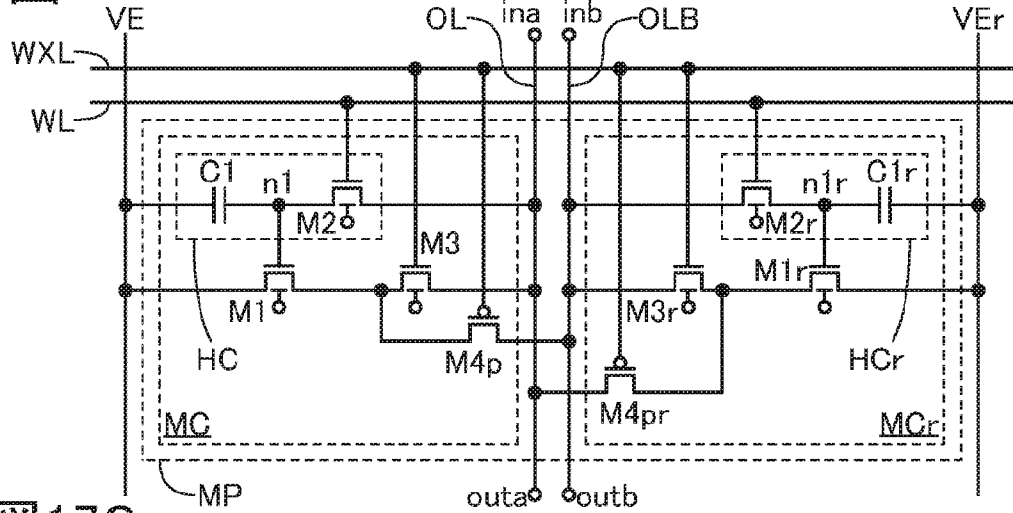


図17C

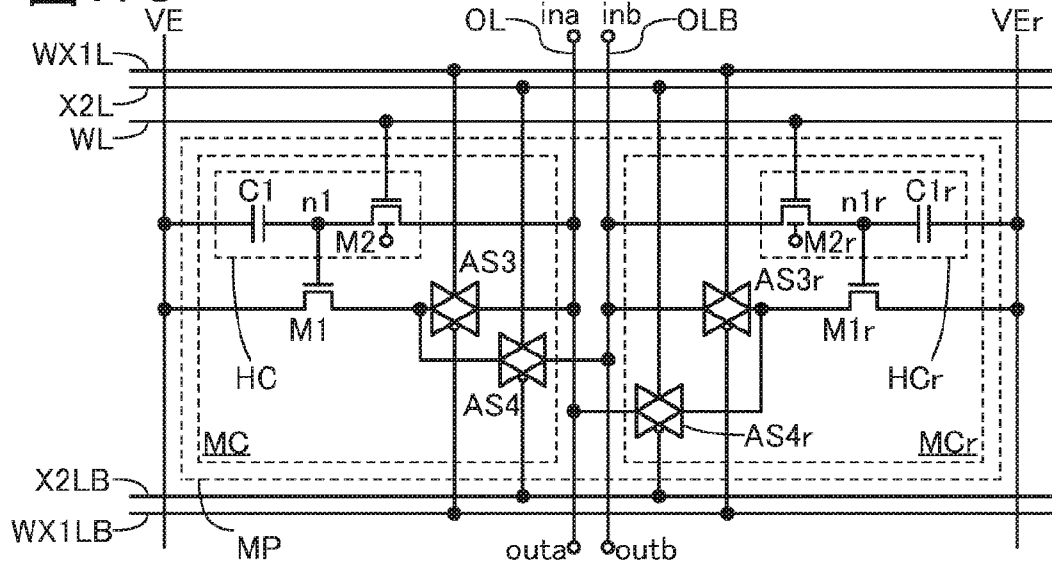


図18A

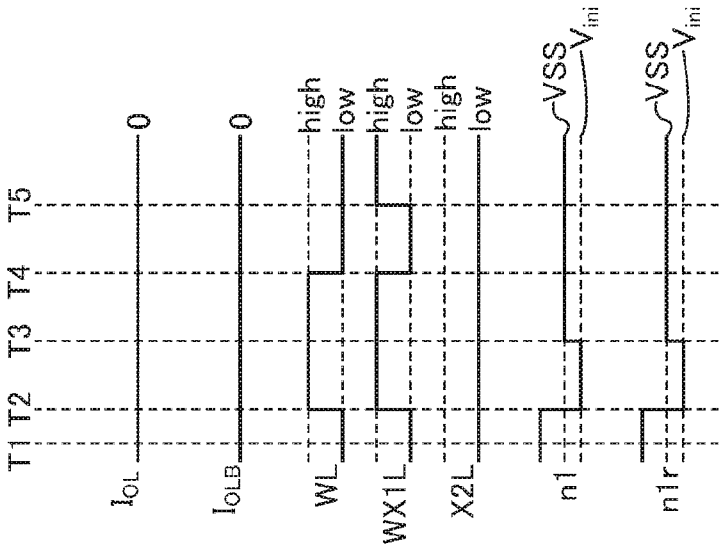


図18B

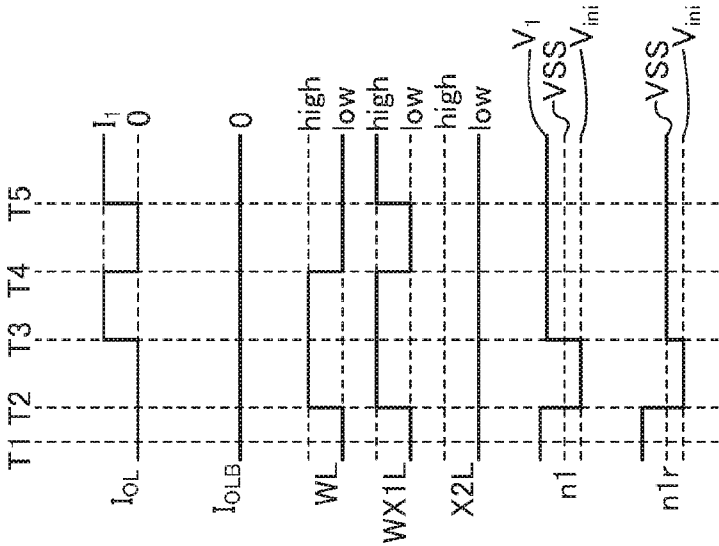


図18C

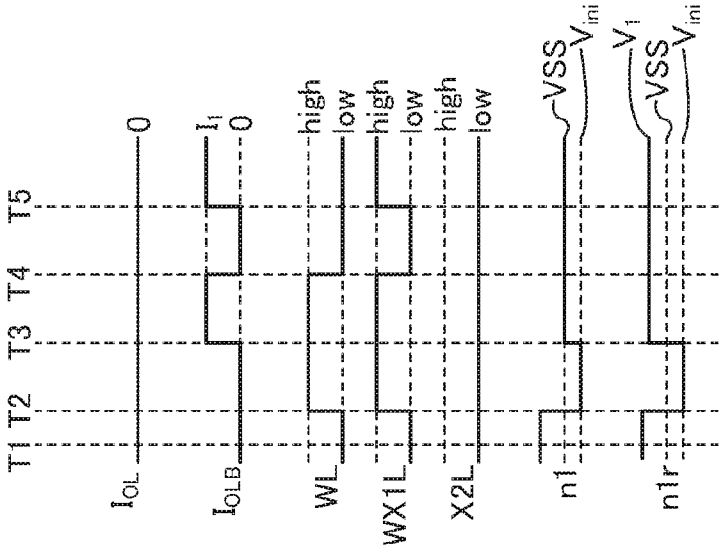


図19A

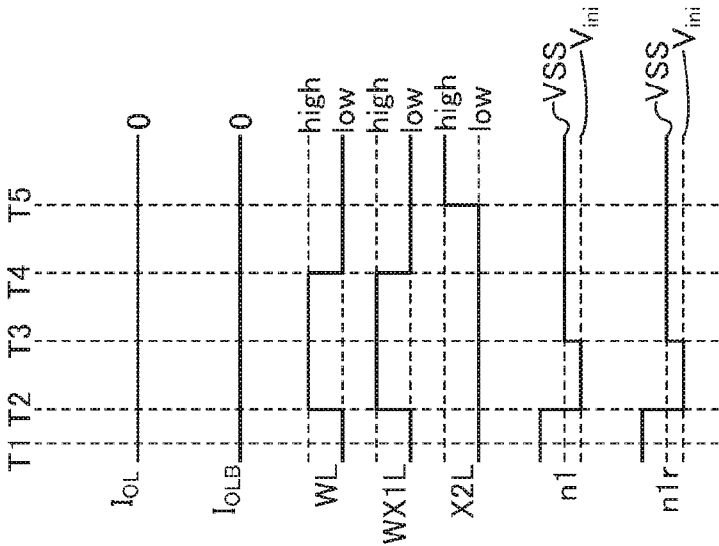


図19B

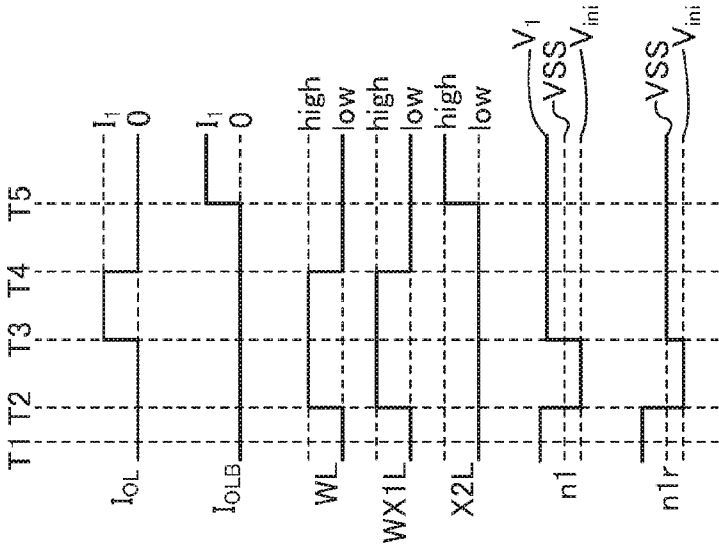


図19C

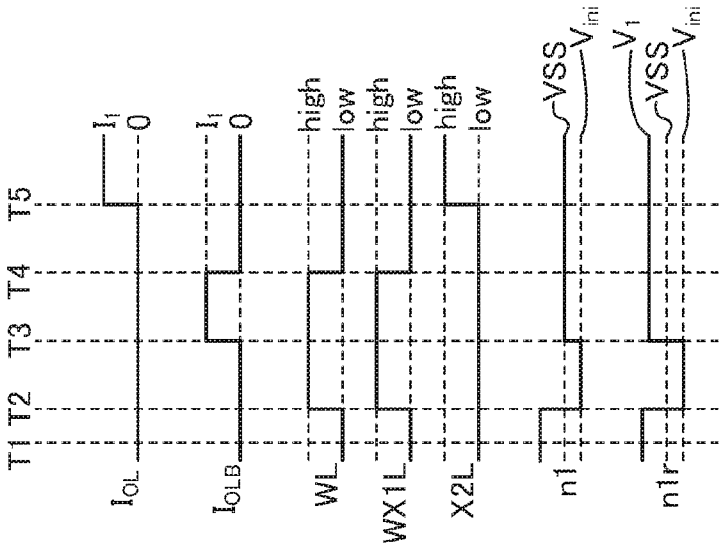


図20A

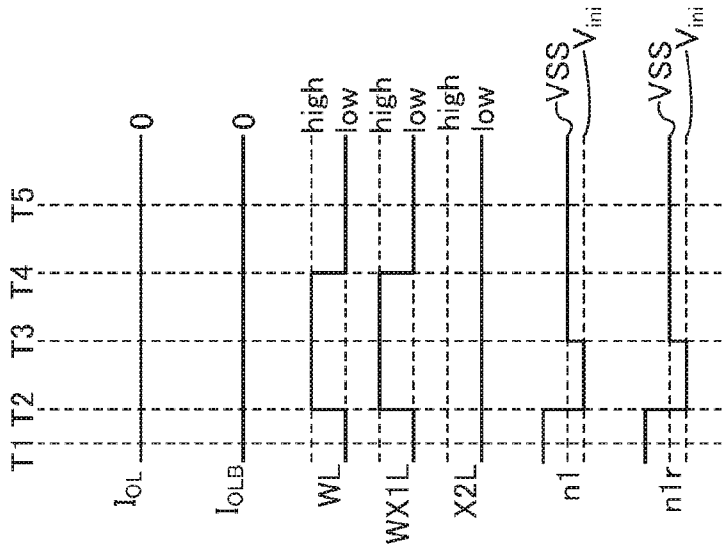


図20B

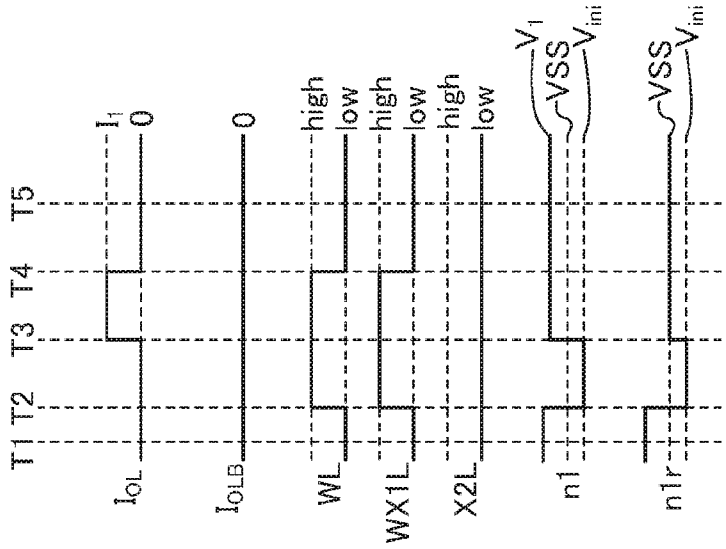


図20C

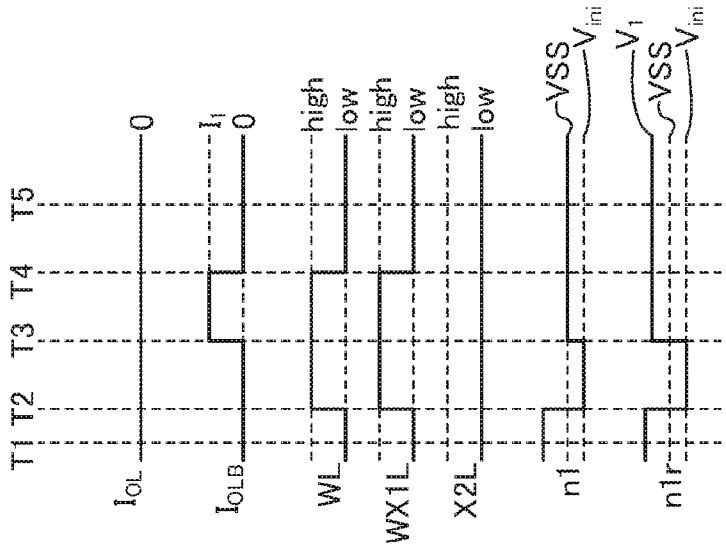


図21A

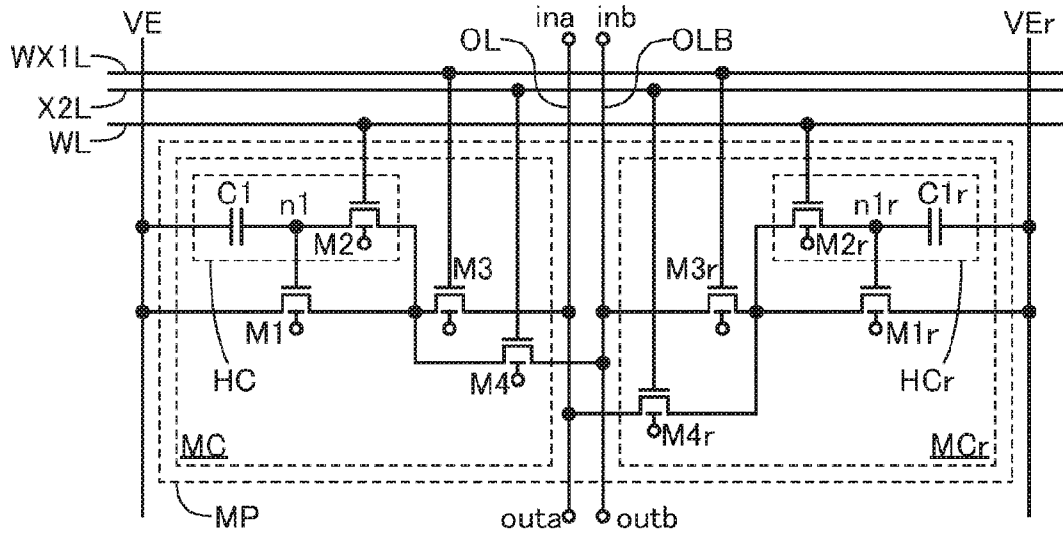


図21B

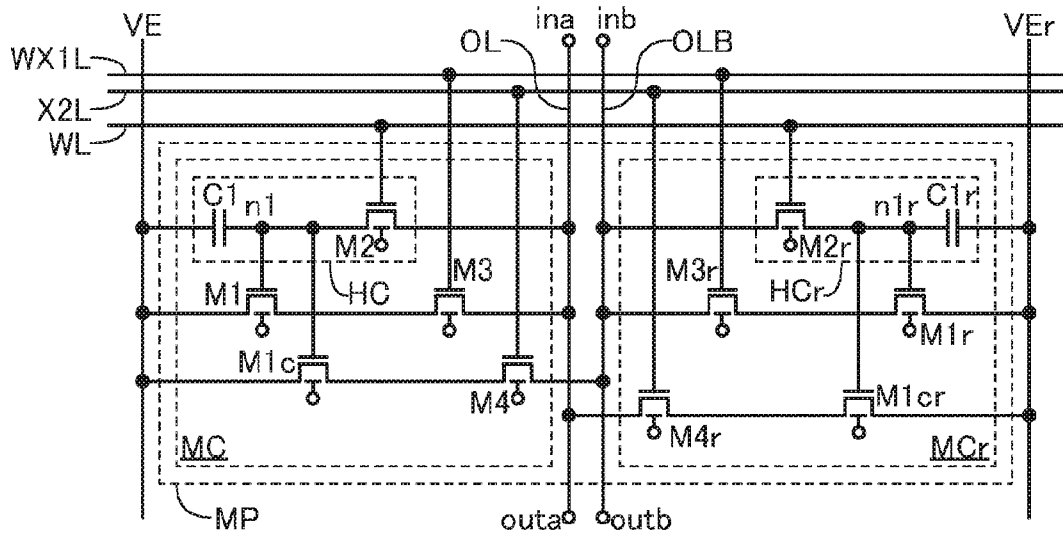
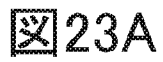
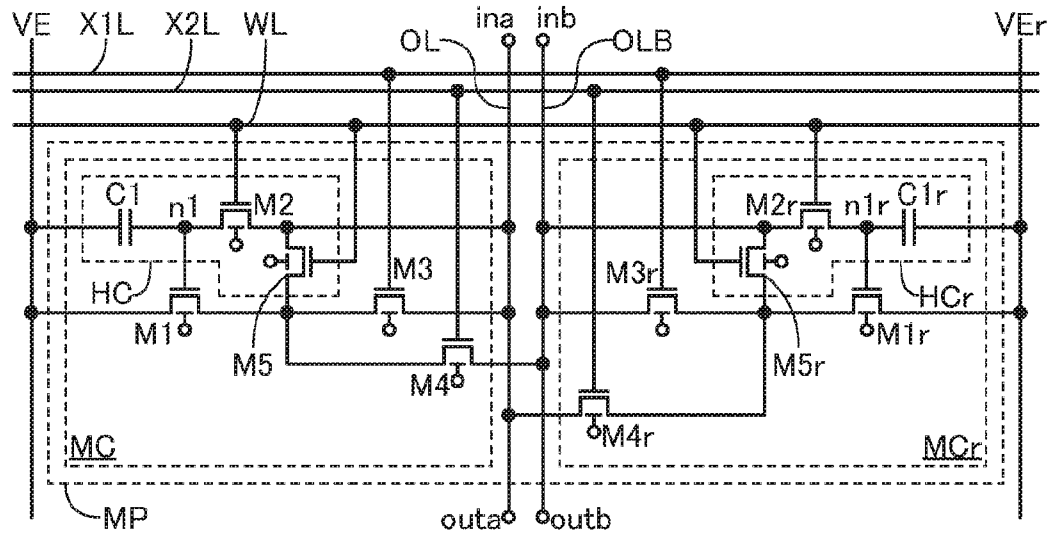
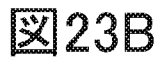
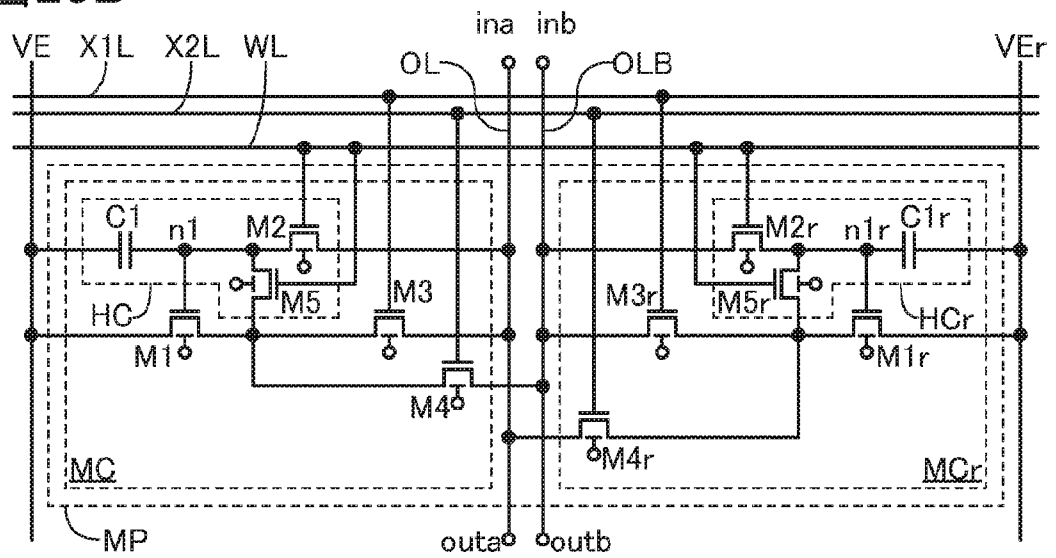
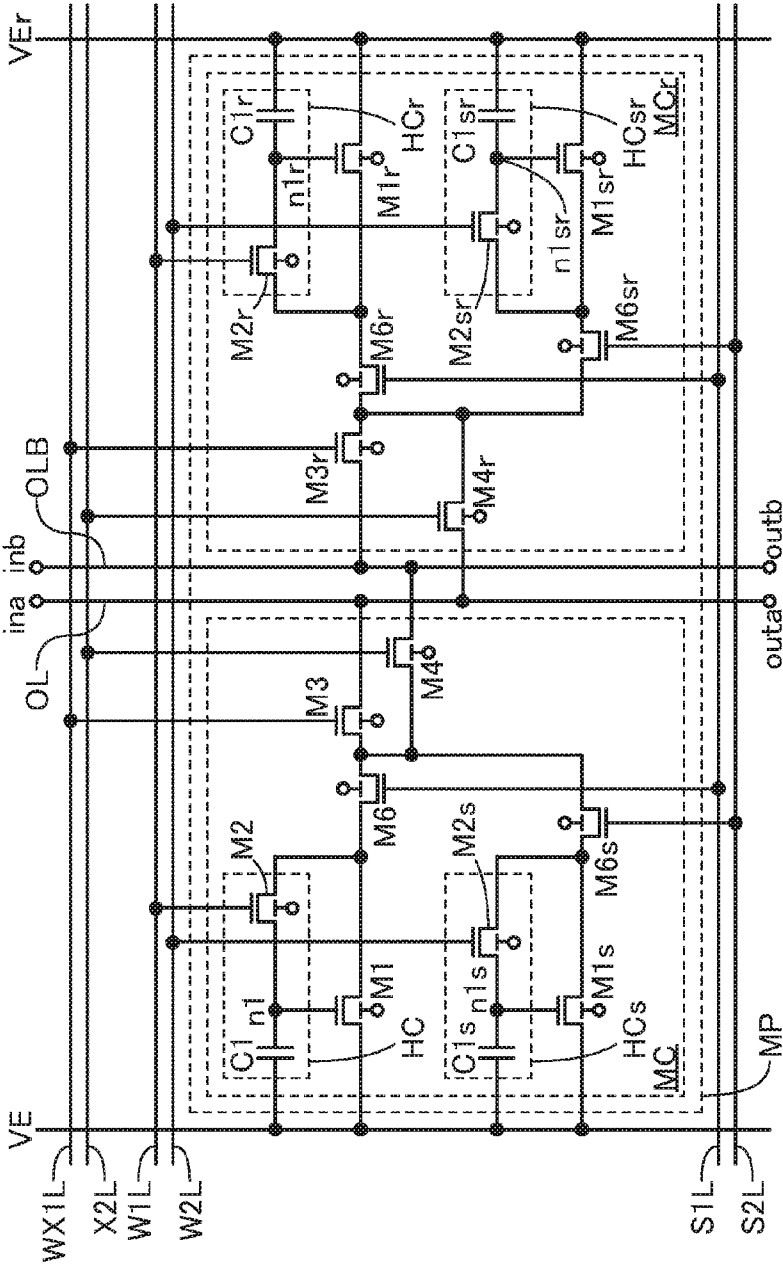


Figure 22A is a schematic diagram of a differential signal processing circuit. It features two main processing blocks, MC and MCr, each enclosed in a dashed box. The circuit is connected to a grid of horizontal and vertical lines representing power and signal planes. Horizontal lines are labeled VE, X1L, X2L, WL, OL, ina, inb, OLB, and VEr. Vertical lines are labeled IL, outa, outb, and ILB. The MC block contains transistors M1, M2, M3, M4, M5, and M5r, along with capacitors C1 and n1, and a component HC. The MCr block contains transistors M1r, M2r, M3r, M4r, M5r, and M5r, along with capacitors C1r and n1r, and a component HCr. The circuit is also connected to a common ground plane MP.

Figure 22B is a schematic diagram of a differential signal processing circuit, similar to Figure 22A. It features two main processing blocks, MC and MCr, each enclosed in a dashed box. The circuit is connected to a grid of horizontal and vertical lines representing power and signal planes. Horizontal lines are labeled VE, X1L, X2L, WL, OL, ina, inb, OLB, and VEr. Vertical lines are labeled IL, outa, outb, and ILB. The MC block contains transistors M1, M2, M3, M4, M5, and M5r, along with capacitors C1 and n1, and a component HC. The MCr block contains transistors M1r, M2r, M3r, M4r, M5r, and M5r, along with capacitors C1r and n1r, and a component HCr. The circuit is also connected to a common ground plane MP.


23A


23B




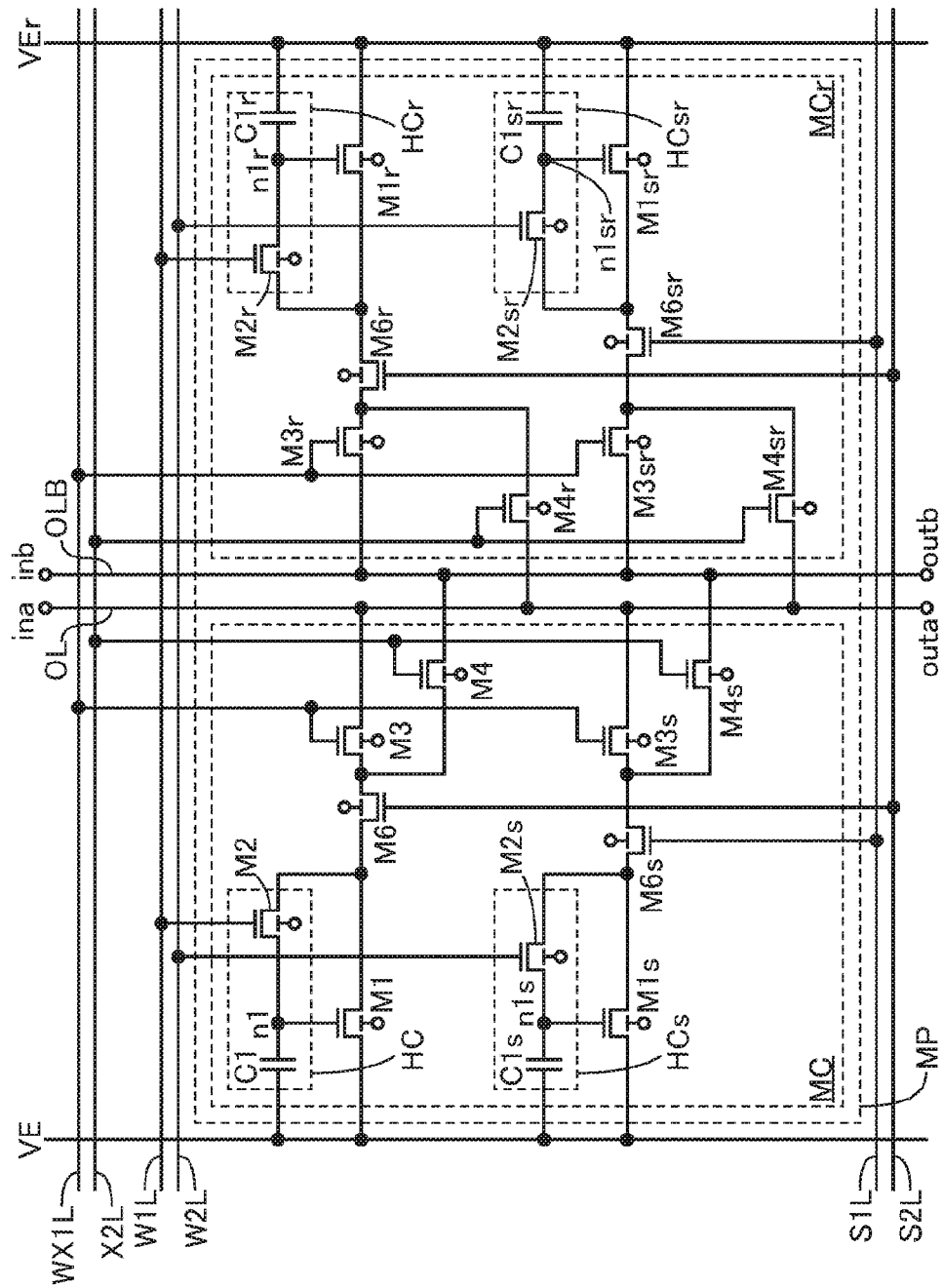


Figure 26 is a schematic diagram of a differential signal processing circuit. The circuit is organized into three horizontal sections, each connected to a word line (WL) and a bit line (BL). The top section is connected to WL1 and BL1, the middle to WL2 and BL2, and the bottom to WL3 and BL3. Each section contains a differential pair of transistors (M1, M2 and M1r, M2r) and a load capacitor (C1, C1r). The gates of M1 and M2 are connected to WL1, and the gates of M1r and M2r are connected to WL2. The drains of M1 and M2 are connected to BL1, and the drains of M1r and M2r are connected to BL2. The sources of M1 and M2 are connected to a common source node (n1), and the sources of M1r and M2r are connected to a common source node (n1r). The gates of M3 and M4 are connected to WL2, and the gates of M3r and M4r are connected to WL3. The drains of M3 and M4 are connected to BL1, and the drains of M3r and M4r are connected to BL2. The sources of M3 and M4 are connected to a common source node (n2), and the sources of M3r and M4r are connected to a common source node (n2r). The gates of M3-2b and M4-2b are connected to WL2, and the gates of M3-2br and M4-2br are connected to WL3. The drains of M3-2b and M4-2b are connected to BL1, and the drains of M3-2br and M4-2br are connected to BL2. The sources of M3-2b and M4-2b are connected to a common source node (n3), and the sources of M3-2br and M4-2br are connected to a common source node (n3r). The gates of M3-3b and M4-3b are connected to WL3, and the gates of M3-3br and M4-3br are connected to WL2. The drains of M3-3b and M4-3b are connected to BL1, and the drains of M3-3br and M4-3br are connected to BL2. The sources of M3-3b and M4-3b are connected to a common source node (n4), and the sources of M3-3br and M4-3br are connected to a common source node (n4r). The circuit includes input nodes (ina, inb) and output nodes (outa, outb). The gates of M1 and M2 are connected to WL1, and the gates of M1r and M2r are connected to WL2. The gates of M3 and M4 are connected to WL2, and the gates of M3r and M4r are connected to WL3. The gates of M3-2b and M4-2b are connected to WL2, and the gates of M3-2br and M4-2br are connected to WL3. The gates of M3-3b and M4-3b are connected to WL3, and the gates of M3-3br and M4-3br are connected to WL2. The circuit is labeled with various components and nodes, including M1, M2, M3, M4, M1r, M2r, M3r, M4r, M3-2b, M4-2b, M3-2br, M4-2br, M3-3b, M4-3b, M3-3br, M4-3br, C1, C1r, n1, n1r, n2, n2r, n3, n3r, n4, n4r, WL1, WL2, WL3, BL1, BL2, BL3, ina, inb, outa, outb, and MP.

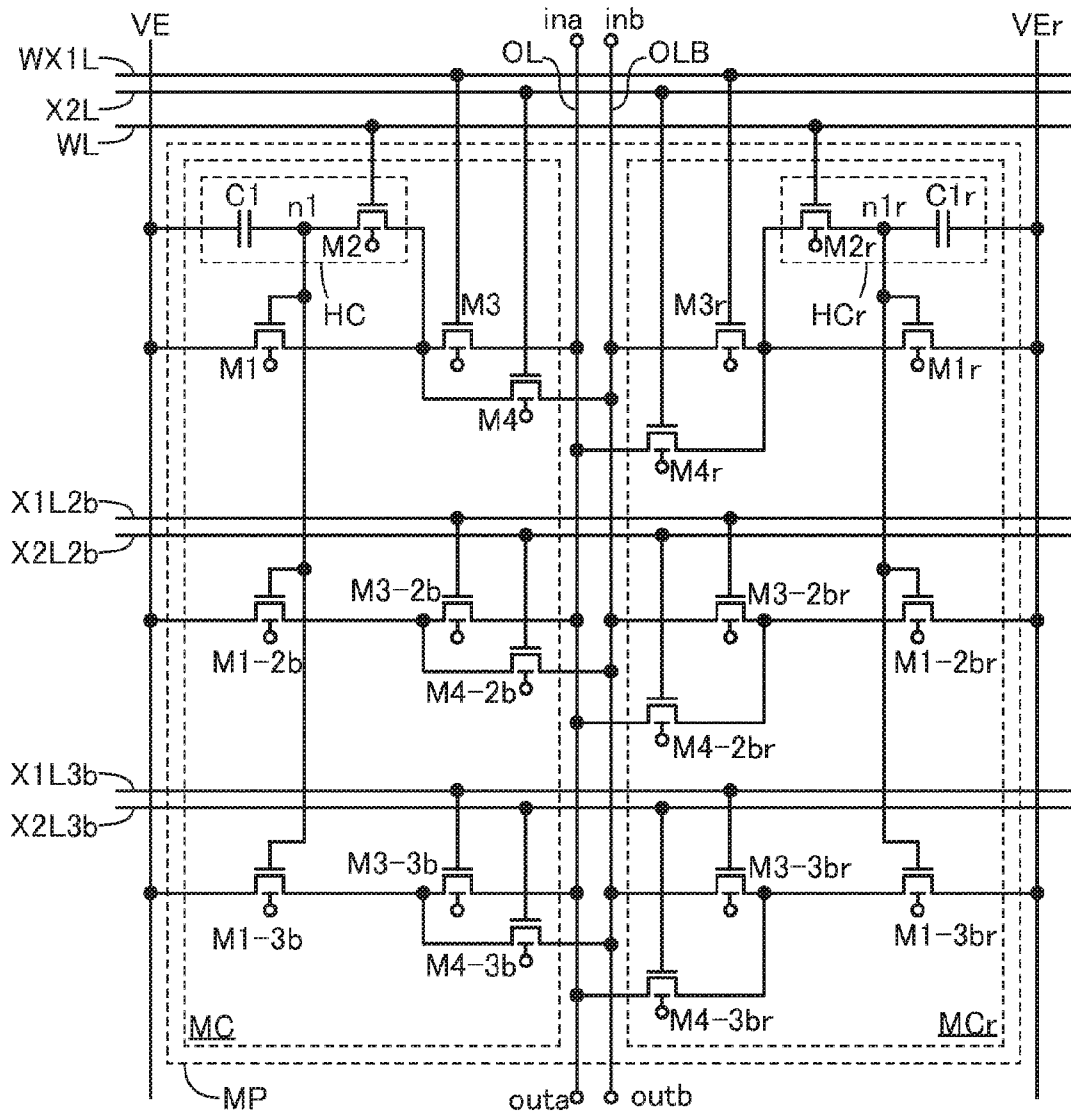


図27

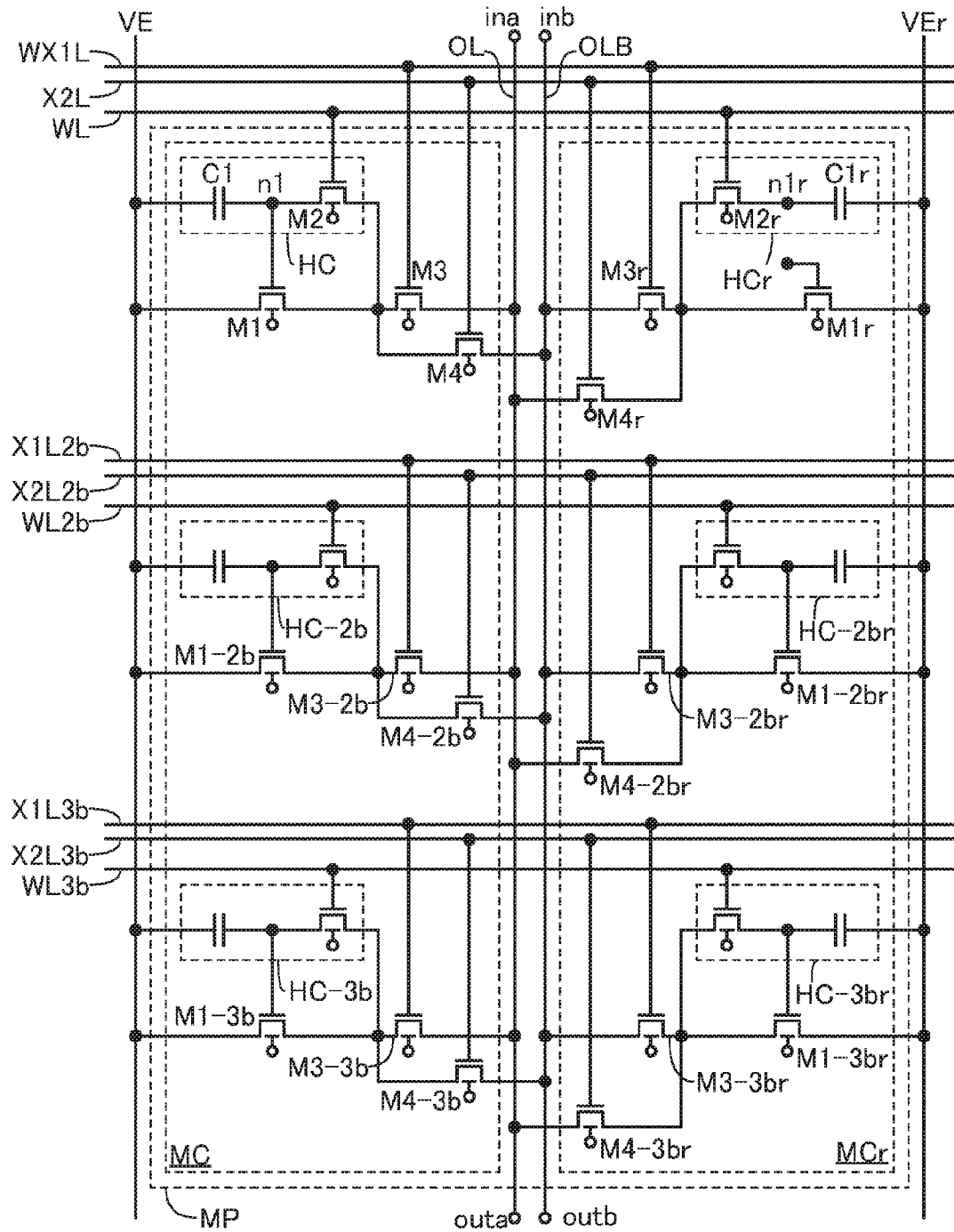


Figure 28 is a schematic diagram of a differential signal processing circuit, likely a crossbar array or a similar multi-stage device. The circuit is organized into three horizontal sections, each connected to a word line (WL) and a bit line (BL). The top section is connected to WL1 and BL1, the middle to WL2 and BL2, and the bottom to WL3 and BL3. Each section contains a differential pair of transistors (M1, M2 and M1r, M2r) and a load capacitor (C1, C1r). The gates of these transistors are connected to the word lines, and their sources are connected to the bit lines. The drains are connected to the gates of the other transistors in the pair, forming a crossbar structure. The output signals are taken from the drains of the transistors in each section. The circuit is labeled with various components: M1, M2, M3, M4, M1r, M2r, M3r, M4r, M1-2b, M2-2b, M3-2b, M4-2b, M1-2br, M2-2br, M3-2br, M4-2br, M1-3b, M2-3b, M3-3b, M4-3b, M1-3br, M2-3br, M3-3br, M4-3br. The inputs are labeled 'ina' and 'inb', and the outputs are labeled 'outa' and 'outb'. The circuit is also labeled with 'VE', 'VEr', 'OL', 'OLB', 'WX1L', 'X2L', 'WL', 'WX1L2b', 'X2L2b', 'WX1L3b', 'X2L3b', 'MC', 'MCr', 'MP'.

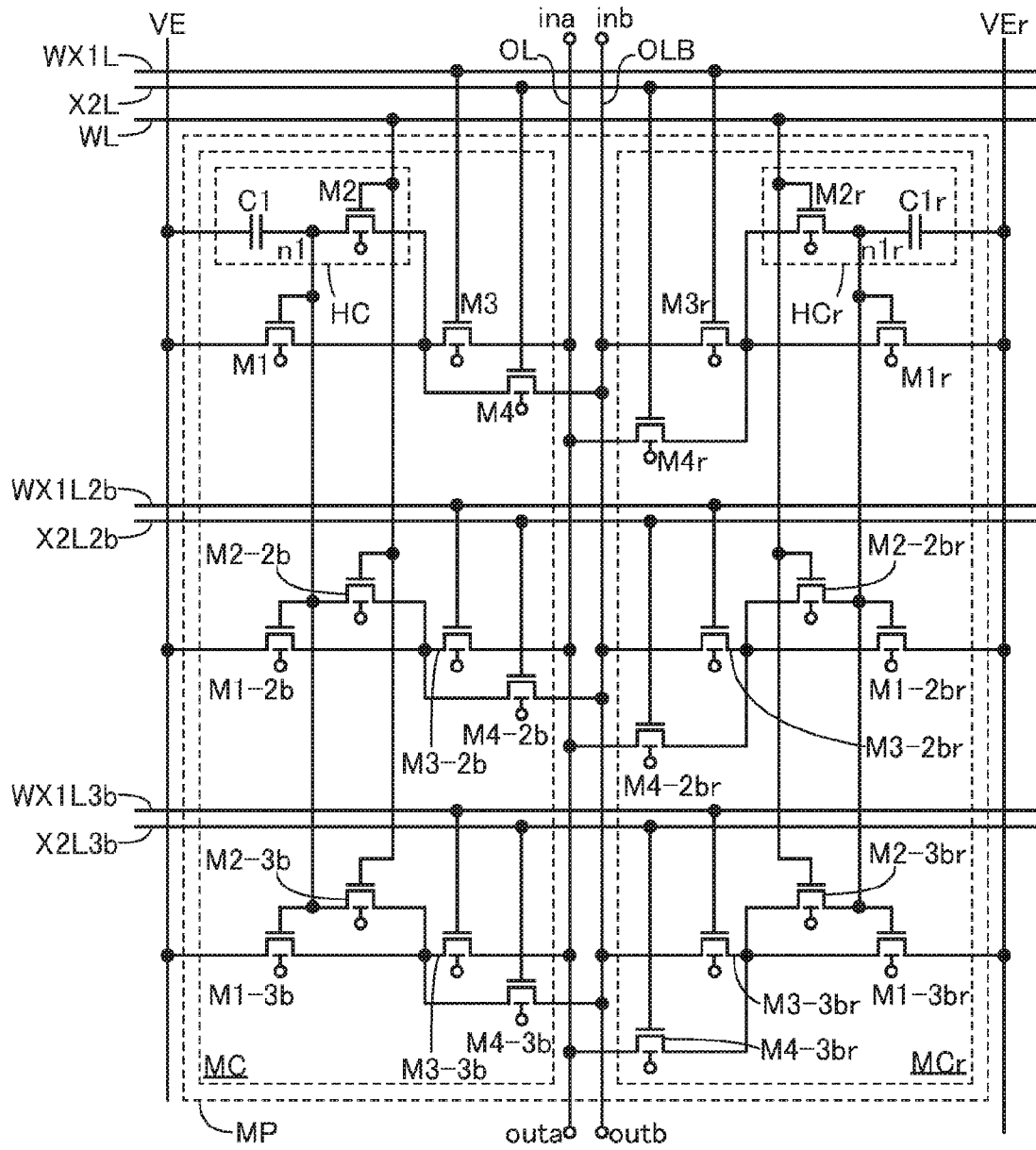
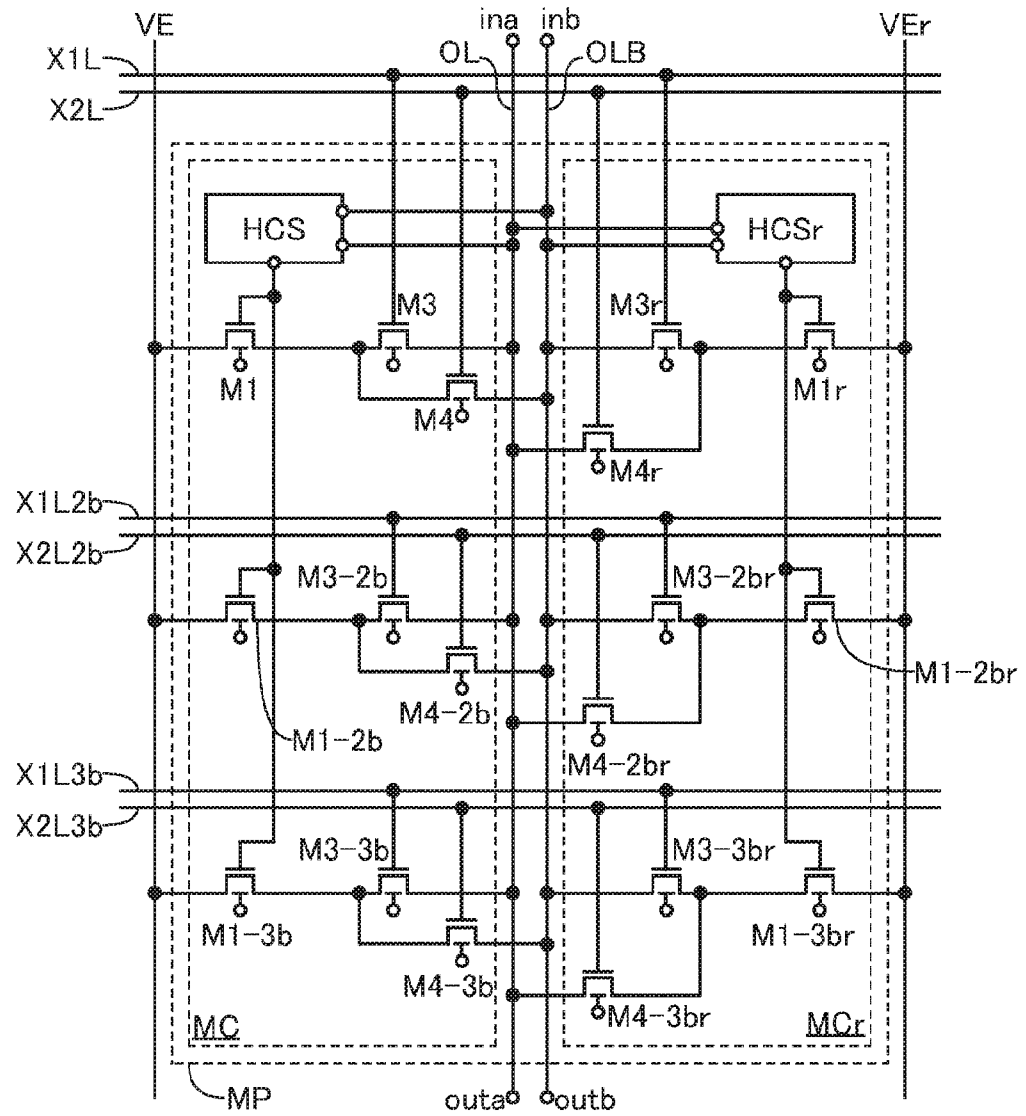
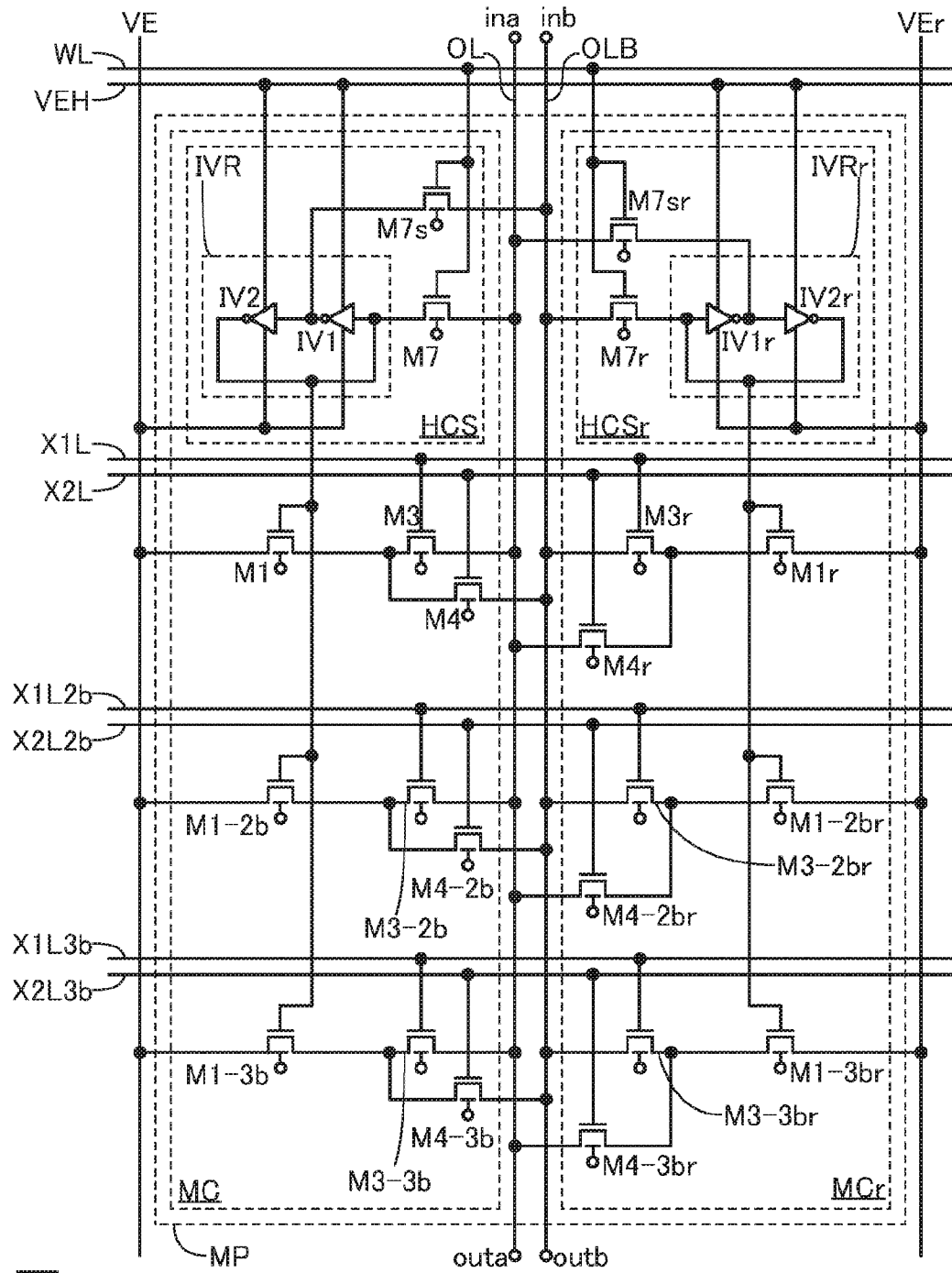


图 29



30A



30B

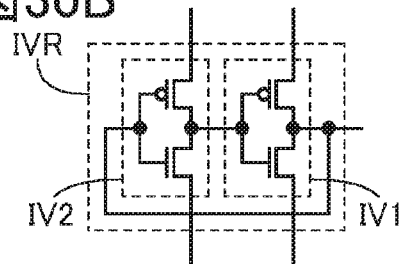


図 31

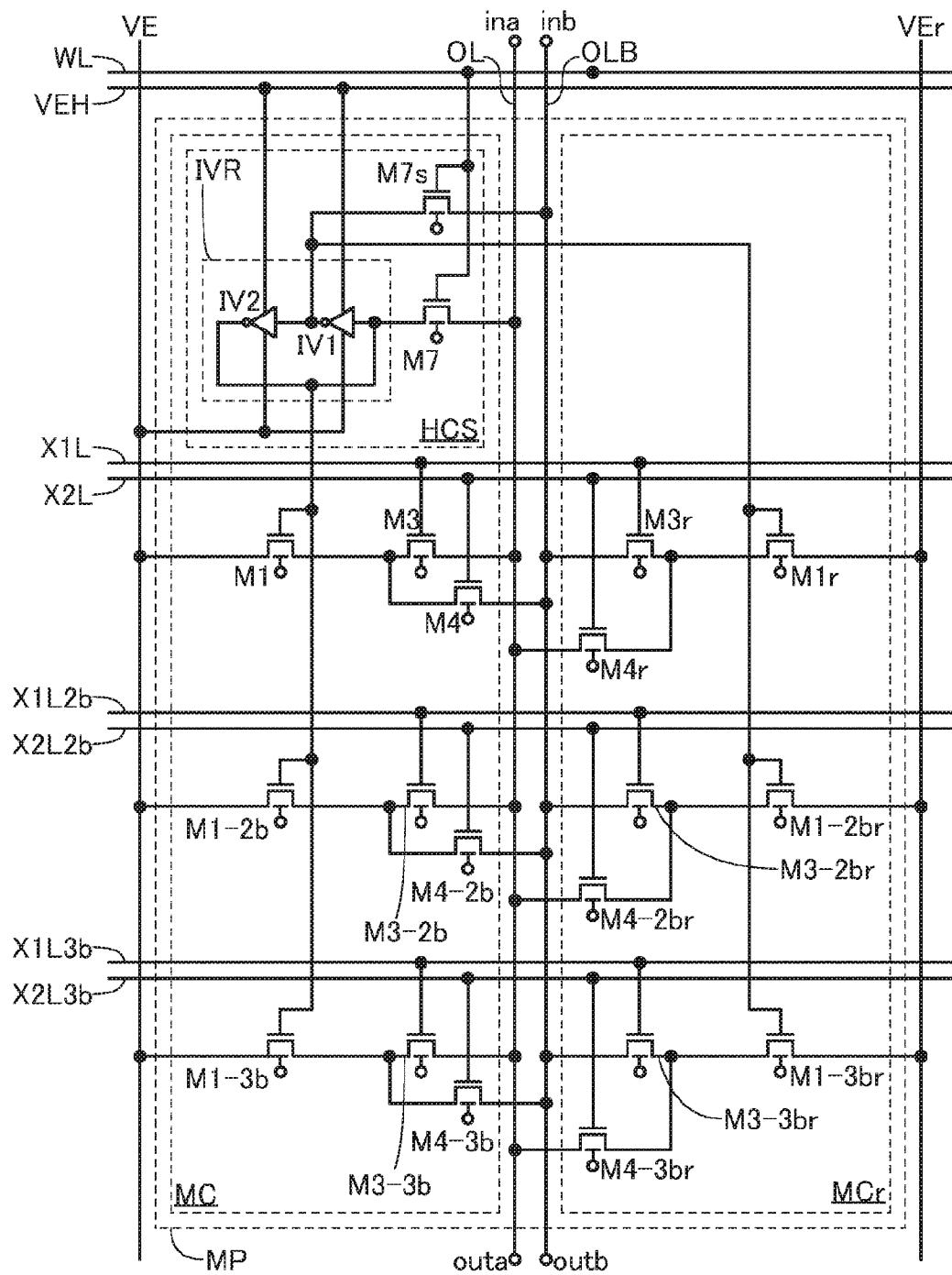


Figure 32 is a detailed circuit diagram of a differential signal processing block. It features a grid of horizontal and vertical lines representing signal and power buses. At the top, horizontal lines are labeled VE, WL, VEH, OL, ina, inb, OLB, and VEr. At the bottom, horizontal lines are labeled X1L, X2L, X1L2b, X2L2b, X1L3b, X2L3b, and ILB. Vertical lines are labeled MP, outa, outb, IL, and ILB. The circuit includes several functional blocks: IVR and IVRr (dashed boxes) containing inverters IV1, IV2, IV1r, and IV2r; HCS and HCSr (dashed boxes) containing transistors M7s and M7r; MC and MCr (dashed boxes) containing transistors M1, M3, M4, M1-2b, M3-2b, M4-2b, M1-3b, M3-3b, M4-3b, M1-2br, M3-2br, M4-2br, M1-3br, M3-3br, and M4-3br. Other components include transistors M7sr, M7r, M3r, M4r, M1r, and M4-3br. The circuit is connected to various input and output signals, including ina, inb, outa, outb, and ILB.

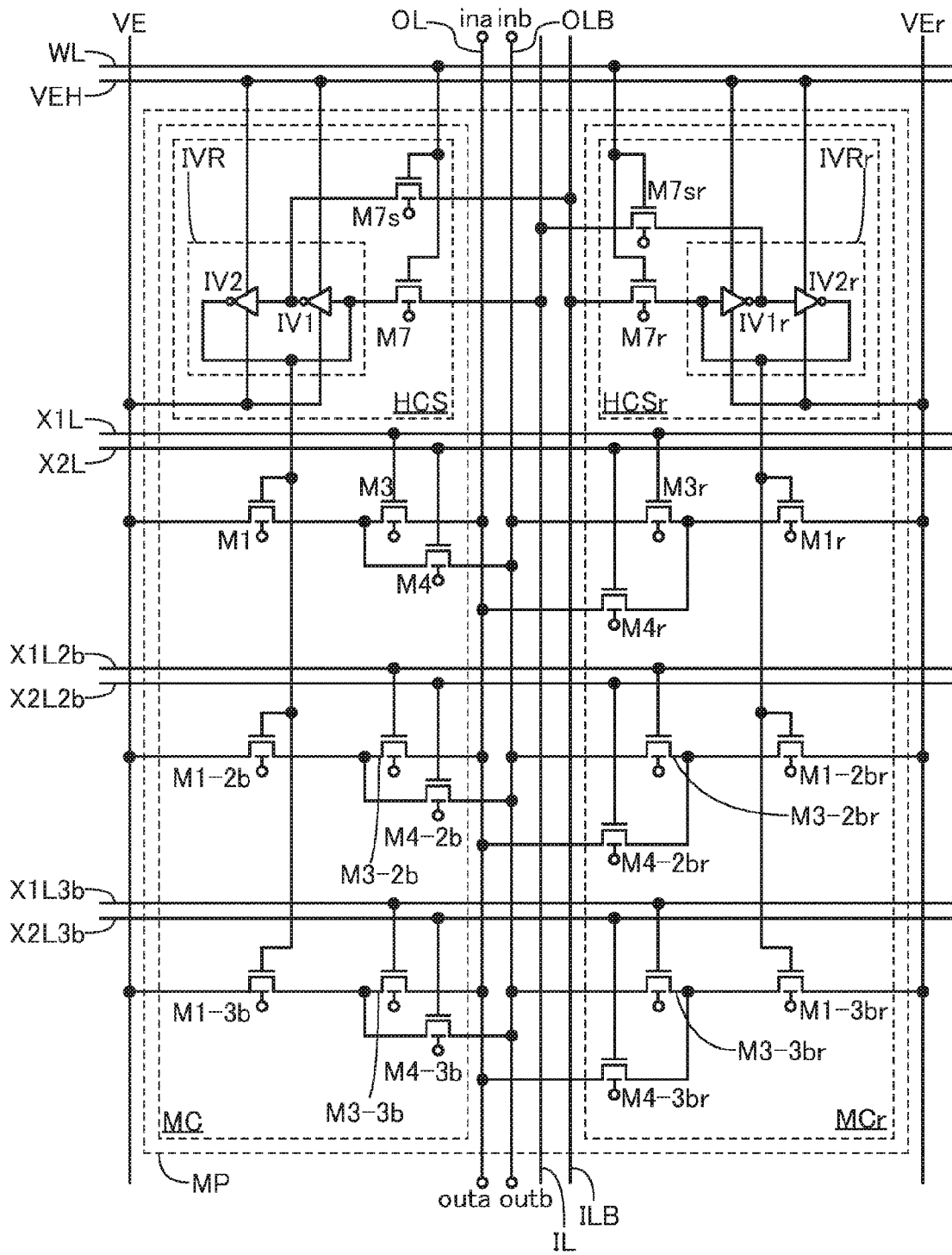


Figure 33 is a detailed circuit diagram of a differential signal processing block. It features a grid of horizontal and vertical signal lines. Horizontal lines are labeled on the left as WL, VEH, X1L, X2L, X1L2b, X2L2b, X1L3b, and X2L3b. Vertical lines are labeled at the top as VE, OL, ina, inb, OLB, and VEr. The circuit includes two main processing paths, one on the left (enclosed in a dashed box labeled MP) and one on the right (enclosed in a dashed box labeled MCr). Each path contains a differential pair of inverters (IV1, IV2 on the left; IV1r, IV2r on the right) and a series of transistors (M1, M3, M4, M7 on the left; M1r, M3r, M4r, M7r on the right). The output of the left path is taken from nodes outa and outb, while the right path has a node ILB. Other nodes include HCS, HCSr, MC, and MCr. The diagram uses standard electronic symbols for transistors, inverters, and signal lines.

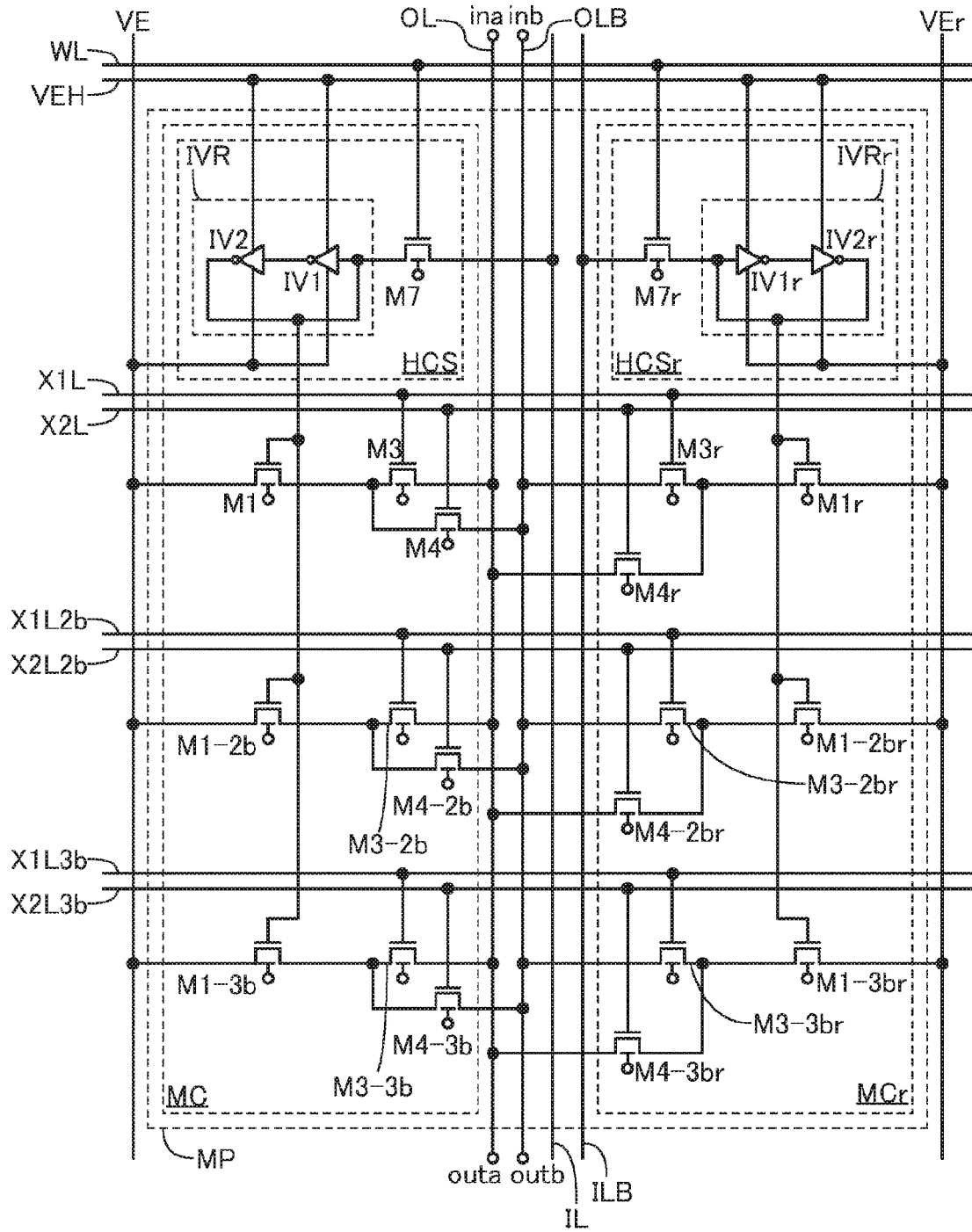


Figure 34 is a circuit diagram of a differential signal processing block. It features a grid of horizontal and vertical lines representing signal paths. The horizontal lines are labeled on the left as WL, X1L, X2L, X1L2b, X2L2b, X1L3b, and X2L3b. The vertical lines are labeled at the top as VE, OL, ina inb, OLB, and VEr. At the bottom, the vertical lines are labeled IL and ILB. The circuit includes several transistors (M1, M3, M4, M8, M1r, M3r, M4r, M8r, M1-2b, M3-2b, M4-2b, M1-2br, M3-2br, M4-2br, M1-3b, M3-3b, M4-3b, M1-3br, M3-3br, M4-3br) and capacitors (C2, C2r, n2). The circuit is divided into four main sections by dashed lines: HCS (top-left), HCSr (top-right), MC (bottom-left), and MCr (bottom-right). The HCS and HCSr sections contain capacitors C2 and C2r, respectively, and transistors M8 and M8r. The MC and MCr sections contain transistors M1, M3, M4, M1r, M3r, M4r, M1-2b, M3-2b, M4-2b, M1-2br, M3-2br, M4-2br, M1-3b, M3-3b, M4-3b, M1-3br, M3-3br, and M4-3br. The circuit is connected to input signals ina and inb, and output signals outa and outb. The output signals are connected to the IL and ILB lines. The circuit is also connected to the OL and OLB lines. The circuit is powered by VE and VEr.

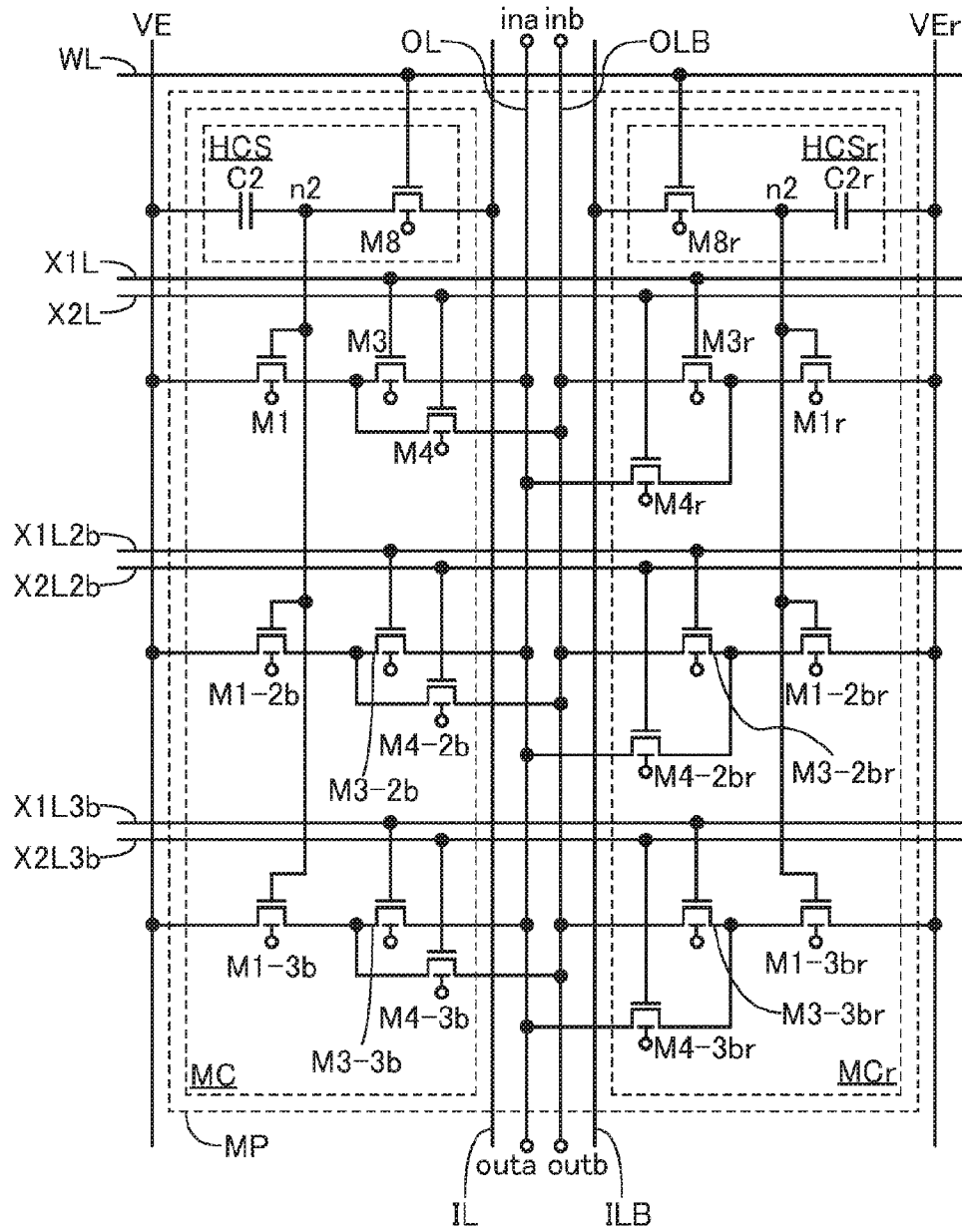


図 35

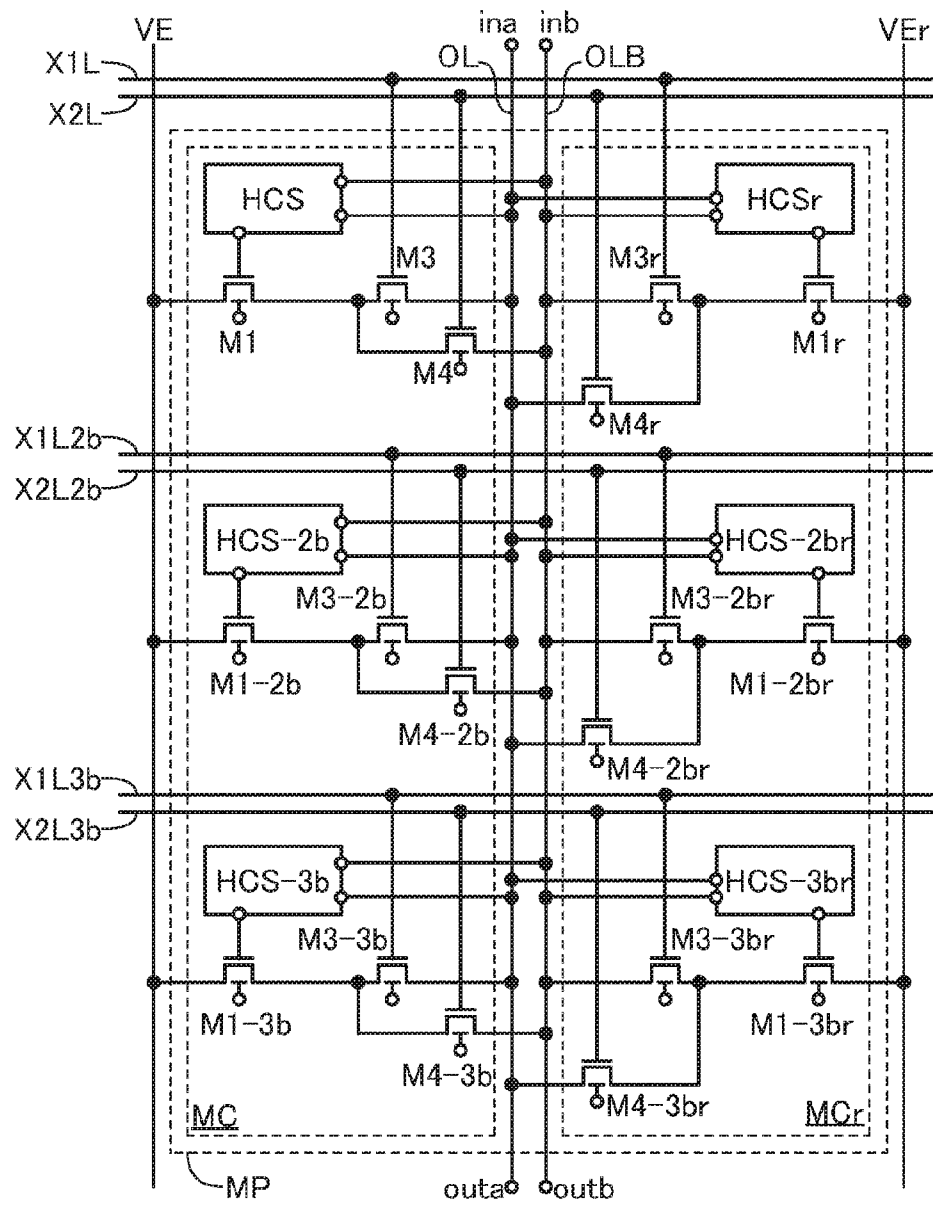


Figure 36 is a schematic diagram of a differential signal processing circuit. The circuit is bounded by vertical lines labeled VE on the left and VEr on the right. At the top, there are input lines X1L and X2L, and output lines OL and OLB. The circuit is divided into two main sections, MC and MCr, which are mirrored. Each section contains three horizontal blocks: HCS, HCS-2b, and HCS-3b (or HCSr, HCS-2br, and HCS-3br in the mirrored section). These blocks are connected to a common vertical line. The output of each section is taken from a node labeled outa or outb. The circuit also includes several transistors labeled M1, M1-2b, M1-3b, M3, M4, M1r, M1-2br, M1-3br, M3r, and M4r. The input signal inainb is connected to the gates of M3 and M3r. The output signal OL is connected to the gates of M4 and M4r. The output signal OLB is connected to the gates of M1 and M1r. The output signal outa is connected to the gates of M3 and M3r. The output signal outb is connected to the gates of M1 and M1r. The circuit is also connected to a common vertical line labeled MP.

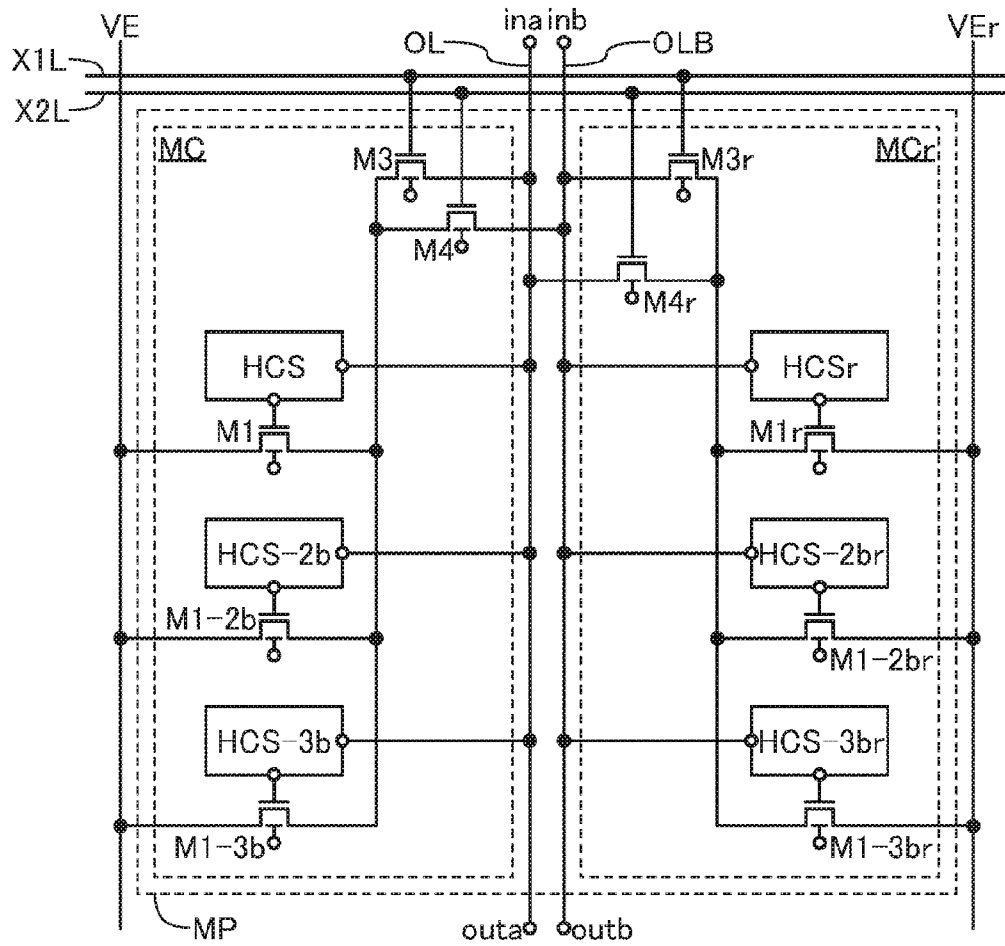


图 37

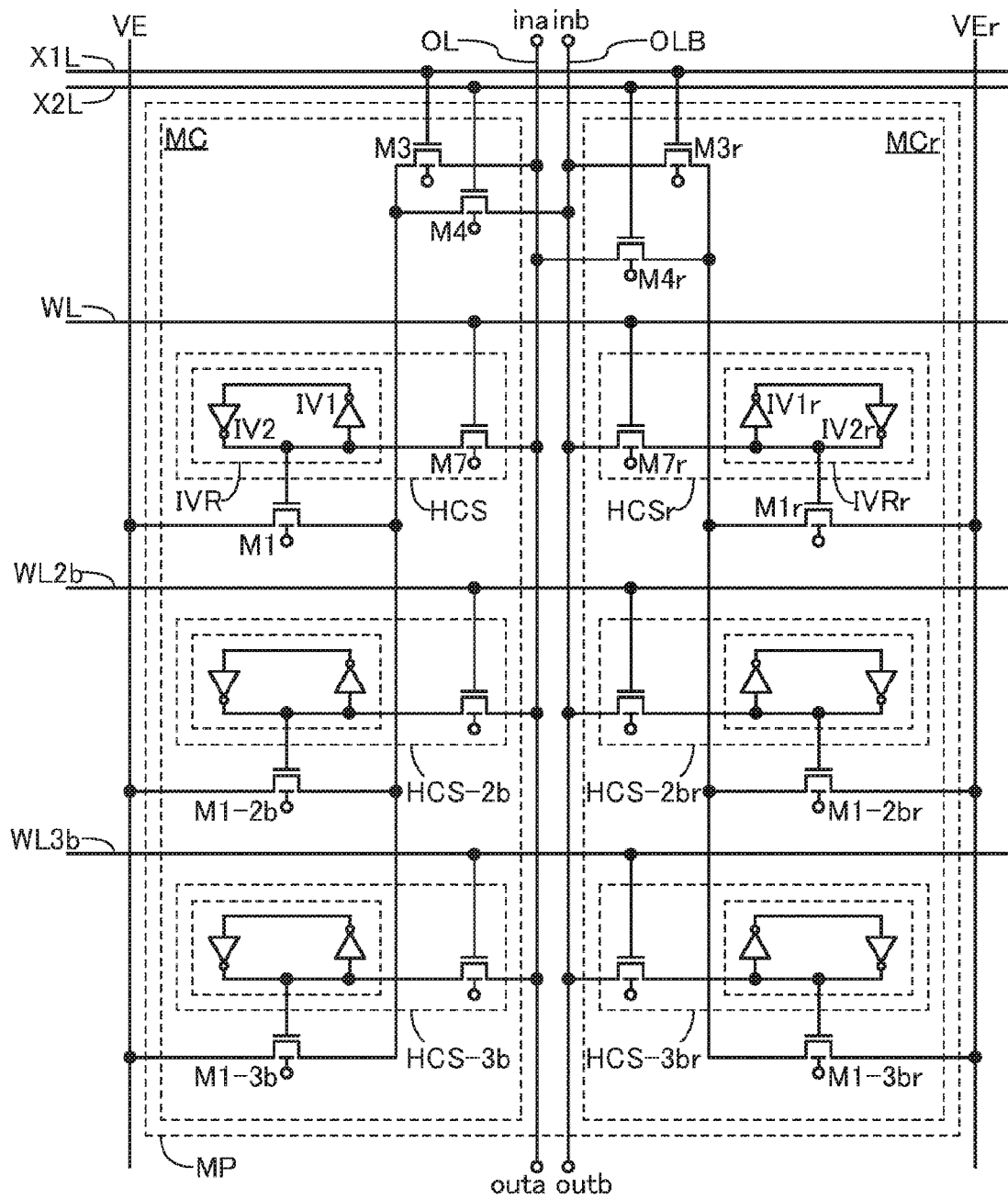


Figure 38 is a circuit diagram of a differential signal processing block. It features a grid of horizontal and vertical lines representing word lines (WL) and bit lines (X1L, X2L). The circuit is organized into two main columns, each enclosed in a dashed box labeled MC and MCr. The left column (MC) contains transistors M3, M4, M8, and M1, along with a capacitor C2 and a node n2. The right column (MCr) contains transistors M3r, M4r, M8r, and M1r, along with a capacitor C2r and a node n2r. The circuit is connected to various input and output lines: in and inb at the top, OL and OLB at the top, and outa and outb at the bottom. The circuit is also connected to power lines VE and VEr. The circuit is further divided into sections by horizontal lines WL, WL2b, and WL3b. The bottom section is labeled MP.

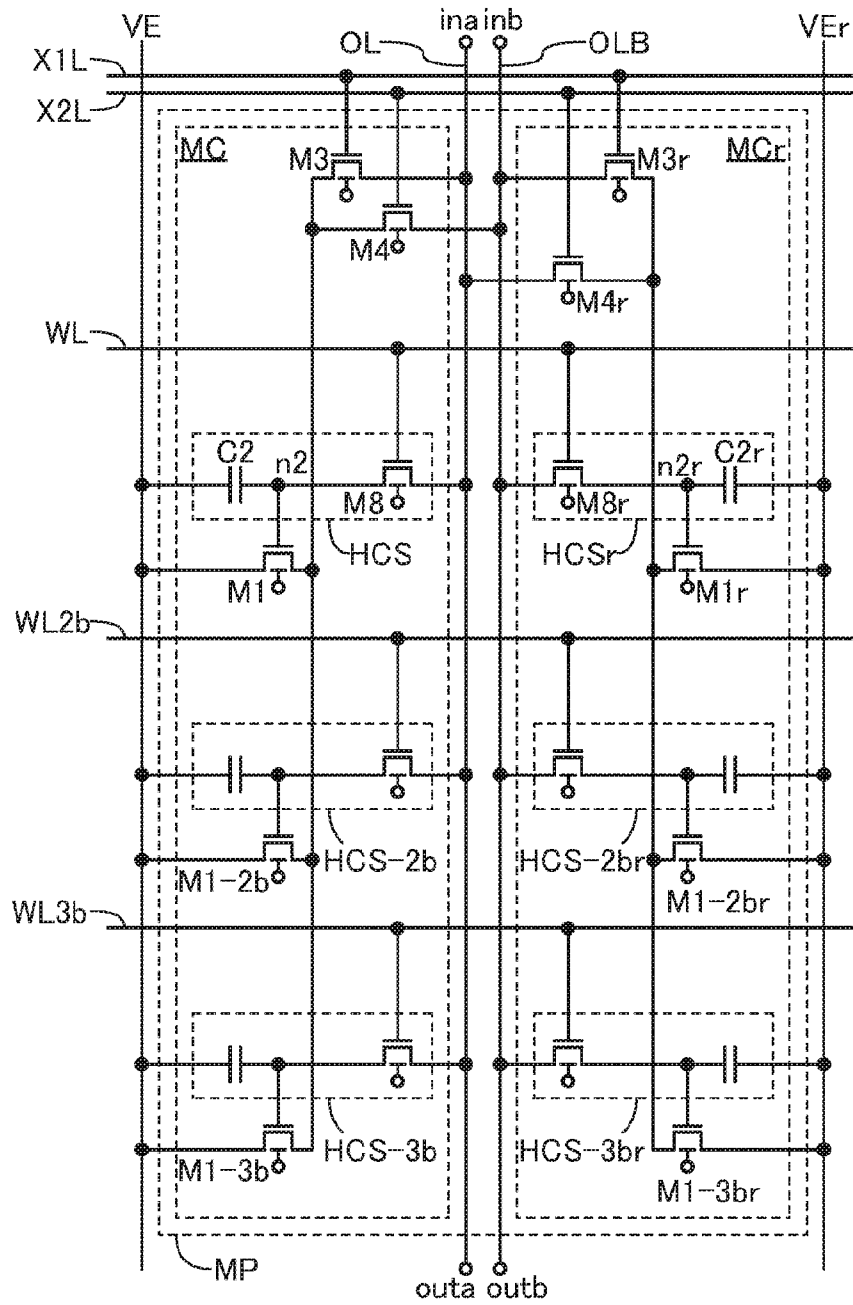


Figure 39 is a detailed circuit diagram of a differential signal processing block. It features a grid of horizontal and vertical lines representing signal and power rails. The horizontal rails are labeled on the left as VE, X1L, X2L, X1L2x, X2L2x, WL, WL2b, and WL3b. The vertical rails are labeled at the top as OL, ina, inb, OLB, and VEr. The diagram is organized into several functional sections enclosed by dashed boxes:

- Top Section (X1L to X2L):** Contains transistors M3, M4, M3r, and M4r. M3 and M4 are connected to X1L, while M3r and M4r are connected to X2L. They are controlled by gates from OL and OLB.
- Second Section (X1L2x to X2L2x):** Contains transistors M3-2x, M4-2x, M3-2xr, and M4-2xr, connected to X1L2x and X2L2x respectively, with gates from OL and OLB.
- Third Section (WL):** Contains a differential pair of input transistors IV1 and IV2 (sourced from WL) and a differential pair of output transistors IV1r and IV2r (sinking to WL). These are connected to nodes HCS and HCSr. A current source M1x is connected to WL and node HCS, while M1r is connected to WL and node HCSr.
- Fourth Section (WL2b):** Contains a differential pair of input transistors (sourced from WL2b) and a differential pair of output transistors (sinking to WL2b), connected to nodes HCS-2b and HCS-2br. A current source M1x-2b is connected to WL2b and node HCS-2b, while M1x-2br is connected to WL2b and node HCS-2br.
- Fifth Section (WL3b):** Contains a differential pair of input transistors (sourced from WL3b) and a differential pair of output transistors (sinking to WL3b), connected to nodes HCS-3b and HCS-3br. A current source M1x-3b is connected to WL3b and node HCS-3b, while M1x-3br is connected to WL3b and node HCS-3br.
- Bottom Section:** Contains a differential pair of input transistors (sourced from WL3b) and a differential pair of output transistors (sinking to WL3b), connected to nodes MC and MCr. A current source M1x-3b is connected to WL3b and node MC, while M1x-3br is connected to WL3b and node MCr.

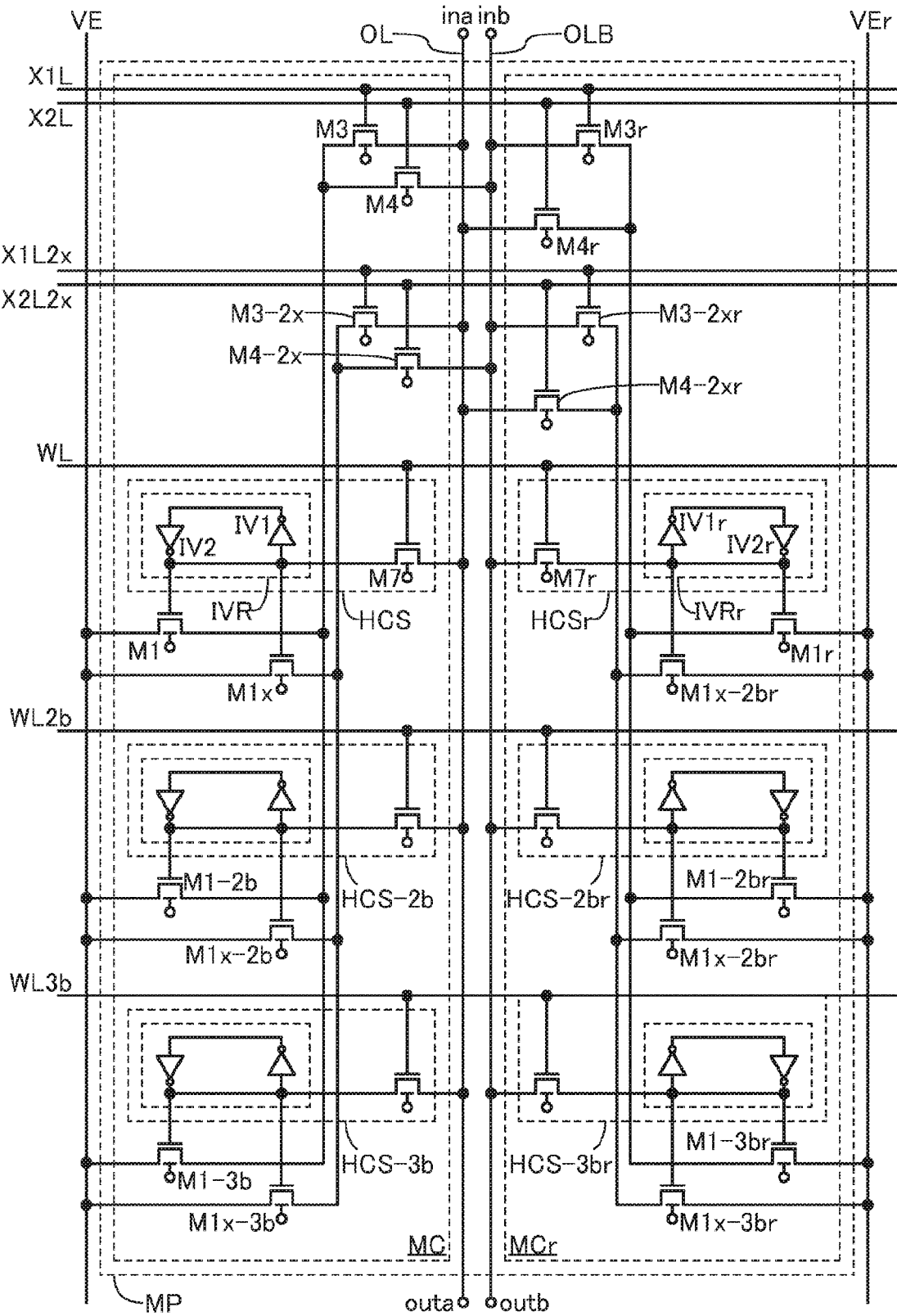
 The final outputs are labeled outa and outb at the bottom. The entire circuit is controlled by gates from OL and OLB.


図 40

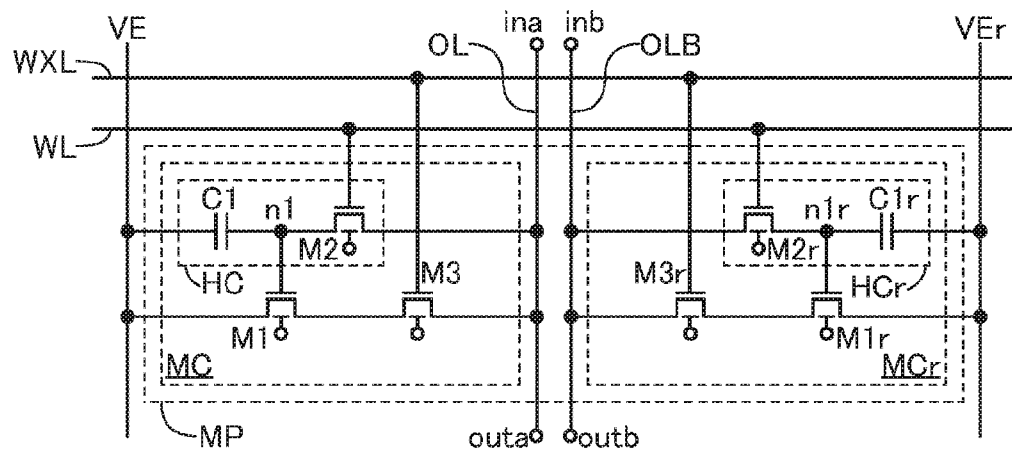


図41A

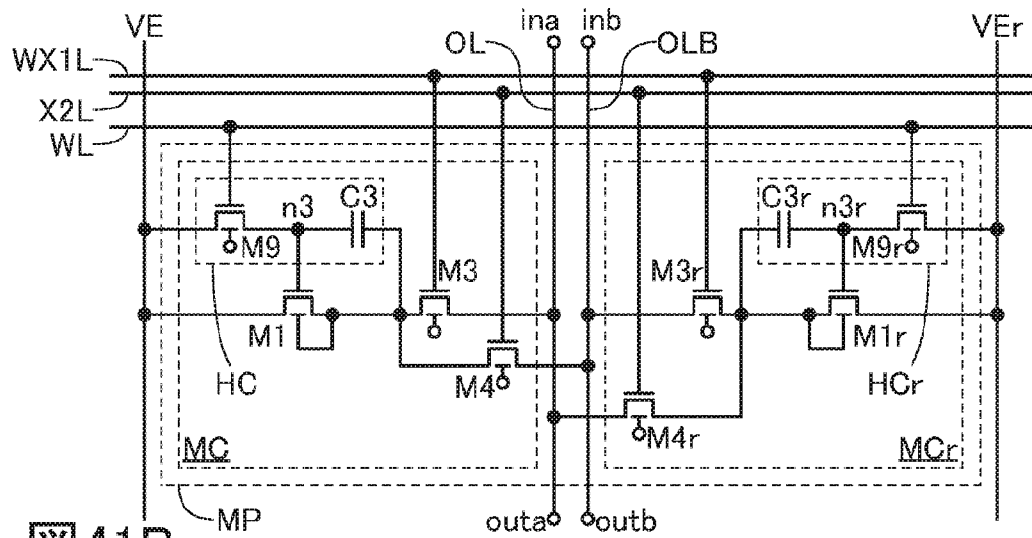


図41B

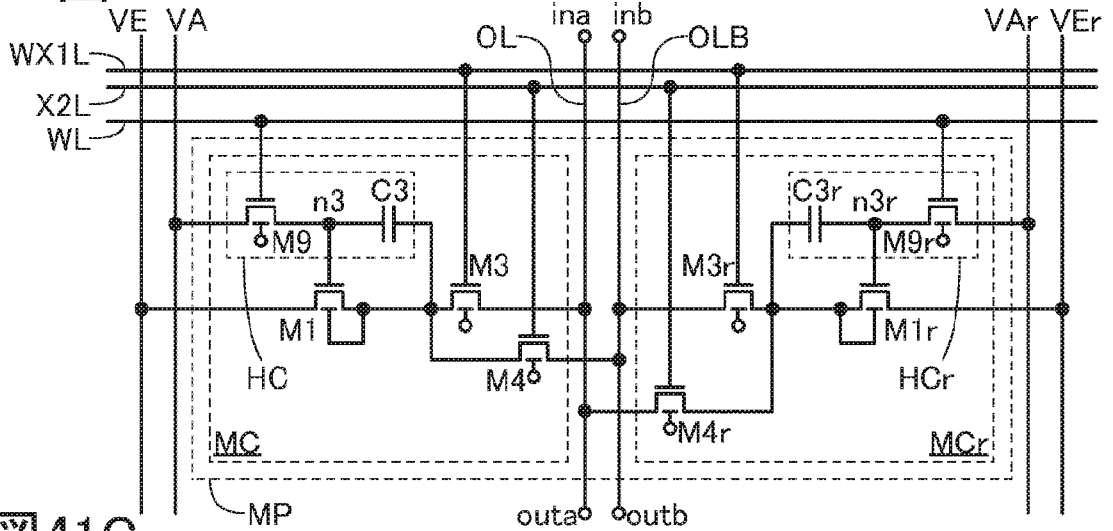


図41C

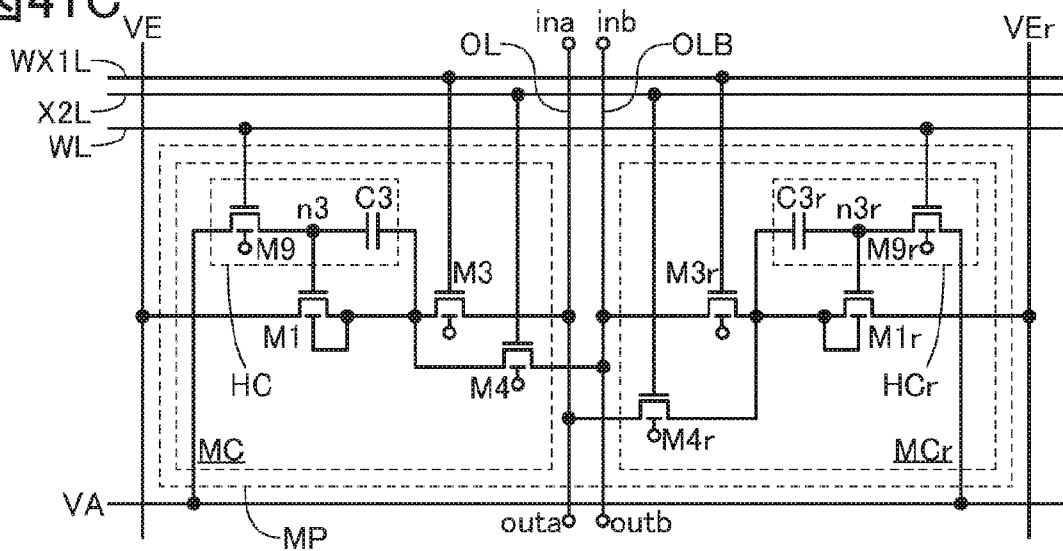


図42

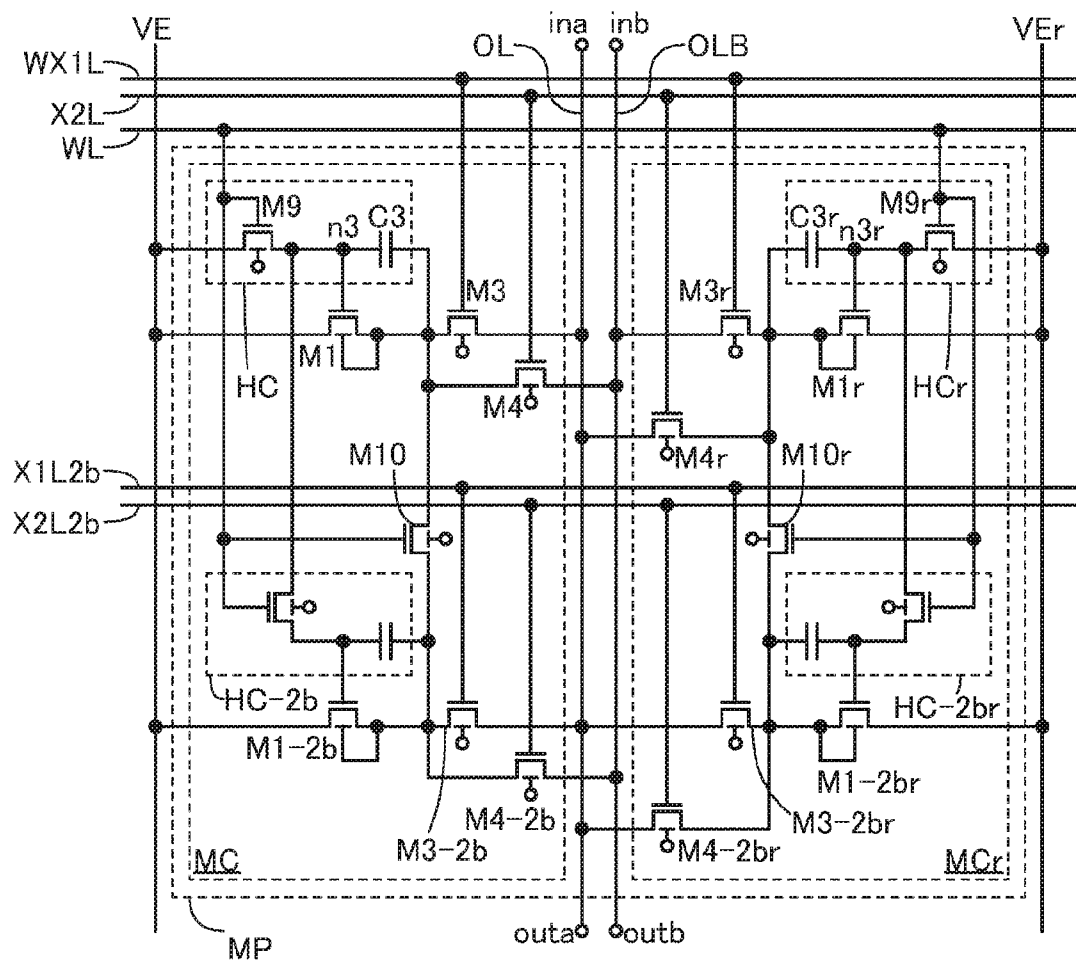


図43

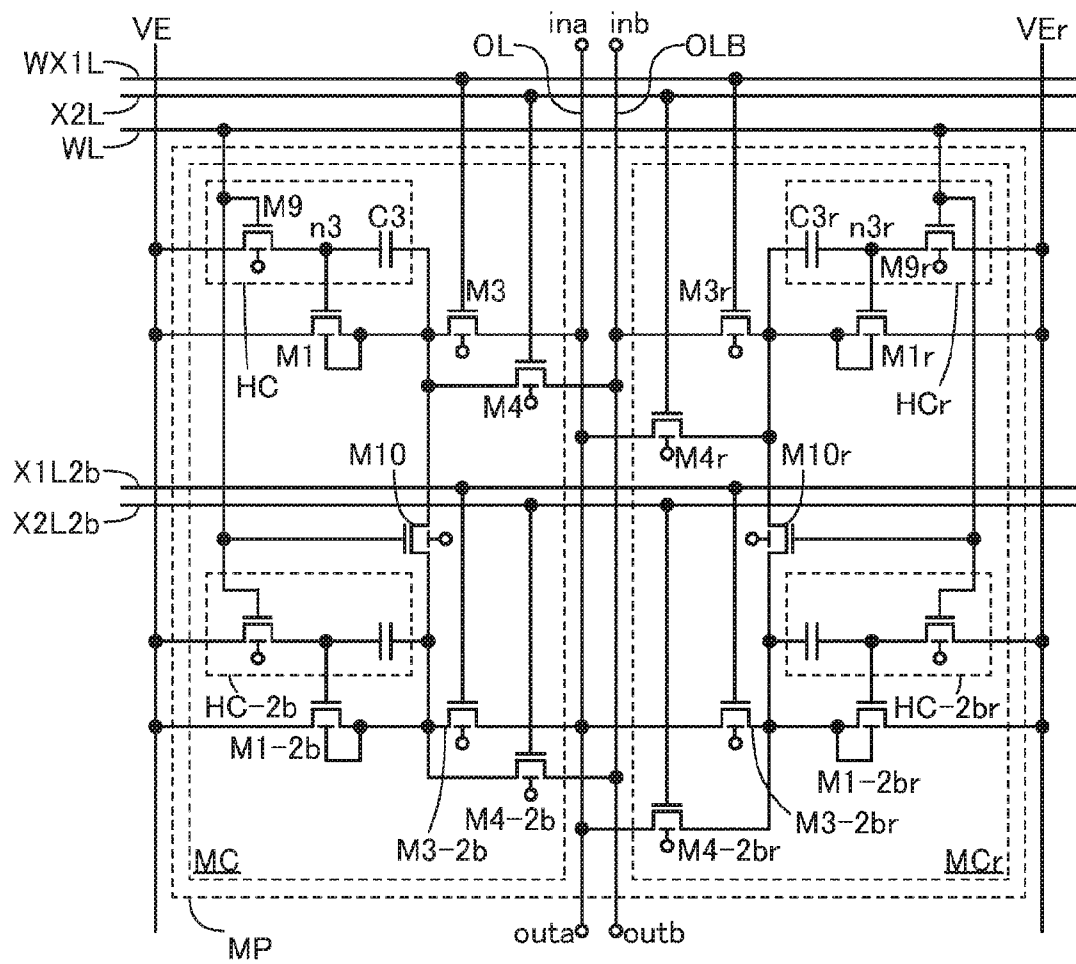


Figure 44 is a schematic diagram of a differential signal processing circuit, likely a part of a memory array or a sensor. The circuit is organized into two main sections, MC (Memory Cell) and MCr (Memory Cell read), which are mirrored across a central vertical axis. The circuit is connected to a grid of word lines (WL) and bit lines (BL). The word lines are labeled WX1L, X2L, X1L2b, and X2L2b. The bit lines are labeled OL, ina, inb, OLB, and outa, outb. The circuit includes several transistors (M1, M3, M4, M9, M10, M1-2b, M3-2b, M4-2b, M1r, M3r, M4r, M1-2br, M3-2br, M4-2br, M9r, M10r) and capacitors (C3, C3r). The circuit is also connected to power supply lines VE, VA, VAr, and VEr. The circuit is labeled with various components and connections, including HC, HC-2b, HC-2br, MP, and MC.

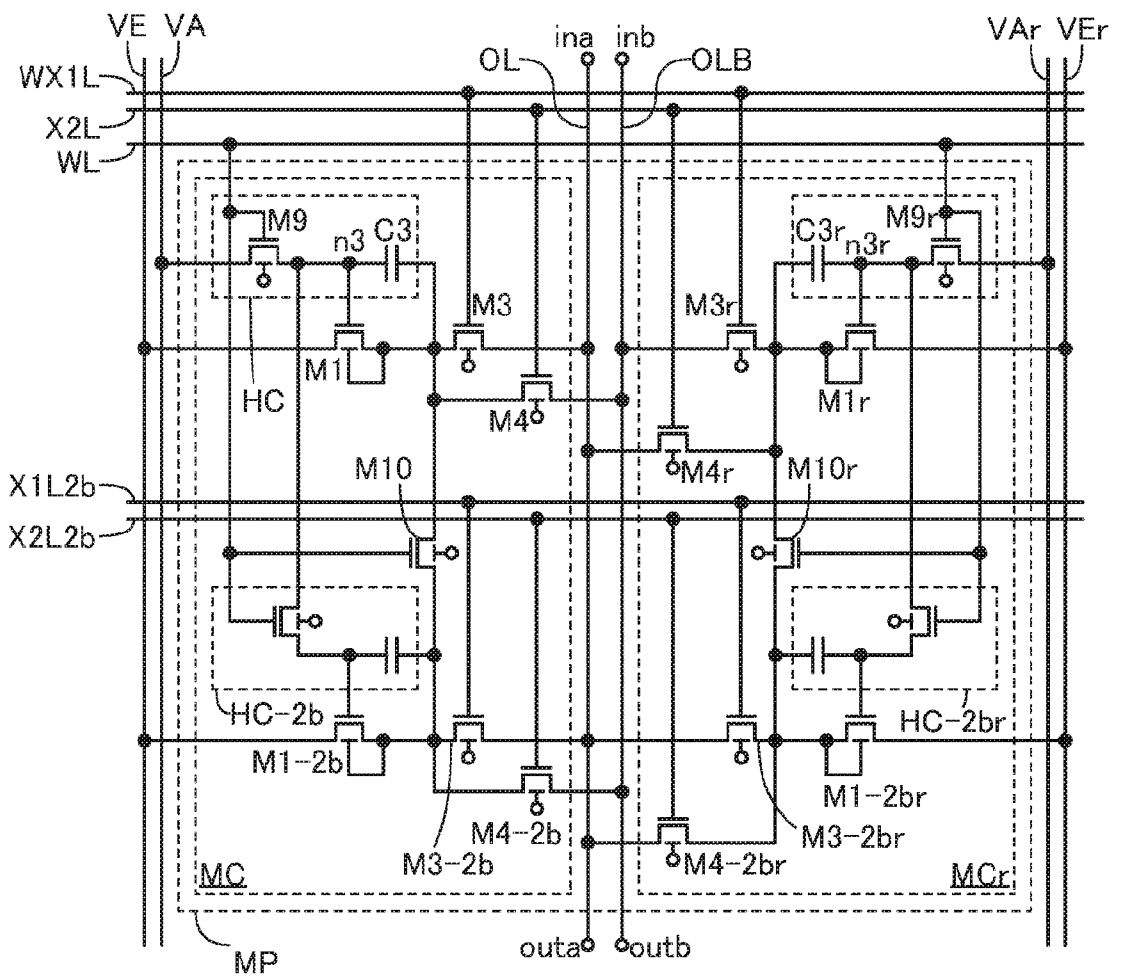


図 45

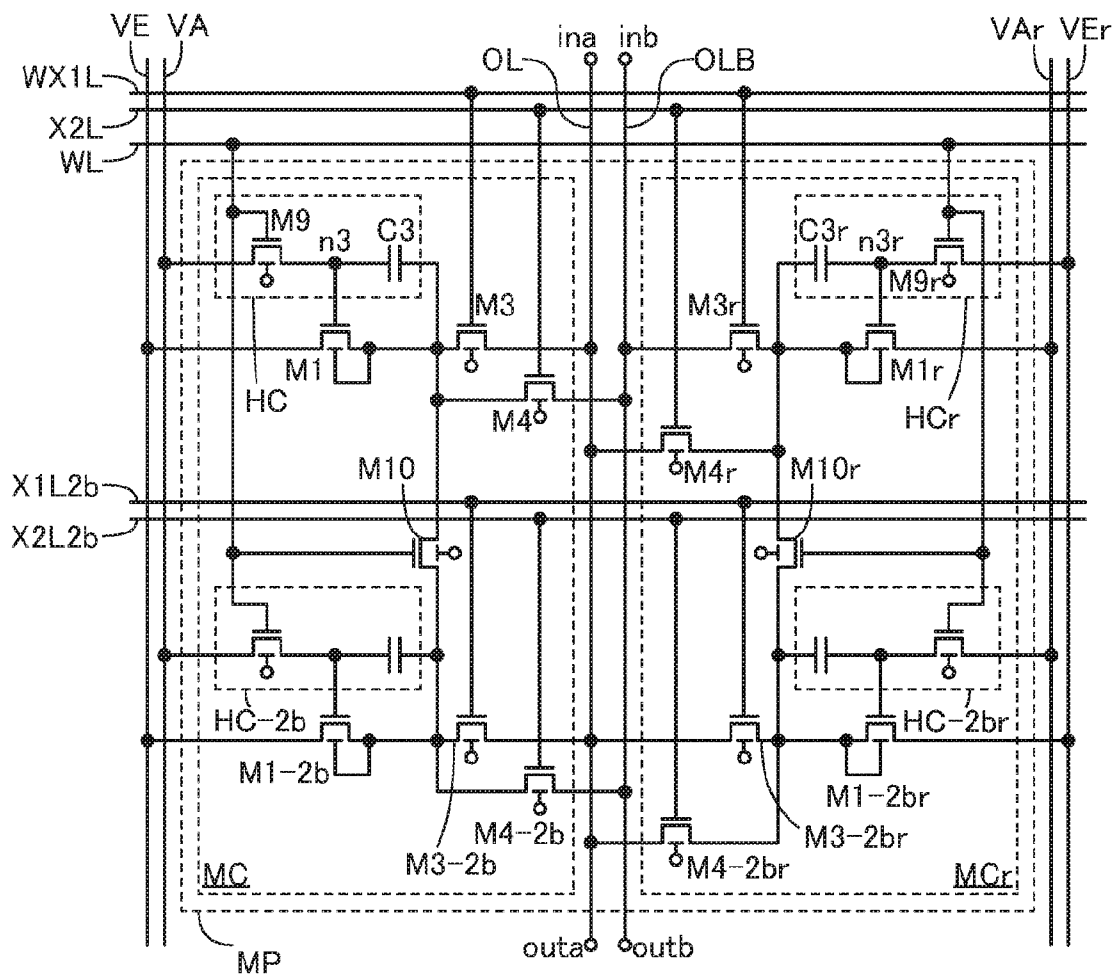


Figure 46 is a circuit diagram of a differential signal processing block. It features two main horizontal signal paths, one for the left side (left half) and one for the right side (right half). The left side is connected to input nodes 'ina' and 'inb' and output nodes 'OL' and 'OLB'. The right side is connected to input nodes 'ina' and 'inb' and output nodes 'OL' and 'OLB'. The circuit includes several transistors (M1, M2, M3, M4, M11, M12, M13, M1r, M2r, M3r, M4r) and capacitors (C1, C2, C3, C4, C1r, C2r, C3r, C4r). The left side is labeled with 'MC' and 'MCr' blocks, and the right side is labeled with 'BMC' and 'BMCr' blocks. The circuit is connected to various power and signal lines: 'VF' and 'VFr' at the top, 'VE' and 'VEr' at the bottom, and 'WXBS', 'WLBS', 'WX1L', 'X2L', and 'WL' on the left. The circuit is also connected to 'BS' and 'MP' blocks.

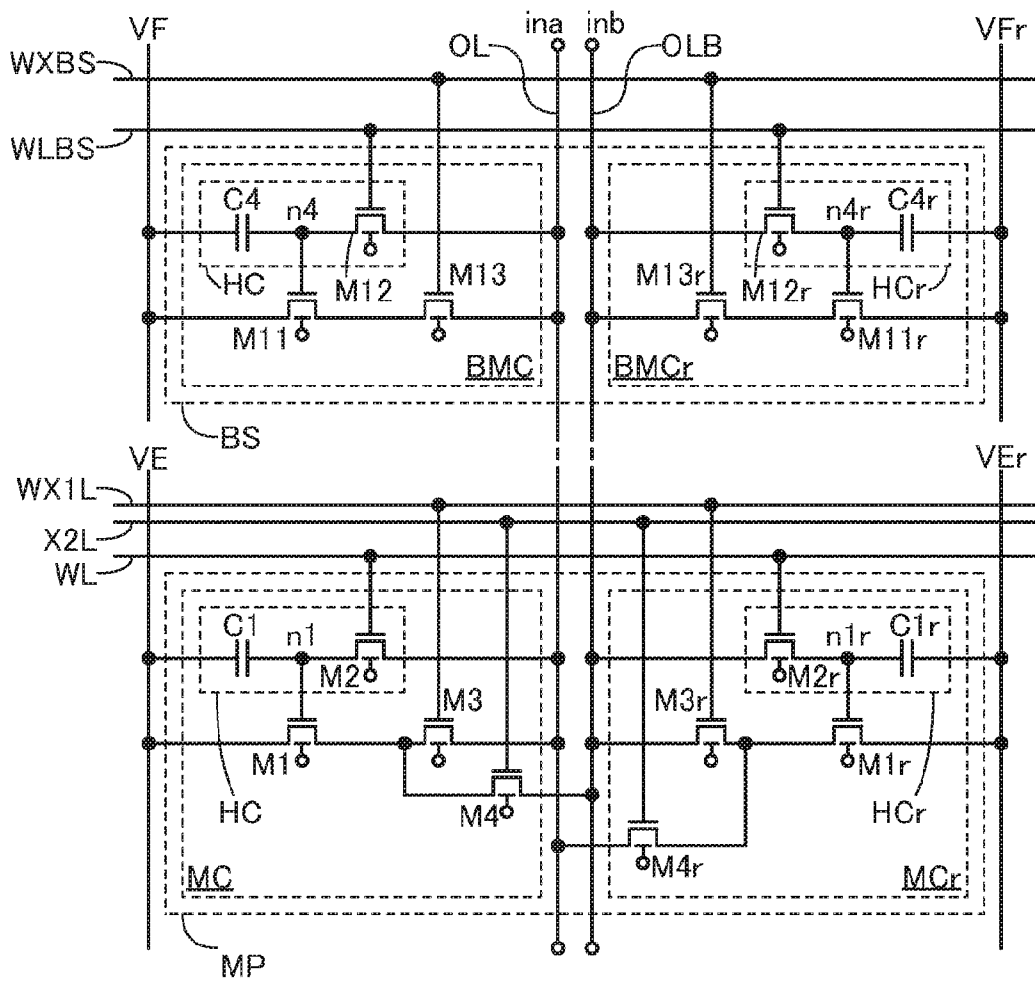




Figure 47A

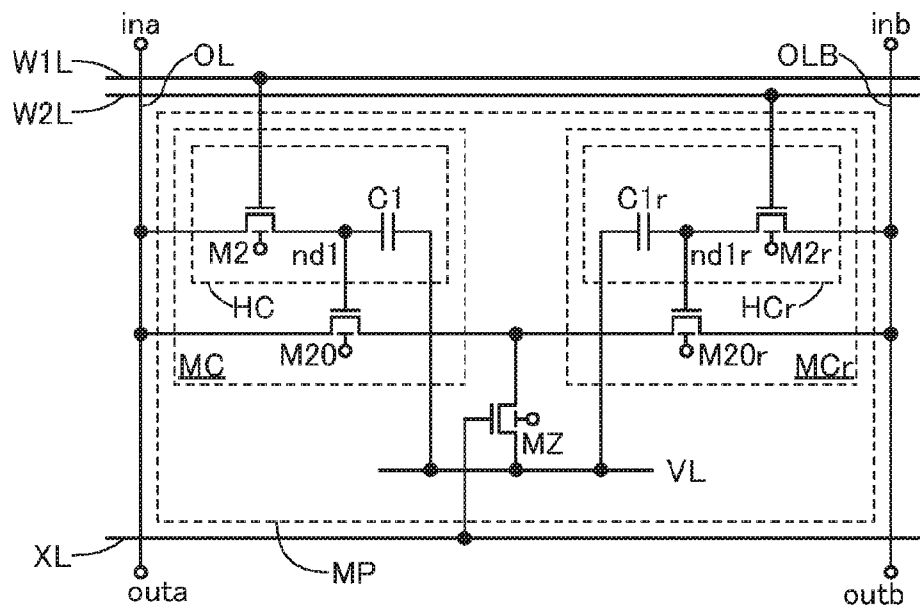


图 47B

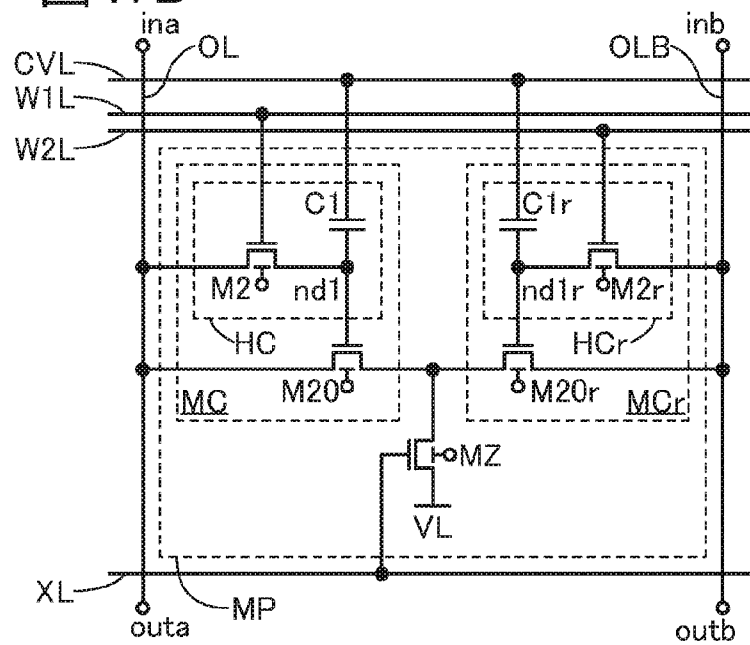
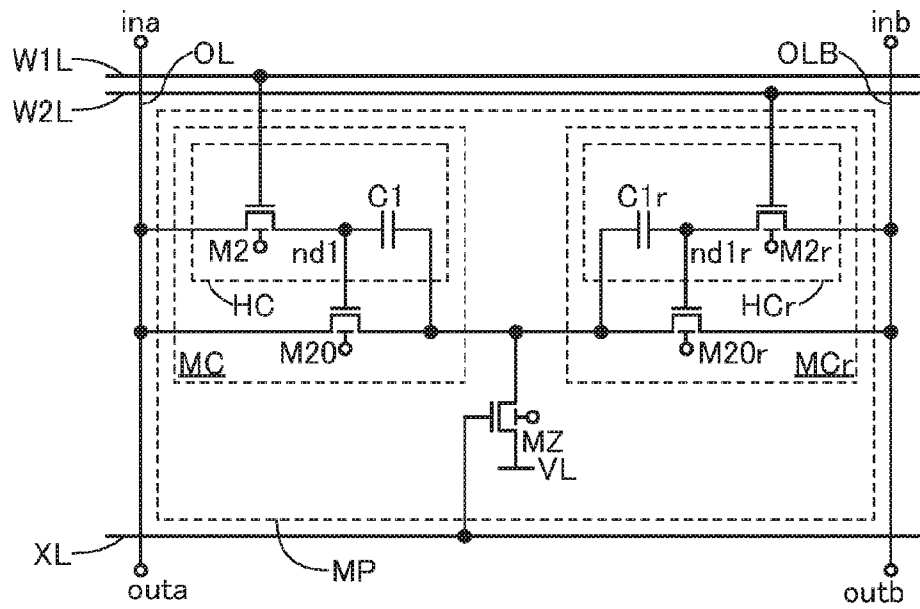
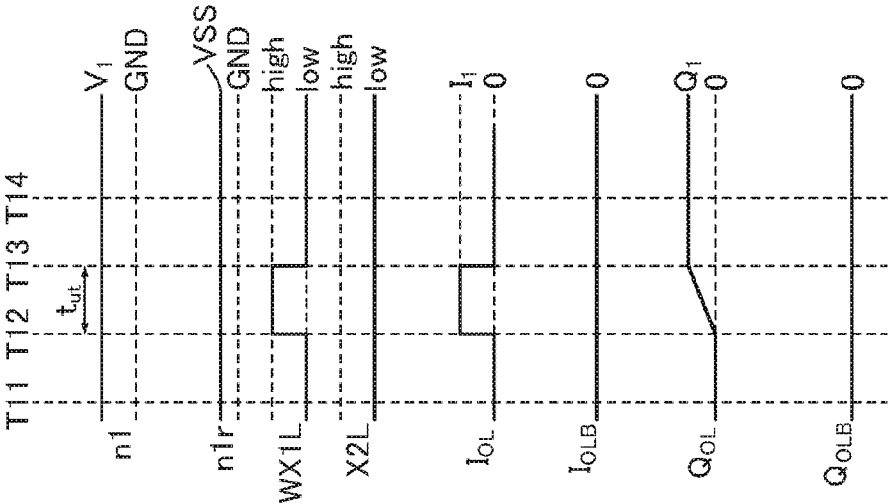
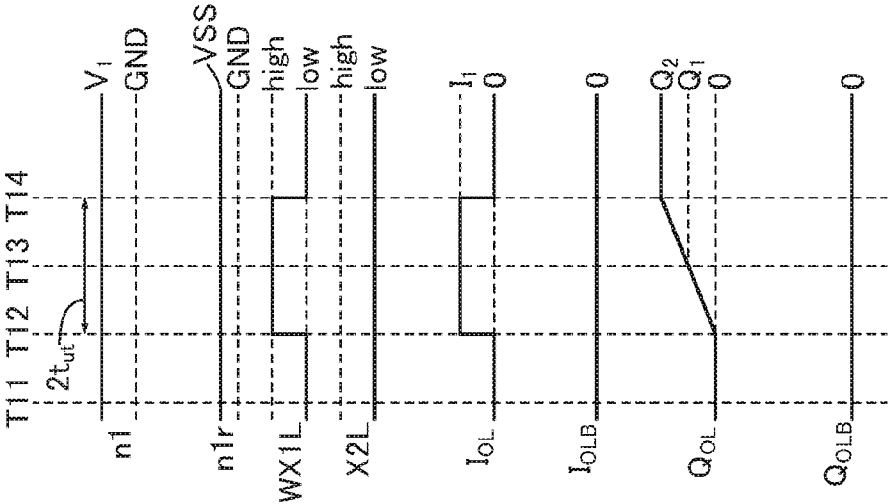


Figure 48 is a schematic diagram of a differential signal processing circuit. It features two input nodes, *ina* and *inb*, and two output nodes, *outa* and *outb*. The circuit is divided into two symmetrical halves by a central vertical line. The left half contains a network of transistors *M2*, *M20*, and *MC*, along with a capacitor *C1* and a node labeled *nd1*. The right half contains corresponding transistors *M2r*, *M20r*, and *MCr*, along with a capacitor *C1r* and a node labeled *nd1r*. A central node is connected to a transistor *MZ* which is tied to a voltage source *VL*. Various signal lines are labeled: *W1L* and *W2L* at the top left, *OL* and *OLB* at the top right, and *XL* and *MP* at the bottom left. The diagram uses dashed boxes to group components and solid lines to represent electrical connections.


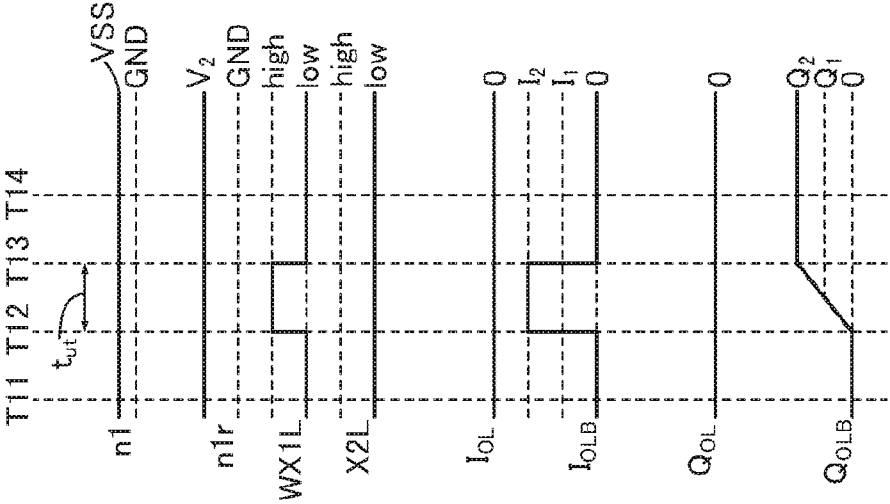
49A



49B



49C



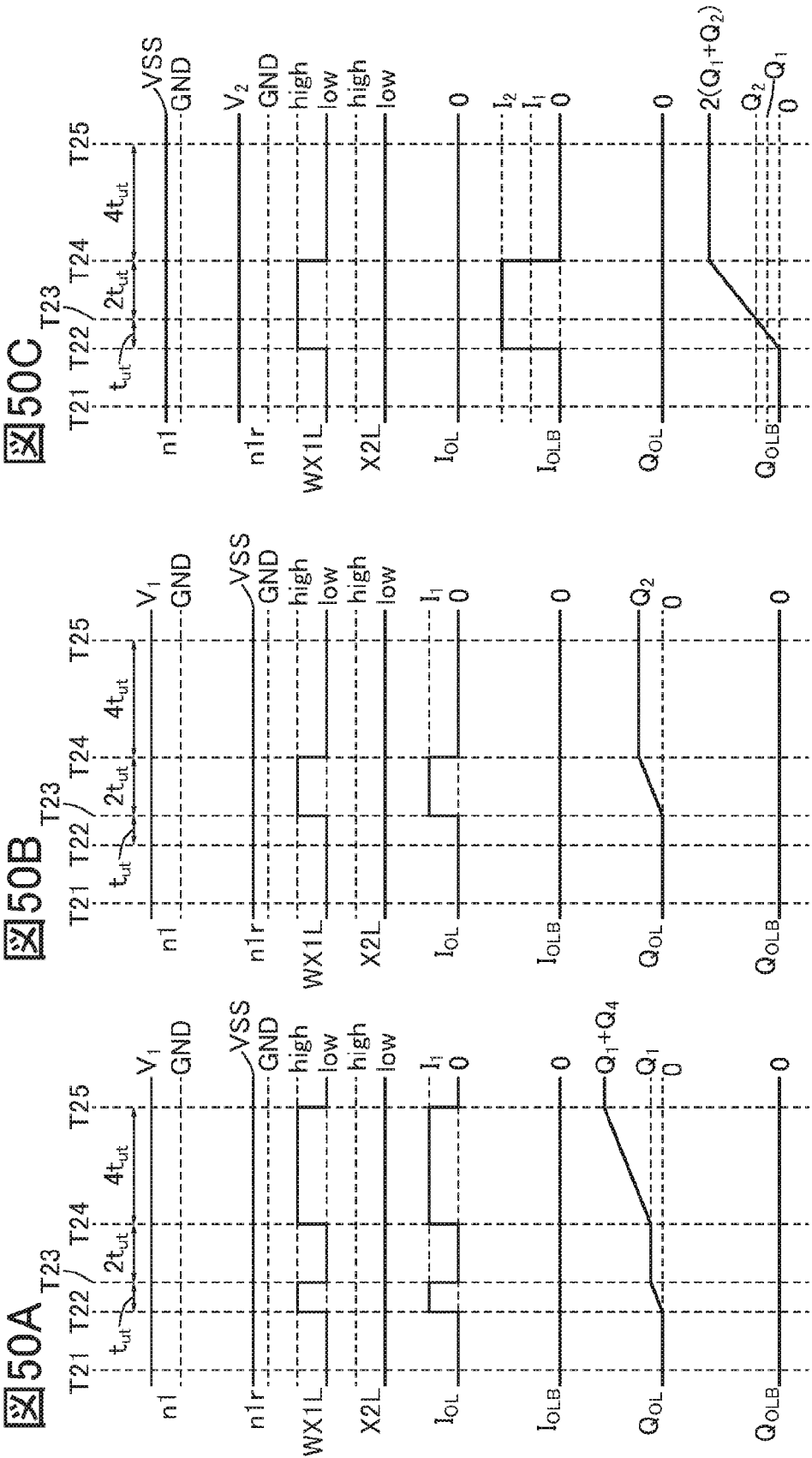


図51

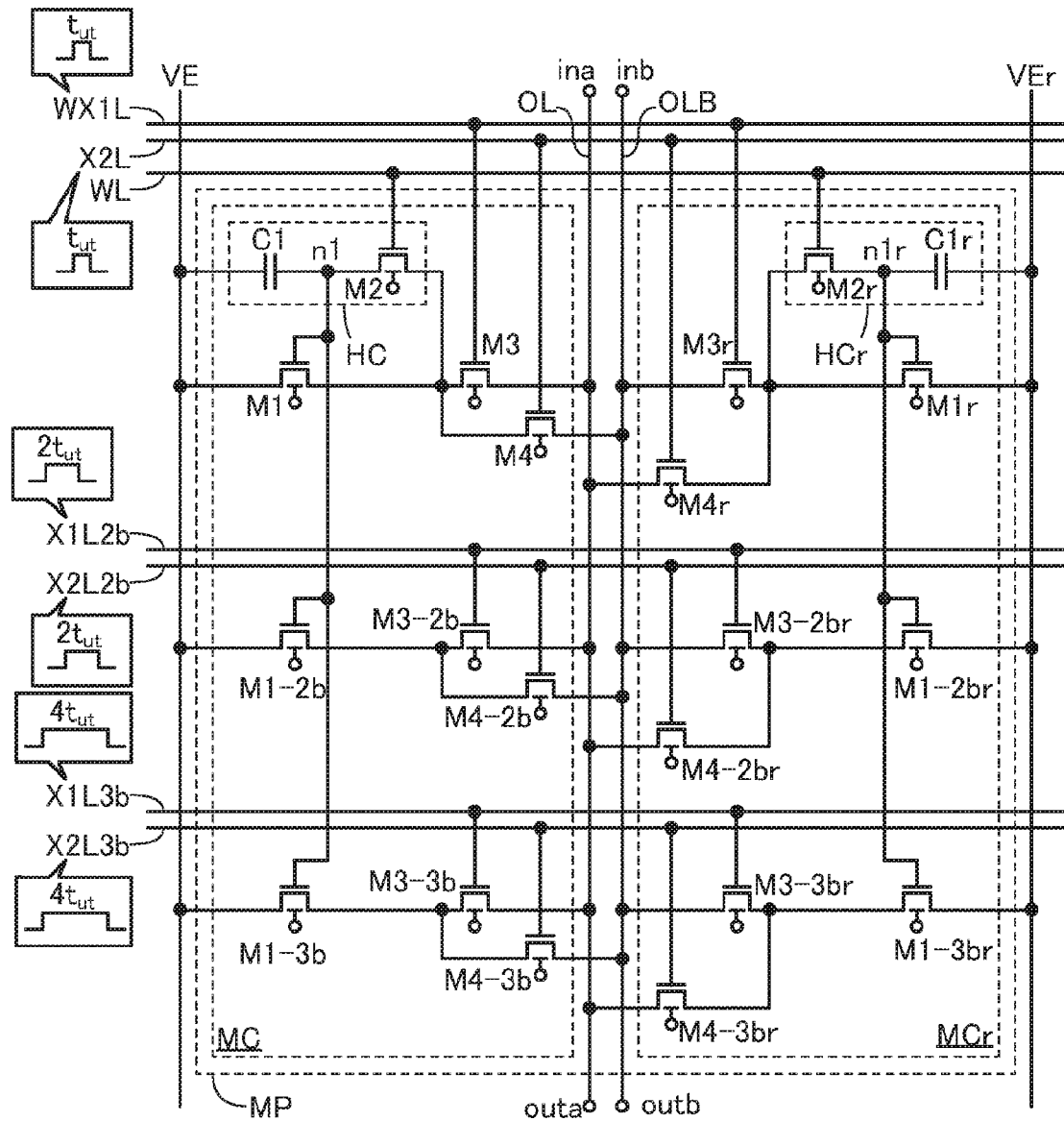


図52

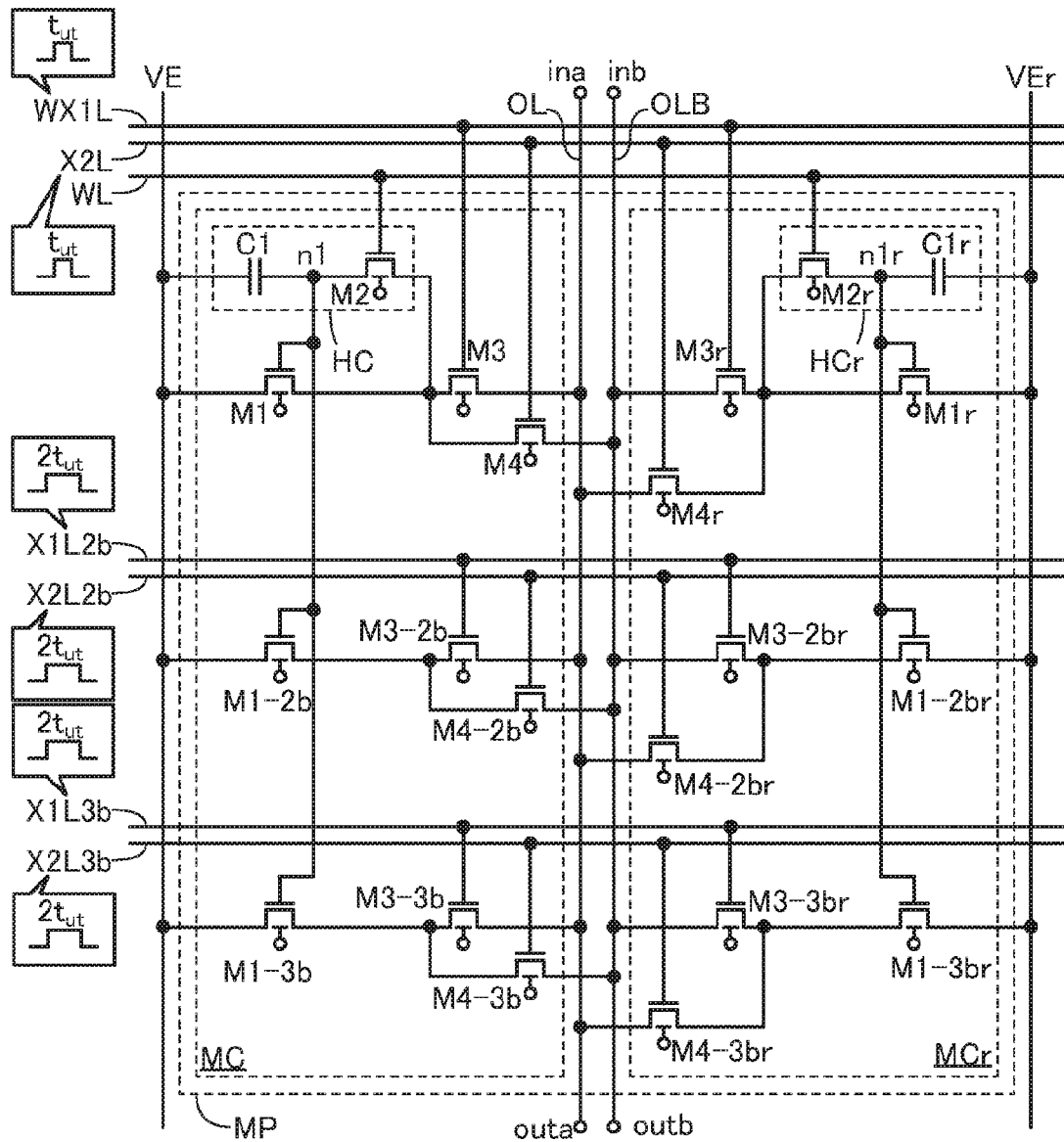


図53

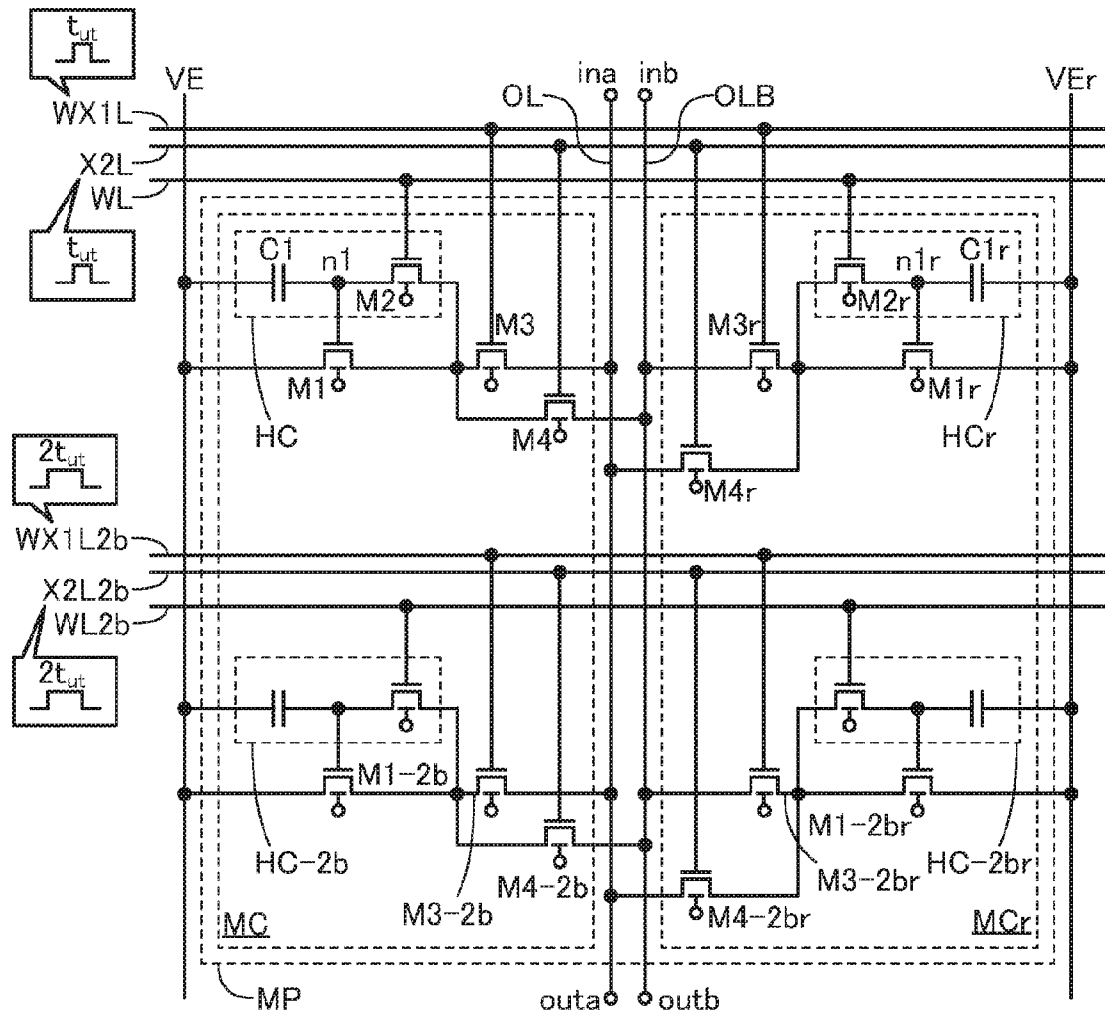
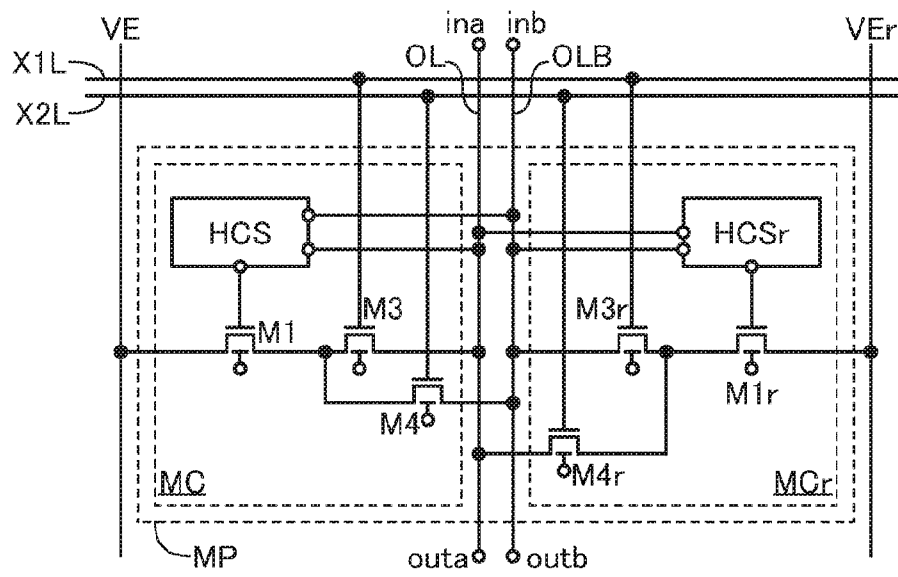
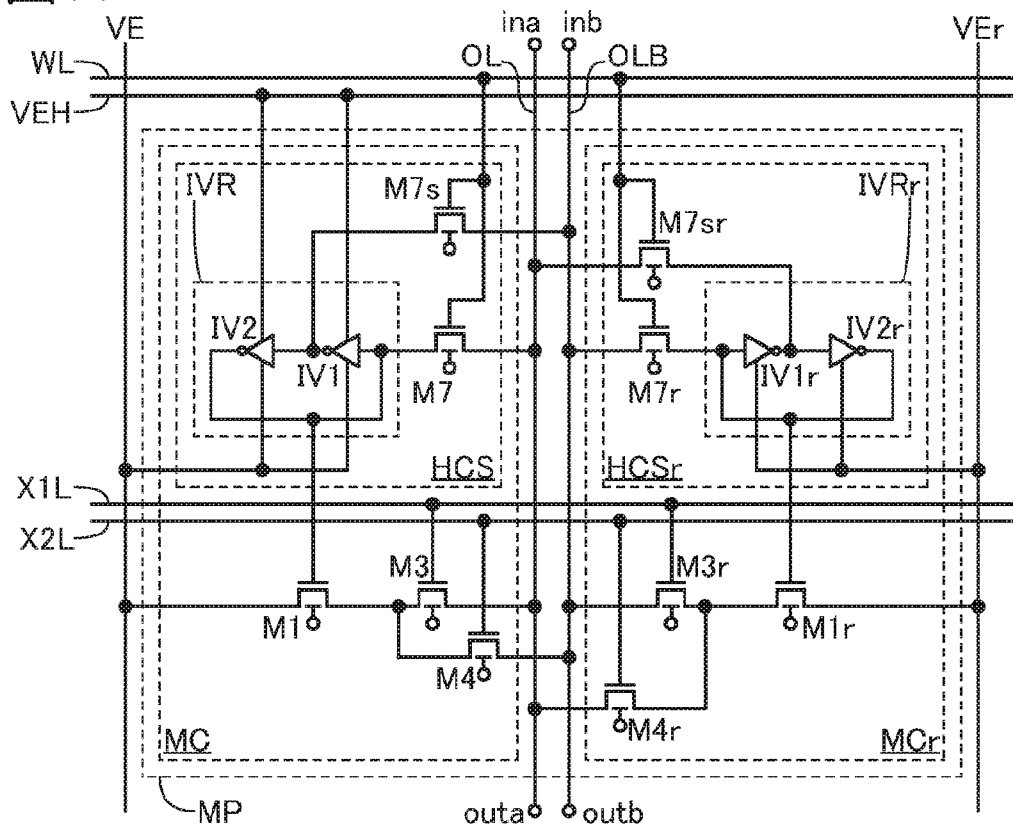


図54



55A



55B

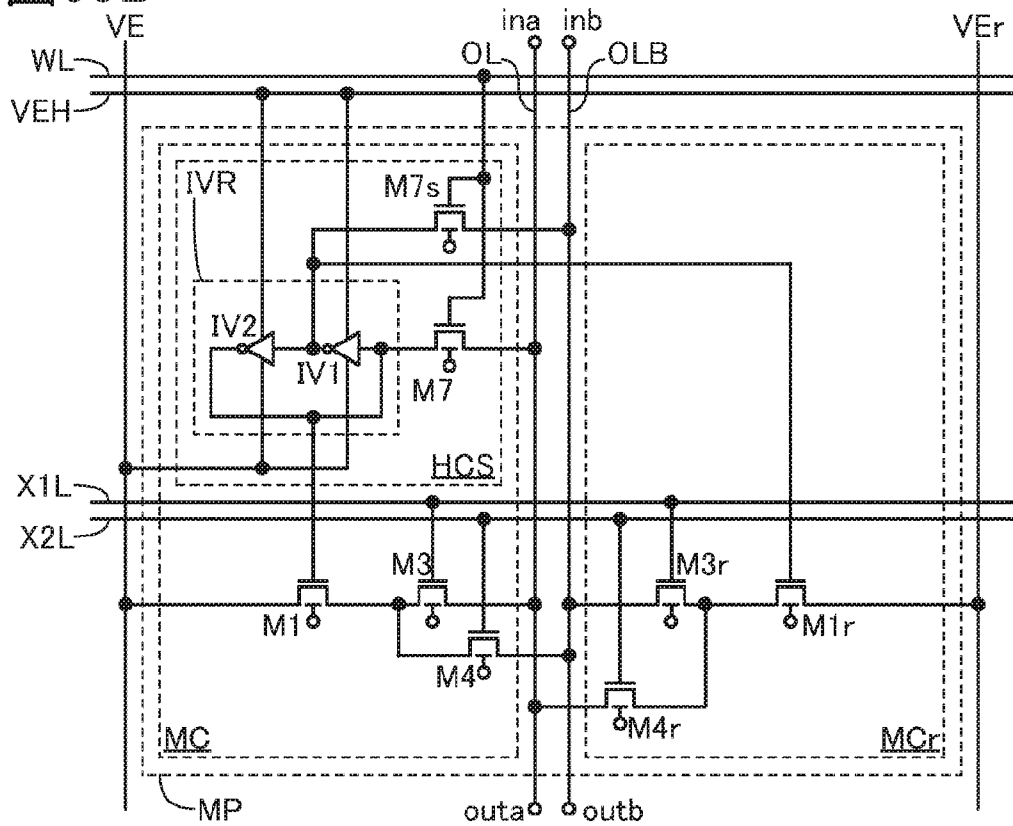


図56A

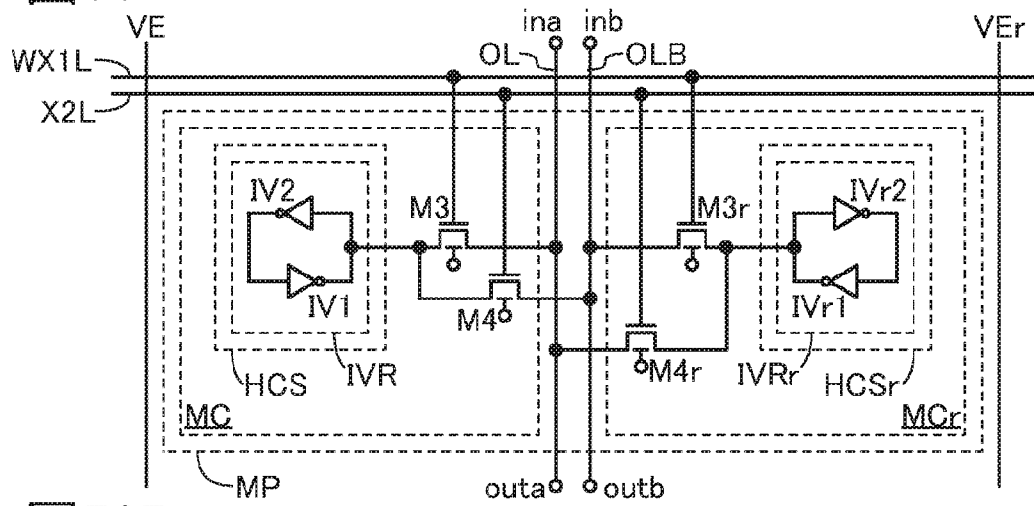


図56B

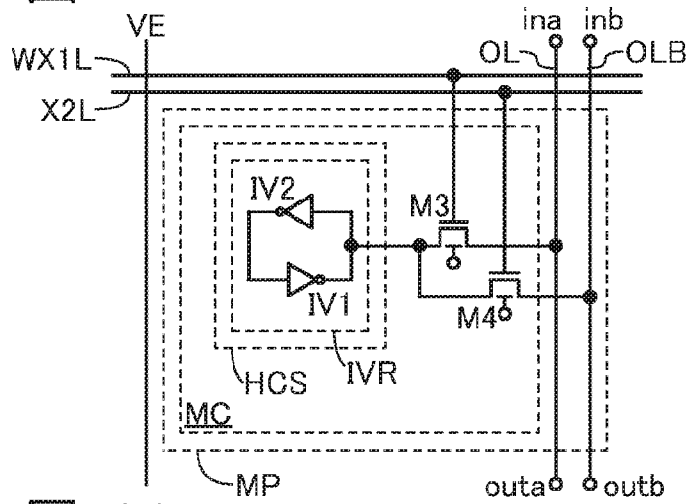
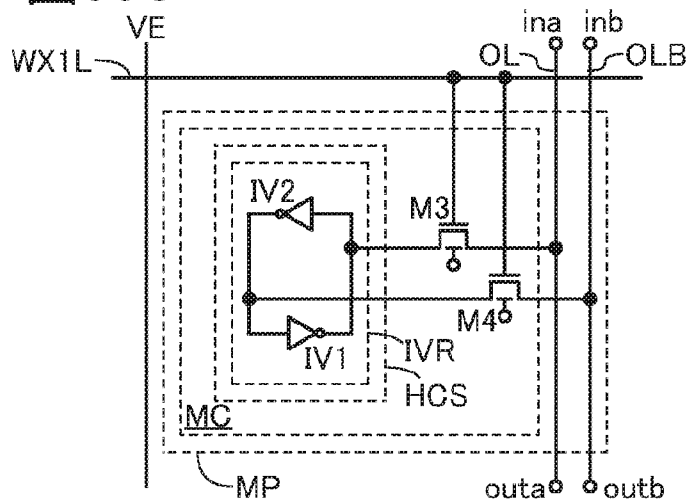
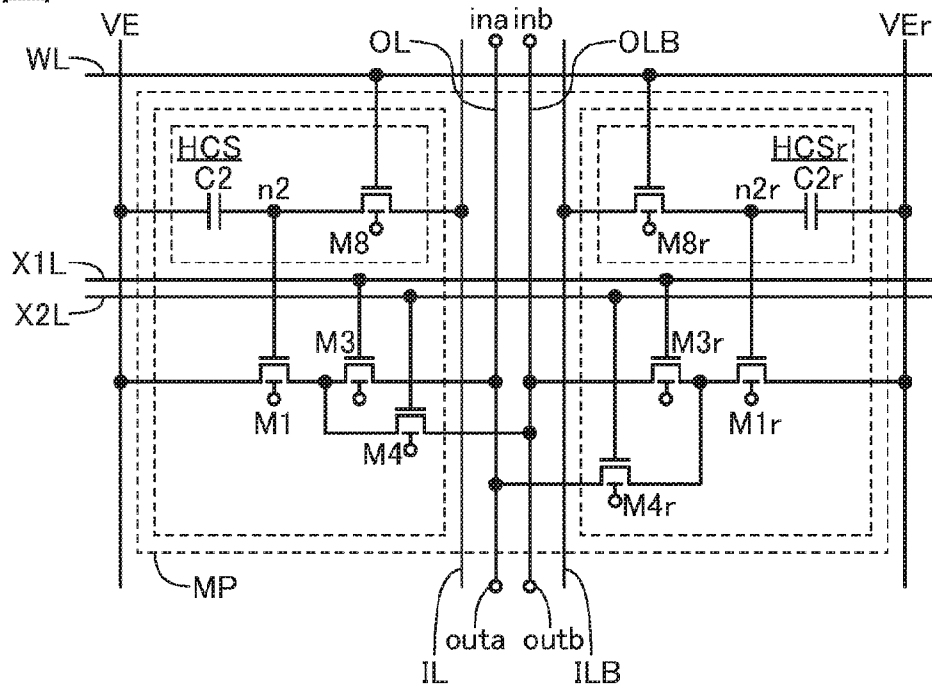


図56C



57A



57B

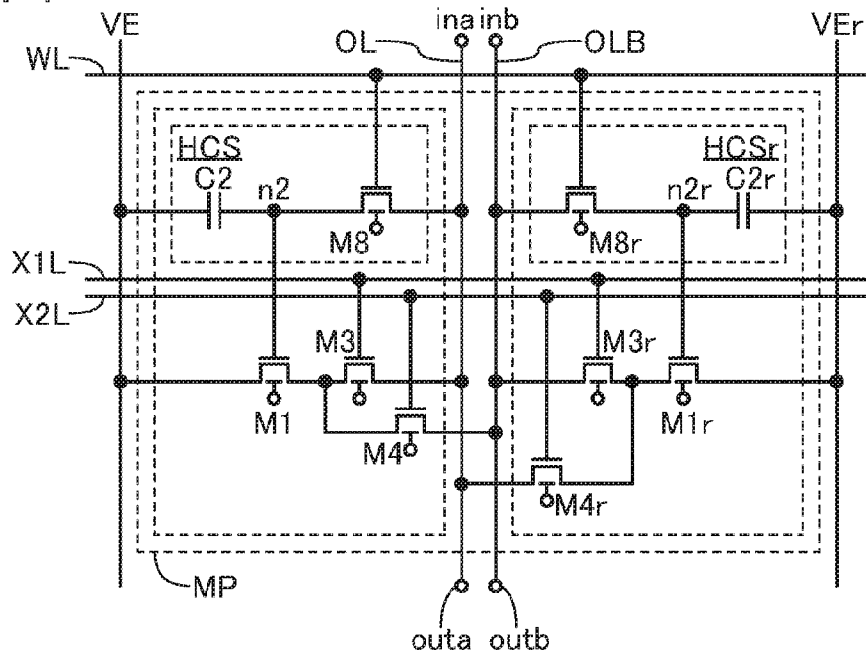


図58

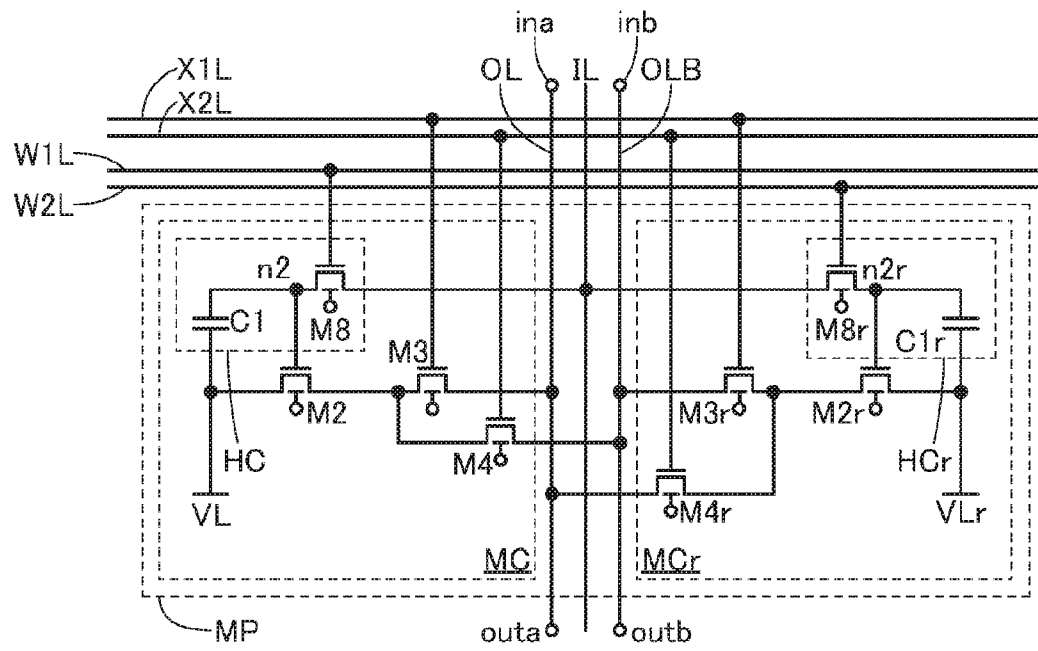
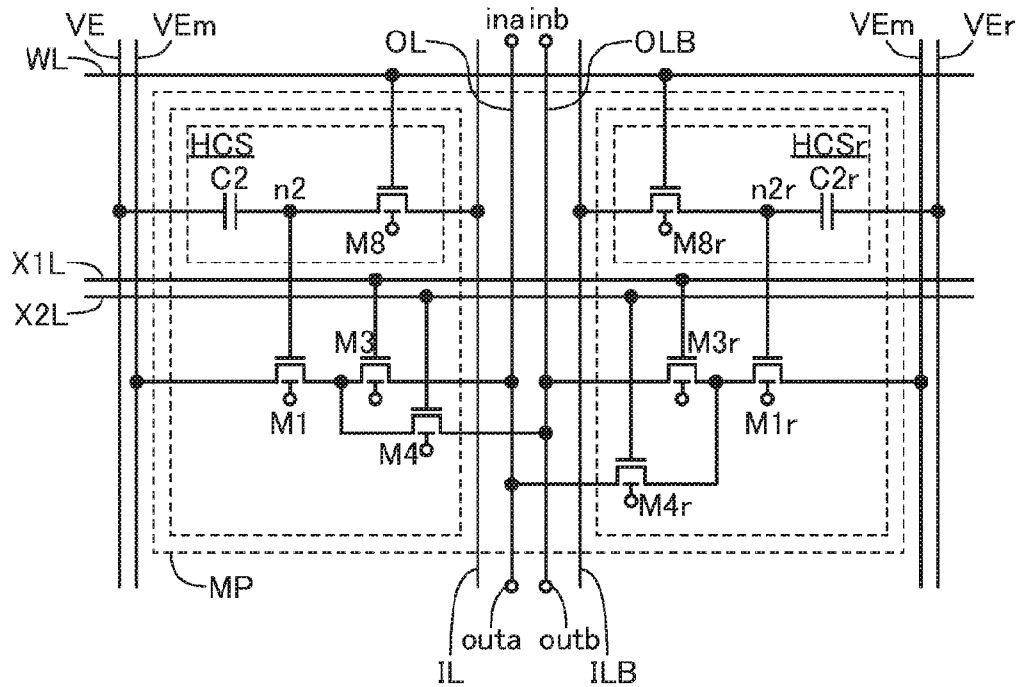


図 59A



59B

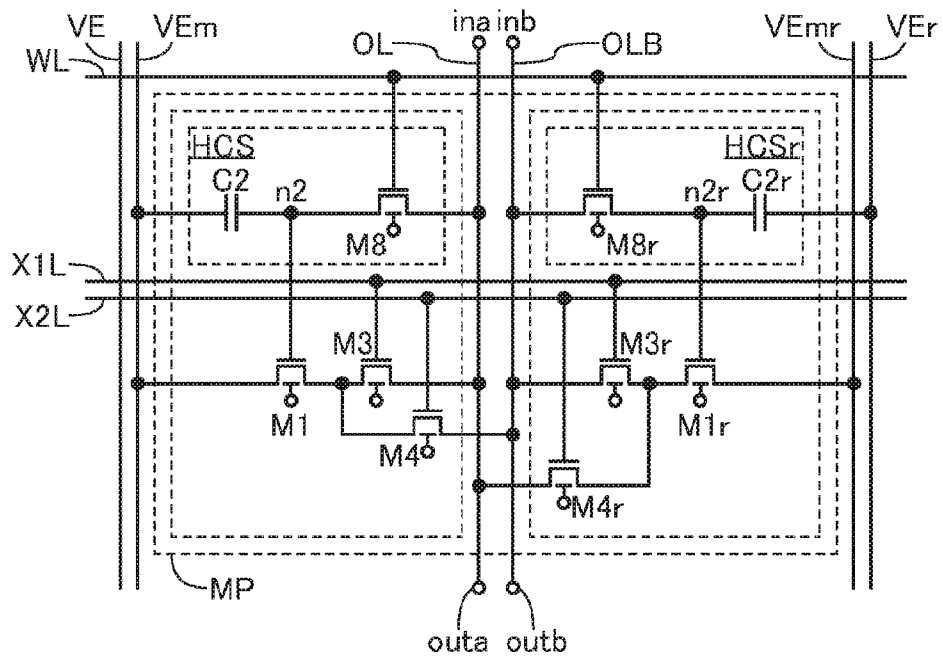


図60A

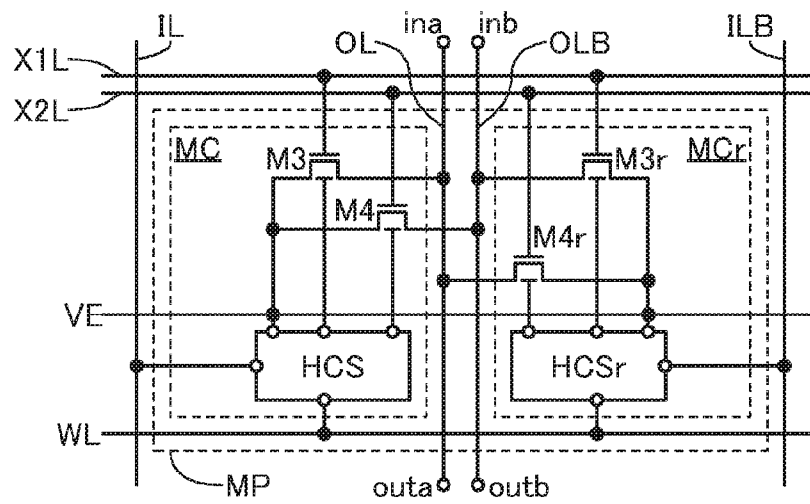
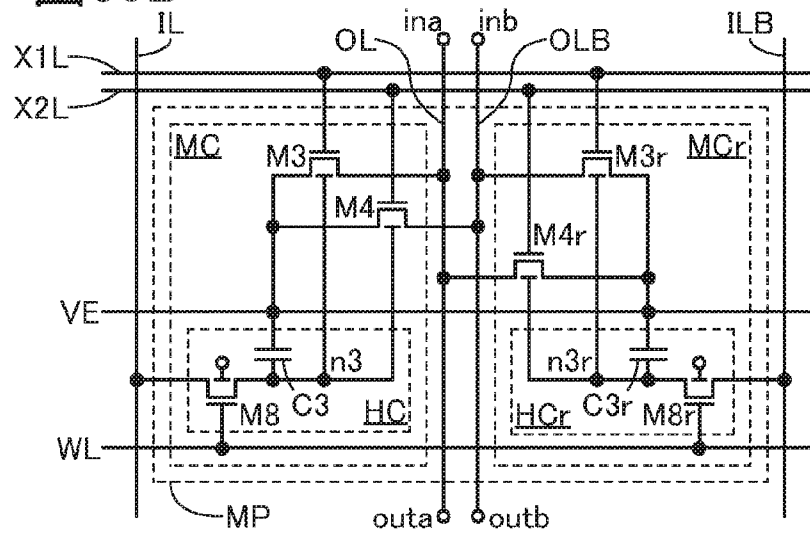


図60B



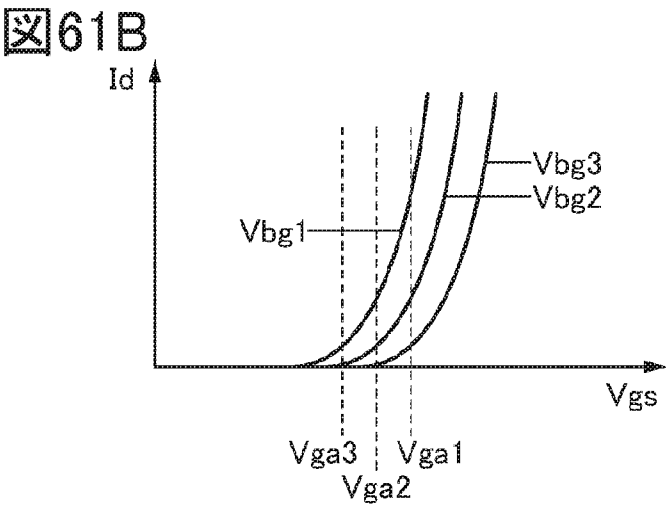
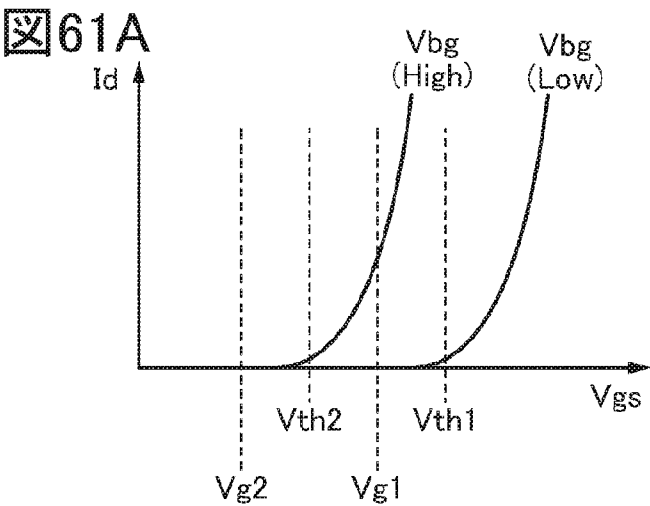


図62

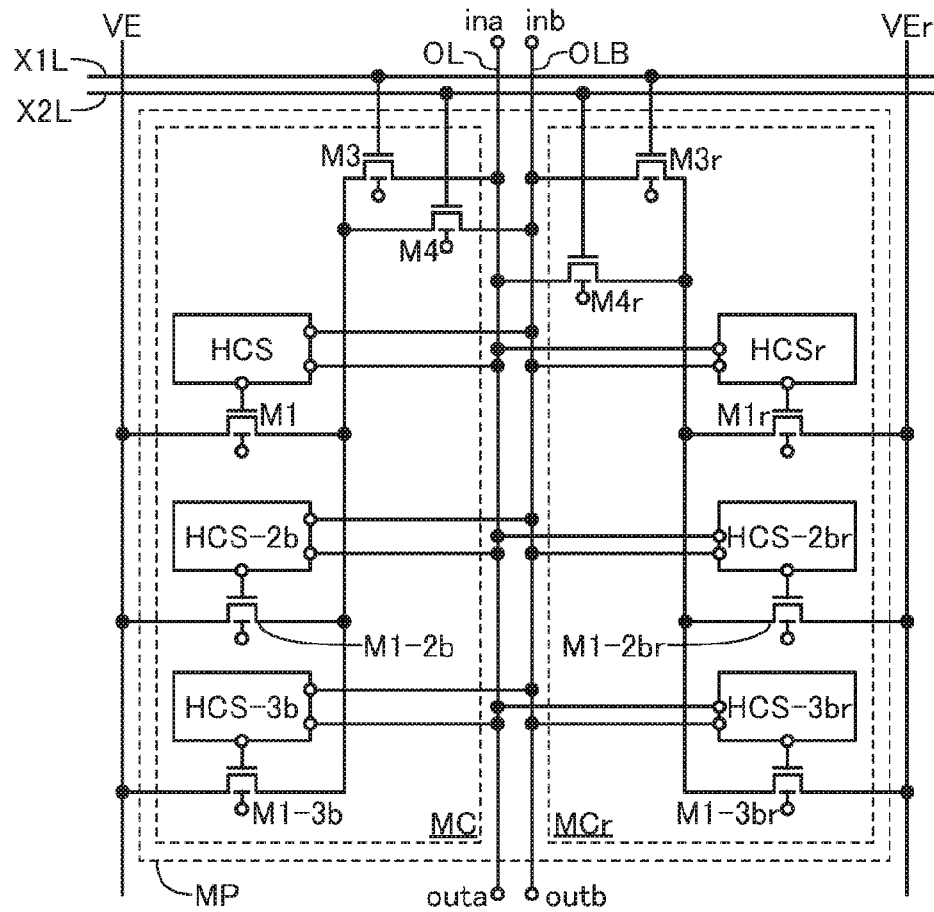


図 63

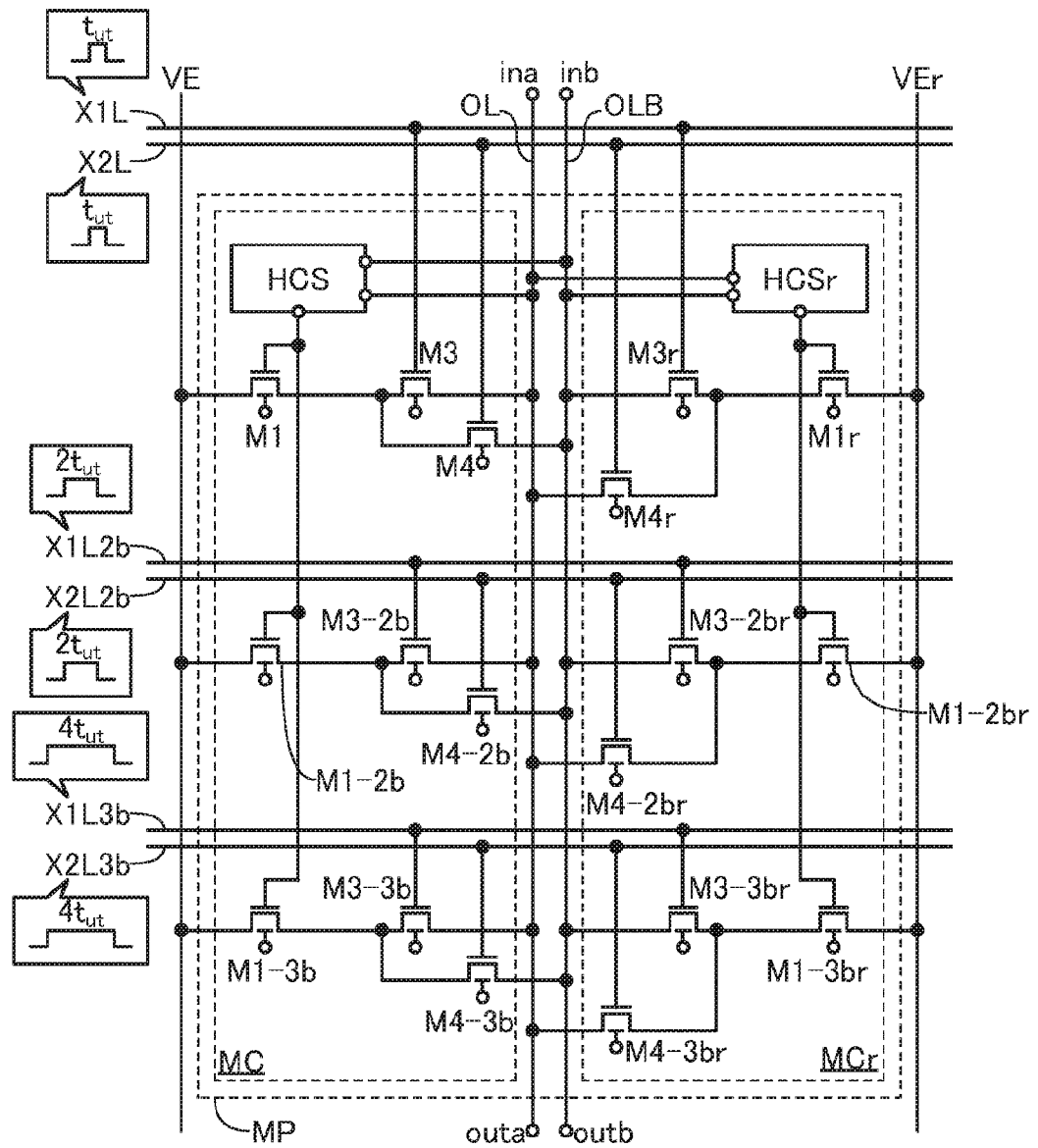
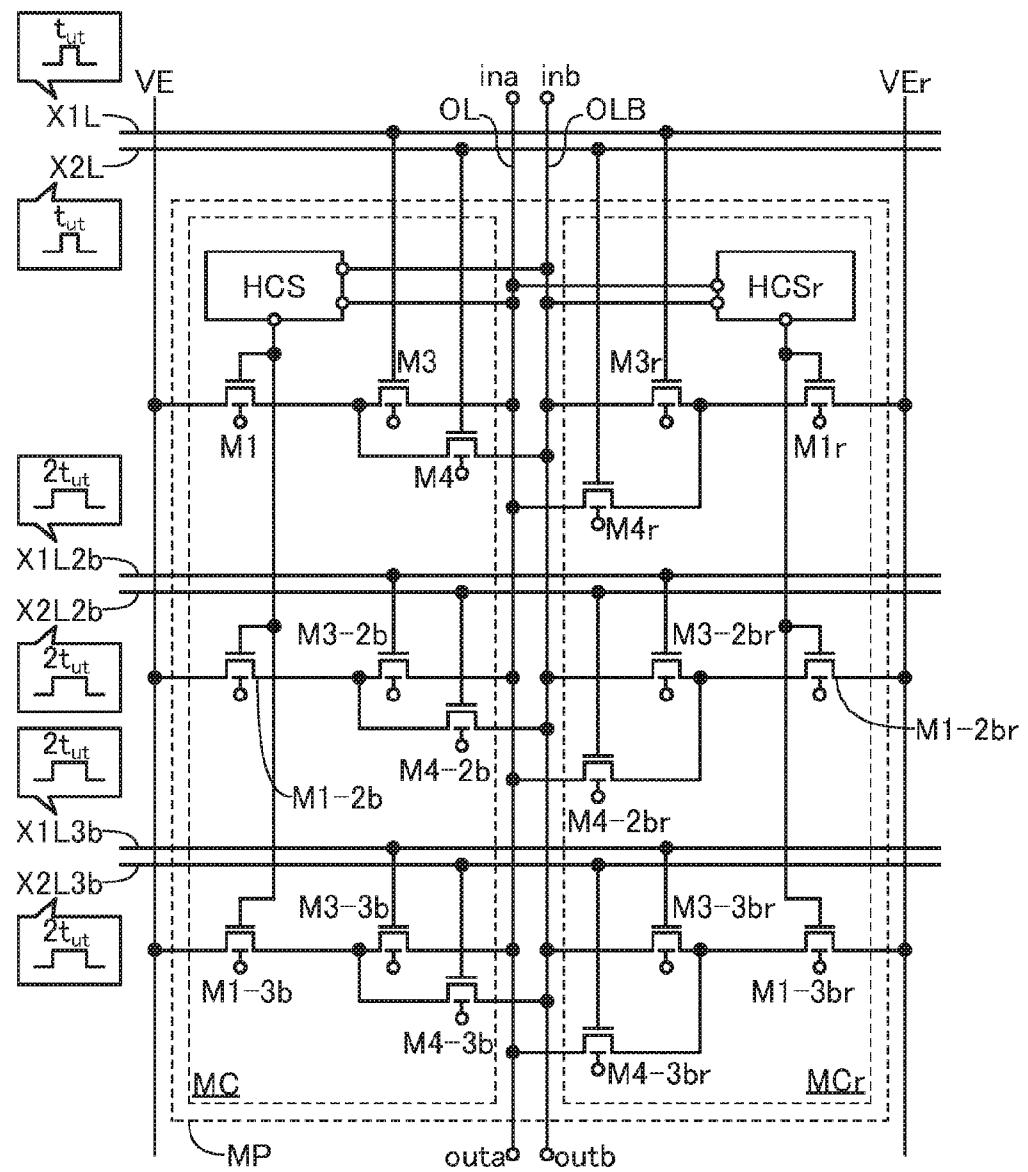


図 64



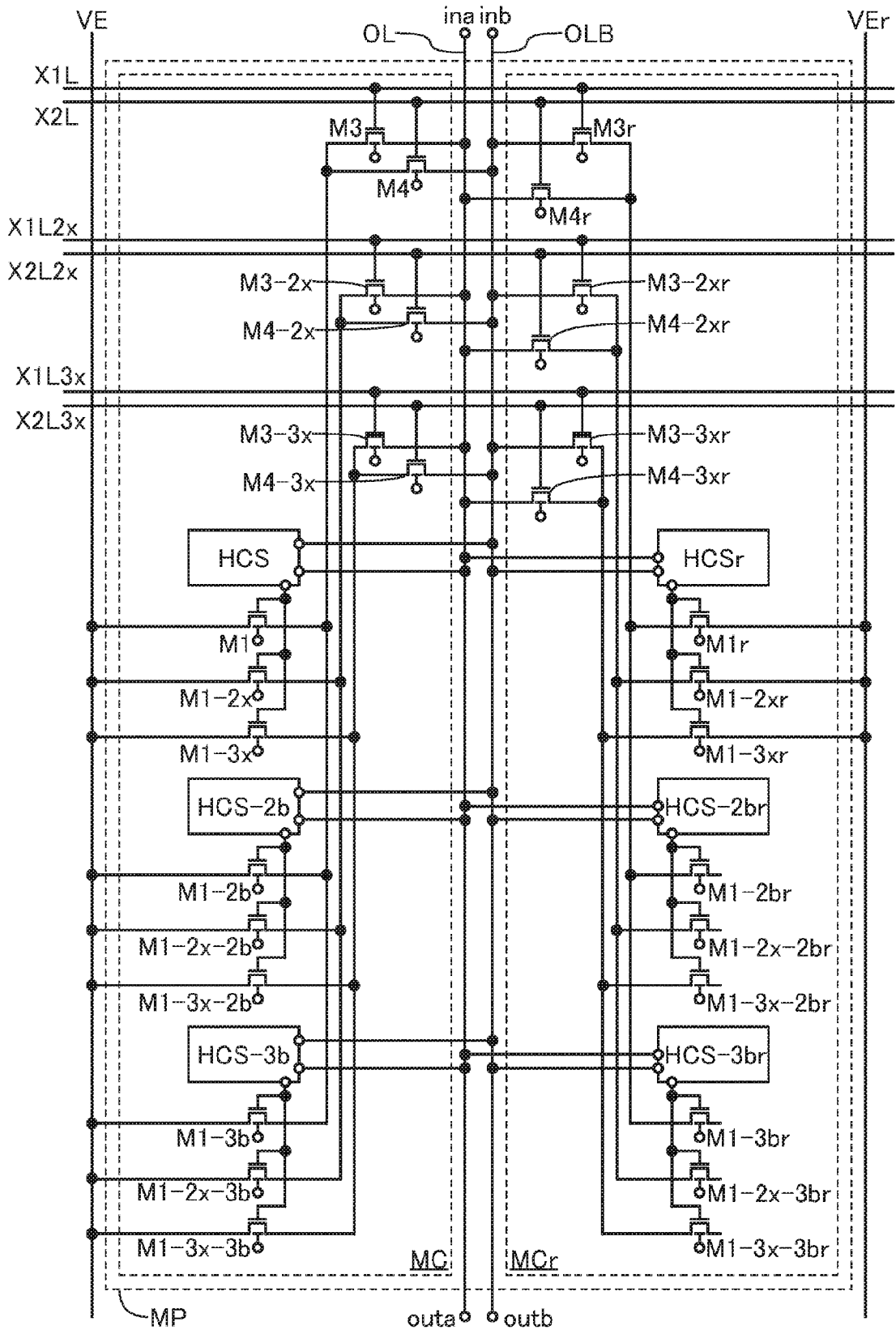


図 66

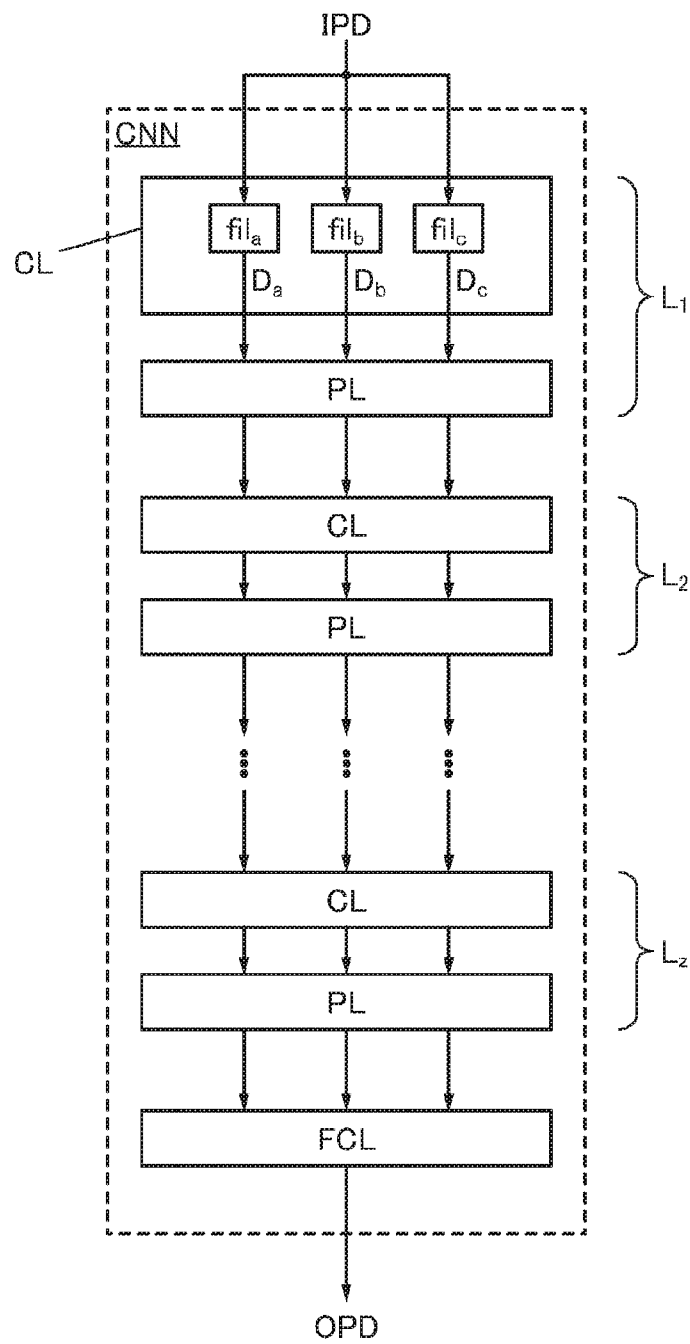


図67A

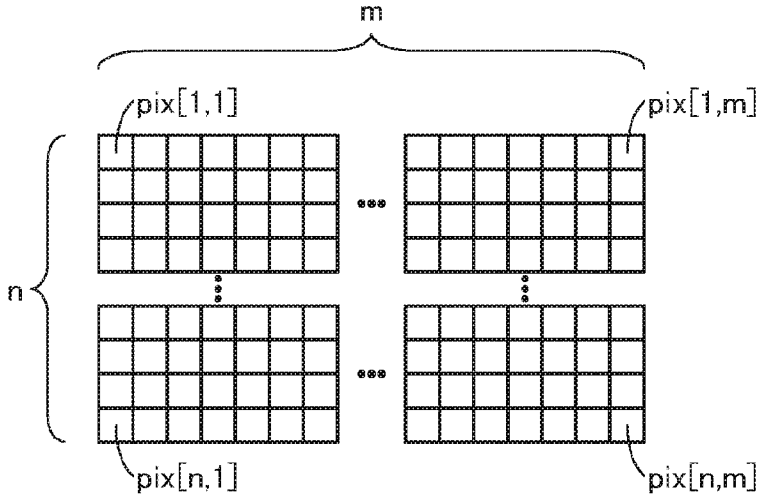
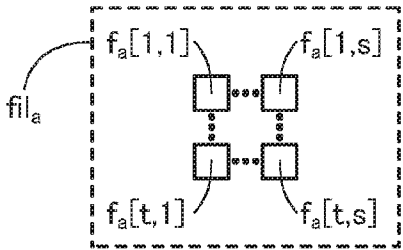


図67B



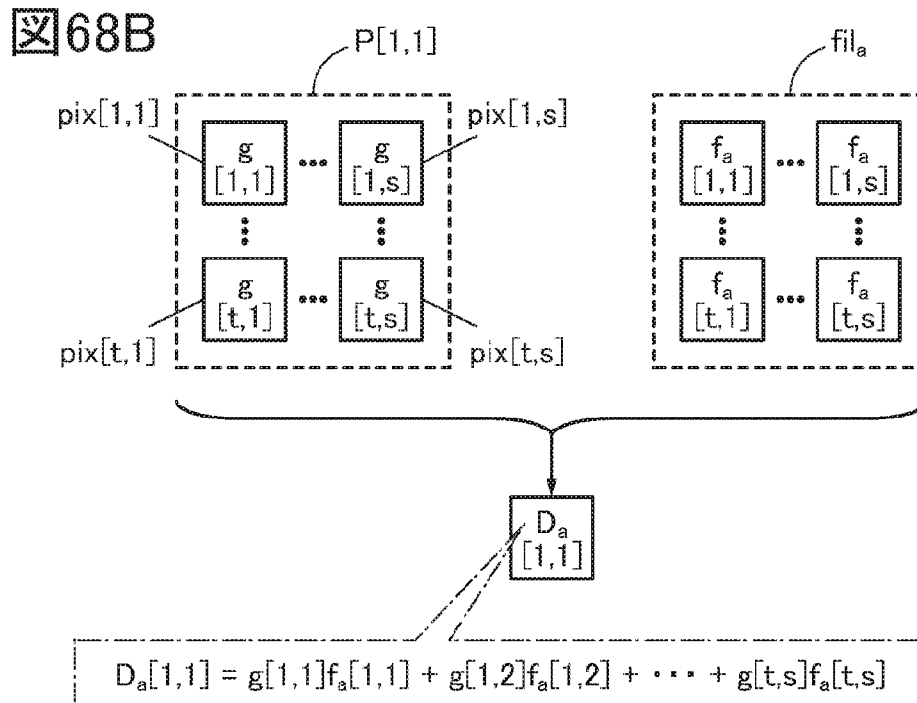
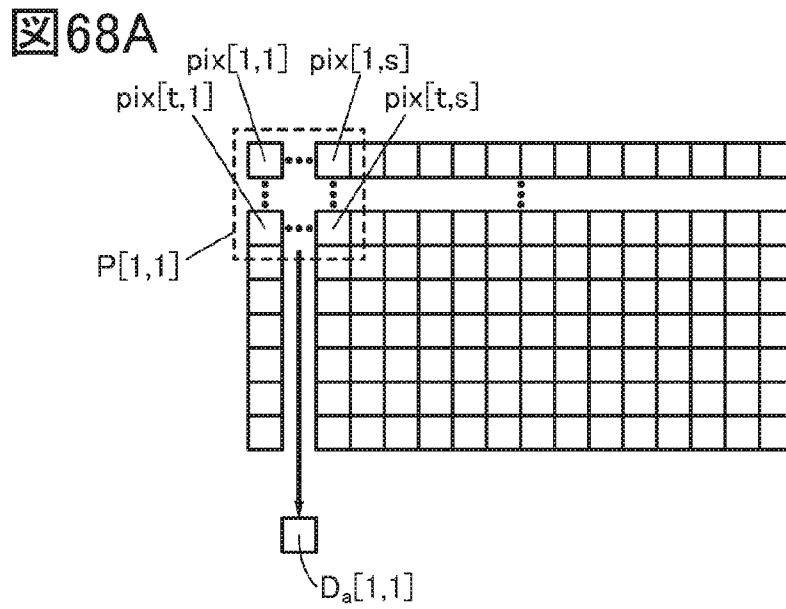


図 69

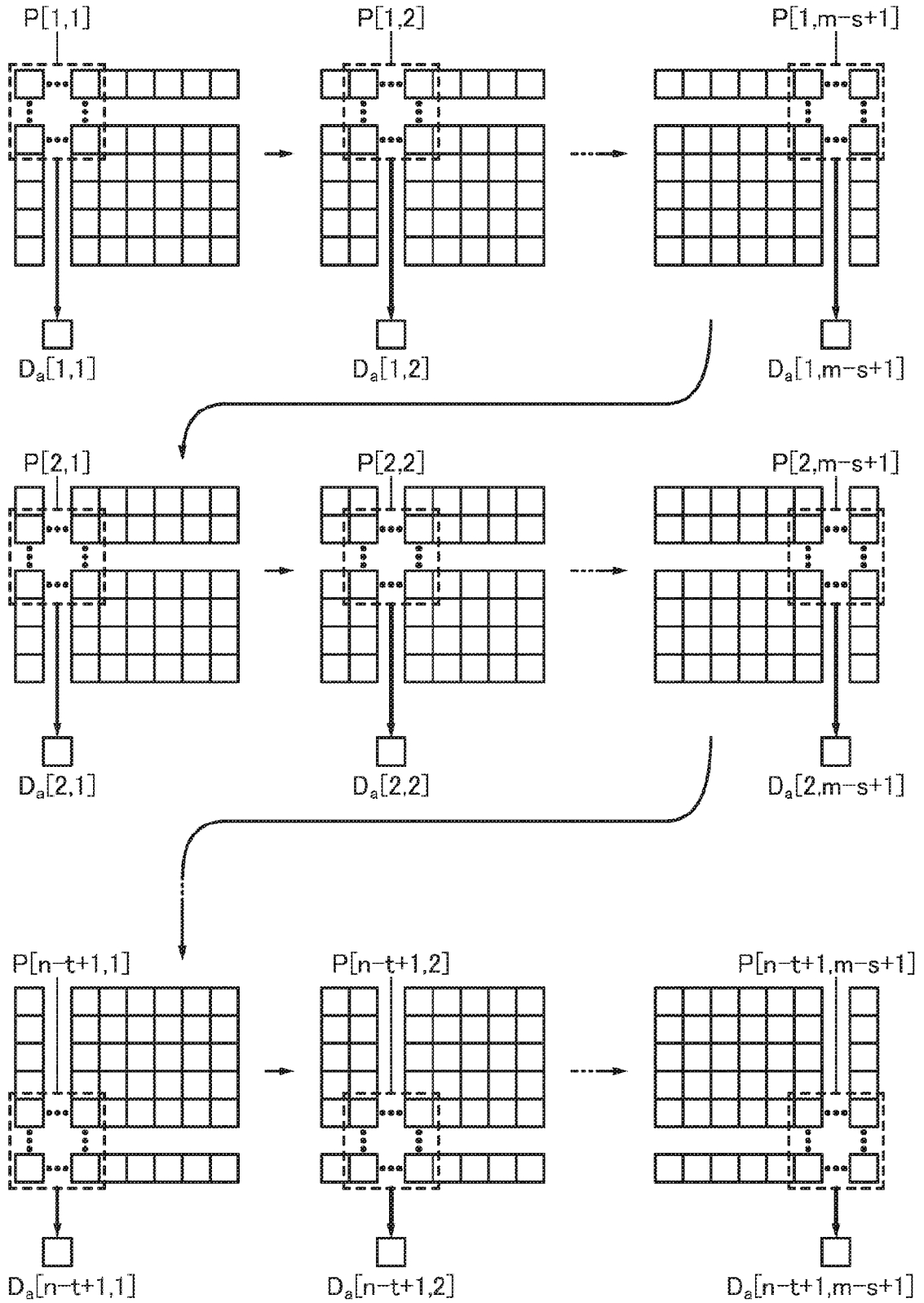


図 70

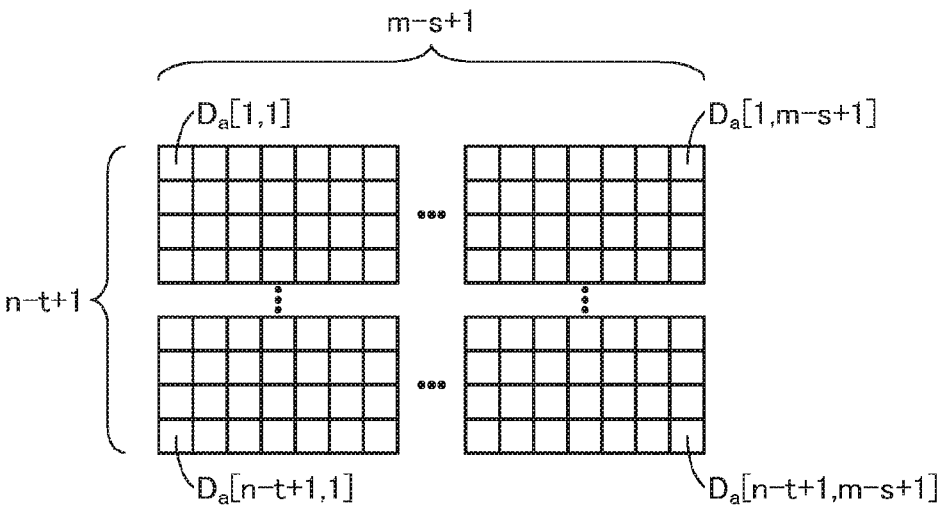


図 71

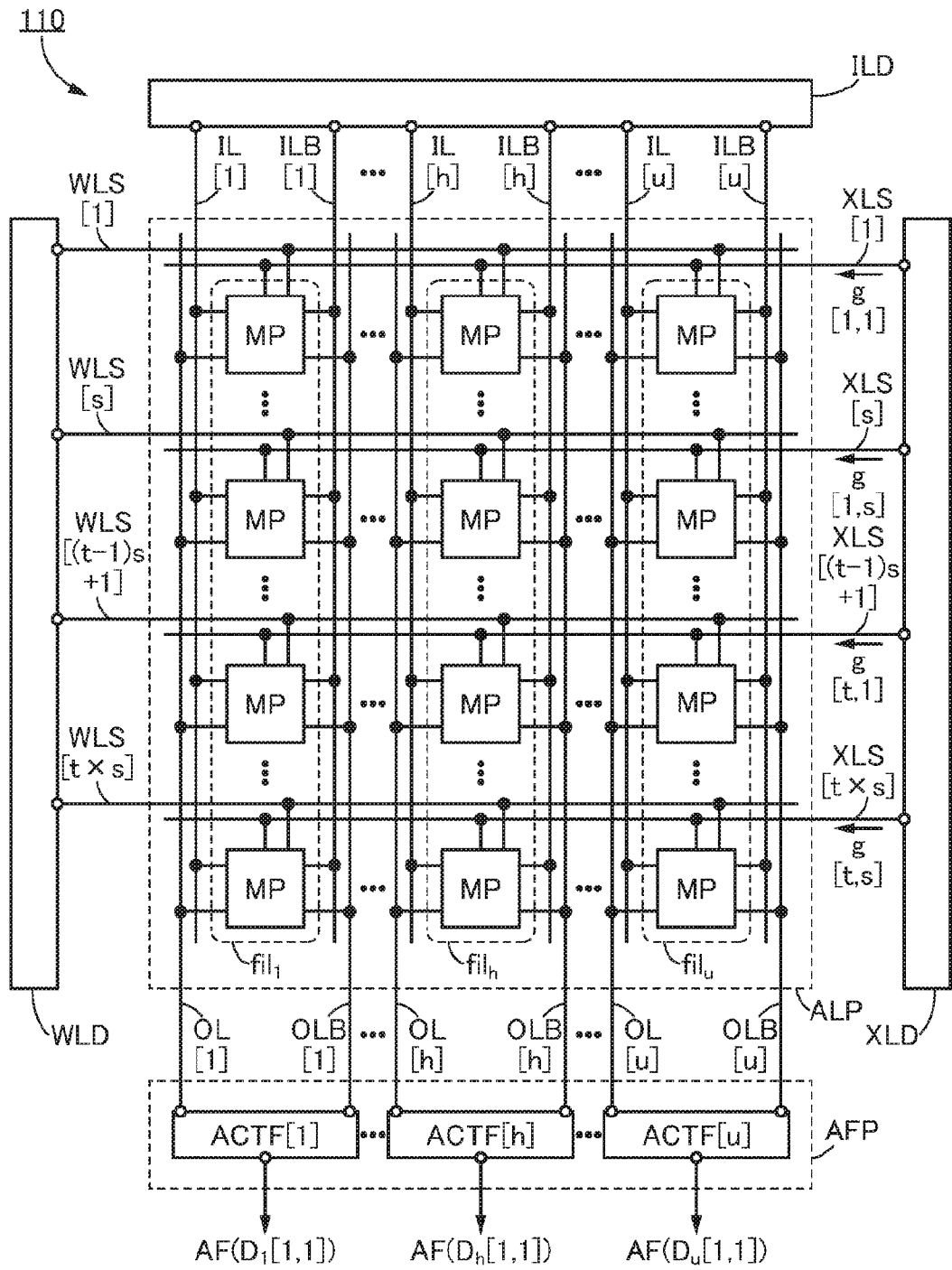


図 72

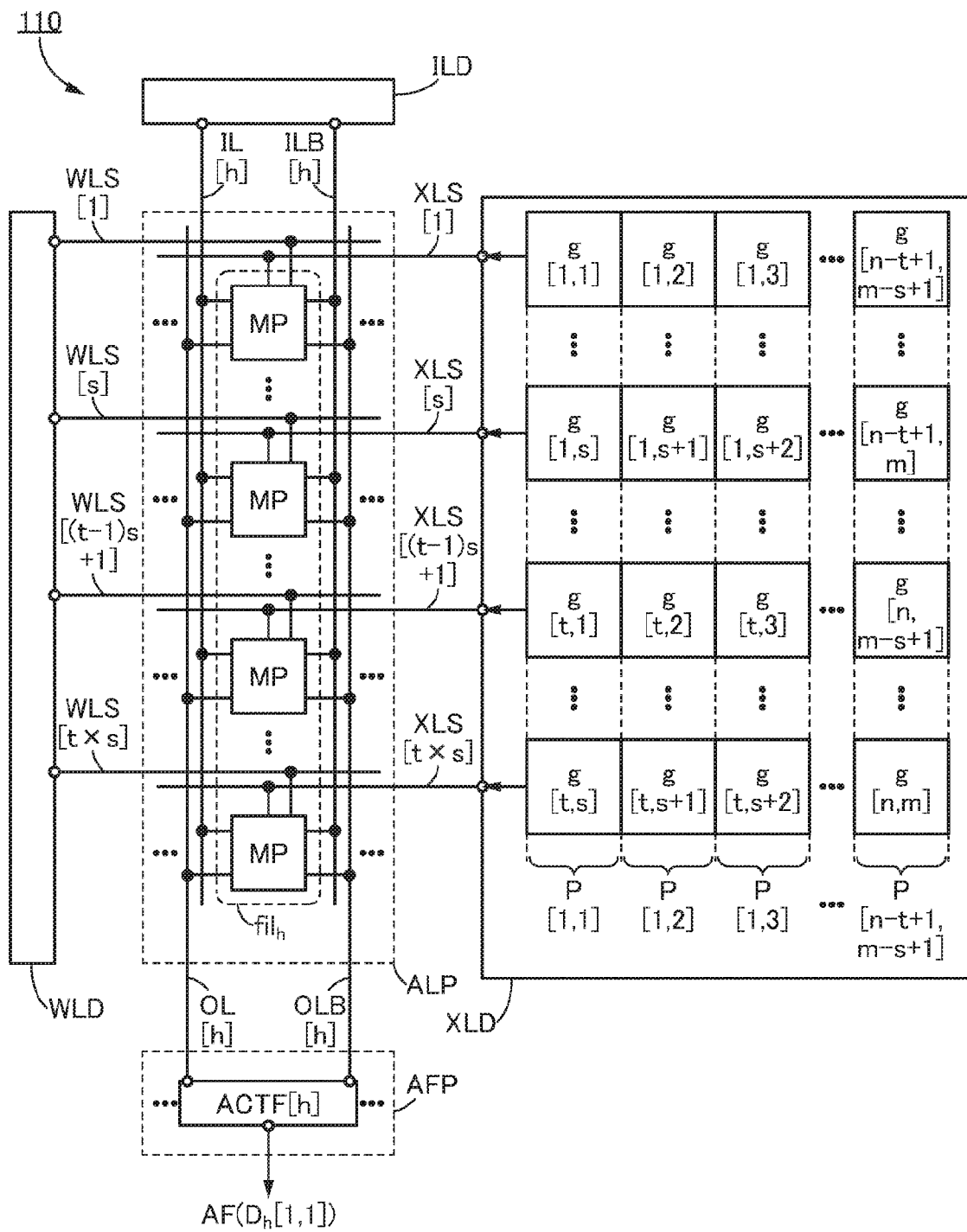


図 73

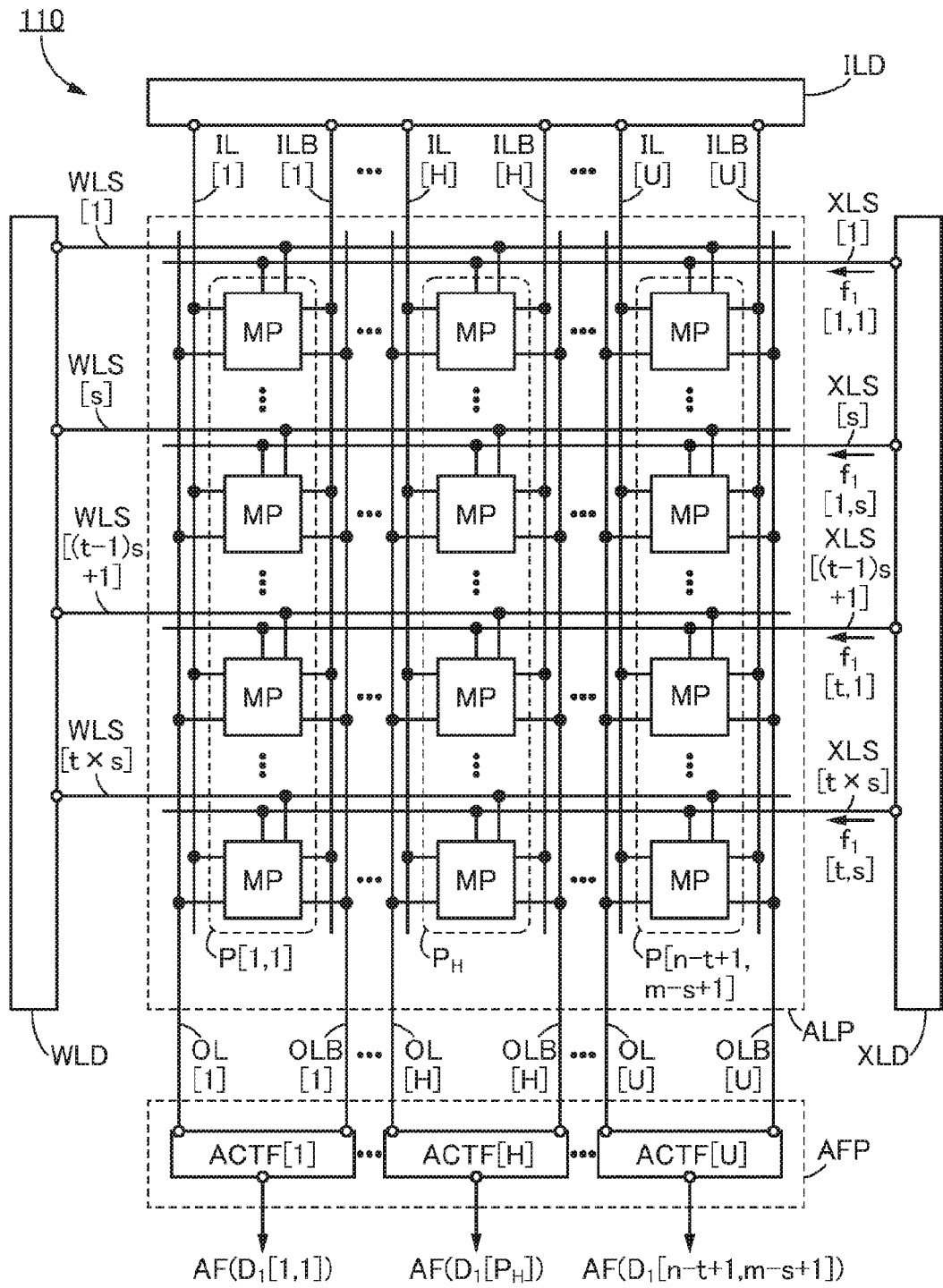


図 74

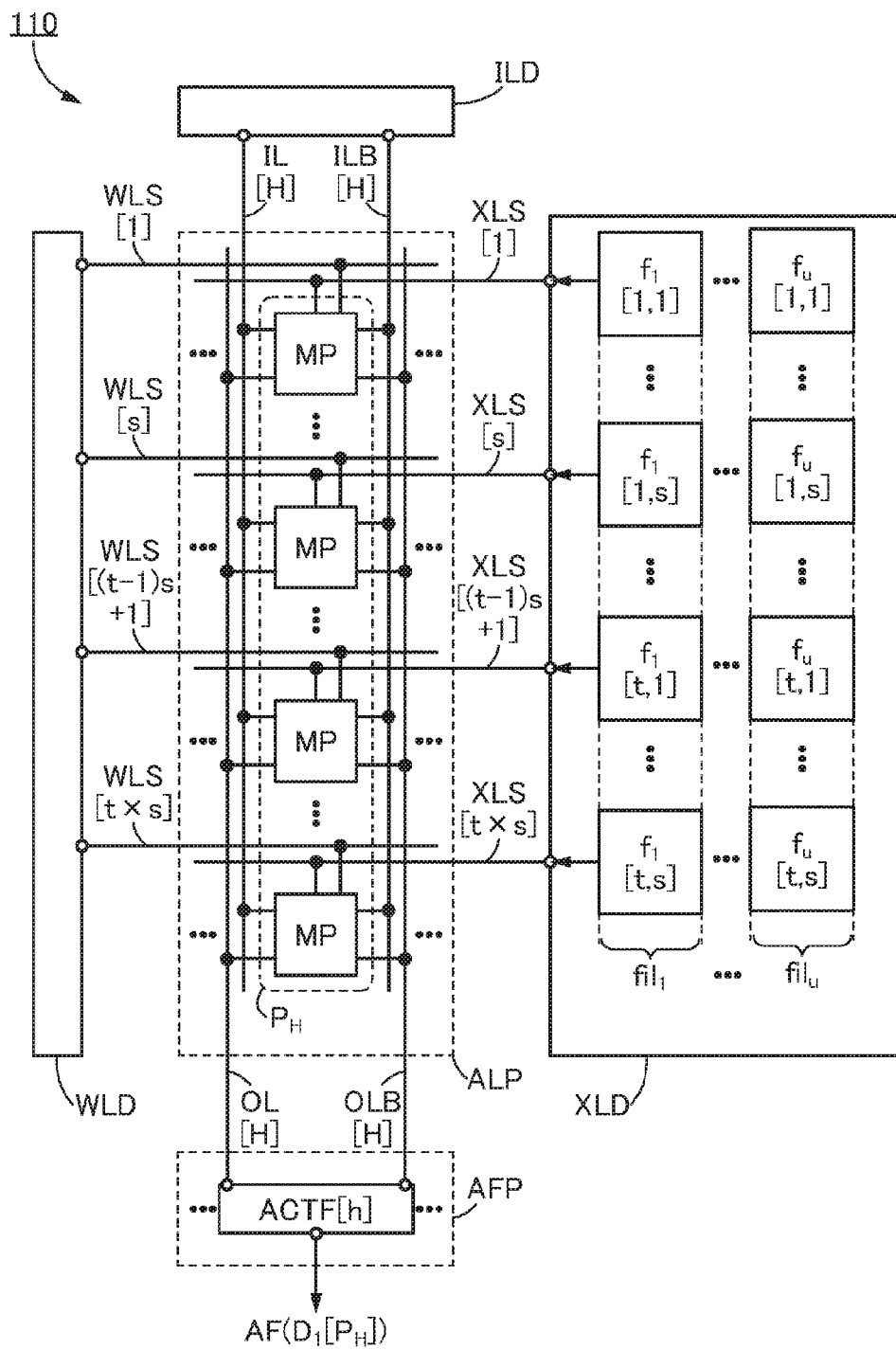


図 75A

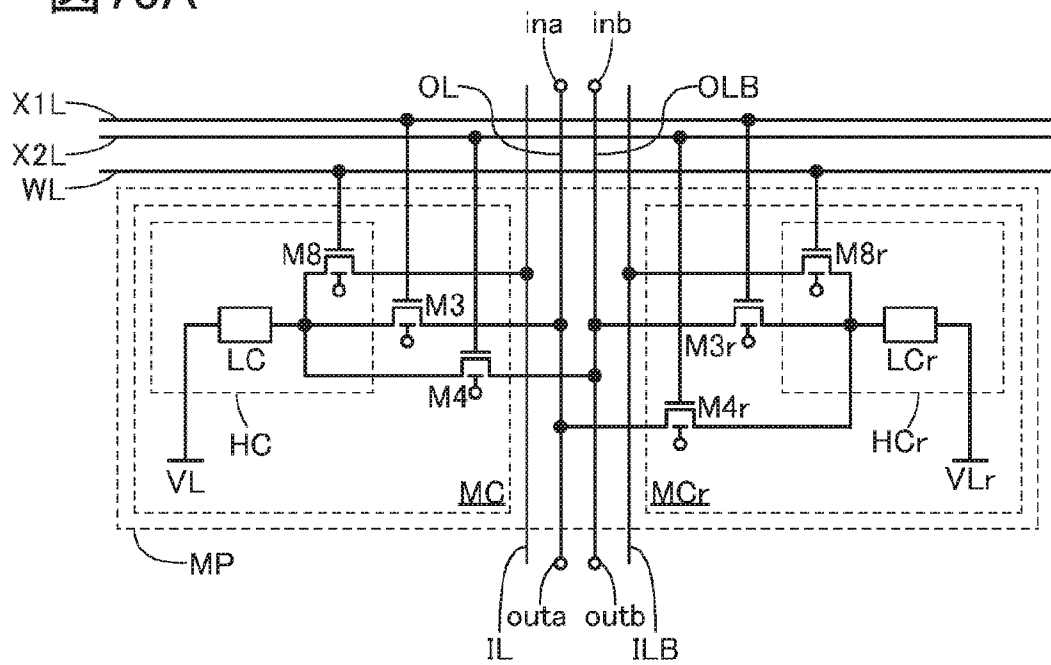


図 75B

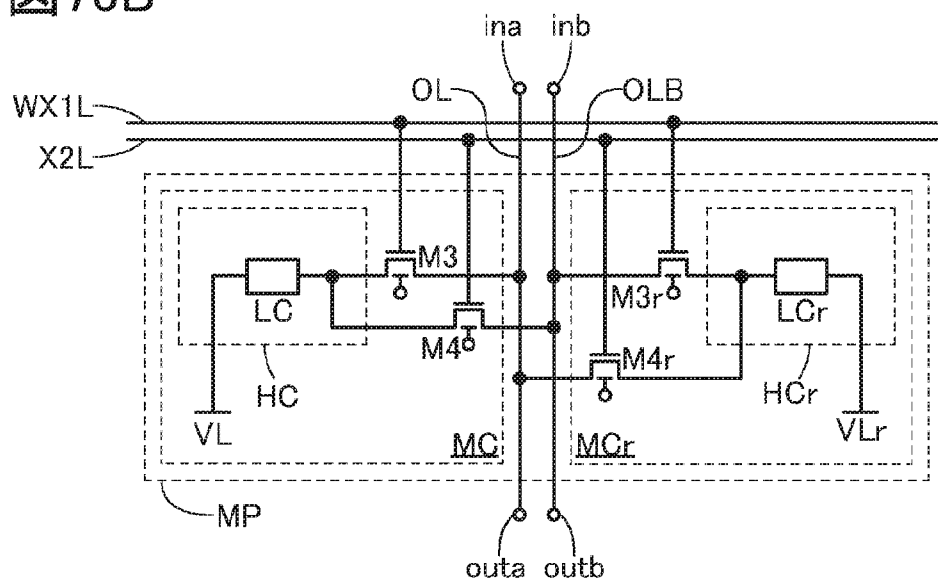


図76A

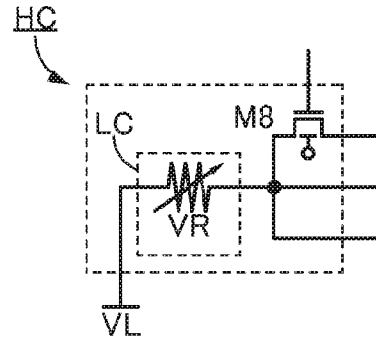


図76B

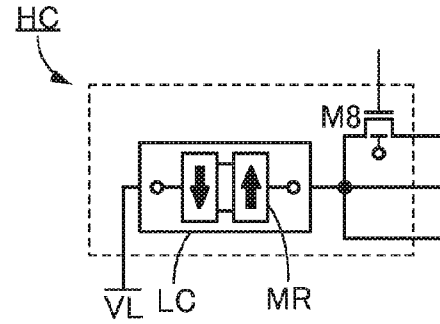


図76C

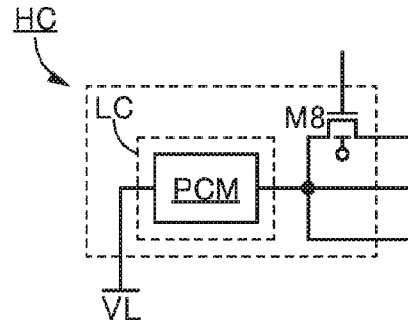


図76D

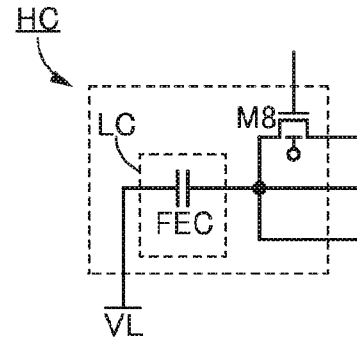


图 77

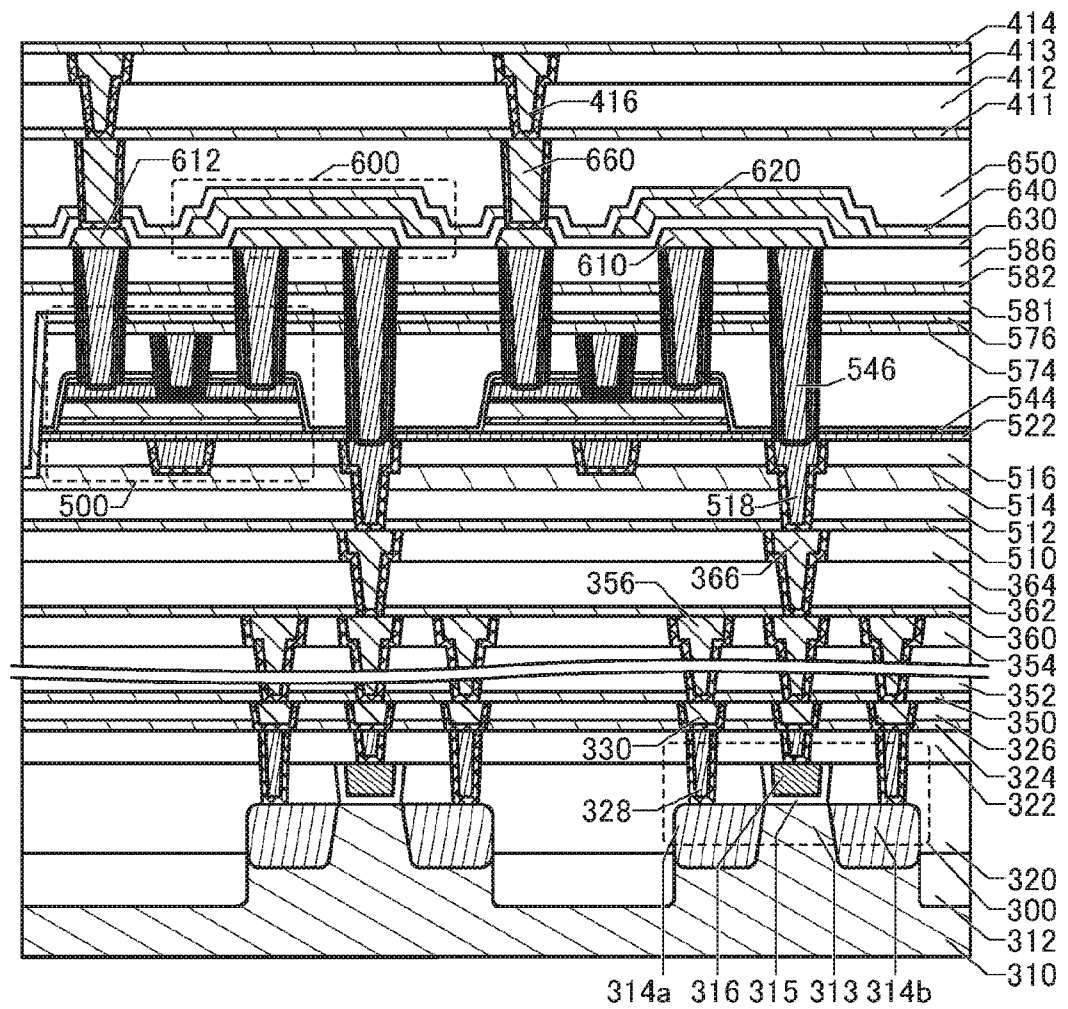


図78A

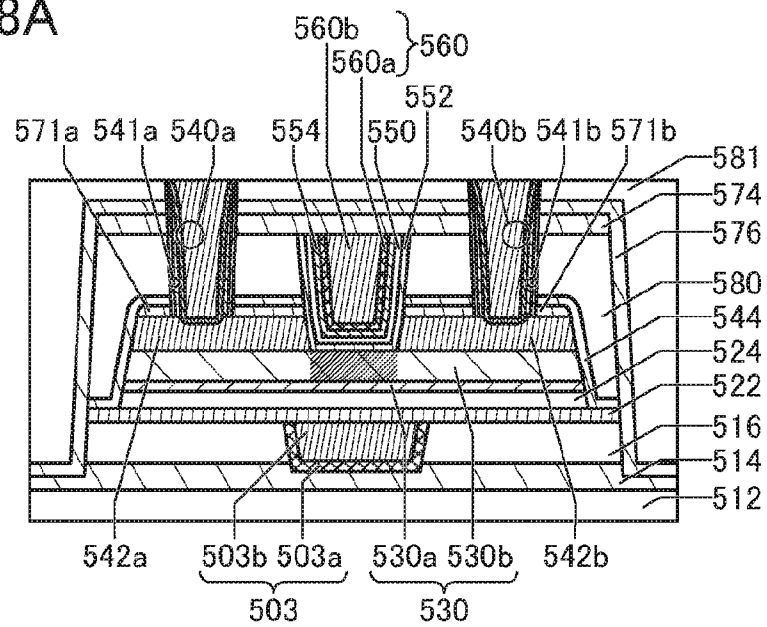


図78B

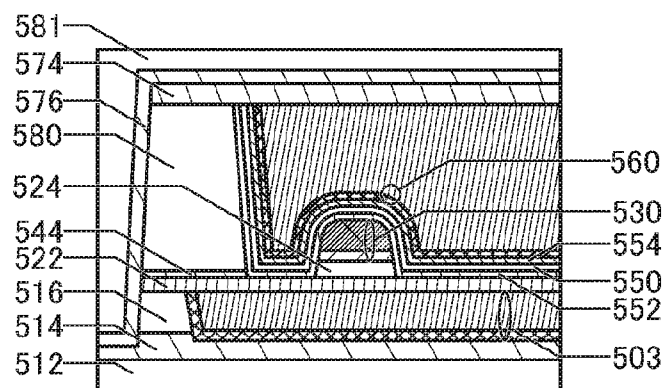


図78C

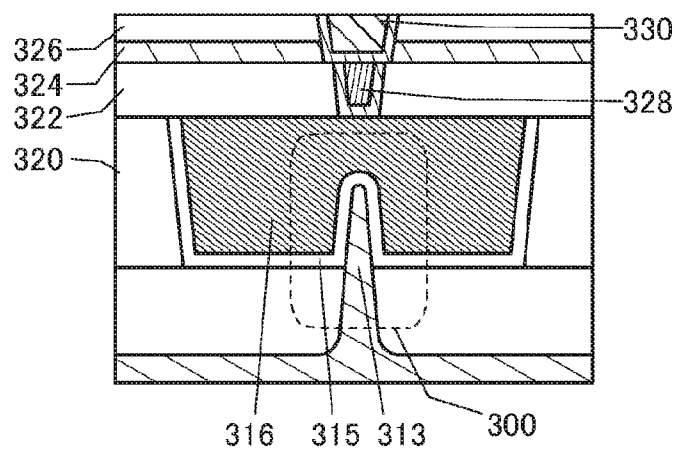


图 79

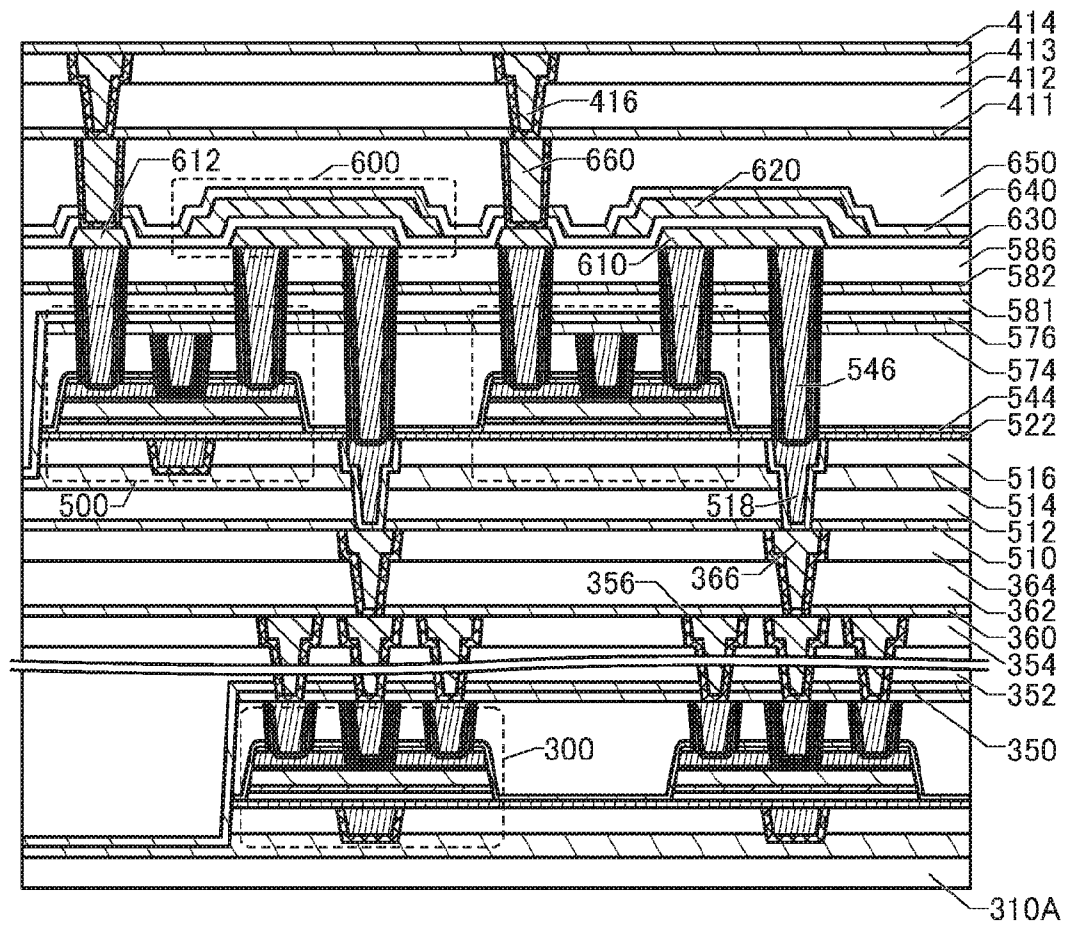


図80A

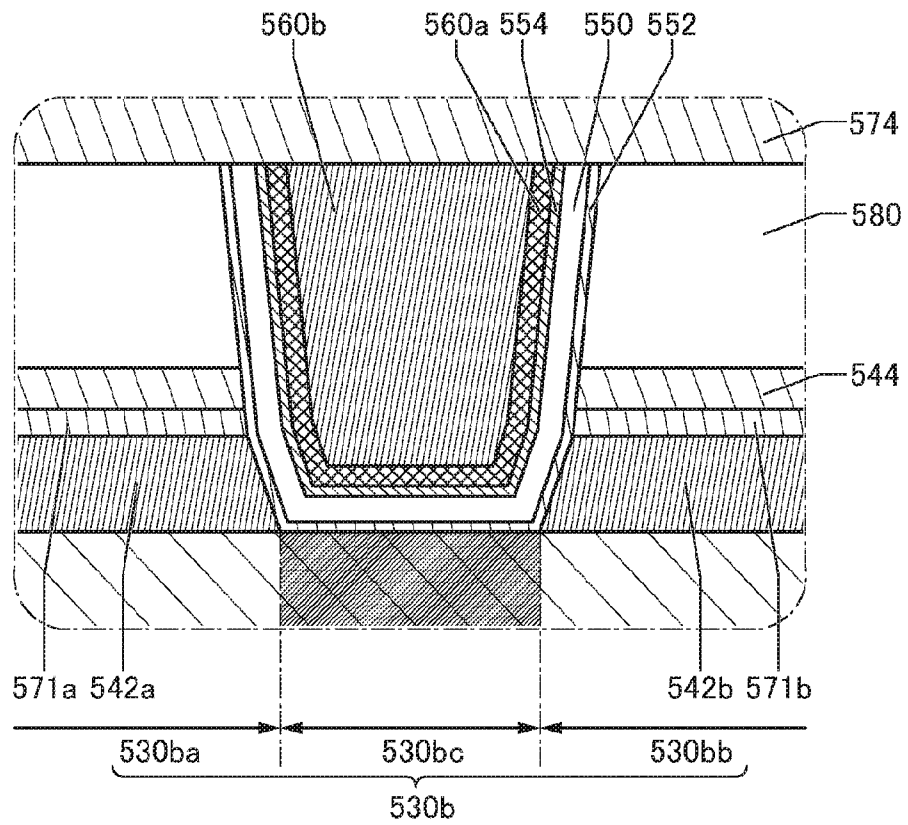


図80B

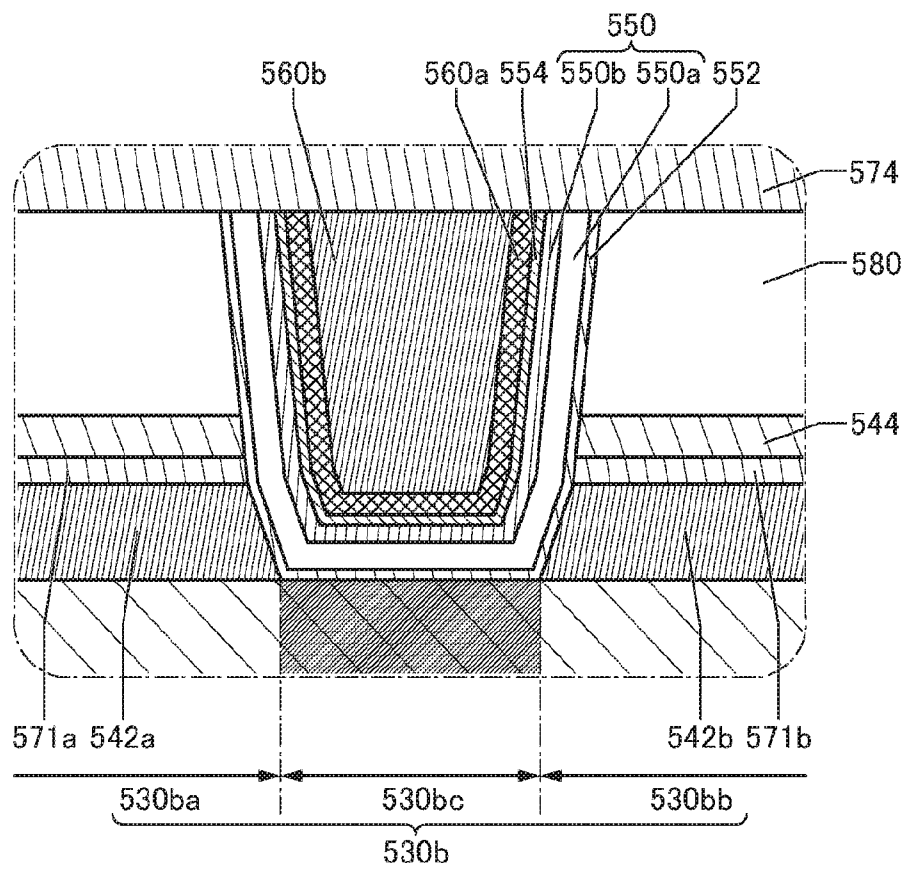


図81

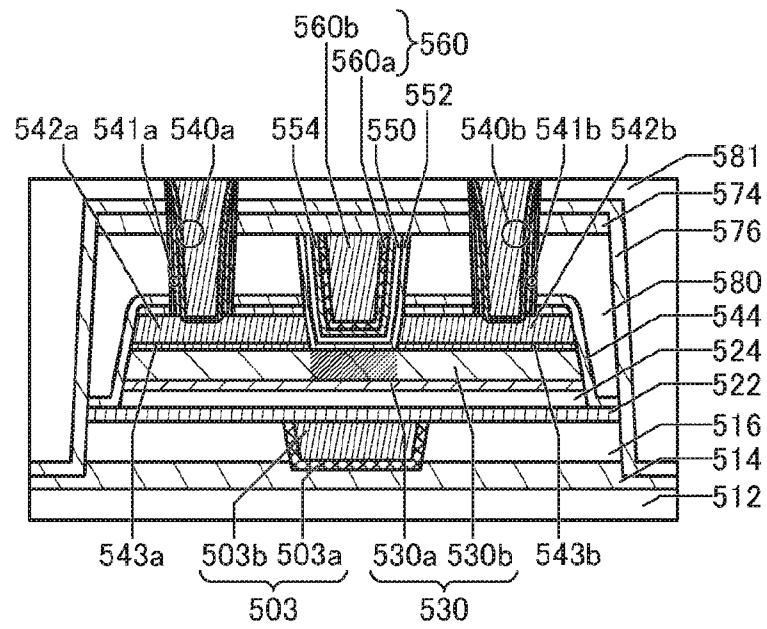


図82A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
•completely amorphous	•CAAC •nc •CAC excluding single crystal and poly crystal	•single crystal •poly crystal

図82B

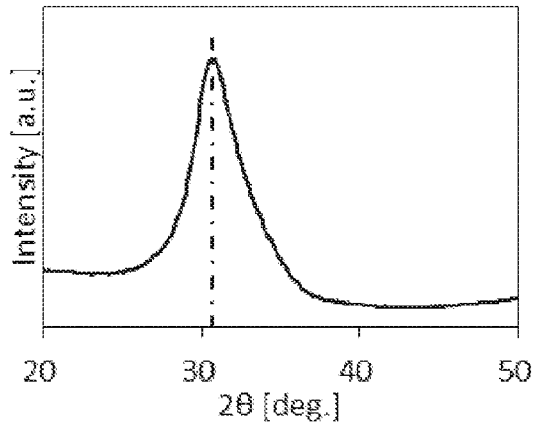
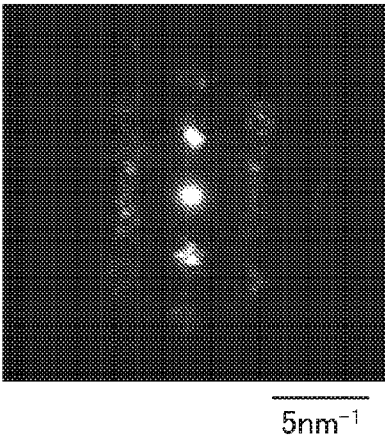


図82C



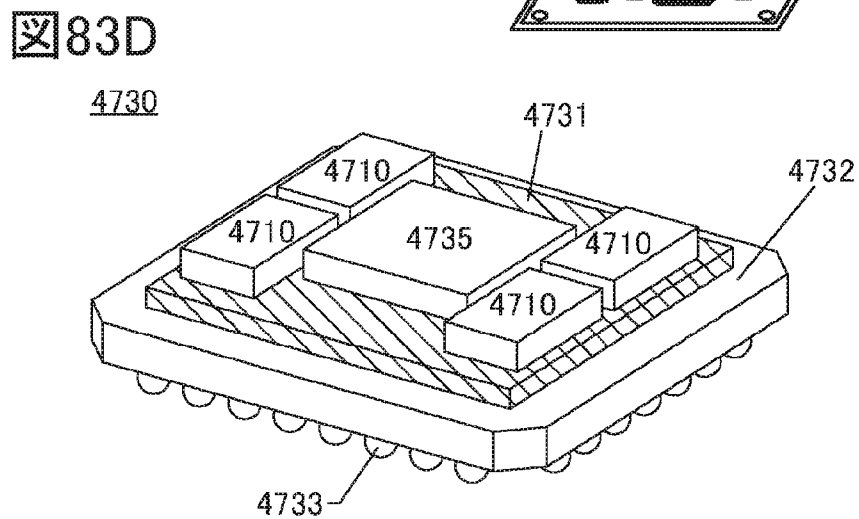
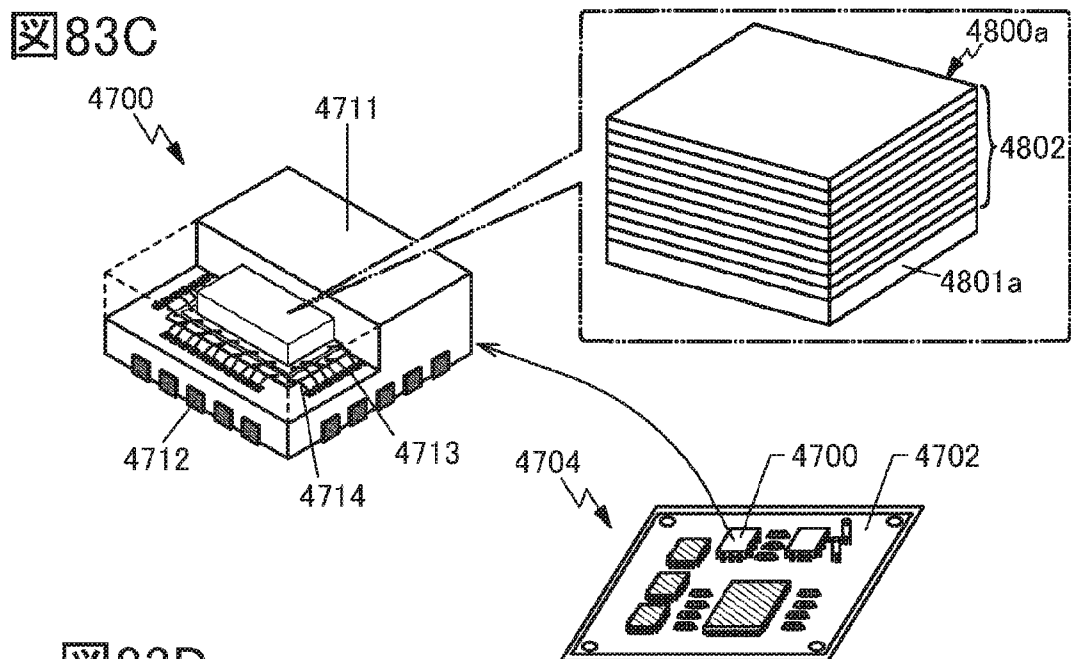
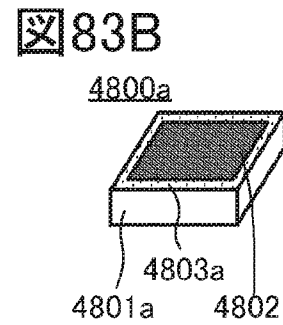
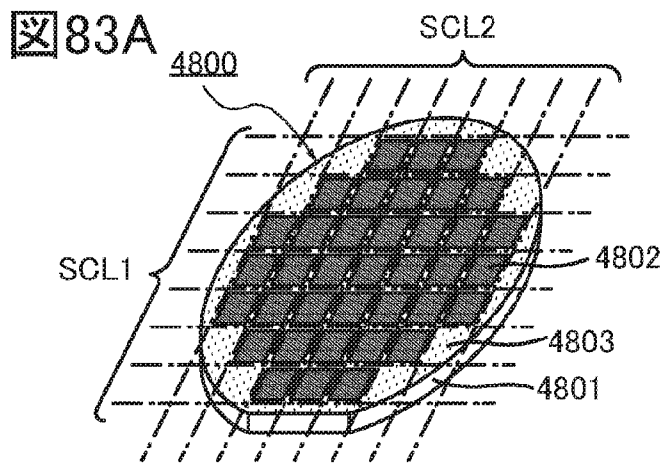


图84

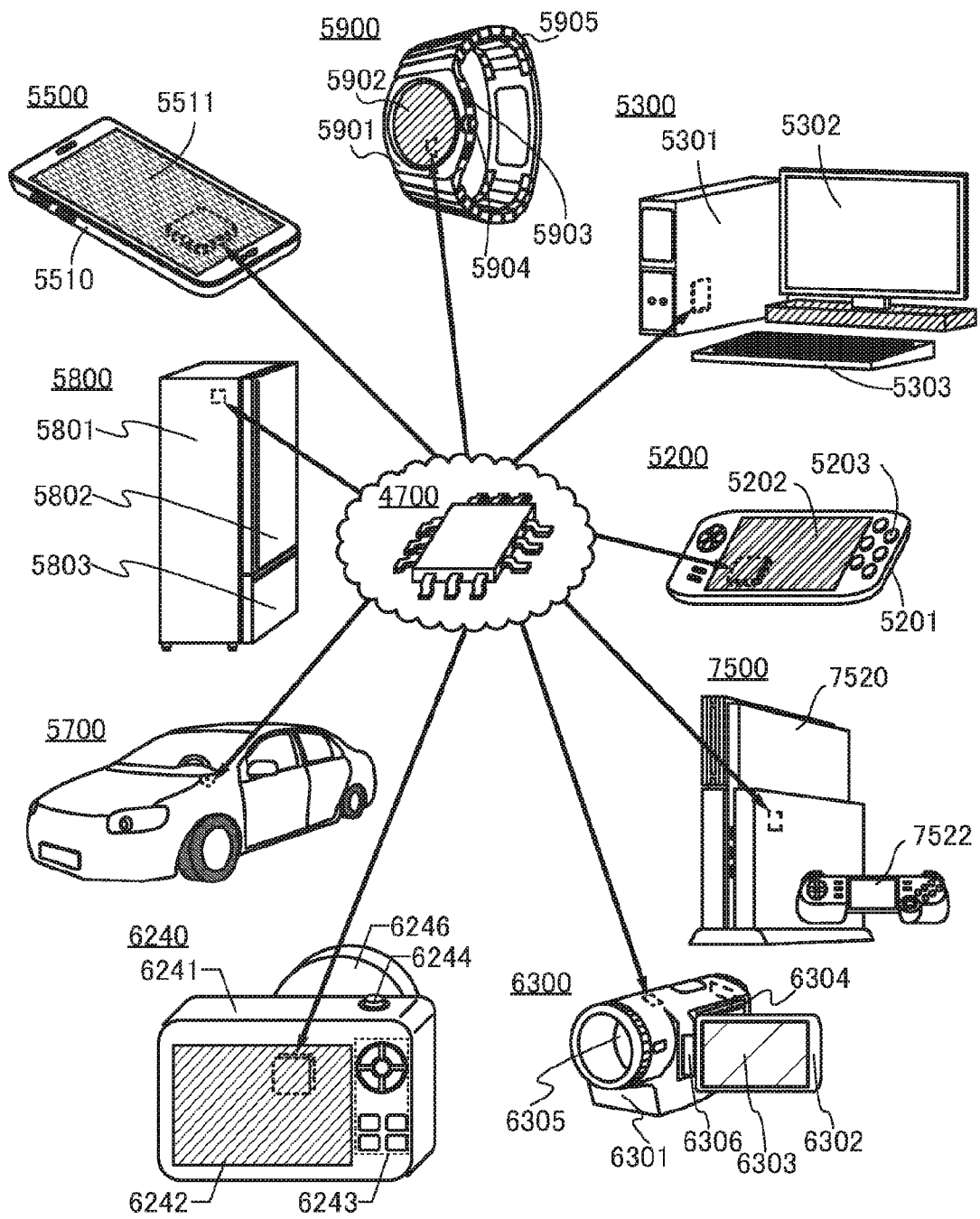


図85A

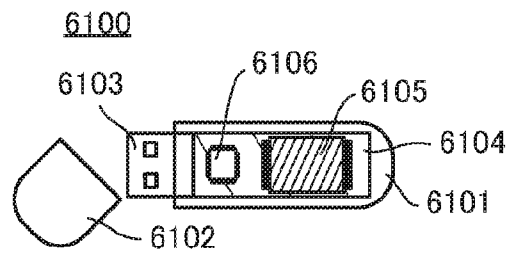


図85B

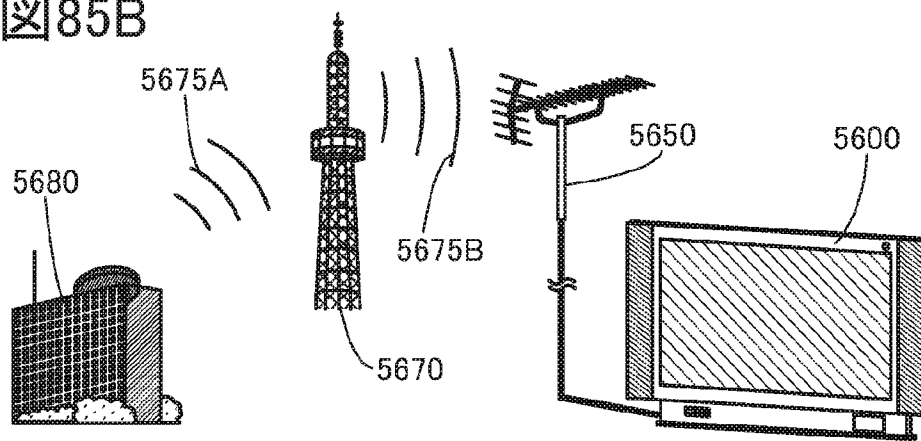
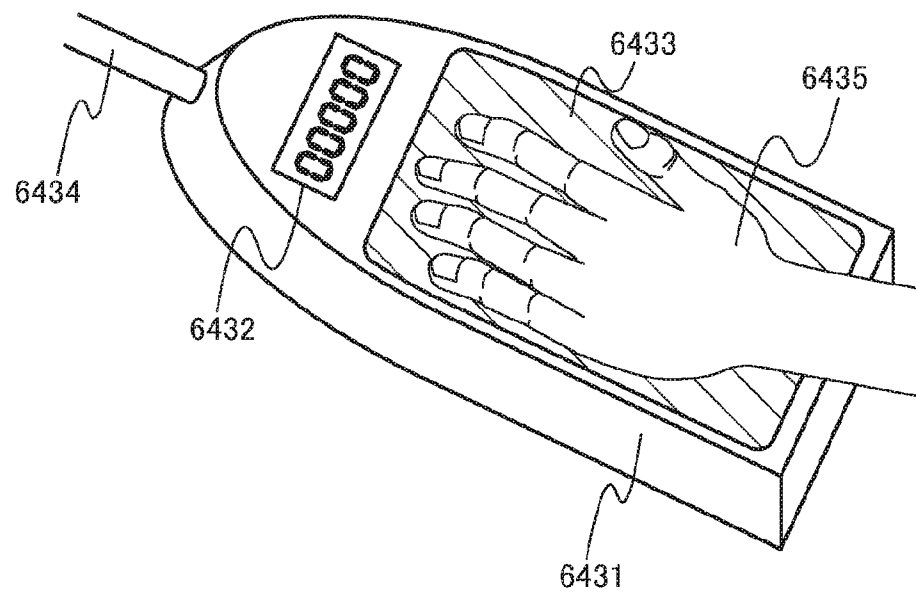


図85C



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2021/056024

A. CLASSIFICATION OF SUBJECT MATTER

G06G 7/14(2006.01)i; **G06G 7/16**(2006.01)i; **G06G 7/60**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i; **G06N 3/063**(2006.01)i

FI: G06G7/60; H01L27/06 102A; H01L27/088 E; H01L27/088 331E; G06G7/16 510; G06G7/14; G06N3/063

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06G7/14; G06G7/16; G06G7/60; H01L21/8234; H01L27/06; H01L27/088; G06N3/063

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-109968 A (SEMICONDUCTOR ENERGY LAB CO LTD) 12 July 2018 (2018-07-12) entire text, all drawings	1-9
A	JP 2019-3464 A (SEMICONDUCTOR ENERGY LAB CO LTD) 10 January 2019 (2019-01-10) entire text, all drawings	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 October 2021

Date of mailing of the international search report

19 October 2021

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2021/056024

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2018-109968	A	12 July 2018	US 2018/0181862 A1 entire text, all drawings	
JP	2019-3464	A	10 January 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06G 7/14(2006.01)i; G06G 7/16(2006.01)i; G06G 7/60(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; G06N 3/063(2006.01)i FI: G06G7/60; H01L27/06 102A; H01L27/088 E; H01L27/088 331E; G06G7/16 510; G06G7/14; G06N3/063		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G06G7/14; G06G7/16; G06G7/60; H01L21/8234; H01L27/06; H01L27/088; G06N3/063		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1922 - 1996年 1971 - 2021年 1996 - 2021年 1994 - 2021年		
国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2018-109968 A（株式会社半導体エネルギー研究所）12.07.2018（2018-07-12） 全文、全図	1-9
A	JP 2019-3464 A（株式会社半導体エネルギー研究所）10.01.2019（2019-01-10） 全文、全図	1-9
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 07.10.2021	国際調査報告の発送日 19.10.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 征矢 崇 5E 3993 電話番号 03-3581-1101 内線 3521	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/IB2021/056024

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-109968	A	12.07.2018	US 2018/0181862 A1 全文, 全図	
JP	2019-3464	A	10.01.2019	(ファミリーなし)	