



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월07일  
(11) 등록번호 10-1240325  
(24) 등록일자 2013년02월28일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 51/00 (2006.01)  
(21) 출원번호 10-2006-0027027  
(22) 출원일자 2006년03월24일  
심사청구일자 2011년03월24일  
(65) 공개번호 10-2006-0103241  
(43) 공개일자 2006년09월28일  
(30) 우선권주장  
JP-P-2005-00087133 2005년03월24일 일본(JP)  
(56) 선행기술조사문헌  
JP2004266267 A  
JP2004165427 A  
KR1020040054410 A  
JP08228034 A

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
후루카와, 시노부  
일본, 243-0036, 가나가와켄, 아쓰기시, 하세, 398  
이마하야시, 료타  
일본, 243-0036, 가나가와켄, 아쓰기시, 하세, 398  
(74) 대리인  
장훈

전체 청구항 수 : 총 18 항

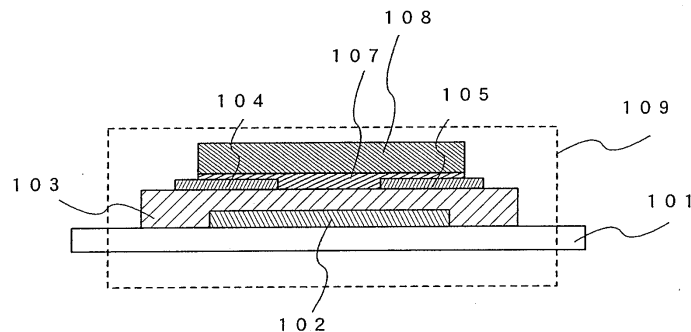
심사관 : 설관식

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

본 발명의 목적은, 캐리어들이 확산되는 채널의 유기 반도체와 게이트 절연층 간의 인터페이스를 느슨하게 하지 않고 수율을 떨어뜨리지 않고 높은 결정성을 갖는 유기 반도체를 포함하는 유기 트랜지스터를 형성하는 것이다. 본 발명에 따른 반도체 장치는 유기 반도체 층들의 적층 구조를 갖고, 적어도 상부 유기 반도체 층은 다결정 또는 단결정 상태에 있고 하부 유기 반도체 층은 채널로서 기능하는 재료로 만들어진다. 캐리어 이동도는 높은 결정성을 갖는 상부 유기 반도체 층으로 인해 증가될 수 있어, 상기 상부 유기 반도체 층으로 인한 불충분한 접촉이 상기 하부 유기 반도체 층에 의해 보상될 수 있다.

대표도 - 도1b



## 특허청구의 범위

### 청구항 1

게이트 전극;  
게이트 절연층을 개재하여 상기 게이트 전극에 인접한 제 1 유기 반도체 층; 및  
상기 제 1 유기 반도체 층에 인접한 제 2 유기 반도체 층을 포함하고,  
상기 제 1 유기 반도체 층의 결정 상태는 상기 제 2 유기 반도체 층의 결정 상태와는 다르고,  
상기 제 2 유기 반도체 층은 상기 제 1 유기 반도체 층의 결정성보다 높은 결정성을 갖는, 반도체 장치.

### 청구항 2

게이트 전극;  
게이트 절연층을 개재하여 상기 게이트 전극에 인접한 제 1 유기 반도체 층; 및  
상기 제 1 유기 반도체 층에 인접한 제 2 유기 반도체 층을 포함하고,  
상기 제 1 유기 반도체 층의 결정 상태는 상기 제 2 유기 반도체 층의 결정 상태와는 다르고,  
상기 제 2 유기 반도체 층은 상기 제 1 유기 반도체 층의 결정립보다 큰 결정립을 갖는, 반도체 장치.

### 청구항 3

게이트 전극;  
게이트 절연층을 개재하여 상기 게이트 전극에 인접한 제 1 유기 반도체 층; 및  
상기 제 1 유기 반도체 층에 인접한 제 2 유기 반도체 층을 포함하고,  
상기 제 1 유기 반도체 층의 결정 상태는 상기 제 2 유기 반도체 층의 결정 상태와는 다르고,  
상기 제 1 유기 반도체 층은 다결정 및 비정질 중 하나를 포함하고,  
상기 제 2 유기 반도체 층은 단결정을 포함하는, 반도체 장치.

### 청구항 4

게이트 전극;  
게이트 절연층을 개재하여 상기 게이트 전극에 인접한 제 1 유기 반도체 층; 및  
상기 제 1 유기 반도체 층에 인접한 제 2 유기 반도체 층을 포함하고,  
상기 제 1 유기 반도체 층의 결정 상태는 상기 제 2 유기 반도체 층의 결정 상태와는 다르고,  
상기 제 1 유기 반도체 층은 비정질을 포함하고,  
상기 제 2 유기 반도체 층은 다결정을 포함하는, 반도체 장치.

### 청구항 5

게이트 전극;  
게이트 절연층을 개재하여 상기 게이트 전극에 인접한 제 1 유기 반도체 층; 및  
상기 제 1 유기 반도체 층에 인접한 제 2 유기 반도체 층을 포함하고,  
상기 제 1 유기 반도체 층의 결정 상태는 상기 제 2 유기 반도체 층의 결정 상태와는 다르고,  
상기 제 1 유기 반도체 층은 단결정을 포함하고,  
상기 제 2 유기 반도체 층은 상기 제 1 유기 반도체 층과 다른 종류의 재료를 포함하는 단결정을 포함하는, 반도체 장치.

#### 청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,  
상기 제 1 유기 반도체 층의 막 두께는 2nm 이상 및 10nm 이하인, 반도체 장치.

#### 청구항 7

삭제

#### 청구항 8

삭제

#### 청구항 9

삭제

#### 청구항 10

삭제

#### 청구항 11

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
상기 제 1 유기 반도체 층과 상기 제 2 유기 반도체 층은 동일한 재료로 형성되는, 반도체 장치.

#### 청구항 12

삭제

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

삭제

#### 청구항 16

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,  
상기 제 1 유기 반도체 층과 상기 제 2 유기 반도체 층 각각은 아센계 재료(acene-based material), 티오펜-올리고머계 재료(thiophene-oligomer-based material), 풀러렌(fullerene; C60), 페릴렌 및 방향족 아민 화합물로 구성되는 그룹으로부터 선택되는 재료를 포함하는, 반도체 장치.

#### 청구항 17

삭제

#### 청구항 18

삭제

#### 청구항 19

삭제

#### 청구항 20

삭제

#### 청구항 21

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 반도체 장치는 텔레비전 장치, 휴대 전화, 휴대 정보 단말, 휴대형 게임기, 컴퓨터 모니터, 컴퓨터, 음향 재생 장치, 카메라 및 화상 재생 장치로 구성되는 그룹으로부터 선택되는 전자 장치에 내장되는, 반도체 장치.

#### 청구항 22

삭제

#### 청구항 23

삭제

#### 청구항 24

삭제

#### 청구항 25

삭제

#### 청구항 26

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 1 유기 반도체 층은 상기 게이트 절연층 위에 형성되고, 상기 제 2 유기 반도체 층은 상기 제 1 유기 반도체 층 위에 형성되는, 반도체 장치.

#### 청구항 27

삭제

#### 청구항 28

삭제

#### 청구항 29

삭제

#### 청구항 30

삭제

#### 청구항 31

기관 위에 게이트 전극과 게이트 절연층을 형성하는 단계;

상기 게이트 절연층을 개재하여 상기 게이트 전극에 인접하여 제 1 유기 반도체 층을 형성하는 단계; 및

상기 제 1 유기 반도체 층에 인접하여 제 2 유기 반도체 층을 형성하는 단계를 포함하고,

상기 제 1 유기 반도체 층의 결정 상태는 상기 제 2 유기 반도체 층의 결정 상태와는 다르고,

상기 제 2 유기 반도체 층은 상기 제 1 유기 반도체 층의 결정립보다 큰 결정립을 갖도록 형성되는, 반도체 장치를 제조하는 방법.

#### 청구항 32

기관 위에 게이트 전극과 게이트 절연층을 형성하는 단계;

상기 게이트 절연층을 개재하여 상기 게이트 전극에 인접하여 제 1 유기 반도체 층을 형성하는 단계; 및

상기 제 1 유기 반도체 층에 인접하여 제 2 유기 반도체 층을 형성하는 단계를 포함하고,

상기 제 1 유기 반도체 층의 결정 상태는 상기 제 2 유기 반도체 층의 결정 상태와는 다르고,

상기 제 2 유기 반도체 층은 상기 제 1 유기 반도체 층의 결정성보다 높은 결정성을 갖도록 형성되는, 반도체 장치를 제조하는 방법.

### 청구항 33

기관 위에 게이트 전극과 게이트 절연층을 형성하는 단계;

상기 게이트 절연층을 개재하여 상기 게이트 전극에 인접하여 제 1 유기 반도체 층을 형성하는 단계; 및

상기 제 1 유기 반도체 층에 인접하여 제 2 유기 반도체 층을 형성하는 단계를 포함하고,

상기 제 1 유기 반도체 층의 결정 상태는 상기 제 2 유기 반도체 층의 결정 상태와는 다르고,

상기 제 1 유기 반도체 층은 다결정과 비정질 중 하나를 포함하고,

상기 제 2 유기 반도체 층은 단결정을 포함하는, 반도체 장치를 제조하는 방법.

### 청구항 34

기관 위에 게이트 전극과 게이트 절연층을 형성하는 단계;

상기 게이트 절연층을 개재하여 상기 게이트 전극에 인접하여 제 1 유기 반도체 층을 형성하는 단계; 및

상기 제 1 유기 반도체 층에 인접하여 제 2 유기 반도체 층을 형성하는 단계를 포함하고,

상기 제 1 유기 반도체 층의 결정 상태는 상기 제 2 유기 반도체 층의 결정 상태와는 다르고,

상기 제 1 유기 반도체 층은 비정질을 포함하고,

상기 제 2 유기 반도체 층은 다결정을 포함하는, 반도체 장치를 제조하는 방법.

### 청구항 35

제 31 항 내지 제 34 항 중 어느 한 항에 있어서,

상기 제 1 유기 반도체 층은 기상 증착법, 잉크젯법, 인쇄법, 또는 스탬프법에 의해 제조되는, 반도체 장치를 제조하는 방법.

### 청구항 36

삭제

### 청구항 37

삭제

### 청구항 38

삭제

### 청구항 39

제 31 항 내지 제 34 항 중 어느 한 항에 있어서,

상기 제 2 유기 반도체 층은 기상 수송법(vapor phase transport method)에 의해 제조되는, 반도체 장치를 제조하는 방법.

### 청구항 40

삭제

#### 청구항 41

삭제

#### 청구항 42

삭제

#### 청구항 43

제 31 항 내지 제 34 항 중 어느 한 항에 있어서,

상기 제 1 유기 반도체 층 및 상기 제 2 유기 반도체 층은 동일한 재료로 형성되는, 반도체 장치를 제조하는 방법.

#### 청구항 44

삭제

#### 청구항 45

삭제

#### 청구항 46

삭제

#### 청구항 47

제 31 항 내지 제 34 항 중 어느 한 항에 있어서,

상기 제 1 유기 반도체 층은 상기 게이트 절연층 위에 형성되고, 상기 제 2 유기 반도체 층은 상기 제 1 유기 반도체 층 위에 형성되는, 반도체 장치를 제조하는 방법.

#### 청구항 48

삭제

#### 청구항 49

삭제

#### 청구항 50

삭제

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

[0010] 본 발명은 유기 반도체를 사용하는 반도체 장치 및 그 제조 방법에 관한 것이다.

[0011] 최근 몇 년 동안, 유기 반도체를 사용하는 유기 트랜지스터의 연구가 활발하게 실행되어 왔다. 박막이 쉽게 형성되고 유기 반도체 장치는 플라스틱, 막 기판, 또는 유기 반도체의 최상의 특성을 생성함으로써 유동성과 함께 경량인 종이와 같은 유동성 기판 위에 형성되는 것이 예상된다. 게다가, 채널을 형성하기 위한 유기 반도체 재료는 매우 저렴하고 증착 온도가 낮고, 잉크법, 인쇄법, 스탬프법 등과 같은 진공 챔버를 사용하지 않는 공정이 또한 적용될 수 있다. 따라서, 유기 트랜지스터를 사용하는 일반적인 반도체 장치의 제조 비용을 현저하게 감

소시키는 것이 예상된다.

- [0012] 유기 트랜지스터는 유리 기판, 게이트 전극, 게이트 절연층, 소스 및 드레인 전극들, 및 유기 반도체 층으로 구성된다. 소스 및 드레인 전극들이 유기 반도체 층 아래에 제공되는 구조는 하부 접촉 구조라 하고, 소스 및 드레인 전극이 유기 반도체 층 위에 제공되는 구조는 상부 접촉 구조라 한다.
- [0013] 유기 트랜지스터인 경우, 캐리어 이동도는 상부 접촉 구조를 사용하여 증가될 수 있다. 그러나, 이 구조에서 패턴의 미세공정을 수행하기 위해 포토리소그래피와 같은 단계를 사용하기 어렵기 때문에, 미세공정은 유기 반도체 층이 소스와 드레인 전극들을 형성한 후 형성되는 하부 접촉 구조로 제한될 수 있다. 따라서, 유기 트랜지스터의 구조는 각 구조의 장단점에 따라 적용될 필요가 있다.
- [0014] 유기 트랜지스터의 캐리어 이동도가 유기 반도체의 모폴로지(morphology)(비정질, 다결정, 단결정 상태 등)에 크게 좌우한다고 알려져 있다. 특히, 유기 반도체 층의 단결정을 사용하는 유기 트랜지스터는 높은 캐리어 이동도를 도시하고 비정질 실리콘의 캐리어 이동도와 거의 동일한 캐리어 이동도를 갖는다. 액상 성장 방법, 기상 수송법 등은 유기 재료의 양호한 단결정을 얻는 방법으로서 제공될 수 있다.
- [0015] 유기 트랜지스터용 단결정을 적극적으로 사용함으로써 특성을 개선하기 위해, 단결정이 성장하도록 생성되는 위치를 선택적으로 코팅하기 위한 기술이 필요하다. 이러한 방식으로 단결정을 코팅할 때, 기판 부분의 습윤성이 단결정을 선택적으로 성장시키도록 재처리되게 하는 이러한 방법이 일반적으로 사용된다.
- [0016] 유기 반도체 층의 단결정이 사용되는 예로서, 낮은 표면 에너지를 갖는 섬형 돌출들(island-shaped projections)이 분산됨으로써 형성되는 섬형 돌출층이 게이트 절연층의 표면 위에 제공되는 구조는 펜타센 증착막의 결정 상태를 억제하고 저전압 구동(예를 들면, 참조 1: 일본특허공개공보 제2004-23021호 참조)으로 높은 캐리어 이동도를 갖는 유기 반도체 소자를 제공하기 위해 제안된다.
- [0017] 게다가, 게이트 절연층의 표면 위에 불소 폴리머층을 형성하는 특성은 게이트 절연층의 표면에 대해 탈이온화수의 접촉 각도를  $50^{\circ}$  이상 및  $120^{\circ}$  이하로 제한함으로써 제안된다(예를 들면, 참조 2: 일본특허공개공보 제2001-94107호 참조).
- [0018] 유기 반도체 층의 단결정이 상기 참조 1로서 형성될 때, 캐리어들이 확산되는 채널의 유기 반도체와 게이트 절연층 간의 인터페이스가 그의 평탄도를 느슨하게 하고, 이에 따라, 유기 반도체 층의 단결정의 캐리어 이동도가 충분히 이용된다고는 말하기 힘들다.
- [0019] 게다가, 상기 참조 2에서, 수율은, 유기 반도체 층의 단결정이 전체 채널을 통해 성장될 수 없을 때 저하하는 것이다.

### 발명이 이루고자 하는 기술적 과제

- [0020] 따라서, 본 발명의 목적은 유기 반도체 층의 단결정 또는 높은 결정성을 갖는 막을 유기 트랜지스터에 효율적으로 적용하는 것이다.
- [0021] 상기 목적에 비추어, 본 발명에 따른 반도체 장치는 유기 반도체 층들의 적층 구조를 갖고, 적어도 유기 반도체 층은 다결정 또는 단결정 상태에 있고, 하부 유기 반도체 층은 채널로서 기능하는 재료로 만들어진다. 이 경우에, 단결정의 결정립 크기는 다결정에서 하나의 결정립 크기 보다 크다. 상기 하부 유기 반도체 층은 상기 상부 유기 반도체 층의 결정성과 동일하거나 이하의 결정성을 갖는다. 캐리어 이동도는 높은 결정성을 갖는 상기 상부 유기 반도체 층으로 인해 증가될 수 있다. 게다가, 상기 상부 유기 반도체 층의 결정이 기판과 평행한 방향으로 채널 영역에 충분히 성장되지 않을 때에도, 상기 유기 반도체 층이 소스와 드레인 전극과의 접촉하므로 불충분한 접촉이 보상될 수 있다.
- [0022] 높은 결정성을 갖는 유기 반도체 층의 예로서 단결정의 유기 반도체 층이 있다. 높은 결정성을 갖는 이러한 유기 반도체 층은, 결정이 기판과 평행한 방향으로 채널 영역에 대해 충분히 성장되지 않는 경우에, 결정 조건 또는 결정 상태에 따라 소스와 드레인 전극들과 또는 게이트 절연층과 단결정의 불충분한 물리적 접촉을 갖는 것으로 간주된다. 그러나, 이러한 경우에도, 상기 하부층에 제공된 유기 반도체 층은 불충분한 접촉을 보상할 수 있어 소스와 드레인 전극들 또는 게이트 절연층과 접촉함으로써 채널로서 기능할 수 있다.
- [0023] 구체적으로, 유기 반도체 층의 단결정은 적층된 유기 반도체 층들의 상부층에 사용되고 다결정 유기 반도체 층은 유기 반도체들의 캐리어 이동도를 개선하기 위해 상기 하부층에 사용된다. 물론, 상기 하부 유기 반도체 층은 바람직하게 상기 상부 유기 반도체 층과 동일한 결정을 갖는다. 이는, 캐리어 이동도의 전기적 저항이 더

감소될 수 있기 때문이다. 본 발명에 따르면, 비정질 유기 반도체 층은 또한 상기 하부 유기 반도체 층에 사용될 수 있다. 이는, 소스와 드레인 전극들과 단결정의 불충분한 접촉이 비정질 상태에서도 보상되는 효과를 달성할 수 있다.

- [0024] 다른 모드에서, 다결정 유기 반도체 층은 상기 상부 유기 반도체 층에 사용될 수 있고 비정질 유기 반도체 층은 상기 하부 유기 반도체 층에 사용될 수 있다. 물론, 상기 하부 유기 반도체 층은 바람직하게 상기 상부 유기 반도체 층과 동일한 결정을 갖는다. 이는, 캐리어 이동도의 전기적 저항이 더 감소될 수 있기 때문이다.
- [0025] 즉, 상기 하부 유기 반도체 층은 상기 상부 유기 반도체 층의 결정성 보다 낮은 결정성을 갖고 상기 하부 유기 반도체 층은 채널로서 기능하는 재료로 형성될 수 있다.
- [0026] 기상 수송법은 단결정 유기 반도체 층의 증착 방법으로서 사용될 수 있다. 그래서, 단결정 유기 반도체 층은 선택적으로 형성되는 상기 하부 유기 반도체 층을 따라 선택적으로 형성될 수 있다. 즉, 상기 하부 유기 반도체 층으로 인해 채널들 간의 단결정을 선택적으로 성장할 수 있게 된다.
- [0027] 구체적으로, 본 발명의 다른 특징에 따르면, 반도체 장치는 게이트 전극, 게이트 절연층을 통해 상기 게이트 전극 위에 제공되는 제 1 유기 반도체 층, 및 그와 접촉하여 상기 제 1 유기 반도체 층 위에 제공되는 제 2 유기 반도체 층을 포함하며, 상기 제 2 유기 반도체 층은 상기 제 1 유기 반도체 층의 결정성 보다 높은 결정성을 갖는다.
- [0028] 본 발명의 다른 특징에 따르면, 반도체 장치는 게이트 전극, 게이트 절연층을 통해 상기 게이트 전극 위에 제공되는 제 1 유기 반도체 층, 및 그와 접촉하여 상기 제 1 유기 반도체 층 위에 제공되는 제 2 유기 반도체 층을 포함하며, 상기 제 2 유기 반도체 층은 상기 제 1 유기 반도체 장치의 결정립 보다 큰 결정립을 갖는다.
- [0029] 본 발명의 다른 특징에 따르면, 반도체 장치는 게이트 전극, 게이트 절연층을 통해 상기 게이트 전극 위에 제공되는 제 1 유기 반도체 층, 및 그와 접촉하여 상기 제 1 유기 반도체 층 위에 제공되는 제 2 유기 반도체 층을 포함하며, 상기 제 1 유기 반도체 층은 다결정 또는 단결정이고, 상기 제 2 유기 반도체 층은 단결정이다.
- [0030] 본 발명의 다른 특징에 따르면, 반도체 장치는 게이트 전극, 게이트 절연층을 통해 상기 게이트 전극 위에 제공되는 제 1 유기 반도체 층, 및 그와 접촉하여 상기 제 1 유기 반도체 층 위에 제공되는 제 2 유기 반도체 층을 포함하며, 상기 제 1 유기 반도체 층은 비정질이고, 상기 제 2 유기 반도체 층은 다결정이다.
- [0031] 본 발명의 다른 특징에 따르면, 반도체 장치는 게이트 전극, 게이트 절연층을 통해 상기 게이트 전극 위에 제공되는 제 1 유기 반도체 층, 및 그와 접촉하여 상기 제 1 유기 반도체 층 위에 제공되는 제 2 유기 반도체 층을 포함하며, 상기 제 1 유기 반도체 층은 단결정이고, 상기 제 2 유기 반도체 층은 상기 제 1 유기 반도체 층과 다른 재료를 포함하는 단결정이다.
- [0032] 게다가, 본 발명에 따라 반도체 장치를 제조하는 특정 방법이 기재될 것이다.
- [0033] 본 발명의 하나의 특징에 따르면, 반도체 장치를 제조하는 방법은 게이트 전극과 게이트 절연층을 기판 위에 형성하는 단계, 상기 게이트 절연층을 통해 상기 게이트 전극 위에 제 1 유기 반도체 층을 형성하는 단계, 및 상기 제 1 유기 반도체 층과 접촉하여 제 2 유기 반도체 층을 형성하는 단계를 포함하며, 상기 제 2 유기 반도체 층은 상기 제 1 유기 반도체 층의 결정립 보다 큰 결정립을 갖도록 형성된다.
- [0034] 본 발명의 다른 특징에 따르면, 반도체 장치를 제조하는 방법은 게이트 전극과 게이트 절연층을 기판 위에 형성하는 단계, 상기 게이트 절연층을 통해 상기 게이트 전극 위에 제 1 유기 반도체 층을 형성하는 단계, 및 상기 제 1 유기 반도체 층과 접촉하여 제 2 유기 반도체 층을 형성하는 단계를 포함하며, 상기 제 2 유기 반도체 층은 상기 제 1 유기 반도체 층의 결정성 보다 높은 결정성을 갖도록 형성된다.
- [0035] 본 발명의 다른 특징에 따르면, 반도체 장치를 제조하는 방법은 게이트 전극과 게이트 절연층을 기판 위에 형성하는 단계, 상기 게이트 절연층을 통해 상기 게이트 전극 위에 제 1 유기 반도체 층을 형성하는 단계, 및 상기 제 1 유기 반도체 층과 접촉하여 제 2 유기 반도체 층을 형성하는 단계를 포함하며, 상기 제 1 유기 반도체 층은 다결정 또는 비정질이도록 형성되고, 상기 제 2 유기 반도체 층은 단결정이도록 형성된다.
- [0036] 본 발명의 다른 특징에 따르면, 반도체 장치를 제조하는 방법은 게이트 전극과 게이트 절연층을 기판 위에 형성하는 단계, 상기 게이트 절연층을 통해 상기 게이트 전극 위에 제 1 유기 반도체 층을 형성하는 단계, 및 상기 제 1 유기 반도체 층과 접촉하여 제 2 유기 반도체 층을 형성하는 단계를 포함하며, 상기 제 1 유기 반도체 층은 비정질이도록 형성되고, 상기 제 2 유기 반도체 층은 다결정이도록 형성된다.



- [0037] 본 발명에 따르면, 유기 반도체 층의 단결정은 효율적이고 선택적으로 형성될 수 있다. 단결정은 채널 형성 영역으로서 사용될 수 있어, 캐리어 이동도는 증가될 수 있다.
- [0038] 게다가, 유기 반도체 층의 단결정이 기판에 평행한 방향으로 채널 영역에 대해 충분히 성장되지 않을 때에도, 유기 반도체의 박막이 미리 형성된 본 발명을 적용함으로써, 유기 반도체의 박막은 제 2 유기 반도체 층이 충분히 형성되지 않을 때 단결정의 불충분한 성장을 보상하는 채널로서 기능할 수 있다. 그 결과, 유기 반도체 층에서의 단결정의 불충분한 성장으로 인해 불완전한 채널 형성을 방지함으로써 바람직한 수율에서 높은 캐리어 이동도를 갖는 유기 트랜지스터를 제공할 수 있다.
- [0039] 게다가, 유기 트랜지스터의 오프 전류는 유기 반도체 층을 제공하여 유기 반도체 층(또는 높은 결정성을 갖는 유기 반도체 층)의 단결정과 게이트 절연층 간의 접촉력을 개선함으로써 감소될 수 있다. 또한, 유기 반도체 층(또는 높은 결정성을 갖는 유기 반도체 층)의 단결정과 유기 반도체 층에서 소스와 드레인 전극들 간의 접촉을 개선한 결과로서, 캐리어의 주입 장벽을 감소시키고, 온 전류를 증가시키고, 임계 전압의 쉬프트를 감소시킬 수 있다.
- [0040] 또한, 단결정이 본 발명에 따라 선택적으로 성장되므로, 유기 반도체 재료의 손실을 감소시킬 수 있다. 본 발명의 특징은 그 동작이 장기간 수명으로 안정화되는 유기 트랜지스터 및 간단하고 용이한 제조 방법을 제공하는 것이다.
- [0041] 이들과 본 발명의 다른 목적들, 특징들, 및 장점들은 첨부된 도면들과 함께 다음의 상세한 설명에 따라 더욱 분명해질 것이다.

### 발명의 구성 및 작용

- [0042] 이하, 본 발명의 하나의 모드가 설명될 것이다. 그러나, 다양한 변경들과 수정들이 기술분야의 당업자에게 명백하다는 것을 알 것이다. 따라서, 이러한 변경들과 수정들이 본 발명의 범위를 벗어나지 않으면, 본 명세서에 포함된 바와 같이 해석되어야 한다.
- [0043] (실시예 모드 1)
- [0044] 본 발명에 따른 유기 트랜지스터 및 그 제조 방법의 하나의 모드가 도 1a 내지 도 1c를 참조하여 설명될 것이다.
- [0045] 게이트 전극(102)은 기판(101) 위에 형성된다. 상기 게이트 전극(102)은 포토리소그래피 방법에 의해 증착된 도전체 층을 소정의 모양으로 패터닝하거나 잉크젯법 등에 의해 도전체 층을 포함하는 물방울을 방출함으로써 형성될 수 있다. 본 발명에 따라 상기 게이트 전극(102)을 제조하는 방법은 거기에 제한되지 않는다는 것을 알아야 한다. 상기 게이트 전극(102)을 형성하기 위한 재료로서, 예를 들면, 알루미늄, 구리, 금, 은 등이 사용될 수 있다. 본 발명에 따라 상기 게이트 전극(102)에 사용되는 재료는 거기에 한정되지 않고 임의의 재료가 도전성을 갖는 한 허용가능하다는 것을 알아야 한다. 게다가, 상기 기판(101)으로서, 플라스틱 또는 폴리카보네이트와 같은 유연한 기판이 유리, 석영 등 이외에도 사용될 수 있다. 게다가, 유기 트랜지스터가 고온 처리를 필요로 하지 않으므로, 플라스틱 또는 폴리카보네이트와 같은 유연한 기판이 사용될 수 있으므로, 경량 및 얇은 모양의 반도체 장치가 실현될 수 있고 그 유연성이 개선될 수 있다.
- [0046] 다음에, 게이트 절연층(103)은 상기 게이트 전극(102)을 포함하도록 형성된다. 상기 게이트 절연층(103)은 CVD 방법 등에 의해 실리콘 산화물 또는 실리콘 질화물과 같은 절연체를 증착함으로써 형성될 수 있거나, 예를 들면, 양극 산화 방법을 사용하여 상기 게이트 전극의 표면을 산화함으로써 형성될 수 있다. 대안적으로, 폴리이미드, 폴리아믹산, 또는 폴리비닐페놀과 같은 유기 재료가 캐스트 방법, 스핀 코팅 방법, 인쇄법, 또는 잉크젯법과 같은 방법에 의해 코팅되어 상기 게이트 절연층(103)을 형성할 수 있다. 본 발명에 따른 상기 게이트 절연층은 거기에 한정되지 않는다는 것을 알아야 한다.
- [0047] 그 다음에, 유기 트랜지스터 형성 영역(106)은 상기 게이트 절연층(103) 위에 소스 및 드레인 전극들(104 및 105)을 형성함으로써 제조된다(도 1a). 상기 소스 및 드레인 전극들(104 및 105)은 금, 은 또는 텅스텐과 같은 무기 도전성 재료 뿐만 아니라, 폴리(에틸렌 다이옥시시오펜)/폴리(스티렌술폰기산) 혼합물(PEDOT/PSS) 등을 함유한 유기 도전성 재료 등을 사용하여 형성될 수 있다. 본 발명에 따른 상기 소스 및 드레인 전극들의 재료는 거기에 한정되지 않는다는 것을 알아야 한다. 게다가, 상기 소스 및 드레인 전극들(104 및 105)은 스퍼터링 장치 또는 기상 증착 장치와 같은 막 형성 장치로 형성된 도전체 층을 소정의 모양으로 패터닝함으로써 형성될 수 있거나 잉크젯법 등에 의해 도전성 재료를 함유한 물방울을 방출함으로써 형성될 수 있다. 본 발명에 따른 소

스 및 드레인 전극들을 제조하는 방법은 거기에 한정되지 않는다.

- [0048] 유기 반도체 층(107)은 상기 유기 트랜지스터 형성 영역(106) 위에 유기 반도체 층의 단결정을 형성하기 위한 영역에 형성된다. 상기 유기 반도체 층(107)은 상기 소스 및 드레인 전극들 사이에 적어도 형성된다. 상기 유기 반도체 층(107)을 제공한 결과로서, 유기 반도체 층의 단결정은 그 위에 효율적으로 형성될 수 있으므로, 단결정은 상기 영역으로부터 성장될 수 있다.
- [0049] 유기 반도체 층의 단결정이 유기 트랜지스터의 캐리어 이동도를 증가시키기 위해 이와 같이 형성될 때, 결정들이 전체의 채널 영역 위에 형성되지 않아 소스 및 드레인 전극들 또는 게이트 절연층과의 물리적 접촉이 결정립의 모양 등의 결정 조건 또는 결정 상태에 따라 기판에 평행한 방향으로 채널 영역에 대해 충분히 성장되지 않을 때 결정이 불충분해지는 것으로 고려된다. 그러므로, 본 발명에 따르면, 상기 유기 반도체 층(107)은 불완전한 접촉을 보상하고 상기 소스와 드레인 전극들 또는 상기 게이트 절연층과 접촉함으로써 채널로서 기능한다. 따라서, 상기 유기 반도체 층(107)의 임의의 재료는 상기 재료가 채널로서 기능하는 한 허용가능하다. 이러한 유기 반도체 층(107)은 두께 2nm 이상 및 10nm 이하이도록 형성된다.
- [0050] 예를 들면, 프탈로시아닌( $H_2Pc$ ), 프탈로시아닌 구리( $CuPc$ ), 티타닐 프탈로시아닌( $TiOPc$ ) 또는 베너딜 프탈로시아닌( $VoPc$ )과 같은 프탈로시아닌-계 재료, 안트라센, 테트라센 또는 펜타센과 같은 아센-계 재료, 섹시사이오펜( $\alpha$ -6T) 또는 쿼터사이오펜( $\alpha$ -4T)과 같은 사이오펜-올리고머-계 재료, 또는 풀러렌( $C60$ ) 또는 페릴렌과 같은 다른 재료가 상기 유기 반도체 층(107)을 형성하는데 사용될 수 있다. 그러나, 다음에, 안트라센, 테트라센, 또는 펜타센과 같은 높은 이동도를 갖는 유기 반도체는 유기 반도체 층의 단결정을 형성할 수 있다. 따라서, 상기 유기 반도체 층(107)은 다음에 형성될 유기 반도체 층의 단결정과 동일한 재료로 형성될 때 접촉 또는 제조 공정에 비추어 바람직하다.
- [0051] 그러나, 본 발명에 따른 상기 유기 반도체 층(107)은 거기에 한정되지 않고, 4,4'-bis[N-(1-나프탈)-N-페닐라미노]비페닐(약어로,  $\alpha$ -NPD), 4,4'-bis[N-(3-메틸페닐)-N-페닐라미노]비페닐(약어로, TPD), 4,4',4"-tris(N,N-디페닐아미노)트리페닐라민(약어로, TDATA), 4,4',4"-tris[N-(3-메틸페닐)-N-페닐라미노]트리페닐(약어로, MTDATA), 또는 4,4'-bis[N-{4-(N,N-디- $m$ -톨리아미노)페닐}-N-페닐라미노]비페닐(약어로, DNTPD)로 예시된 아로마 아민 화합물이 사용될 수 있다.
- [0052] 이러한 유기 반도체 층(107)은 기상 증착 방법, 잉크젯법, 인쇄법, 스텝법 등을 사용하여 형성될 수 있다. 기상 증착 방법 등을 사용하는 경우에, 상기 유기 반도체 층(107)은 마스크를 사용하여 선택적으로 형성될 수 있다. 본 발명에 따른 상기 유기 반도체 층을 제조하는 방법이 거기에 한정되지 않는다는 것을 알아야 한다.
- [0053] 상기 유기 반도체 층(107)은, 다음에 형성될 유기 반도체 층의 단결정의 결정 상태와 동일한 결정 상태를 갖는 유기 반도체 층이 사용될 때 본 발명의 효과에 대해 부각시킬 수 있다. 예를 들면, 다음에 형성될 유기 반도체 층으로서 유기 반도체 층의 단결정을 사용하는 경우에, 상기 유기 반도체 층(107)에 대한 단결정 또는 다결정 상태에서의와 같은 높은 결정성을 갖는 유기 반도체 층을 사용하는 것이 바람직하다. 게다가, 다결정 유기 반도체 층을 형성하는 경우에, 상기 유기 반도체 층(107)에 대한 다결정 상태의 유기 반도체 층을 사용하는 것이 바람직하다.
- [0054] 다음에, 유기 반도체 층의 단결정(108)은 높은 결정성을 갖는 유기 반도체 층으로서 상기 유기 반도체 층(107) 위에 형성되어 유기 트랜지스터(109)를 형성한다(도 1b). 상기 유기 반도체 층(107)이 미리 형성되므로, 유기 반도체 층(107)의 단결정(108)은 선택적으로 그리고 효율적으로 형성될 수 있어, 결정 성장은 실현될 수 있다. 단결정은 채널 형성 영역으로서 사용될 수 있고 캐리어 이동도를 증가시킬 수 있다. 게다가, 미리 형성된 상기 유기 반도체 층(107)은 단결정의 중심으로서 사용될 수 있다.
- [0055] 또한, 프탈로시아닌( $H_2Pc$ ), 프탈로시아닌 구리( $CuPc$ ), 티타닐 프탈로시아닌( $TiOPc$ ) 또는 베너딜 프탈로시아닌( $VoPc$ )과 같은 프탈로시아닌-계 재료, 안트라센, 테트라센 또는 펜타센과 같은 아센-계 재료, 섹시사이오펜( $\alpha$ -6T) 또는 쿼터사이오펜( $\alpha$ -4T)과 같은 사이오펜-올리고머-계 재료, 또는 풀러렌( $C60$ ) 또는 페릴렌과 같은 다른 재료가 OMBE(유기 분자 빔 에피택시), HWE(핫 월 에피택시) 방법, 또는 PVT(물리적 기상 운반) 방법과 같은 기상 수송법에 의해 유기 반도체 층의 단결정(108)을 형성하는데 사용될 수 있다.
- [0056] 따라서, 상기 상부 유기 반도체 층은 상기 하부 유기 반도체 층의 결정성 보다 높은 결정성의 특징을 갖는다. 높은 결정성은 또한 그레인 크기가 크다는 것을 의미한다. 그러므로, 높은 결정성을 갖는 유기 반도체 층에 따

르면, 캐리어 이동도는 증가될 수 있고, 상기 유기 반도체 층이 소스와 드레인 전극들 또는 상기 게이트 절연층과의 불충분한 접촉을 가질 때, 상기 하부 유기 반도체 층은 상기 소스와 드레인 전극들 또는 상기 게이트 절연층과 접촉함으로써 불충분한 접촉을 보상할 수 있다.

[0057] 다수의 캐리어들이 상기 유기 트랜지스터에서 상기 유기 반도체 층의 상기 게이트 절연층의 측면에 흐른다는 것을 알아야 한다. 따라서, 캐리어들이 용이하게 흐르는 영역은 불충분한 접촉을 보상하기 위해 제공된 상기 유기 반도체 층(107)의 막 두께에 따라 저항이 낮은 단결정으로부터 분리되어, 캐리어들이 단결정 측에서 효율적으로 흐르지 않는 위험성이 있다. 그러므로, 상기 유기 반도체 층(107)의 막 두께는 바람직하게 2nm 이상 및 10nm 이하이다.

[0058] 또한, 다수의 유기 트랜지스터(109)가 상기 기판(101) 위에 포함되는 경우에도, 유기 반도체 장치(110)(도 1c)는 동일한 공정을 통해 형성될 수 있다.

[0059] 상술된 바와 같이, 상기 유기 반도체 층(107)이 본 발명에 따라 제조되는 상기 유기 트랜지스터(109)에 미리 형성되므로, 유기 반도체 층의 단결정(108)은 선택적으로 형성된 후에, 결정 성장은 달성될 수 있다. 단결정은 채널 형성 영역으로서 사용될 수 있고 캐리어 이동도는 증가될 수 있다.

[0060] 게다가, 결정이 유기 반도체 층의 단결정(108)으로만 기판에 평행한 방향으로 채널 영역에 대해 충분하게 성장되지 않는 경우가 있다. 이러한 경우에, 유기 반도체 층의 단결정(108) 아래에 형성된 상기 유기 반도체 층(107)은 상기 소스와 드레인 전극들 또는 상기 게이트 절연층과 접촉함으로써 채널로서 기능하여, 수율은 개선될 수 있다.

[0061] 게다가, 유기 반도체 층과 상기 게이트 절연층(103)의 단결정(108) 간의 접착성은 상기 유기 반도체 층(107)을 제공함으로써 개선될 수 있다. 그 결과, 상기 유기 트랜지스터(109)의 오프 전류는 감소될 수 있다. 게다가, 상기 소스와 드레인 전극들(104 및 105)과 유기 반도체 층의 단결정(108)의 접촉은 상기 유기 반도체 층(107)에 의해 개선될 수 있다. 그 결과, 캐리어의 주입 장벽을 감소시키고, 온 전류를 증가시키고, 임계 전압의 쉬프트를 감소시킬 수 있다. 이 실시예 모드에서, 하부-게이트 유기 트랜지스터가 설명된다. 그러나, 본 발명은 또한 상부-게이트 유기 트랜지스터에 적용될 수 있다. 이 실시예 모드에 따른 상부-게이트 유기 트랜지스터(908) 및 그 제조 방법은 도 9a를 참조하여 설명될 것이다. 우선, 소스 전극(902)과 드레인 전극(903)은 잘 알려진 방법에 의해 상기 기판(901) 위에 형성된다. 두 번째로, 제 1 유기 반도체 층(904)은 기상 증착 방법, 잉크젯법, 인쇄법, 스탬프법 등을 사용하여 상기 소스 전극(902)과 상기 드레인 전극(903) 위에 형성된다. 세 번째로, 제 2 유기 반도체 층(905)은 OMBE 방법, HWE 방법, 또는 PVT와 같은 기상 수송법을 사용하여 상기 제 1 유기 반도체 층(904) 위에 형성된다. 그 다음, 게이트 전극(907)은 잘 알려진 방법을 사용하여 게이트 절연층(906)을 통해 상기 제 2 유기 반도체 층(905) 위에 형성된다.

[0062] (실시예 모드 2)

[0063] 본 발명에 따른 유기 트랜지스터 및 그 제조 방법의 하나의 모드가 도 21A 내지 도 2c를 참조하여 설명될 것이다.

[0064] 게이트 전극(202)은 기판(201) 위에 형성된다. 상기 게이트 전극(202)은 포토리소그래피 방법에 의해 증착된 도전체 층을 소정의 모양으로 패터닝하거나 잉크젯법 등에 의해 도전체 층을 포함하는 물방울을 방출함으로써 형성될 수 있다. 그러나, 본 발명에 따라 상기 게이트 전극(202)을 제조하는 방법은 거기에 제한되지 않는다는 것을 알아야 한다. 상기 게이트 전극(202)을 형성하기 위한 재료로서, 예를 들면, 알루미늄, 구리, 금, 은 등이 사용될 수 있다. 그러나, 본 발명에 따라 상기 게이트 전극(202)에 사용되는 재료는 거기에 한정되지 않는다. 게다가, 상기 기판(201)으로서, 플라스틱 또는 폴리카보네이트와 같은 유연한 기판이 유리, 석영 등 이외에도 사용될 수 있다. 유기 트랜지스터가 600℃ 이상에서 고온 처리를 필요로 하지 않으므로, 플라스틱 또는 폴리카보네이트와 같은 유연한 기판이 사용될 수 있어 경량 및 얇은 모양의 반도체 장치가 실현될 수 있고 그 유연성이 개선될 수 있다는 것을 알아야 한다.

[0065] 다음에, 게이트 절연층(203)은 상기 게이트 전극(202)을 포함하도록 형성된다. 상기 게이트 절연층(203)은 CVD 방법 등에 의해 실리콘 산화물 또는 실리콘 질화물과 같은 절연체를 증착함으로써 형성될 수 있거나, 예를 들면, 양극 산화 방법을 사용하여 상기 게이트 전극의 표면을 산화함으로써 형성될 수 있다. 대안적으로, 폴리이미드, 폴리아믹산, 또는 폴리비닐페놀과 같은 유기 재료가 주조 방법, 스핀너 방법, 인쇄법, 또는 잉크젯법과 같은 방법에 의해 코팅되어 상기 게이트 절연층(203)을 형성할 수 있다. 따라서, 유기 트랜지스터 형성 영역(204)이 제조된다(도 2a).

- [0066] 유기 반도체 층(205)은 상기 유기 트랜지스터 형성 영역(204) 위에 유기 반도체 층의 단결정을 형성하기 위한 영역에 형성된다. 상기 유기 반도체 층(205)은 상기 소스 및 드레인 전극들 사이에 적어도 형성된다. 상기 유기 반도체 층(205)을 제공한 결과로서, 유기 반도체 층의 단결정은 그 위에 효율적으로 형성될 수 있어, 단결정은 상기 영역으로부터 성장될 수 있다.
- [0067] 유기 반도체 층의 단결정이 유기 트랜지스터의 캐리어 이동도를 증가시키기 위해 이와 같이 형성될 때, 결정들이 전체의 채널 영역 위에 형성되지 않아 소스 및 드레인 전극들 또는 게이트 절연층과의 물리적 접촉이 결정립의 모양 등의 결정 조건 또는 결정 상태에 따라 기관에 평행한 방향으로 채널 영역에 대해 충분히 성장되지 않을 때 결정이 불충분해지는 것으로 고려된다. 그러므로, 본 발명에 따르면, 상기 유기 반도체 층(205)은 불완전한 접촉을 보상하고 상기 소스와 드레인 전극들 또는 상기 게이트 절연층과 접촉함으로써 채널로서 기능한다. 따라서, 상기 유기 반도체 층(205)의 임의의 재료는 상기 재료가 채널로서 기능하는 한 허용가능하다. 이러한 유기 반도체 층(205)은 두께 2nm 이상 및 10nm 이하이도록 형성된다.
- [0068] 예를 들면, 프탈로시아닌( $H_2Pc$ ), 프탈로시아닌 구리( $CuPc$ ), 티타닐 프탈로시아닌( $TiOPc$ ) 또는 베너딜 프탈로시아닌( $VoPc$ )과 같은 프탈로시아닌-계 재료, 안트라센, 테트라센 또는 펜타센과 같은 아센-계 재료, 섹시사이오펜( $\alpha$ -6T) 또는 쿼터사이오펜( $\alpha$ -4T)과 같은 사이오펜-올리고머-계 재료, 또는 풀러렌( $C_{60}$ ) 또는 페틸렌과 같은 다른 재료가 상기 유기 반도체 층(205)을 형성하는데 사용될 수 있다. 그러나, 안트라센, 테트라센, 또는 펜타센과 같은 높은 이동도를 갖는 유기 반도체를 사용하는 것이 바람직하다. 다음에, 안트라센, 테트라센, 또는 펜타센과 같은 높은 이동도를 갖는 유기 반도체는 유기 반도체 층의 단결정을 형성할 수 있다. 따라서, 상기 유기 반도체 층(205)은 다음에 형성될 유기 반도체 층의 단결정과 동일한 재료로 형성될 때 접착 또는 제조 공정에 비추어 바람직하다.
- [0069] 그러나, 본 발명에 따른 상기 유기 반도체 층(205)은 거기에 한정되지 않고, 4,4'-bis[N-(1-나프탈)-N-페닐라미노]비페닐(약어로,  $\alpha$ -NPD), 4,4'-bis[N-(3-메틸페닐)-N-페닐라미노]비페닐(약어로, TPD), 4,4',4"-tris(N,N-디페닐아미노)트리페닐라민(약어로, TDATA), 4,4',4"-tris[N-(3-메틸페닐)-N-페닐라미노]트리페닐(약어로, MTDATA), 또는 4,4'-bis[N-{4-(N,N-디-*m*-톨리아미노)페닐}-N-페닐라미노]비페닐(약어로, DNTPD)로 예시된 아로마 아민 화합물이 사용될 수 있다.
- [0070] 이러한 유기 반도체 층(205)은 기상 증착 방법, 잉크젯법, 인쇄법, 스탬프법 등을 사용하여 형성될 수 있다. 기상 증착 방법 등을 사용하는 경우에, 상기 유기 반도체 층(205)은 마스크를 사용하여 선택적으로 형성될 수 있다. 본 발명에 따른 상기 유기 반도체 층을 제조하는 방법이 거기에 한정되지 않는다는 것을 알아야 한다.
- [0071] 상기 유기 반도체 층(205)은, 다음에 형성될 유기 반도체 층의 단결정의 결정 상태와 동일한 결정 상태를 갖는 유기 반도체 층이 사용될 때 본 발명의 효과에 대해 부각시킬 수 있다. 예를 들면, 다음에 형성될 유기 반도체 층으로서 유기 반도체 층의 단결정을 사용하는 경우에, 상기 유기 반도체 층(205)에 대해 단결정 또는 다결정 상태에서와 같은 높은 결정성을 갖는 유기 반도체 층을 사용하는 것이 바람직하다. 게다가, 다결정 유기 반도체 층을 형성하는 경우에, 상기 유기 반도체 층(205)에 대한 다결정 상태의 유기 반도체 층을 사용하는 것이 바람직하다.
- [0072] 다음에, 유기 반도체 층의 단결정(206)은 높은 결정성을 갖는 유기 반도체 층으로서 상기 유기 반도체 층(205) 위에 형성된다. 상기 유기 반도체 층(205)이 미리 형성되므로, 유기 반도체 층의 단결정(206)은 선택적으로 그리고 효율적으로 형성될 수 있어, 결정 성장은 실현될 수 있다. 단결정은 채널 형성 영역으로서 사용될 수 있고 캐리어 이동도를 증가시킬 수 있다. 게다가, 미리 형성된 상기 유기 반도체 층(205)은 단결정의 중심으로서 사용될 수 있다.
- [0073] 또한, 프탈로시아닌( $H_2Pc$ ), 프탈로시아닌 구리( $CuPc$ ), 티타닐 프탈로시아닌( $TiOPc$ ) 또는 베너딜 프탈로시아닌( $VoPc$ )과 같은 프탈로시아닌-계 재료, 안트라센, 테트라센 또는 펜타센과 같은 아센-계 재료, 섹시사이오펜( $\alpha$ -6T) 또는 쿼터사이오펜( $\alpha$ -4T)과 같은 사이오펜-올리고머-계 재료, 또는 풀러렌( $C_{60}$ ) 또는 페틸렌과 같은 다른 재료가 기상 수증법에 의해 유기 반도체 층의 단결정(206)을 형성하는데 사용될 수 있다.
- [0074] 따라서, 상기 상부 유기 반도체 층은 상기 하부 유기 반도체 층의 결정성 보다 높은 결정성의 특징을 갖는다. 높은 결정성은 또한 그레인 크기가 크다는 것을 의미한다. 그러므로, 높은 결정성을 갖는 유기 반도체 층에 따르면, 캐리어 이동도는 증가될 수 있고, 상기 유기 반도체 층이 소스와 드레인 전극들 또는 상기 게이트 절연층과의 불충분한 접촉을 가질 때, 상기 하부 유기 반도체 층은 상기 소스와 드레인 전극들 또는 상기 게이트 절연



층과 접촉함으로써 불충분한 접촉을 보상할 수 있다.

- [0075] 다수의 캐리어들이 상기 유기 트랜지스터에서 상기 유기 반도체 층의 상기 게이트 절연층의 측면에 흐른다. 따라서, 캐리어들이 용이하게 흐르는 영역은 불충분한 접촉을 보상하기 위해 제공된 상기 유기 반도체 층(205)의 막 두께에 따라 저항이 낮은 단결정으로부터 분리되어, 캐리어들이 단결정 측에서 효율적으로 흐르지 않는 위험성이 있다. 그러므로, 상기 유기 반도체 층(205)의 막 두께는 바람직하게 2nm 이상 및 10nm 이하이다.
- [0076] 또한, 유기 트랜지스터(209)는 유기 반도체 층의 단결정(206) 위에 소스와 드레인 전극들(207 및 208)을 형성함으로써 완성된다(도 2b). 상기 소스와 드레인 전극들(207 및 208)은 금, 은, 또는 텅스텐과 같은 무기 도전성 재료 뿐만 아니라, 폴리(에틸렌 다이옥시사이오펜)/폴리(스티렌술포기산) 혼합물(PEDOT/PSS) 등을 함유한 유기 도전성 재료 등을 사용하여 형성될 수 있다. 그러나, 본 발명에 따른 소스와 드레인 전극들의 재료는 거기에 한정되지 않는다. 게다가, 상기 소스 및 드레인 전극들(207 및 208)은 스퍼터링 장치 또는 기상 증착 장치와 같은 막 형성 장치로 형성된 도전체 층을 소정의 모양으로 패터닝함으로써 형성될 수 있거나, 잉크젯법 등에 의해 도전성 재료를 함유한 물방울을 방출함으로써 형성될 수 있다.
- [0077] 또한, 다수의 상기 유기 트랜지스터(209)가 상기 기판(201) 위에 포함되는 경우에도, 유기 반도체 장치(210)(도 2c)는 동일한 공정을 통해 형성될 수 있다.
- [0078] 상술된 바와 같이, 상기 유기 반도체 층(205)이 본 발명에 따라 제조되는 상기 유기 트랜지스터(209)에 미리 형성되므로, 유기 반도체 층의 단결정(206)은 선택적으로 형성된 후에, 결정 성장은 달성될 수 있다. 단결정은 채널 형성 영역으로서 사용될 수 있고 캐리어 이동도는 증가될 수 있다.
- [0079] 게다가, 결정이 유기 반도체 층의 단결정(206)으로만 기판에 평행한 방향으로 채널 영역에 대해 충분히 성장되지 않는 경우가 있다. 이러한 경우에, 유기 반도체 층의 단결정(206) 아래에 형성된 상기 유기 반도체 층(205)은 상기 소스와 드레인 전극들 또는 상기 게이트 절연층과 접촉함으로써 채널로서 기능하여, 수율은 개선될 수 있다.
- [0080] 게다가, 유기 반도체 층과 상기 게이트 절연층(203)의 단결정(206) 간의 접착성은 상기 유기 반도체 층(205)을 제공함으로써 개선될 수 있다. 그 결과, 상기 유기 트랜지스터(209)의 오프 전류는 감소될 수 있다. 게다가, 상기 소스와 드레인 전극들(207 및 208)과 유기 반도체 층의 단결정(206)의 접촉은 상기 유기 반도체 층(205)에 의해 개선될 수 있다. 그 결과, 캐리어의 주입 장벽을 감소시키고, 온 전류를 증가시키고, 임계 전압의 쉬프트를 감소시킬 수 있다. 이 실시예 모드에서, 하부-게이트 유기 트랜지스터가 설명된다. 그러나, 본 발명은 또한 상부-게이트 유기 트랜지스터에 적용될 수 있다. 이 실시예 모드에 따른 상부-게이트 유기 트랜지스터(918) 및 그 제조 방법은 도 9b를 참조하여 설명될 것이다. 우선, 제 1 반도체 층(912)은 기상 증착 방법, 잉크젯법, 인쇄법, 스탬프법 등을 사용하여 기판(911) 위에 형성된다. 두 번째로, 제 2 반도체 층(913)은 OMBE 방법, HWE 방법, 또는 PVT와 같은 기상 수송법을 사용하여 상기 제 1 유기 반도체 층(912) 위에 형성된다. 세 번째로, 소스 전극(914)과 드레인 전극(915)은 잘 알려진 방법을 사용하여 상기 제 2 반도체 층(913) 위에 형성된다. 그 다음에, 게이트 전극(917)은 잘 알려진 방법을 사용하여 게이트 절연층(916)을 통해 상기 소스 전극(914)과 상기 드레인 전극(915) 위에 형성된다.
- [0081] (실시예 모드 3)
- [0082] 본 발명에 따른 유기 트랜지스터 및 그 제조 방법의 하나의 모드가 도 3 내지 도 5를 참조하여 설명될 것이다.
- [0083] 게이트 전극(302)은 기판(301) 위에 형성된다. 상기 게이트 전극(302)은 상기 실시예들과 동일한 방식으로 포토리소그래피 방법에 의해 증착된 도전체 층을 소정의 모양으로 패터닝하거나 잉크젯법 등에 의해 도전체 층을 포함하는 물방울을 방출함으로써 형성될 수 있다. 상기 게이트 전극(302)을 형성하기 위한 재료로서, 예를 들면, 알루미늄, 구리, 금, 은 등이 사용될 수 있다. 게다가, 상기 기판(301)으로서, 상기 실시예들과 동일한 방식으로 플라스틱 또는 폴리카보네이트와 같은 유연한 기판이 유리, 석영 등 이외에도 사용될 수 있다.
- [0084] 다음에, 게이트 절연층(303)은 상기 게이트 전극(302)을 포함하도록 형성된다. 상기 게이트 절연층(303)은 CVD 방법 등에 의해 실리콘 산화물 또는 실리콘 질화물과 같은 절연체를 증착함으로써 형성될 수 있거나, 예를 들면, 양극 산화 방법을 사용하여 상기 게이트 전극의 표면을 산화함으로써 형성될 수 있다. 대안적으로, 폴리이미드, 폴리아믹산, 또는 폴리비닐페놀과 같은 유기 재료가 주조 방법, 스핀너 방법, 인쇄법, 또는 잉크젯법과 같은 방법에 의해 코팅되어 상기 게이트 절연층(303)을 형성할 수 있다.

- [0085] 그 다음에, 유기 반도체 장치 형성 영역(306)은 소스 전극(304)과 드레인 전극 및 상기 게이트 절연층(303) 상의 발광 소자의 애노드로서 기능하는 전극(305)을 형성함으로써 제조된다(도 3). 상기 소스 및 드레인 전극들(304 및 305)은 상기 실시예들과 동일한 방식으로 금, 은, 또는 텅스텐과 같은 무기 도전성 재료 뿐만 아니라, 폴리(에틸렌 다이옥시사이오펜)/폴리(스티렌술포기산) 혼합물(PEDOT/PSS) 등을 함유한 유기 도전성 재료 등을 사용하여 형성될 수 있다. 게다가, 발광 소자의 상기 애노드(305)는 금, 은, 또는 텅스텐과 같은 무기 도전성 재료 뿐만 아니라, 폴리(에틸렌 다이옥시사이오펜)/폴리(스티렌술포기산) 혼합물(PEDOT/PSS) 등을 함유한 유기 도전성 재료 등을 사용하여 형성될 수 있다.
- [0086] 게다가, 상기 애노드가 광을 전달할 때, 상기 재료들은 매우 얇아지거나 인듐 주석 산화물(ITO), 아연 산화물(ZnO), 인듐 아연 산화물(IZO), 갈륨이 부가된 아연 산화물(GZO), 또는 실리콘 산화물을 함유한 인듐 주석 산화물(ITSO)과 같은 투명한 도전성 재료가 상기 애노드를 형성하는데 사용될 수 있다. 본 발명에 따른 애노드용 재료는 거기에 한정되지 않는다는 것을 알아야 한다. 게다가, 드레인 전극과 발광소자의 애노드로서 기능하는 이러한 소스 전극(304)과 드레인 전극(305)을 형성하는 방법으로서, 상기 전극들은 스퍼터링 장치 또는 기상 증착 장치와 같은 막 형성 장치로 형성된 도전체 층을 소정의 모양으로 패터닝함으로써 형성될 수 있거나, 잉크젯법 등에 의해 도전성 재료를 함유한 물방울을 방출함으로써 형성될 수 있다. 그러나, 상기 제조 방법은 거기에 한정되지 않는다. 이 실시예 모드에서, 상기 드레인 전극과 애노드(305)는 조합된 구조를 갖는다.
- [0087] 다음에, 정공-운반 유기 반도체 층(307)은 도 4에 도시된 바와 같이 드레인 전극과 발광 소자의 애노드로서 기능하는 상기 전극(305) 위에 형성된다. 상기 정공-운반 유기 반도체 층(307)을 형성하는 방법으로서, 예를 들면, 기상 증착 방법, 스핀-코팅 방법, 인쇄법, 잉크젯법 등이 사용될 수 있다. 그러나, 상기 제조 방법은 거기에 한정되지 않는다.
- [0088] 다음에, 발광층 및 전자-운반 유기 반도체 층(308)은 상기 정공-운반 유기 반도체 층(307) 위에 형성된다. 상기 정공-운반 유기 반도체 층(307)은 정공-운반 물질 및 상기 물질에 대한 전자 허용성을 보이는 물질을 포함한다. 상기 정공-운반 물질은 전자들의 운반성 보다 높은 운반성을 갖는 물질이다. 예를 들면, 4,4'-bis[N-(1-나프탈)-N-페닐라미노]비페닐(약어로,  $\alpha$ -NPD), 4,4'-bis[N-(3-메틸페닐)-N-페닐라미노]비페닐(약어로, TPD), 4,4',4''-tris(N,N-디페닐아미노)트리페닐라민(약어로, TDATA), 4,4',4''-tris[N-(3-메틸페닐)-N-페닐라미노]트리페닐(약어로, MTDATA), 또는 4,4'-bis[N-(4-(N,N-디-m-톨리아미노)페닐)-N-페닐라미노]비페닐(약어로, DNTPD)로 예시된 아로마 아민 화합물, 프탈로시아닌( $H_2Pc$ ), 프탈로시아닌 구리( $CuPc$ ), 티타닐 프탈로시아닌( $TiOPc$ )과 같은 유기 화합물이 사용될 수 있다. 몰리브덴 산화물, 바나듐 산화물 또는 레늄 산화물과 같은 금속 산화물이 예를 들면 상기 정공-운반가능한 물질에 대한 전자 허용성을 보이는 물질에 사용될 수 있다.
- [0089] 상기 정공-운반 유기 반도체 층(307)을 형성하는 방법으로서, 예를 들면, 기상 증착 방법, 스핀 코팅 방법, 인쇄법, 잉크젯법 등이 사용될 수 있다. 그러나, 상기 정공-운반 층의 재료 및 제조 방법이 거기에 한정되지 않는다.
- [0090] 발광층은, 발광 물질이 발광 물질의 에너지 갭 보다 큰 에너지 갭을 갖는 물질로 형성된 층에서 분산하도록 포함된 층을 갖는 것이 바람직하다. 발광 물질이 바람직한 휘도 효율을 갖는 물질이며, 소정의 방출 파장을 갖는 광을 방출할 수 있다는 것을 알아야 한다. 에너지 갭은 LUMO 레벨 및 HOMO 레벨 간의 에너지 갭을 가리킨다.
- [0091] 적색 발광을 얻기 위해, 예를 들면, 다음은 발광층에 사용될 수 있다. 4-디시란오메틸렌-2-이소프로필-6-[2-(1,1,7,7-테트라메틸류로리딘-9-yl)에틸기]4H-피란(약어:DCJTI), 4-디시란오메틸렌-2-메틸-6-[2-(1,1,7,7-테트라메틸류로리딘-9-yl)에틸기]4H-피란(약어:DCJT), 4-디시란오메틸렌-2-tert-부틸-6-[2-(1,1,7,7-테트라메틸류로리딘-9-yl)에틸기]4H-피란(약어:DCJTB), 페리플라텐, 2,5-디사이어노-1,4-bis[2-(10-메톡시기-1,1,7,7-테트라메틸류로리딘-9-yl)에틸]벤젠, bis[2,3-bis(4-불소페닐)퀴노살린]이리듐(에세틸라세토나토)(약어:Ir[Fdpq]<sub>2</sub>(acac)) 등이다. 그러나, 본 발명은 이들 재료들에 한정되지 않고 600nm 이상 및 680nm 이하인 방출 스펙트럼의 피크를 갖는 광을 방출할 수 있는 물질이 사용될 수 있다.
- [0092] 녹색 발광을 얻기 위해, N,N'-디메틸퀴나크리돈(약어: DMQd), 쿠마린 6, 쿠마린 545T, 트리스(8-퀴노리노라토)알루미늄(약어: Alq3) 등이 사용될 수 있다. 그러나, 본 발명은 이들 재료들에 한정되지 않고, 500nm 이상 및 550nm 이하의 방출 스펙트럼의 피크를 갖는 광을 방출할 수 있는 물질이 발광층으로 사용될 수 있다.
- [0093] 청색 발광을 얻기 위해, 다음이 발광층에 사용될 수 있다. 즉, 9,10-bis(2-나프틸)-tert-부틸안트라센(약어: t-BuDNA), 9,9'-비안트릴, 9,10-디페닐안트라센(약어: DPA), 9,10-bis(2-나프틸) 안트라센(약어: DNA), bis(2-

메틸-8-퀴노리노라토)-4-페닐페놀레이트-갈륨(약어: BGaq), bis(2-메틸-8-퀴노리노라토)-4-페닐페놀레이트-알루미늄(BAlq) 등이다. 그러나, 본 발명은 이들 재료들에 한정되지 않고, 420nm 이상 및 500nm 이하의 방출 스펙트럼의 피크를 갖는 광을 방출할 수 있는 물질이 사용될 수 있다.

[0094] 발광층을 형성하는 방법에 있어서, 예를 들면, 기상 증착 방법, 스핀 코팅 방법, 인쇄법, 잉크젯법 등이 사용될 수 있다. 그러나, 상기 발광층의 재료 및 제조 방법은 거기에 한정되지 않는다.

[0095] 상기 전자-운반 유기 반도체 층(308)은 전자-운반 물질 및 상기 물질에 대한 전자-제공 특성들을 보이는 물질을 포함한다. 상기 전자-운반 물질이 정공들의 운반성 보다 높은 운반성을 갖는 물질이라는 것을 알아야 한다. 예를 들면, tris(8-퀴노리노라토)알루미늄(약어: Alq3), tris(4-메틸-8-퀴노리노라토)알루미늄(약어: Almq3), bis(10-수산화벤젠[h]-퀴노리나토)베릴륨(약어: BeBq2), bis(2-메틸-8-퀴노리노라토)-4-페닐페놀레이트-알루미늄(약어: BAlq), bis[2-(2-수산화페닐)벤조자조레이트]아연(약어: Zn(BOX)<sub>2</sub>), 또는 bis[2-(2-수산화페닐)벤조시아조레이트]아연(약어: Zn(BTZ)<sub>2</sub>)이 사용될 수 있다. 게다가, 다음의 물질은 전자-운반 물질, 즉, 2-(4-비페닐)-5-(4-tert-부틸페닐)-1,3,4-옥사디아졸(약어: PBD), 1,3-bis[5-(p-tert-부틸페닐)-1,3,4-옥사디아졸-2-yl]벤젠(약어: OXD-7), 3-(4-tert-부틸페닐)-4-페닐-5-(4-비페닐yl)-1,2,4-트리아졸(약어: TAZ), 3-(4-tert-부틸페닐)-4-(4-에틸페닐)-5-(4-비페닐yl)-1,2,4-트리아졸(약어: p-EtTAZ), 바소페난스롤린(약어: BPhen), 바소쿠프로인(약어: BCP), 4,4'-bis(5-메틸-벤조자조-2-yl)스틸벤(약어: BzOS) 등이 사용될 수 있다. 그러나, 상기 전자-운반 물질은 거기에 한정되지 않는다.

[0096] 상기 전자-운반 유기 반도체 층(308)을 형성하는 방법에 있어서, 예를 들면, 기상 증착 방법, 스핀 코팅 방법, 인쇄법, 잉크젯법 등이 사용될 수 있다. 그러나, 상기 전자-운반 층의 재료 및 제조 방법은 거기에 한정되지 않는다.

[0097] 다음에, 발광소자의 캐소드(309)가 상기 전자-운반 유기 반도체 층(308) 위에 형성된다. 발광 소자의 상기 캐소드(309)는 알루미늄, 마그네슘, 또는 칼슘과 같은 무기 도전성 재료를 사용하여 형성될 수 있다. 상기 캐소드가 광을 전달할 때, 상기 재료들은 매우 얇아지거나 인듐 주석 산화물(ITO), 아연 산화물(ZnO), 인듐 아연 산화물(IZO), 갈륨이 부가된 아연 산화물(GZO), 또는 실리콘 산화물을 함유한 인듐 주석 산화물(ITSO)과 같은 투명한 도전성 재료가 상기 캐소드를 형성하는데 사용될 수 있다. 본 발명에 따른 캐소드용 재료는 거기에 한정되지 않는다는 것을 알아야 한다.

[0098] 발광 소자의 상기 애노드(305), 상기 정공-운반 유기 반도체 층(307), 상기 발광 소자, 상기 전자-운반 유기 반도체 층(308), 상기 발광 소자의 상기 캐소드(309)로 구성된 부분은 발광 소자(310)라 한다.

[0099] 다음에, 유기 반도체 층(311)은 상기 유기 반도체 장치 형성 영역(306) 위에 채널을 형성하기 위한 곳에 형성된다. 즉, 상기 유기 반도체 층(311)은 유기 반도체 층의 단결정이 형성되는 영역에 선택적으로 형성된다. 상기 유기 반도체 층(311)을 제공하는 결과로서, 유기 반도체 층의 단결정은 그 위에 효율적으로 형성될 수 있어, 단결정은 상기 영역으로부터 성장될 수 있다.

[0100] 상기 유기 반도체 층(311)은 구체적으로 채널로서 기능하는 재료로 형성될 수 있으며, 상기 재료는 상기 실시예 모드들에서 도시된 재료들로부터 선택될 수 있다. 이러한 유기 반도체 층(311)은 두께 2nm 이상 및 10nm 이하 이도록 형성된다. 상기 유기 반도체 층(311)은 기상 증착 방법, 잉크젯법, 인쇄법, 스탬프법 등을 사용하여 형성될 수 있다. 그러나, 본 발명에 따른 상기 유기 반도체 층(311)을 제조하는 방법은 거기에 한정되지 않는다.

[0101] 상기 유기 반도체 층(311)은, 다음에 형성될 유기 반도체 층의 단결정과 동일한 결정 상태를 갖는 유기 반도체 층이 사용될 때 본 발명의 효과를 부각시킬 수 있다. 예를 들면, 다음에 형성될 유기 반도체 층으로서 유기 반도체 층의 단결정을 사용하는 경우, 상기 유기 반도체 층(311)에 대해 단결정 또는 다결정 상태에서와 같은 높은 결정성을 갖는 유기 반도체 층을 사용하는 것이 바람직하다. 게다가, 다결정 유기 반도체 층을 형성하는 경우에, 상기 유기 반도체 층(311)에 대해 다결정 상태인 유기 반도체 층을 사용하는 것이 바람직하다.

[0102] 다음에, 유기 반도체 층의 단결정(312)은 높은 결정성을 갖는 유기 반도체 층으로서 상기 유기 반도체 층(311) 위에 형성되어 유기 트랜지스터(313)를 완성한다. 유기 반도체 층의 단결정(312)의 막 형성 방법은 상기 실시예들과 동일하다. 예를 들면, 프탈로시아닌(H<sub>2</sub>Pc), 프탈로시아닌 구리(CuPc), 티타닐 프탈로시아닌(TiOPc) 또는 베너딜 프탈로시아닌(VoPc)과 같은 프탈로시아닌-계 재료, 안트라센, 테트라센 또는 펜타센과 같은 아센-계 재료, 섹시사이오펜(α-6T) 또는 쿼터사이오펜(α-4T)과 같은 사이오펜-올리고머-계 재료, 또는 풀러렌(C60) 또는 페릴렌과 같은 다른 재료가 OMBE(유기 분자 빔 에피택시), HWE(핫 월 에피택시) 방법, 또는 PVT(물리적 기상

운반) 방법과 같은 기상 수송법에 의해 유기 반도체 층의 단결정(312)을 형성하는데 사용될 수 있다. 상기 유기 반도체 층(311)이 본 발명에 따라 미리 형성되므로, 유기 반도체 층의 단결정(312)은 선택적으로 그리고 효과적으로 형성될 수 있어, 결정 성장은 실현될 수 있다.

- [0103] 이러한 발광 소자(310) 및 유기 트랜지스터(313)는 유기 반도체 장치(314)를 구성하는데 사용된다.
- [0104] 게다가, 다수의 상기 유기 반도체 장치(314)는 상기 기관(301) 위에 포함되는 경우에, 표시 장치(315)는 동일한 공정을 통해 형성될 수 있다(도 5).
- [0105] 상술된 바와 같이, 상기 유기 반도체 층(311)이 본 발명에 따라 제조된 상기 유기 반도체 장치(314)에 미리 형성되므로, 유기 반도체 층의 단결정(312)은 선택적으로 형성될 수 있고 그 다음에 결정 성장은 달성될 수 있다. 단결정은 채널 형성 영역으로서 사용될 수 있고 캐리어 이동도를 증가시킬 수 있다.
- [0106] 게다가, 결정이 유기 반도체 층의 단결정(312)으로만 기관에 평행한 방향으로 채널 영역에 대해 충분하게 성장되지 않는 경우가 있다. 이러한 경우에, 유기 반도체 층의 단결정(312) 아래에 형성된 상기 유기 반도체 층(311)은 채널로서 기능하여, 수율은 개선될 수 있다.
- [0107] 게다가, 유기 반도체 층의 단결정(312)과 게이트 절연층(303) 간의 접촉은 상기 유기 반도체 층(311)을 제공함으로써 개선될 수 있다. 그 결과, 상기 유기 트랜지스터(313)의 오프 전류는 감소될 수 있다. 게다가, 상기 소스와 상기 드레인 전극들(304 및 305)과 유기 반도체 층의 단결정(312)의 접촉은 상기 유기 반도체 층(311)에 의해 개선될 수 있다. 그 결과, 캐리어의 주입 장벽을 감소시키고, 온 전류를 증가시키고, 임계전압의 쉬프트를 감소시킬 수 있다. 본 실시예 모드는 상술된 실시예 모드와 자유롭게 조합될 수 있다.
- [0108] (실시예 모드 4)
- [0109] 본 발명에 따른 유기 트랜지스터는 텔레비전 장치(또한, 텔레비전 또는 텔레비전 수신기라 함), 디지털 카메라 또는 디지털 비디오 카메라와 같은 카메라, 휴대 전화 장치(또한, 휴대 전화 핸드셋 또는 휴대 전화이라 함), PDA, 휴대형 게임기, 컴퓨터 모니터, 컴퓨터와 같은 휴대 정보 단말, 카 오디오와 같은 음향 재생 장치, 홈 게임기와 같은 기록 매체가 제공되는 화상 재생 장치 등에 장착될 수 있다. 특히, 본 발명에 따른 상기 유기 트랜지스터는 픽셀부의 스위칭 트랜지스터로서 적용될 수 있다. 이러한 전자 장치들의 특징예들이 도 8a 내지 도 8d를 참조하여 설명될 것이다.
- [0110] 도 8a에 도시된 휴대 전화 핸드셋은 본체(9101), 표시부(9102) 등을 포함한다. 본 발명에 따른 유기 트랜지스터는 상기 표시부(9102)의 스위칭 트랜지스터로서 장착될 수 있다. 그 결과, 높은 캐리어 이동도를 갖는 유기 트랜지스터는 장착될 수 있어, 저온 공정에 의해 제조된 휴대 전화 핸드셋을 제공할 수 있다.
- [0111] 도 8b에 도시된 랩탑 컴퓨터는 본체(9401), 표시부(9402) 등을 포함한다. 본 발명에 따른 유기 트랜지스터는 상기 표시부(9402)의 스위칭 트랜지스터로서 장착될 수 있다. 그 결과, 높은 캐리어 이동도를 갖는 유기 트랜지스터는 장착되어, 저온 공정에 따라 제조된 랩탑 컴퓨터를 제공할 수 있다.
- [0112] 도 8c에 도시된 텔레비전 장치는 본체(9501), 표시부(9502) 등을 포함한다. 본 발명에 따른 유기 트랜지스터는 상기 표시부(9502)의 스위칭 트랜지스터로서 장착될 수 있다. 그 결과, 높은 캐리어 이동도를 갖는 유기 트랜지스터는 장착되어, 저온 공정에 따라 제조된 텔레비전 세트를 제공할 수 있다.
- [0113] 도 8d에 도시된 카드는 지지체(9541), 표시부(9542), 상기 지지체(9541)에 일체화된 메모리와 같은 집적회로 칩(9543) 등을 포함한다. 본 발명에 따른 유기 트랜지스터는 상기 표시부(9542)의 스위칭 트랜지스터로서 장착될 수 있다. 그 결과, 높은 캐리어 이동도를 갖는 유기 트랜지스터는 장착되어, 저온 공정에 따라 제조된 카드를 제공할 수 있다.
- [0114] 본 발명에 따르면, 높은 캐리어 이동도를 갖는 유기 트랜지스터는 전자 장치의 픽셀부에 사용되는 스위칭 트랜지스터에 적용될 수 있다. 그래서, 전자장치의 전력소모 및 비용은 감소될 수 있다. 본 실시예 모드는 상술된 실시예 모드와 자유롭게 조합될 수 있다.
- [0115] [실시예]
- [0116] 본 실시예는 많은 바람직한 유기 트랜지스터 특성들이 본 발명을 구현함으로써 얻어질 수 있다는 것을 설명할 것이다.
- [0117] 텅스텐은 스퍼터링 방법에 의해 100nm 두께로 석영 기관(101) 위에 형성된다. 이 텅스텐은 포토리소그래피 방



법에 의해 패터링되어 게이트 전극(102)을 형성한다. SiON의 게이트 절연층(103)은 CVD 방법에 의해 상기 게이트 전극(102) 위에 형성된다.

[0118] 텅스텐은 스퍼터링 방법에 의해 100nm 두께로 상기 게이트 절연층(103) 위에 형성되고, 포토리소그래피 방법에 의해 패터링되어 소스 및 드레인 전극들(104 및 105)을 형성한다. 상기 소스와 드레인 전극들 간의 채널 길이 및 채널 폭은 각각 5 $\mu$ m 및 8mm이다.

[0119] 유기 반도체, 펜타센은 유기 반도체 층(107)으로서 기능하도록 상기 게이트 절연층(103), 상기 소스 및 드레인 전극들(104 및 105) 위에 2.5nm 두께로 형성된다.

[0120] 다음에, 유기 반도체 층의 단결정(108)은 기상 수송법을 사용하여 상기 유기 반도체 층(107) 위에 형성된다. 실시예 1에서, 펜타센의 단결정은 기상 수송법에 의해 형성된다. 유기 반도체의 물리적 특성들은 몇 ppm의 불순물에 의해 크게 영향받아, 유기 반도체 층의 단결정 성장을 실현하기 위해 정제가 적절하게 수행되어야 한다. 개별 화합물과 불순물들 간의 화학적 특성들의 차이를 이용하여 최적의 정제를 수행하는 것이 중요하다. 본 실시예에서, 단결정인 펜타센은 순화 정제 방법에 의해 6번 이상 정제됨으로써 사용된다. 한정된 불순물들의 혼합의 표시자로서 상기 유기 반도체 층의 정제를 99.9%로 설정하는 것이 바람직하다.

[0121] 펜타센의 단결정은 이 샘플을 사용하여 기상 수송법에 의해 성장된다. 기상 수송법은, 온도 기울기가 있는 유리관으로 캐리어 가스를 천천히 흐르게 하고 캐리어 가스로 고온부에서 순화된 샘플을 운반함으로써 결정 성장을 수행하는 방법이라 한다. 본 실시예에서, 유리관은 진공 배기되고 유리관의 진공도가 약 25Pa가 되도록 10 ml/min로 Ar의 캐리어 가스가 흐른 다음, 샘플인 펜타센은 220℃까지 가열된다. 단결정은, 순화된 펜타센이 Ar의 캐리어 가스에 의해 운반된 후에 상기 유기 반도체 층(107)인 펜타센 위에 선택적으로 얻어질 수 있다.

[0122] 도 6a 및 6b는 유기 트랜지스터(109)의 상태를 각각 도시한다. 도 6a에서, 점선부의 좌측은, 유기 반도체 층(107)인 펜타센이 형성되지 않은 영역이고, 우측은 상기 유기 반도체 층(107)인 펜타센이 두께 2.5nm로 형성된 영역이다. 도 6b에서, 유기 반도체 층의 단결정(108)이 형성된 상태가 도시되어 있다. 유기 반도체 층의 단결정(108)이 상기 유기 반도체 층(107)인 펜타센이 형성되지 않은 영역에 형성되지 않은 영역에 형성되지 않지만, 상기 유기 반도체 층(107)인 펜타센이 형성된 영역에는 형성된다는 것을 알 수 있다. 유기 반도체 층의 단결정(108)이 상기 유기 반도체 층(107)인 펜타센을 제공함으로써 효율적으로 그리고 선택적으로 형성된다.

[0123] 따라서, 바람직한 유기 반도체 층의 단결정을 얻기 위해, 더 크고 바람직한 단결정은 최적의 캐리어 가스가 선택되고 그 유속이 억제되며, 온도 기울기에서 유리관의 분포가 조정되거나, 과포화 정도(평균 기상 압력과 실제 기상 압력 간의 차이 정도)가 억제되는 조건을 제공함으로써 효율성과 함께 얻어질 수 있다. 상기 유기 트랜지스터(109)는 유기 반도체 층의 단결정(108)을 상기 유기 반도체 층(107)인 펜타센 위에 형성함으로써 제조된다.

[0124] 상기 유기 트랜지스터(109)는 상온에서 진공 하에 측정된다. 상기 유기 트랜지스터(109)는 냉각기에 설정됨으로써 측정되며, 회전펌프에 의해 1.0X10<sup>0</sup>Pa까지 진공상태로 된다. 측정된 Id-Vg 특성은 도 7에 도시되어 있다. 이는 -10V에서 드레인 전압의 고정과 함께 -30V 이상 및 30V 이하의 게이트 전압을 인가함으로써 수행한 측정결과이다.

### 발명의 효과

[0125] 본 발명에 따르면, 상기 게이트 절연층과 펜타센의 단결정 간의 접촉이 개선되고, 오프 전류는 펜타센의 유기 반도체 층을 삽입함으로써 10<sup>-11</sup>A까지 감소된다. 게다가, 소스와 드레인 전극들과 펜타센의 단결정 간의 접촉을 개선한 결과로서, 캐리어의 주입 장벽을 감소시키고, 온 전류를 증가시키고, 임계전압의 쉬프트를 감소시킬 수 있다. 또한, 펜타센의 상기 유기 반도체 층(107)은 단결정의 형성 영역 위에 미리 형성되므로, 펜타센의 단결정(108)으로만의 불완전한 채널 형성이 방지될 수 있으며, 펜타센의 상기 유기 반도체 층(107)은 채널이 형성되지 않은 부분을 보상하는 채널로서 동작할 수 있어, 상기 유기 트랜지스터(109)는 바람직한 수율로 얻어질 수 있다. 게다가, 펜타센의 단결정을 선택적으로 성장함으로써 유기 반도체 재료(펜타센)의 손실을 감소시킬 수 있다.

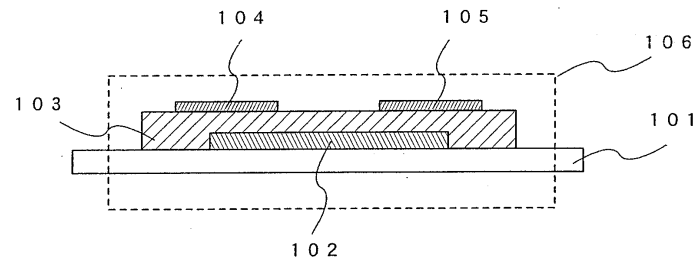
[0126] 본 출원은 일본특허청에 2005년3월24에 출원된 일본특허출원번호 제2005-087133호에 기초하며, 전체의 내용이 본 명세서에 참조로서 포함된다.

### 도면의 간단한 설명

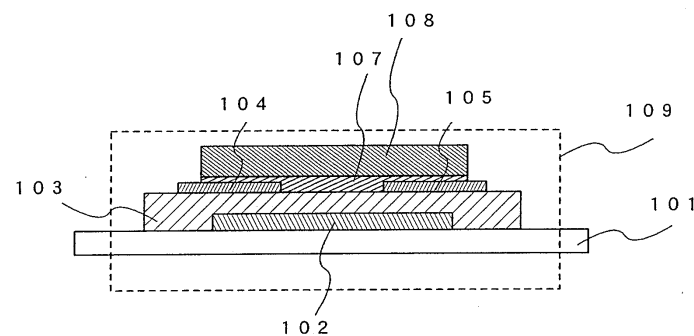
- [0001] 도 1a 내지 도 1c는 본 발명에 따른 유기 트랜지스터의 제조 공정을 각각 도시한 도면들과 그 단면도.
- [0002] 도 2a 내지 도 2c는 본 발명에 따른 유기 트랜지스터의 제조 공정을 각각 도시한 도면들과 그 단면도.
- [0003] 도 3은 본 발명에 따른 표시 소자 기관의 단면도.
- [0004] 도 4는 본 발명에 따른 유기 반도체 장치의 단면도.
- [0005] 도 5는 본 발명에 따른 표시 장치의 단면도.
- [0006] 도 6a 및 도 6b는 본 발명에 따른 유기 트랜지스터의 단결정에서의 성장 위치의 선택비를 각각 도시한 도면들.
- [0007] 도 7은 본 발명에 따른 유기 트랜지스터의 트랜지스터 특성을 도시한 다이어그램.
- [0008] 도 8a 내지 도 8d는 본 발명에 따른 유기 트랜지스터가 형성되는 전자 장치를 각각 도시한 도면들.
- [0009] 도 9a 및 도 9b는 본 발명에 따른 유기 트랜지스터의 단면도를 각각 도시한 도면들.

### 도면

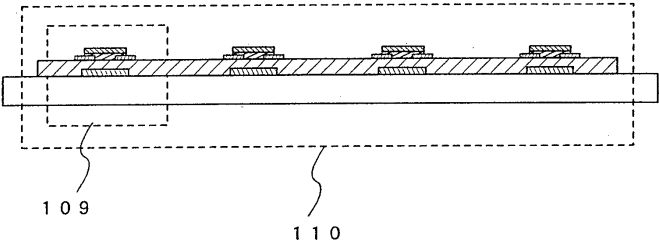
도면1a



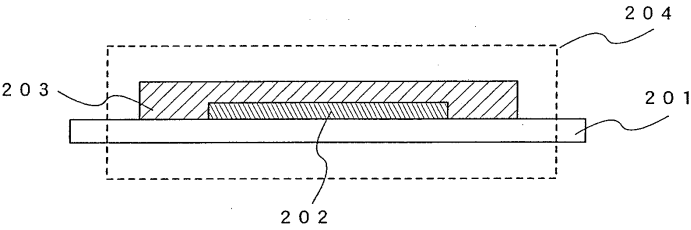
도면1b



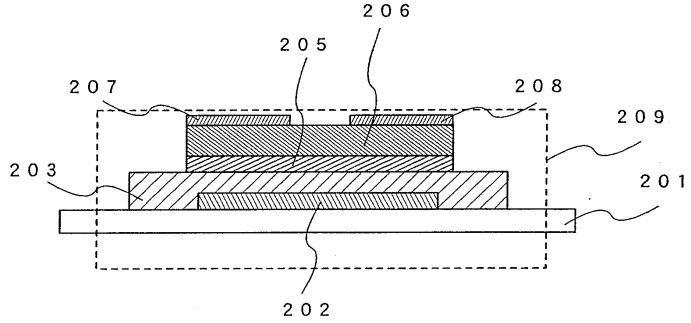
도면1c



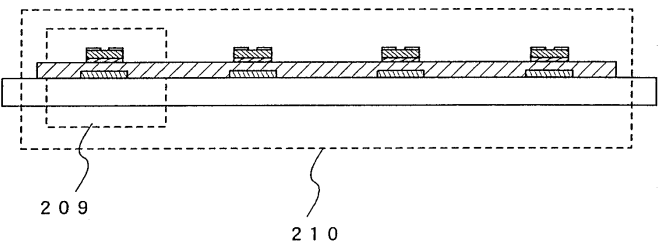
도면2a



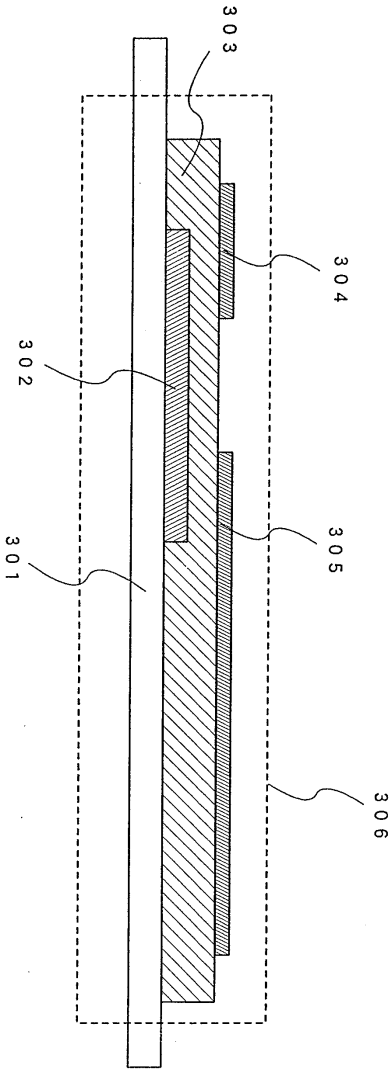
도면2b



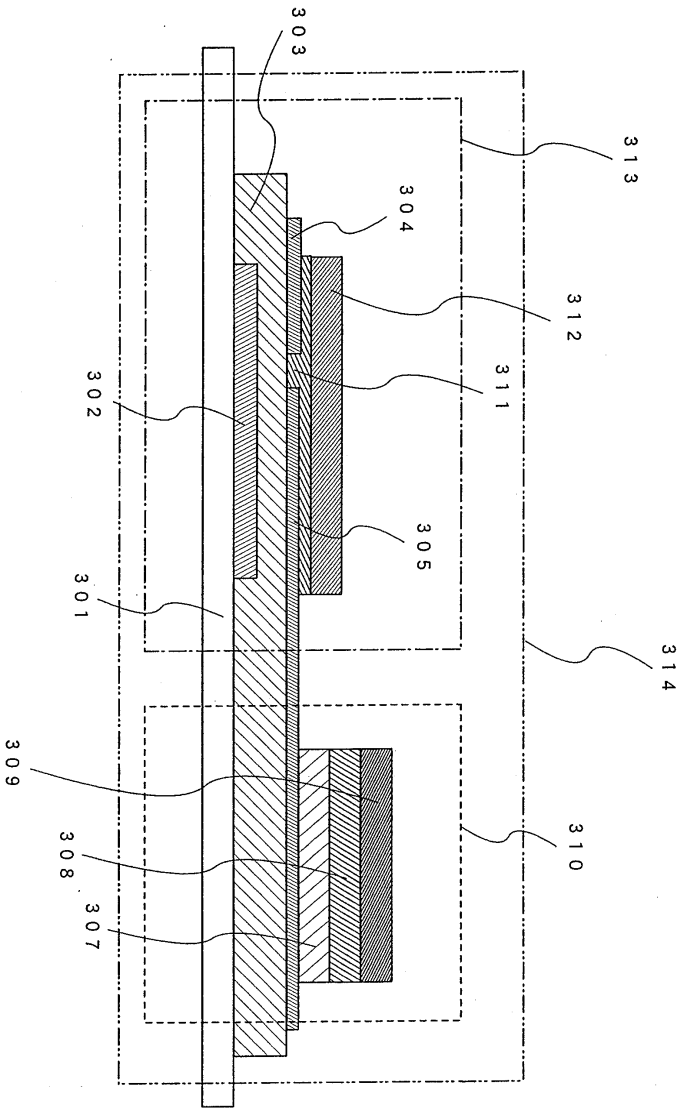
도면2c



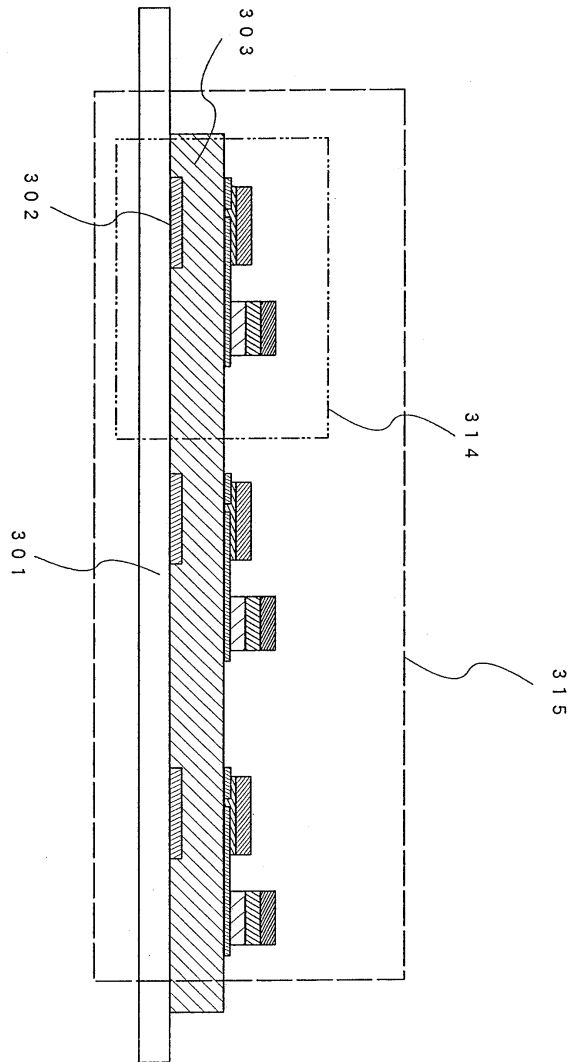
도면3



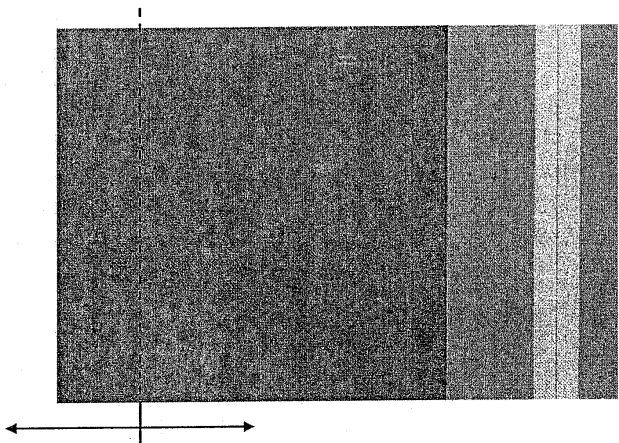
도면4



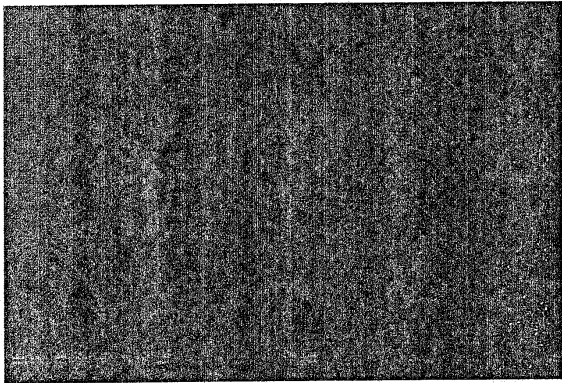
도면5



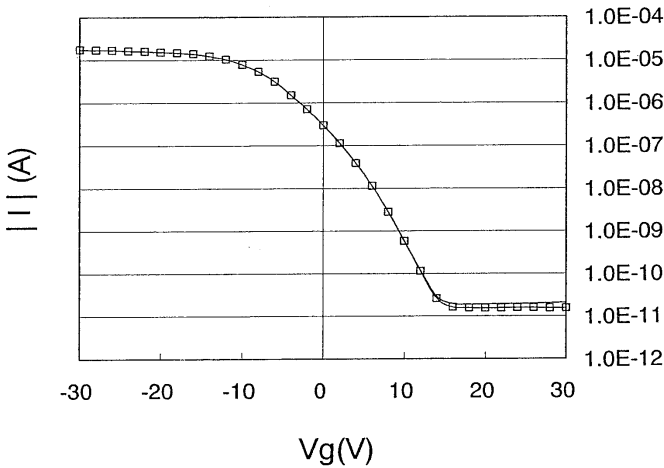
도면6a



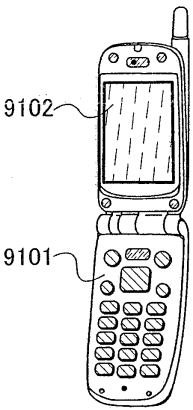
도면6b



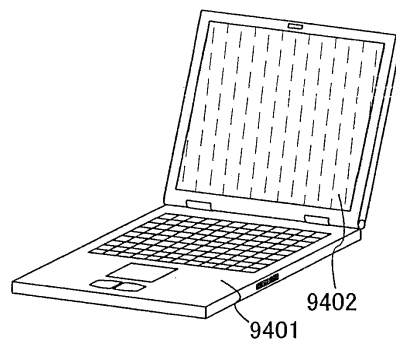
도면7



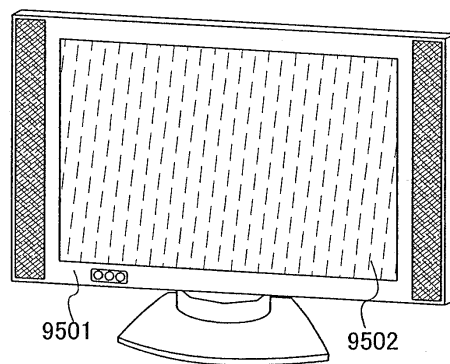
도면8a



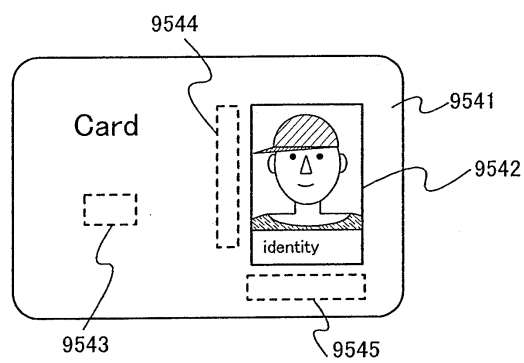
도면8b



도면8c

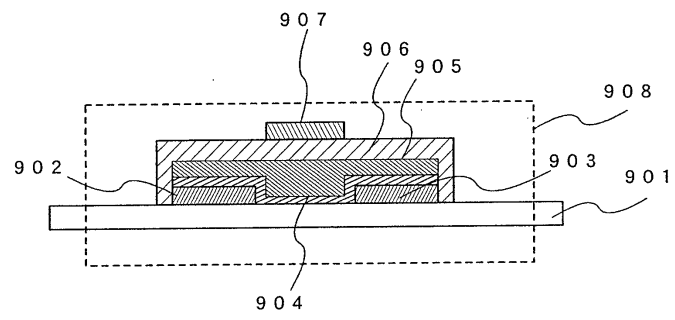


도면8d





도면9a



도면9b

