



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

209052
(11) (B1)

(51) Int. Cl.³
H 03 K 13/25

(22) Přihlášeno 02 04 80
(21) (PV 2297-80)

(40) Zveřejněno 30 01 81
(45) Vydáno 01 07 83

(75)

Autor vynálezu

BÁDAL JIŘÍ ing. CSc. a SOLDÁT PETR ing., PRAHA

(54) Zapojení obvodu stabilního selsynového převodníku s frekvenčním výstupem

Vynález se týká zapojení obvodu stabilního selsynového převodníku s frekvenčním výstupem, sestávajícího ze selsynu, dvou bloků filtrů a galvanické izolace, dvou tvarovačů, oscilátoru, bloku dělení, dvou fázových diskriminátorů, bloku hřebel, bloku vyhodnocení nulového okolí, čítače, paměťového členu, frekvenční násobičky a zdroje hodinové frekvence.

Pro ruční řízení a jednoduché polohové regulace pohonů v hutních provozech je kladen velký důraz na spolehlivost a životnost ovládacích prvků nebo čidel polohy. Počet přestavení ručních ovládacích prvků může být cca 10^4 zásahů denně a u polohových čidel až o řád více. Z důvodů rušení průmyslovým prostředím při přenosu signálu ovladače nebo čidla polohy na větší vzdálenosti (stovky metrů) je vhodné aby jeho výstupní výkon dosahoval řádově wattu resp. desítek wattů.

Z uvedených důvodů se dodnes v hutních provozech osvědčuje pro ruční ovládání a jako polohové čidlo selsyn.

Je známa celá řada zapojení obvodů pro vyhodnocení výstupních signálů selsynů, z nichž nejrozšířenější je použití selsynů fázových, protože u nich je výstupní signál nezávislý na kolísání napájecího napětí. V těchto obvodech se užívá fázového diskriminátoru jehož výstup po filtraci dává analogový signál o hodnotě úměrné fázovému rozdílu.

Nevýhodou tohoto řešení je nutnost zařazení účinného filtru jehož zpoždění při napájení napětím o frekvenci 50 Hz vadí již při ručním řízení a nedovoluje použít takový převodník pro jednoduché polohové smyčky, např. polohová synchronizace mechanismů. Nutnost účinné filtrace – potlačení střídavé složky signálu na zlomek procenta, je vynucena především vysokou hodnotou proporcionálních složek otáčkových regulátorů řízených pohonů; kromě toho pro jednoduché ale rozsáhlé řídicí systémy jejichž hlavním úkolem je řízení pohonů z různých ovladačů, přepínání signálů je přepínání signálů analogových nevhodné a obtížné. Rovněž přesnost je ve většině případů nevyhovující.

Převod fázového posuvu do paralelního kódu je vhodný pouze při nasazení počítače, jinak u zmíněných systémů s množstvím přepínaných kanálů by paralelní kód vyžadoval neúnosné množství spínačů.

Výše uvedené nedostatky jsou odstraněny zapojením obvodu stabilního selsynového převodníku s frekvenčním výstupem podle vynálezu, jehož podstata spočívá v tom, že výstup prvního bloku filtru a galvanické izolace připojené vstupem k napájecí síti je spojen se vstupem prvního tvarovače, jehož výstup je spojen jednak s prvním vstupem prvního fázového diskriminátoru a jednak s prvním

vstupem druhého fázového diskriminátoru, na jehož druhý vstup je zapojen výstup z druhého tvarovače, jehož vstup je propojen s výstupem druhého bloku filtru a galvanické izolace propojeného s výstupem selsynu, připojeného k napájecí síti. Výstup prvního fázového diskriminátoru je propojen přes oscilátor a blok dělení s druhým vstupem prvního fázového diskriminátoru. Výstup oscilátoru je spojen s prvním vstupem bloku hradel, jehož druhý vstup je spojen s prvním výstupem druhého fázového diskriminátoru, který je zároveň spojen se vstupem bloku vyhodnocení nulového okolí, jehož první výstup je spojen s třetím vstupem bloku hradel, jehož výstup je spojen se vstupem čítače. Výstup čítače je spojen se vstupem paměťového členu, jehož výstup je zapojen na první vstup frekvenční násobičky, jejíž druhý vstup je spojen s výstupem zdroje hodinové frekvence.

Výhoda zapojení obvodu stabilního selsynového převodníku s frekvenčním výstupem podle vynálezu spočívá v tom, že údaje o absolutní odchylce ovladače a o polaritě odchylky jsou nezávislé na amplitudě a frekvenci napájecí sítě selsynu a přitom vliv vyšších harmonických napájecí sítě je potlačen. Přesnost je pak dána pouze vlastní konstrukcí selsynu. Protože potřebné informace jsou zakódovány pouze do tří digitálních signálů je možné jejich efektivní přepínání mezi řadou pohonů.

Příklad zapojení obvodu stabilního selsynového převodníku s frekvenčním výstupem podle vynálezu je na přiloženém výkresu. K napájecí síti je připojen selsyn 1 a první blok filtru a galvanické izolace 2, jehož výstup je spojen se vstupem prvního tvarovače 3. Výstup selsynu 1 je zapojen na vstup druhého bloku filtru a galvanické izolace 4, jehož výstup je spojen se vstupem druhého tvarovače 5. Výstup prvního tvarovače 3 je propojen jednak s prvním vstupem prvního fázového diskriminátoru 6 a jednak s prvním vstupem druhého fázového diskriminátoru 7, na jehož druhý vstup je zapojen výstup druhého tvarovače 5. Výstup prvního fázového diskriminátoru 6 je přes oscilátor 8 a blok dělení 9 zapojen na druhý vstup prvního fázového diskriminátoru 6. Výstup

oscilátoru 8 je dále zapojen na první vstup bloku hradel 10, na jehož druhý vstup je zapojen první výstup druhého fázového diskriminátoru 7, který je zároveň propojen se vstupem bloku 11 vyhodnocení nulového okolí, jehož první výstup je spojen se třetím vstupem bloku hradel 10, jehož výstup je spojen se vstupem čítače 12. Výstup čítače 12 je spojen se vstupem paměťového členu 13, jehož výstup je zapojen na první vstup frekvenční násobičky 14, jejíž druhý vstup je spojen s výstupem zdroje 15 hodinové frekvence.

Synchronizační signál z napájecí sítě a výstupní signál selsynu 1 jsou přivedeny na vstupy prvního a druhého bloku filtru a galvanické izolace 2 a 4, kde je potlačen vliv vyšších harmonických a poruchových signálů sítě. Aby bylo dosaženo kompenzace teplotních změn mají oba bloky 2 a 4 shodný přenos. Signály z výstupů bloků filtru a galvanické izolace 2 a 4 jsou přivedeny do prvního a druhého tvarovače 3 a 5, kde je odstraněn vliv kolísání amplitudy napájecího napětí. Výstup prvního tvarovače 3 je přiveden na první vstup prvního fázového diskriminátoru 6, který společně s oscilátorem 8 a blokem dělení 9 tvoří smyčku fázového závěsu, která interpoluje periodu synchronizačního napětí vždy stejným počtem ekvidistantních impulsů. Je-li selsyn 1 užit pro ruční ovládání, je vhodné zajistit pro ovladač jisté pásmo necitlivosti v okolí nulové odchylky, což řeší blok 11 vyhodnocení nulového okolí, ovládající blok hradel 10. Výstup oscilátoru 8 je klíčovým výstupem druhého fázového diskriminátoru 7 v bloku hradel 10. Vzniklé bloky impulsů, jejichž počet je úměrný pouze úhlu natočení selsynu 1 a je nezávislý na amplitudě a kmitočtu napájecí sítě, jsou periodicky čítány čítačem 12, zapamatovány v paměťovém členu 13, jehož výstup řídí frekvenční násobičku 14, na jejíž druhý vstup je přiveden hodinový kmitočet. Na výstupu frekvenční násobičky 14 je pak posloupnost pulsů o střední frekvenci, úměrné odchylce selsynu. Druhý výstup druhého fázového diskriminátoru 7 dává informaci o její polaritě. Na druhém výstupu bloku 11 vyhodnocení nulového okolí je signál hlásící dosažení nulového okolí odchylky.

PŘEDMĚT VYNÁLEZU

Zapojení obvodu stabilního selsynového převodníku s frekvenčním výstupem, sestávající ze selsynu, dvou bloků filtrů a galvanické izolace, dvou tvarovačů, oscilátoru, bloku dělení, dvou fázových diskriminátorů, bloku hradel, bloku vyhodnocení nulového okolí, čítače, paměťového členu, frekvenční násobičky vyznačené tím, že výstup prvního bloku filtru a galvanické izolace (2), připojeného výstupem k napájecí síti, je spojen se vstupem prvního tvarovače (3) jehož výstup je spojen jednak s prvním vstupem prvního fázového diskriminátoru (6) a jednak s prvním vstupem druhého fázového diskriminátoru (7), na jehož

druhý vstup je zapojen výstup z druhého tvarovače (5), jehož vstup je propojen s výstupem druhého bloku filtru a galvanické izolace (4), propojeného s výstupem selsynu (1), připojeného k napájecí síti, přičemž výstup prvního fázového diskriminátoru (6) je propojen přes oscilátor (8) a blok dělení (9) s druhým vstupem prvního fázového diskriminátoru (6) a výstup oscilátoru (8) je spojen s prvním vstupem bloku hradel (10) jehož druhý vstup je spojen prvním výstupem druhého fázového diskriminátoru (7), který je zároveň spojen se vstupem bloku (11) vyhodnocení nulového okolí, jehož první výstup je spojen s třetím vstupem bloku

hradel (10), jehož výstup je spojen se vstupem čítače (12); a dále výstup čítače (12) je spojen se vstupem paměťového členu (13), jehož výstup je

zapojen na první vstup frekvenční násobičky (14), jejíž druhý vstup je spojen s výstupem zdroje (15) hodinové frekvence.

1 výkres

