

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
2. März 2006 (02.03.2006)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2006/021181 A1

(51) Internationale Patentklassifikation:
H01L 27/02 (2006.01)

(21) Internationales Aktenzeichen: PCT/DE2005/001405

(22) Internationales Anmeldedatum:
9. August 2005 (09.08.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2004 040 973.0 24. August 2004 (24.08.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **KIENMAYER, Christoph** [AT/DE]; Parkstr. 40/II, 82008 Unterhaching (DE). **STREIBL, Martin** [DE/DE]; Alte Sollerner Str. 1B, 85238 Petershausen (DE). **TIEBOUT, Marc** [BE/DE]; Therese-Giehse-Allee 15, 81739 München (DE).

(74) Anwalt: **DOKTER, Eric-Michael**; Viering, Jentschura & Partner, Steinsdorfstr. 6, 80538 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

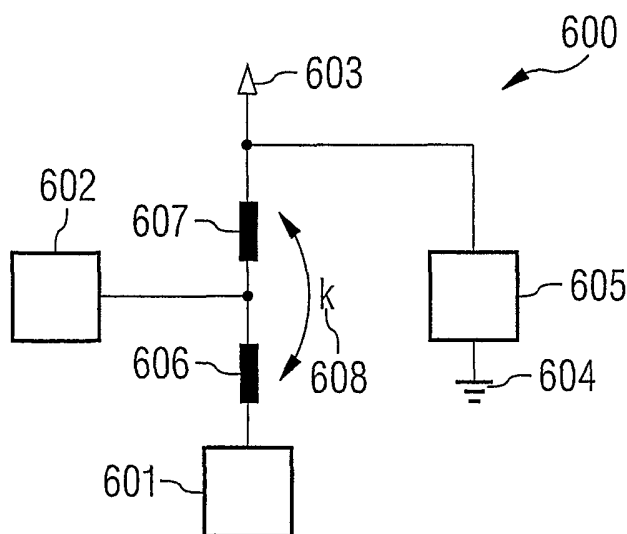
Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: INTEGRATED SWITCHING CIRCUIT ARRANGEMENT, AND SWITCHING CIRCUIT ARRAY

(54) Bezeichnung: INTEGRIERTE SCHALTKREIS-ANORDNUNG UND SCHALTKREIS-ARRAY



(57) Abstract: The invention relates to an integrated switching circuit arrangement comprising a first connection that can be applied to a first supply potential, and a second connection that can be applied to a second supply potential. A supply potential path is formed between the first connection and the second connection. Said arrangement is also provided with an electrostatic discharge element at least in the supply potential path, a signal input pad to which an input signal can be applied, a signal output on which an output signal can be generated, a first inductance arranged between the signal input pad and the signal output, and a second inductance arranged between the signal output and the first connection.

(57) Zusammenfassung: Die Erfindung betrifft eine integrierte Schaltkreis-Anordnung, mit einem ersten Anschluss, der auf ein erstes Versorgungspotential bringbar ist, mit einem zweiten Anschluss, der auf ein zweites Versorgungspotential bringbar ist, wobei zwischen dem ersten Anschluss und dem zweiten Anschluss ein

Versorgungspotentialpfad gebildet ist, mit einem Electrostatic-Discharge-Element zumindest in dem Versorgungspotentialpfad, mit einem Signaleingangspad, an dem ein Eingangssignal anlegbar ist, mit einem Signalausgang, an dem ein Ausgabesignal bereitstellbar ist, mit einer ersten Induktivität, die zwischen dem Signaleingangspad und dem Signalausgang angeordnet ist, und mit einer zweiten Induktivität, die zwischen dem Signalausgang und dem ersten Anschluss angeordnet ist.

WO 2006/021181 A1

Beschreibung**Integrierte Schaltkreis-Anordnung und Schaltkreis-Array**

5 Die Erfindung betrifft eine integrierte Schaltkreis-Anordnung und ein Schaltkreis-Array.

"Electro Static Discharge" (ESD) bedeutet elektrostatische Entladung und beschreibt die Vorgänge und Auswirkungen beim
10 Ausgleich von elektrischen Ladungen zwischen zwei unterschiedlich geladenen Komponenten. Kommen diese in Berührung miteinander, werden positive und negative Ladungen ausgetauscht, und es kann dadurch zu Schäden in einem elektrischen Schaltkreis kommen.

15 In einem integrierten Schaltkreis sind häufig ein oberes Betriebspotential V_{DD} und ein unteres Betriebspotential V_{SS} vorgesehen, zwischen welchen Schutzmechanismen zum Vermeiden von Schäden infolge von ESD vorgesehen sind.

20 ESD, das heißt elektrostatische Entladungen, sind häufig die Ursache für eine Schädigung oder Zerstörung einer integrierten Schaltung und verursachen somit hohe finanzielle Schäden. Mit der Entwicklung der MOS-Technologie ("metal
25 oxide semiconductor") in der Mikroelektronik ging eine Miniaturisierung der Halbleiterbauelemente bei zunehmend hohen Taktraten einher. Daraus resultiert eine steigende Empfindlichkeit gegenüber ESD-Impulsen, also hohen Spannungs- und Stromspitzen solcher Taktsignale. Unter ESD-Stress
30 stehende Halbleiterbauelemente können in einem integrierten Schaltkreis Fehler verursachen. ESD kann zu einem Totalausfall oder zu einer Beschädigung des Bauelements führen. Daher ist der Schutz vor elektrostatischen Entladungen (ESD-Schutz) heute in allen Bereichen der
35 Mikroelektronik wichtig.

ESD-Schutz bei Hochfrequenzschaltungstechnik-Anwendungen ist ein schwieriges technisches Problem, da die hohe parasitäre Kapazität von ESD-Schutzelementen die erreichbare maximale Betriebsfrequenz der Schaltung inhärent stark einschränkt.

5 Solche ESD-Schutzelemente sind zum Beispiel eine Diode, ein Thyristor oder ein "grounded n-MOS"-Bauelement (d.h. ein n-MOS-Feldeffekttransistor mit einem auf dem elektrischen Massepotential befindlichem Gate-Anschluss). Kleinere ESD-Schutzelemente würden höhere Frequenzen ermöglichen, erfüllen
10 aber die Funktionalität als ESD-Schutz nicht in ausreichendem Maße, sind also nicht in ausreichendem Maße in der Lage, ESD-Ströme abzuführen.

Im Weiteren wird bezugnehmend auf **Fig.1** eine Schaltkreis-
15 Anordnung 100 mit ESD-Schutz gemäß dem Stand der Technik beschrieben.

Bei der Schaltkreis-Anordnung 100 kann an einem Signaleingangs-Pad 101 ein Eingangssignal bereitgestellt
20 werden und einem Eingabe-/Ausgabe-Schaltkreis 102 zugeführt werden. Zur Versorgung der Schaltkreis-Anordnung 100 mit elektrischer Energie ist ein Versorgungspotential 103 V_{DD} vorgesehen, und ein elektrisches Massepotential 104 GND. Zwischen dem Signaleingangs-Pad 101 und dem
25 Versorgungspotential 103 V_{DD} ist ein erstes ESD-Schutzelement 105 vorgesehen. Ferner ist zwischen dem Signaleingangs-Pad 101 und dem elektrischen Massepotential 104 GND ein zweites ESD-Schutzelement 106 vorgesehen.

30 Darüber hinaus ist in Fig.1 eine Schaltkreis-Anordnung 110 gezeigt, die zusätzlich zu den Komponenten der Schaltkreis-Anordnung 100 einen ohmschen Widerstand 111 zwischen dem Signaleingangs-Pad 101 und dem Eingabe-/Ausgabe-Schaltkreis 102 aufweist.

35 Anschaulich zeigt Fig. 1 Schaltkreis-Anordnungen 100, 110, die einen Schutz gegen hohe Spannungen durch das Vorsehen der

ESD-Schutzelemente 105, 106 aufweisen, da diese das Versorgungspotential 103 V_{DD} von dem Massepotential 104 GND elektrisch entkoppeln.

- 5 Im Fall einer großen elektrischen Stromstärke müssen die ESD-Elemente 105, 106 ausreichend groß sein. Bei Hochfrequenzanwendungen führen große ESD-Elemente allerdings zu einer unerwünschten großen parasitären Kapazität.
- 10 Ansätze für ESD-Schutz-Schaltkreis-Anordnungen für Hochfrequenzschaltkreise sind in [1] bis [8] offenbart.

Der in [5] bis [7] offenbarte Ansatz besteht im Wesentlichen darin, kleinere ESD-Schutzelemente zu verwenden.

15

In **Fig.2** ist ein ESD-Schutz-Schaltkreis 200 gezeigt, wie er in [7] offenbart ist.

- In **Fig.3** ist eine in [6] offenbarte ESD-Schutz-Schaltkreis-Anordnung 300 gezeigt, bei welcher der ESD-Schutz mittels einer ersten ESD-Schutzdiode 301 und mittels einer zweiten ESD-Schutzdiode 302 realisiert ist.
- 20

- Die Ansätze gemäß [5] bis [7] haben allerdings den Nachteil, dass sie zumeist eine nur geringe ESD-Festigkeit aufweisen und dass der Bereich verarbeitbarer Hochfrequenzen eingeschränkt ist, mit welchen die Schaltkreis-Anordnungen betreibbar sind. Bei höheren Frequenzen wie 5 GHz oder 17 GHz, wie sie für WLAN-Systeme ("wireless local area network") verwendet werden, kommen diese Ansätze somit nur schlecht oder gar nicht mehr in Frage.
- 25
- 30

- Ein alternativer Ansatz gemäß [1] bis [4] besteht im Wesentlichen darin, dass unter Verwendung von On-Chip realisierten LC-Resonanzkreisen die ESD-Schutzelemente entkoppelt werden, oder dass die Kapazität eines jeden ESD-Elements in einem LC-Resonanzkreis abgestimmt wird.
- 35

Die in Fig.4 gezeigte ESD-Schutz-Schaltkreis-Anordnung 400 stellt eine Lösung dar, wie sie in [4] offenbart ist. Bei der ESD-Schutz-Schaltkreis-Anordnung 400 sind ein erster ESD-Schutz-Teilschaltkreis 401 und ein zweiter ESD-Schutz-Teilschaltkreis 402 vorgesehen, wobei eine ESD-Kapazität 403 eine (parasitäre) Kapazität der ESD-Schutzelemente 401, 402 darstellt.

10 Nachteilig bei dem Ansatz gemäß [1] bis [4] ist der hohe Flächenbedarf der integrierten Induktivitäten.

Bei der in [8] offenbarten ESD-Schutz-Schaltkreis-Anordnung 500, die in Fig.5 gezeigt ist, wird anstelle klassischer ESD-Schutzelemente eine Induktivität verwendet. ESD-Schutz wird anschaulich durch die mit der Versorgungsspannung gekoppelten Standard-ESD-Schutzelemente erreicht.

Somit sind bei der ESD-Schutz-Schaltkreis-Anordnung 500 eine erste Induktivität 501 und eine zweite Induktivität 502 vorgesehen, sowie eine Kapazität 503. Ferner ist eine Mehrzahl von Signaleingängen 101 vorgesehen, und eine Mehrzahl von Signalausgängen 102.

25 In [9] wird eine ESD-Schutzschaltung für Radiofrequenz-Ein/Ausgangsanschlüsse in einer integrierten Schaltung beschrieben. Die integrierte Schaltung umfasst eine ESD-Schutzschaltung mit einer Induktivität, welche Induktivität zwischen einem Eingangsanschluss und einem Masseanschluss, an denen ein RF-Signal angelegt wird, angeschlossen ist. Die Induktivität ist so eingerichtet, dass eine für ESD-Ereignisse ausreichende Stromführungskapazität bereit gestellt wird. Der Induktivitätswert der Induktivität ist so gewählt, dass in Verbindung mit einer vorhandenen parasitären Kapazität ein Schwingkreis mit einer Resonanzfrequenz gebildet wird, welche Resonanzfrequenz an das RF-Signal angepasst ist. Die Betriebsfrequenz der integrierten in [9]

beschriebenen Schaltung wird nicht durch die ESD-Schutzschaltung beschränkt. Zum Schutz eines Ausgangsanschlusses vor ESD kann eine Induktivität an eine Hilfsspannung angeschlossen werden, um einen Ausgangstransistor vorzuspannen. Ferner sind Klemmelemente (z.B. Dioden) zwischen der Hilfsspannung und der Versorgungsspannung und zwischen der Hilfsspannung und dem Massepotential vorgesehen.

10 Der Erfindung liegt das Problem zugrunde, eine Schaltkreis-Anordnung bereitzustellen, welche auch für Hochfrequenzanwendungen einen zuverlässigen ESD-Schutz ermöglicht.

15 Das Problem wird durch eine Schaltkreis-Anordnung und durch ein Schaltkreis-Array mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

Die erfindungsgemäße integrierte Schaltkreis-Anordnung
20 enthält einen ersten Anschluss, der auf ein erstes Versorgungspotential bringbar ist, und einen zweiten Anschluss, der auf ein zweites Versorgungspotential bringbar ist, wobei zwischen dem ersten Anschluss und dem zweiten Anschluss ein Versorgungspotentialpfad gebildet ist. Ferner
25 ist ein Electrostatic-Discharge-Element in dem Versorgungspotentialpfad vorgesehen. Darüber hinaus ist ein Signaleingangspad bereitgestellt, an dem ein Eingangssignal anlegbar ist, und ein Signalausgang, an dem ein Ausgabesignal bereitstellbar ist. Darüber hinaus enthält die Schaltkreis-
30 Anordnung eine erste Induktivität, die zwischen dem Signaleingangspad und Signalausgang angeordnet ist, und eine zweite Induktivität, die zwischen dem Signalausgang und dem ersten Anschluss angeordnet ist.

35 Das erfindungsgemäße Schaltkreis-Array enthält eine integrierte Schaltkreis-Anordnung mit den oben beschriebenen

Merkmale sowie einen mit der integrierten Schaltkreis-Anordnung gekoppelten Nutzschaltkreis.

Eine Grundidee der Erfindung ist darin zu sehen, einen
5 wirkungsvollen ESD-Schutz, der sich auch für einen
Hochfrequenzschaltkreis eignet, dadurch zu realisieren, dass
ein Electrostatic-Discharge-Element (ESD-Schutzelement) in
den Versorgungspotentialpfad zwischen ein oberes
Versorgungspotential und ein unteres Versorgungspotential
10 verschaltet wird. Diese Verschaltung wird kombiniert mit
einer geschickten Verkopplung der ersten Induktivität und der
zweiten Induktivität (vorzugsweise unter Bildung einer
Koppelinduktivität), welche Induktivitäten zwischen
Signalausgang einerseits und einem der beiden
15 Versorgungspotentiale sowie dem Signaleingangspad
andererseits vorgesehen werden. Bei der erfindungsgemäßen
Lösung sind klassische Schutzelemente und eine zugehörige
(parasitäre) Kapazität komplett vermieden, und anschaulich
durch einen Gleichstromkurzschluss (DC-Kurzschluss) zur
20 Versorgungsspannung über die Spulen (Induktivitäten) ersetzt.
Mittels geeigneten Auswählens von Entwurfvariablen der
Schaltung (Werte von Induktivitäten, Auswahl und Auslegung
von ESD-Schutzelementen, Einrichtung von Hilfskapazitäten)
ist es leicht möglich, die Struktur derart abzustimmen, dass
25 ein Hochfrequenz-Bandpass-Durchlassbereich gewährleistet ist,
der Hochfrequenzen in einem Bereich von Interesse annähernd
ungedämpft passieren lässt. Durch diese
Bandpasscharakteristik kann ferner Rauschen unterdrückt
werden.

30 Die Schaltkreis-Anordnung der Erfindung ist als (vorzugsweise
in einem Silizium-Chip) monolithisch integrierter Schaltkreis
realisiert, bei dem ein wirkungsvoller ESD-Schutz on-chip
ermöglicht ist.

35 Anschaulich kann ein wichtiger Aspekt der Erfindung auch
darin gesehen werden, dass RF-Bandpass-ESD-Schutz geschaffen

ist, mit dem auch sehr hohe Hochfrequenzen bei minimalem Flächenbedarf realisierbar sind. Simulationen haben gezeigt, dass mit kleinen Spulen (zum Beispiel Spulen mit einer Gesamtinduktivität von 300 pH und einer Layout-Fläche von
5 $40 \times 40 \mu\text{m}^2$) Hochfrequenzen von 1 GHz bis 17 GHz problemlos durch die Schaltkreis-Anordnung hindurchgeführt werden können bzw. von dieser verarbeitet werden können.

Die Bandpass-Charakteristik der erfindungsgemäßen
10 Schaltkreis-Anordnung ist vorteilhaft und in vielen Fällen besonders gewünscht, da konkrete Anwendungen der Schaltkreis-Anordnung (d.h. mit dieser gekoppelte Nutzschaltkreise basierend auf Technologien wie GSM ("global system for mobile communications"), UMTS ("universal mobile telecommunication
15 system") oder WLAN ("wireless local area network")) ohnehin in einem bandbegrenzten Frequenzspektrum definiert sind.

Im Unterschied zu der Lösung gemäß [4] wird der ohmsche Widerstand R_T aus Fig.4 eingespart. Ferner sind die ESD-
20 Schutz-Teilschaltkreise 401, 402 bzw. die ESD-Schutz-Elemente C_L 400 aus Fig.4 durch einen DC-Kurzschluss über die Induktivitäten ersetzt.

Ein wichtiger Aspekt der Erfindung kann daher darin gesehen
25 werden, dass eine Kombination aus einem niederfrequenten Kurzschluss einer Induktivität als ESD-Schutz mit einer geschickten Spulenverkopplung und Spulenverschaltung, vorzugsweise mit Kapazitäten, zu einem Bandpass-Durchlassbereich für RF-Frequenzen verschaltet werden.

30 Die Induktivität bzw. die Induktivitäten dient oder dienen anschaulich für die ESD-Pulse als Kurzschluss zu einer Versorgungsspannung.

35 Die Erfindung kann mit einer geringen Dimensionierung der verkoppelten Spule realisiert werden, eine Spulenfläche von nur $40 \times 40 \mu\text{m}^2$ ist problemlos erreichbar.

Ein anderer Aspekt der Erfindung ist darin zu sehen, dass gemäß dem Stand der Technik häufig das ESD-Element im Hochfrequenzpfad untergebracht ist, wohingegen
5 erfindungsgemäß das ESD-Element zumindest auch im Versorgungspfad angeordnet ist.

Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

10 Das erste Versorgungspotential kann ein oberes Betriebspotential sein (zum Beispiel ein Betriebspotential V_{DD}), und das zweite Versorgungspotential kann ein unteres Betriebspotential (zum Beispiel das elektrische
15 Massepotential V_{SS}) sein.

Alternativ kann das erste Versorgungspotential ein unteres Betriebspotential (zum Beispiel das elektrische Massepotential V_{SS}) sein, und das zweite Versorgungspotential
20 kann ein oberes Betriebspotential (zum Beispiel V_{DD}) sein.

Das Electrostatic-Discharge-Element kann als Diode realisiert werden. Ferner kann das Electrostatic-Discharge-Element auch aus einer Mehrzahl von Bauelementen, zum Beispiel aus einer
25 Mehrzahl von Dioden, gebildet sein.

Das Electrostatic-Discharge-Element kann alternativ oder ergänzend einen Thyristor (oder mehrere Thyristoren) aufweisen.

30 Alternativ oder ergänzend kann das Electrostatic-Discharge-Element einen oder mehrere Feldeffekttransistoren aufweisen. Der Feldeffekttransistor kann ein sogenannter grounded-n-MOS Feldeffekttransistor sein. Bei einem grounded-n-MOS
35 Feldeffekttransistor ist der Gate-Anschluss geerdet, d.h. er ist auf das elektrische Massepotential gebracht.

Anschaulich können an sich bekannte ESD-Schutzelemente mit der neuartigen Architektur der erfindungsgemäßen Schaltkreis-Anordnung in vorteilhafter Weise kombiniert werden, woraus ein geringer Flächenbedarf der Schaltkreis-Anordnung resultiert.

Das an das Signaleingangspad anlegbare Eingangssignal kann ein Hochfrequenzsignal sein. Die integrierte Schaltkreis-Anordnung ist auch zum Verarbeiten von Hochfrequenzsignalen hervorragend geeignet und stellt eine geschickte Lösung des schwierigen technischen Problems der Implementierung von ESD-Schutz bei Hochfrequenzanwendungen dar.

Bei der erfindungsgemäßen Schaltkreis-Anordnung kann ein Hochfrequenzverarbeitungsschaltkreis vorgesehen sein, der an den Signalausgang angeschlossen ist, zum Beispiel ein Eingabe-/Ausgabe-RF-Schaltkreis.

Die erste Induktivität und die zweite Induktivität können als gemeinsame Induktivität vorgesehen sein.

Insbesondere kann die gemeinsame Induktivität eine Spule mit Mittelabgriff sein, wobei der Mittelabgriff mit dem Signalausgang gekoppelt ist, ein erster Spulenendabschnitt mit dem Signaleingangspad gekoppelt ist und ein zweiter Spulenendabschnitt mit dem Electrostatic-Discharge-Element gekoppelt ist.

Darüber hinaus kann erfindungsgemäß ein erster Kondensator einer Schaltkreis-Anordnung verschaltet sein, der zwischen dem ersten Anschluss und dem Signaleingangspad angeordnet ist.

Auch kann ein zweiter Kondensator einer Schaltkreis-Anordnung vorgesehen sein, der zwischen dem zweiten Anschluss und dem Signaleingangspad angeordnet ist.

Die Schaltkreis-Anordnung kann als Bandpassfilter für ein an dem Signaleingangspad bereitgestelltes Hochfrequenzsignal eingerichtet sein. Dadurch können niederfrequente oder hochfrequente Rauschbeiträge herausgefiltert werden und ein
5 in einem Bandpass definiertes Signal sicher durch die Schaltkreis-Anordnung geleitet werden, wobei simultan ein sicherer ESD-Schutz bereitgestellt ist.

Die Schaltkreis-Anordnung ist als monolithisch integrierter
10 Schaltkreis eingerichtet. Daher kann die Schaltkreis-Anordnung in einem Substrat, zum Beispiel in einem Halbleiter-Substrat, insbesondere in einem Silizium-Substrat (zum Beispiel in einem Silizium-Chip) monolithisch integriert sein. Daher kann bei der Herstellung der erfindungsgemäßen
15 Schaltkreis-Anordnung von den Vorteilen der ausgereiften Silizium-Mikrotechnologie profitiert werden, und es kann die Schaltkreis-Anordnung in miniaturisierter Größe vorgesehen sein.

Bei der integrierten Schaltkreis-Anordnung kann die erste Induktivität und die zweite Induktivität jeweils als (monolithisch) integrierte Induktivität eingerichtet sein. Mit dieser Maßnahme kann die gesamte Schaltkreis-Anordnung miniaturisiert vorgesehen werden und mit minimalem
20 Platzbedarf und somit kostengünstig gefertigt werden.

An dem Signalausgang kann ein Signalausgangspad bereitgestellt sein.

Ferner kann bei der integrierten Schaltkreis-Anordnung die erste Induktivität und die zweite Induktivität derart verkoppelt sein, dass eine Koppelinduktivität gebildet ist ("mutual inductance"). Anders ausgedrückt werden die erste Induktivität und die zweite Induktivität räumlich derart
30 zueinander angeordnet, dass diese beiden Bauelemente miteinander funktionell gekoppelt werden bzw. in gewisser Weise wechselwirken können. Zum Beispiel können die beiden

Induktivitäten in unterschiedlichen aber räumlich ausreichend dicht benachbarten Prozessierungsebenen vorgesehen werden, so dass sie sich hinsichtlich ihrer Funktionalität gegenseitig beeinflussen. Es ist auch möglich, zum Verkoppeln der
5 Induktivitäten dieselben als Spule mit Mittelabgriff vorzusehen.

Im Weiteren werden Ausgestaltung des erfindungsgemäßen Schaltkreis-Arrays, das eine erfindungsgemäße integrierte
10 Schaltkreis-Anordnung aufweist, beschrieben. Ausgestaltungen des Schaltkreis-Arrays gelten auch für die integrierte Schaltkreis-Anordnung und umgekehrt.

Unter einem Nutzschaltkreis wird insbesondere ein Schaltkreis
15 verstanden, der mit der erfindungsgemäßen Schaltkreis-Anordnung koppelbar ist bzw. mit dieser gemeinsam betreibbar ist. Ein solches Schaltkreissystem enthält dann die für den ESD-Schutz eingerichtete erfindungsgemäße Schaltkreis-Anordnung und zusätzlich den Nutzschaltkreis, der die
20 eigentliche Funktionalität erfüllt, insbesondere ein Hochfrequenzsignal in vorgebar Weise verarbeiten kann.

Der Nutzschaltkreis kann einen GSM-Schaltkreis ("global system for mobile communications") aufweisen. Mit der GSM-
25 Technologie wird ein Mobilfunkstandard bezeichnet, der hauptsächlich für die Telefonie eingesetzt wird. GSM stellt somit einen genormten Standard für digitalen Mobilfunk dar.

Alternativ kann der Nutzschaltkreis ein UMTS-Schaltkreis
30 ("universal mobile telecommunications system") sein. UMTS ist ein Mobilfunkstandard einer neueren Generation und umfasst erweiterte multimediale Dienste, Satelliten und erdgestützte Sendeanlagen. Über UMTS können zum Beispiel zwischenmenschliche Kommunikation (Audio- und
35 Videotelefonie), Nachrichtendienste (zum Beispiel Chats), Informationsverteilung (zum Beispiel World Wide Web Browsing), erweiterte Positionsanwendungen (persönliche

Navigation, Fahrerunterstützung), Geschäftsdienste (Mobilität in geschlossenen Räumen) oder Massendienste (zum Beispiel Bankdienste, E-Commerce), etc. realisiert werden.

- 5 Der Nutzschaltnkreis kann darüber hinaus als WLAN-Schaltnkreis ("wireless local area network") realisiert sein. WLAN steht für ein drahtloses lokales Netzwerk.

- 10 Der Nutzschaltnkreis kann ferner einen DCS-Schaltnkreis ("Dynamic Channel Selection"), einen DECT-Schaltnkreis ("Digital Enhanced Cordless Telecommunications"), einen Bluetooth-Schaltnkreis, einen UWB-Schaltnkreis ("Ultra Wide Band"), einen PCS-Schaltnkreis und/oder einen RADAR-Schaltnkreis aufweisen.

- 15 Für all diese Nutzschaltnkreisanwendungen ist die erfindungsgemäße Lösung ein sicherer Schutz gegen ESD und kann damit dazu beitragen, die Funktionalität dieser Nutzschaltnkreise zu verbessern.

- 20 Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

Es zeigen:

- 25 Figur 1 eine erste ESD-Schutz-Schaltnkreis-Anordnung gemäß dem Stand der Technik,
- Figur 2 eine zweite ESD-Schutz-Schaltnkreis-Anordnung gemäß dem Stand der Technik,
- 30 Figur 3 eine dritte ESD-Schutz-Schaltnkreis-Anordnung gemäß dem Stand der Technik,
- 35 Figur 4 eine vierte ESD-Schutz-Schaltnkreis-Anordnung gemäß dem Stand der Technik,

Figur 5 eine fünfte ESD-Schutz-Schaltkreis-Anordnung gemäß dem Stand der Technik,

5 Figur 6 eine ESD-Schutz-Schaltkreis-Anordnung gemäß einem ersten Ausführungsbeispiel der Erfindung,

Figur 7 eine ESD-Schutz-Schaltkreis-Anordnung gemäß einem zweiten Ausführungsbeispiel der Erfindung,

10 Figur 8 eine andere Darstellung eines Teils der ESD-Schutz-Schaltkreis-Anordnung gemäß dem zweiten Ausführungsbeispiel der Erfindung.

15 Gleiche oder ähnliche Komponenten in unterschiedlichen Figuren sind mit gleichen Bezugsziffern versehen.

Die Darstellungen in den Figuren sind schematisch und nicht maßstäblich.

20 Im Weiteren wird bezugnehmend auf **Fig.6** eine ESD-Schutz-Schaltkreis-Anordnung 600 gemäß einem ersten Ausführungsbeispiel der Erfindung beschrieben.

Die in einem Silizium-Chip monolithisch integrierte ESD-Schutz-Schaltkreis-Anordnung 600 aus Fig.6 enthält einen ersten Anschluss, der auf ein oberes Versorgungspotential V_{DD} 603 gebracht ist, und einen zweiten Anschluss, der auf ein unteres Versorgungspotential V_{SS} (das Massepotential 604) gebracht ist. Zwischen dem ersten Anschluss und dem zweiten Anschluss ist ein Versorgungspotentialpfad gebildet. Darüber hinaus ist ein ESD-Schutzelement 605 (zum Beispiel eine Diode, ein Thyristor oder ein grounded-n-MOS) in dem Versorgungspotentialpfad verschaltet, das heißt zwischen dem Versorgungspotential 603 und dem Massepotential 604. Darüber hinaus ist ein Signaleingang 601 vorgesehen, an dem ein (zu verarbeitendes) Eingangssignal anlegbar ist. An einem Signalausgang 602 ist ein (verarbeitetes) Ausgabesignal

bereitgestellt. Darüber hinaus enthält die ESD-Schutz-Schaltkreis-Anordnung 600 eine erste Induktivität 606, die zwischen dem Signaleingang 601 und dem Signalausgang 602 angeordnet ist. Eine zweite Induktivität 607 ist zwischen dem
5 Signalausgang 602 und dem ersten Anschluss, an dem das Versorgungspotential 603 bereitgestellt ist, angeordnet. Die erste Induktivität 606 und die zweite Induktivität 607 sind jeweils als in dem Silizium-Chip monolithisch integrierte Bauelemente vorgesehen. Die erste Induktivität 606 ist mit
10 der zweiten Induktivität 607 derart verkoppelt, dass dadurch eine Koppelinduktivität 608 gebildet ist, was in der Zeichnung auch mit dem Buchstaben "k" gekennzeichnet ist.

Im Weiteren wird bezugnehmend auf **Fig.7** eine in einem
15 Silizium-Chip monolithisch integrierte ESD-Schutz-Schaltkreis-Anordnung 700 gemäß einem zweiten Ausführungsbeispiel der Erfindung beschrieben.

Bei der ESD-Schutz-Schaltkreis-Anordnung 700 ist ein erster
20 Anschluss vorgesehen, der auf das Versorgungspotential 703 gebracht ist. Ferner ist ein zweiter Anschluss vorgesehen, der auf das Massepotential 704 gebracht ist. Zwischen dem Versorgungspotential 703 und dem Massepotential 704 ist ein Versorgungspotentialpfad gebildet. Darüber hinaus ist ein
25 Signaleingangspad 701 (Signaleingang) vorgesehen, an dem ein zu verarbeitendes Eingangssignal anlegbar ist. An einem Signalausgang ist ein Ausgabesignal bereitgestellt, das dem Eingabe-/Ausgabe-Schaltkreis 702 zugeführt wird. Der Eingabe-/Ausgabe-Schaltkreis 702 ist durch eine Kapazität C_{RF} und
30 durch eine Impedanz Z_{RF} gekennzeichnet.

Darüber hinaus ist eine monolithisch integrierte erste Induktivität 706 vorgesehen, die zwischen dem Signaleingangspad 701 und dem Eingabe-/Ausgabe-Schaltkreis 702 vorgesehen
35 ist. Eine monolithisch integrierte zweite Induktivität 707 ist zwischen dem Versorgungspotential 703 und dem Eingabe-/Ausgabe-Schaltkreis 702 angeordnet. Die erste Induktivität

706 ist mit der zweiten Induktivität 707 derart verkoppelt, dass dadurch eine Koppelinduktivität 711 gebildet ist, was in der Zeichnung auch mit dem Buchstaben "k" gekennzeichnet ist. Ein erster Kondensator 705 (der eine Pad-Kapazität darstellen soll) ist mit einem Anschluss auf das elektrische Massepotential 704 gebracht und ist mit dem anderen Anschluss mit dem Signaleingangs-Pad 701 sowie mit einem ersten Anschluss eines zweiten Kondensators 708 gekoppelt, dessen zweiter Anschluss auf das Versorgungspotential 703 gebracht ist. Ein dritter Kondensator 709 ist als Teil des Eingabe-/Ausgabe-Schaltkreises 702 gebildet. In einem Pfad zwischen der Versorgungsspannung 703 und dem Massepotential 704 ist ein ESD-Schutzelement 710 vorgesehen.

Mittels der Induktivitäten 706, 707 und mittels des ersten Kondensators 705 als ESD-Schutzelement ist mit der ESD-Schutz-Schaltkreis-Anordnung 700 ein sicherer ESD-Schutz realisiert.

Der Wert der Kapazität C_F , der Wert L der Spuleninduktivität, sowie die Werte der Kapazität C_{RF} und der Impedanz Z_{RF} sind Entwurfsvariablen, mittels welcher die Eingangsstruktur so abgestimmt werden kann, dass ein RF-Bandpass-Durchlassbereich gewährleistet werden kann.

Ein Knoten 712 ist zwischen den beiden integrierten Induktivitäten 706, 707 lokalisiert.

Im Weiteren wird bezugnehmend auf Fig.8 ein Ersatzschaltkreis eines Teils der in Fig.7 gezeigten Konfiguration beschrieben, das heißt eine exemplarische Auslegung von einem Teil der Komponenten der ESD-Schutz-Schaltkreis-Anordnung 700.

Eine parasitäre Spulenkapazität 800 der Induktivitäten 706, 707 ist mit einem Wert von 4 fF gebildet, ferner ist ein zugehöriger ohmscher Widerstand von 800 Ω eingezeichnet. Die erste Induktivität 706 ist mittels einer Spule mit einer

Induktivität von 102 pH realisiert, darüber hinaus ist ein ohmscher Widerstand von 1.1 Ω vorgesehen. Die zweite Induktivität 707 ist mit einem Wert von 102 pH gebildet, darüber hinaus ist ein ohmscher Widerstand von 1.1 Ω gezeigt. Der zweite Kondensator 708 ist mit einer Kapazität von 12 fF realisiert. Darüber hinaus sind zusätzliche Widerstände von 800 Ω bzw. 400 Ω und zusätzliche Kapazitäten von 4 fF bzw. 8 fF zwischen dem Massepotential 704 und den beiden Spulenanschlüssen der zweiten Induktivität 707 gezeigt.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

- [1] Ming-Dou Ker et al., EOS/ESD-Symp. Proceedings 2003,
Seiten 204-213
- 5 [2] Vassilev, V et al., EOS/ESD-Symp. Proceedings 2003,
Seiten 195-203
- [3] Hyvonen et al., EOS/ESD-Symp. Proceedings 2003, Seiten
10 188-194
- [4] Galai, S, Razavi, B "Broadband ESD Protection Circuits in
CMOS-Technology", Proceedings ISSCC 2003, Paper 10.5
- 15 [5] Leroux, P, Steyaert, M "A high performance 5.2GHz LNA
with an on-chip inductor to provide EDS-protection", IEE
Electronics Letters, Band 37, Nr.1, Seiten 467-469, März
2001
- 20 [6] Leroux, P, Janssens, J, Steyaert, M "A 0.8dB NF ESD-
protected 9mW CMOS LNA", ISSCC Dig. Tech. Papers, Band
26, Seiten 410-411, 2001
- [7] Mahdavi, S, Abidi, A "Fully integrated 2.2-mW CMOS Front
25 End for a 900-MHz Wireless Receiver", IEEE JSSC, 05/2002
- [8] Liebermann, T, Tiebout, M "A Low Phasenoise,
Differentially Tuned, 1.8GHz Power VCO with an ESD-
compatible 14dBm Output Stage in Standard Digital CMOS",
30 ESSCIRC Proceedings, Villach, 09/2001
- [9] DE 102 14 068 A1

Bezugszeichenliste

- 100 Schaltkreis-Anordnung
- 101 Signaleingangs-Pad
- 102 Eingabe-/Ausgabe-Schaltkreis
- 103 Versorgungspotential
- 104 Massepotential
- 105 erstes ESD-Schutzelement
- 106 zweites ESD-Schutzelement
- 110 Schaltkreis-Anordnung
- 111 ohmscher Widerstand
- 200 ESD-Schutz-Schaltkreis-Anordnung
- 300 ESD-Schutz-Schaltkreis-Anordnung
- 301 erste ESD-Schutz-Diode
- 302 zweite ESD-Schutz-Diode
- 400 ESD-Schutz-Schaltkreis-Anordnung
- 401 erster ESD-Schutz-Teilschaltkreis
- 402 zweiter ESD-Schutz-Teilschaltkreis
- 403 ESD-Kapazität
- 500 ESD-Schutz-Schaltkreis-Anordnung
- 501 erste Induktivität
- 502 zweite Induktivität
- 503 Kapazität
- 600 ESD-Schutz-Schaltkreis-Anordnung
- 601 Signaleingangs-Pad
- 602 Eingabe-/Ausgabe-Schaltkreis
- 603 Versorgungspotential
- 604 Massepotential
- 605 ESD-Schutzelement
- 606 erste Induktivität
- 607 zweite Induktivität
- 608 Koppelinduktivität
- 700 ESD-Schutz-Schaltkreis-Anordnung
- 701 Signaleingangs-Pad
- 702 Eingabe-/Ausgabe-Schaltkreis

703 Versorgungspotential
704 Massepotential.
705 erster Kondensator
706 erste Induktivität
707 zweite Induktivität
708 zweiter Kondensator
709 dritter Kondensator
710 ESD-Schutzelement
711 Koppelinduktivität
712 Knoten
800 Spulenkapazität

Patentansprüche:

1. Integrierte Schaltkreis-Anordnung

- mit einem ersten Anschluss, der auf ein erstes Versorgungspotential bringbar ist, mit einem zweiten Anschluss, der auf ein zweites Versorgungspotential bringbar ist, wobei zwischen dem ersten Anschluss und dem zweiten Anschluss ein Versorgungspotentialpfad gebildet ist;
- mit einem Electrostatic-Discharge-Element zumindest in dem Versorgungspotentialpfad;
- mit einem Signaleingangspad, an dem ein Eingangssignal anlegbar ist;
- mit einem Signalausgang, an dem ein Ausgabesignal bereitstellbar ist;
- mit einer ersten Induktivität, die zwischen dem Signaleingangspad und dem Signalausgang angeordnet ist,
- mit einer zweiten Induktivität, die zwischen dem Signalausgang und dem ersten Anschluss angeordnet ist.

2. Integrierte Schaltkreis-Anordnung nach Anspruch 1, bei der das erste Versorgungspotential ein oberes Betriebspotential und bei dem das zweite Versorgungspotential ein unteres Betriebspotential ist.

3. Integrierte Schaltkreis-Anordnung nach Anspruch 1, bei der das erste Versorgungspotential ein unteres Betriebspotential und bei dem das zweite Versorgungspotential ein oberes Betriebspotential ist.

4. Integrierte Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 3, bei der das Electrostatic-Discharge-Element eine Diode aufweist.

5. Integrierte Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 4,

bei der das Electrostatic-Discharge-Element einen Thyristor aufweist.

5 6. Integrierte Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 5,
bei der das Electrostatic-Discharge-Element einen Feldeffekttransistor aufweist.

10 7. Integrierte Schaltkreis-Anordnung nach Anspruch 6,
bei welcher der Feldeffekttransistor ein grounded n-MOS-Feldeffekttransistor ist.

15 8. Integrierte Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 7,
bei der das an den Signaleingangspad anlegbare Eingangssignal ~~ein Hochfrequenzsignal ist.~~

20 9. Integrierte Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 8,
mit einem Hochfrequenz-Verarbeitungsschaltkreis, der an den Signalausgang angeschlossen ist.

25 10. Integrierte Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 9,
bei dem die erste Induktivität und die zweite Induktivität als gemeinsame Induktivität vorgesehen sind.

30 11. Integrierte Schaltkreis-Anordnung nach Anspruch 10,
bei der die gemeinsame Induktivität eine Spule mit Mittelabgriff ist, wobei der Mittelabgriff mit dem Signalausgang gekoppelt ist, ein erster Spulenendabschnitt mit dem Signaleingangspad gekoppelt ist und ein zweiter Spulenendabschnitt mit dem Electrostatic-Discharge-Element gekoppelt ist.

35 12. Integrierte Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 11,

mit einem ersten Kondensator, der zwischen dem ersten Anschluss und dem Signaleingangspad angeordnet ist.

5 13. Integrierte Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 12,
mit einem zweiten Kondensator, der zwischen dem zweiten Anschluss und dem Signaleingangspad angeordnet ist.

10 14. Integrierte Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 13,
der als Bandpassfilter für ein an dem Signaleingangspad bereitgestelltes Hochfrequenzsignal eingerichtet ist.

15 15. Integrierte Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 14,
bei der die erste Induktivität und die zweite Induktivität jeweils als integrierte Induktivität eingerichtet sind.

20 16. Integrierte Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 15,
bei der an dem Signalausgang ein Signalausgangspad bereitgestellt ist.

25 17. Integrierte Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 16,
bei der die erste Induktivität und die zweite Induktivität derart verkoppelt sind, dass eine Koppelinduktivität gebildet ist.

30 18. Schaltkreis-Array,
• mit einer integrierten Schaltkreis-Anordnung nach einem der Ansprüche 1 bis 17;
• mit einem mit der integrierten Schaltkreis-Anordnung gekoppelten Nutzschaltkreis.

35 19. Schaltkreis-Array nach Anspruch 18,
bei dem der Nutzschaltkreis

- einen GSM-Schaltkreis;
 - einen UMTS-Schaltkreis;
 - einen WLAN-Schaltkreis;
 - einen DCS-Schaltkreis;
 - 5 • einen DECT-Schaltkreis;
 - einen Bluetooth-Schaltkreis;
 - einen UWB-Schaltkreis;
 - einen PCS-Schaltkreis; und/oder
 - einen RADAR-Schaltkreis
- 10 aufweist.

FIG 1 Stand der Technik

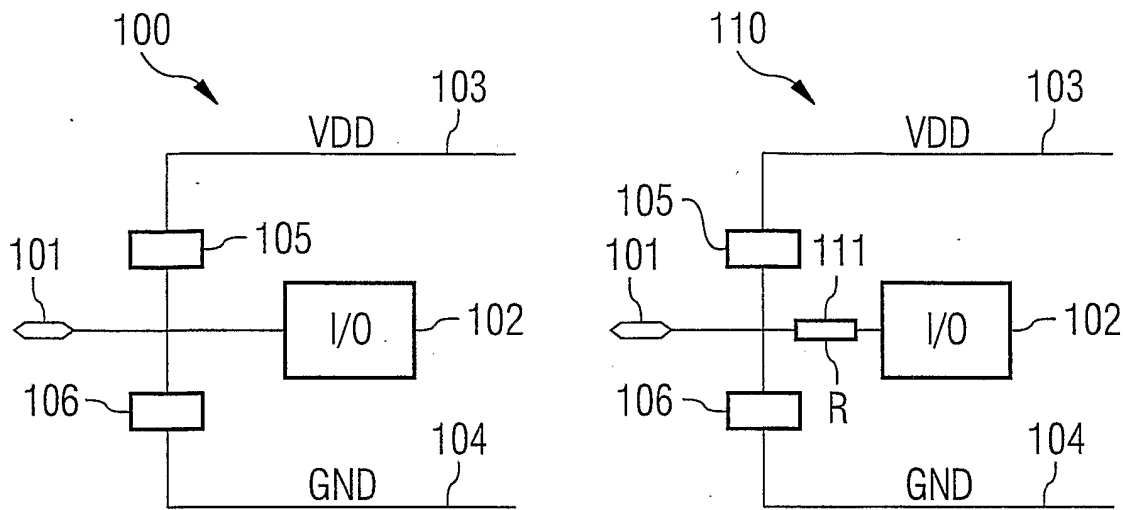


FIG 2 Stand der Technik

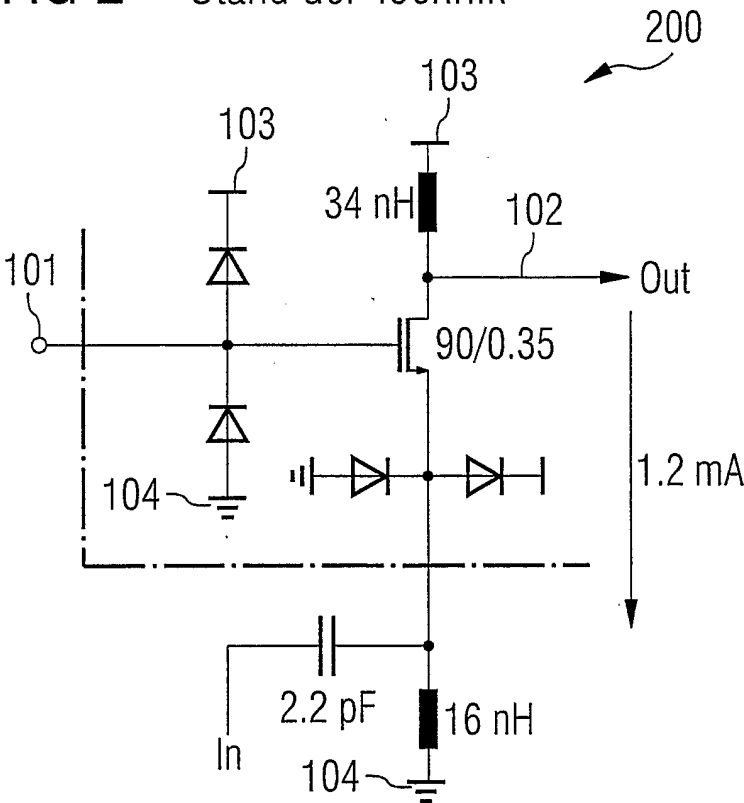


FIG 3 Stand der Technik

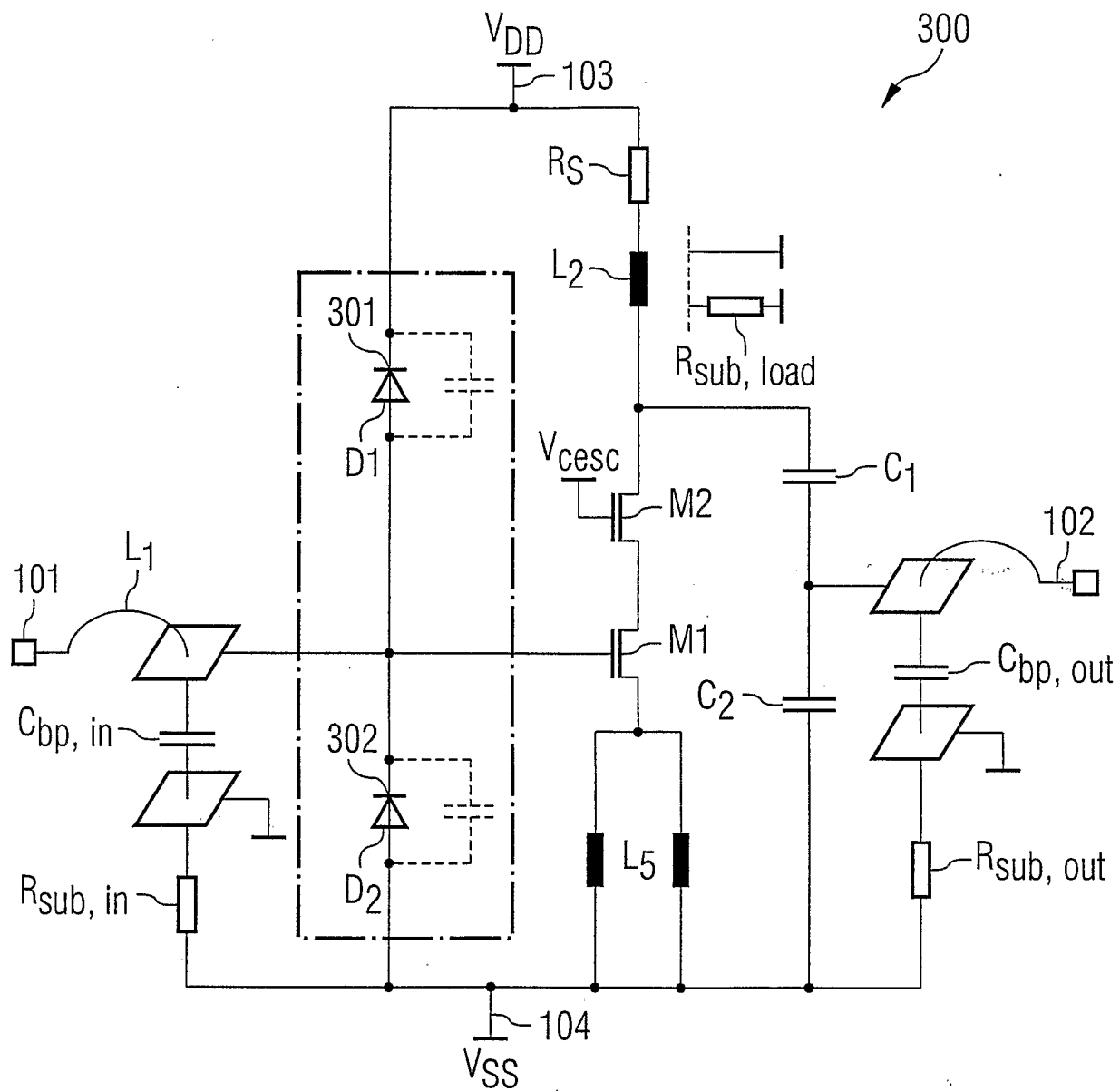


FIG 4 Stand der Technik

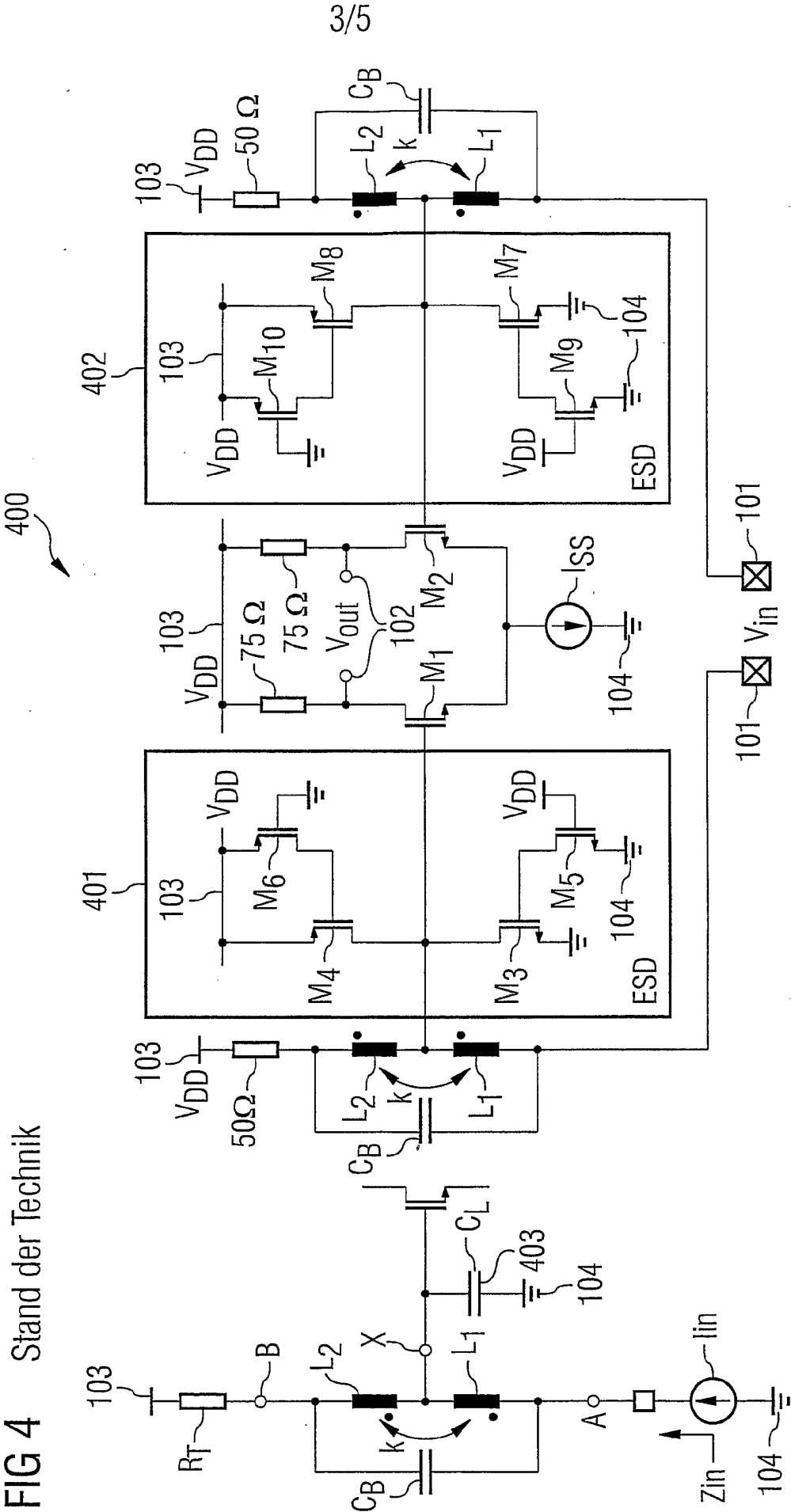


FIG 5 Stand der Technik

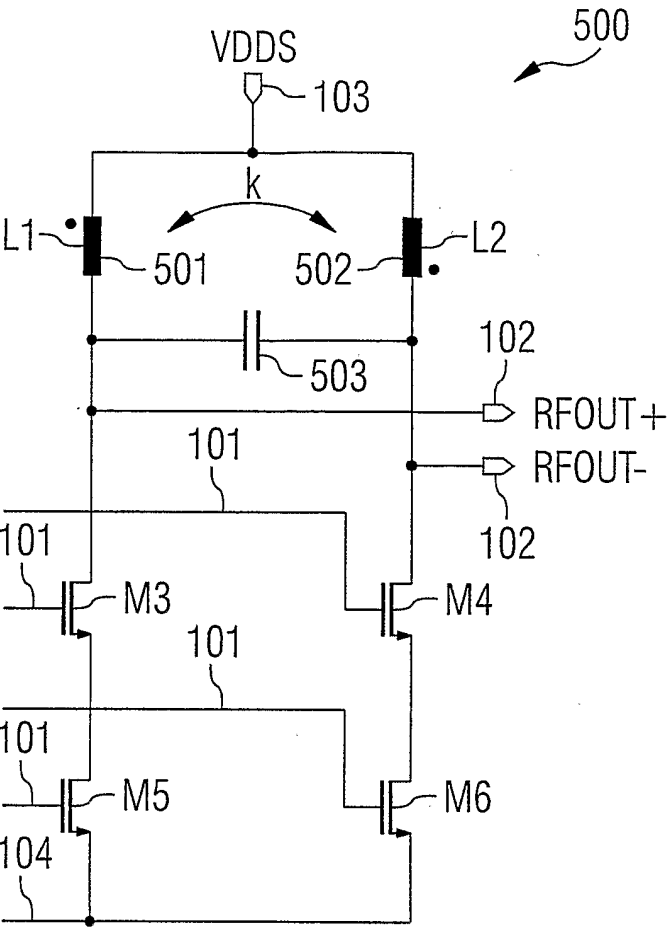


FIG 6

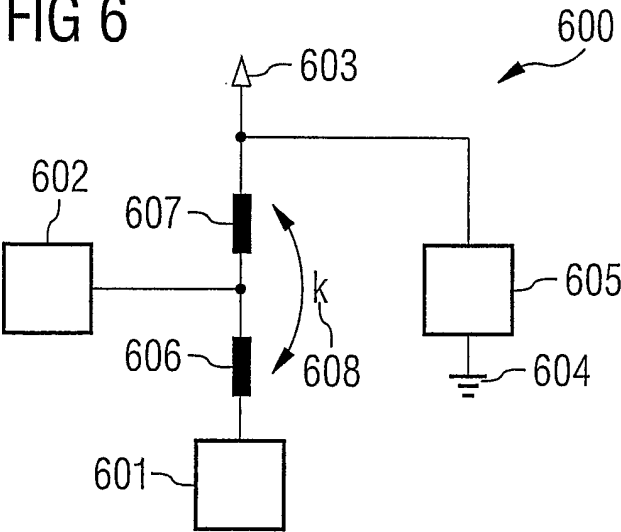


FIG 7

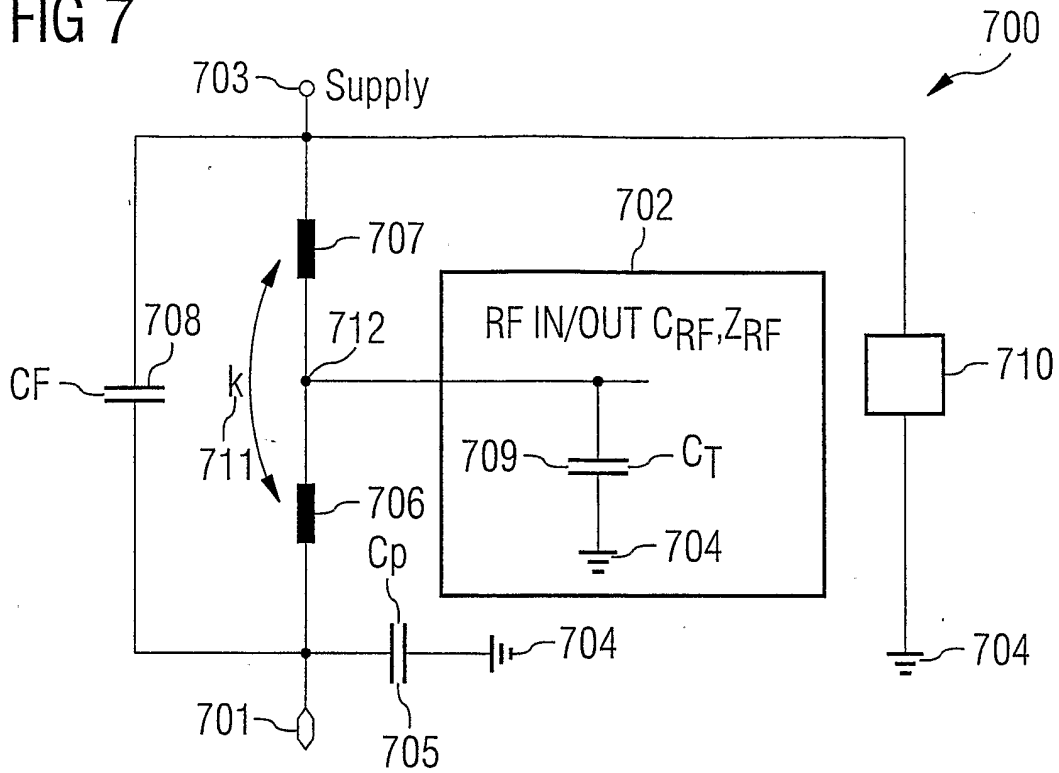
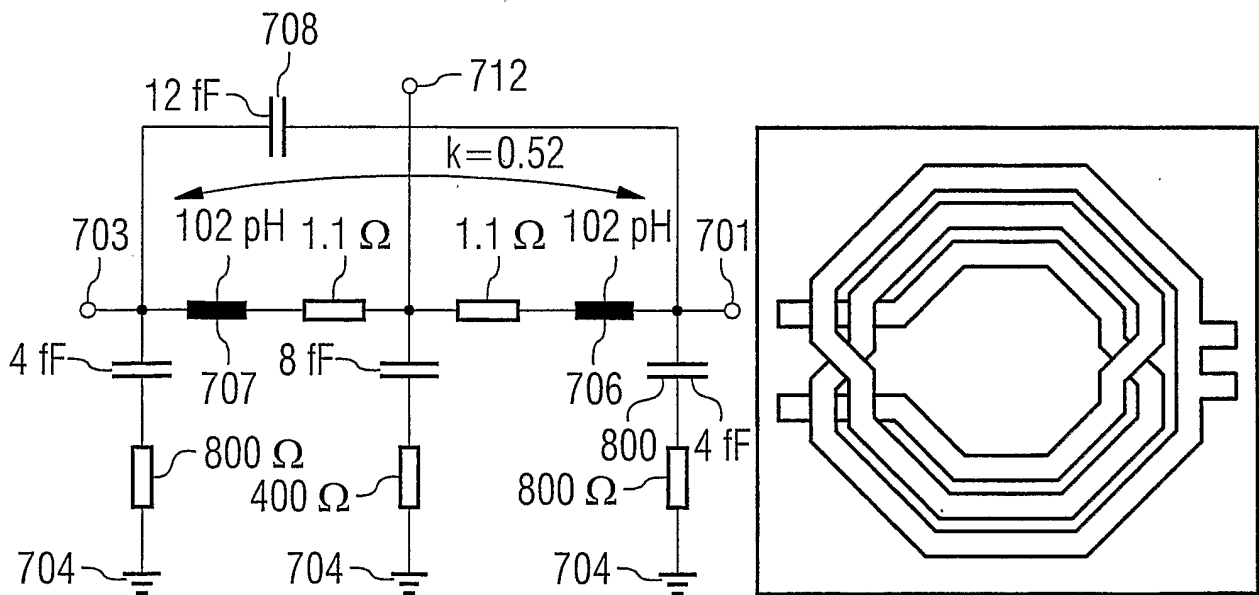


FIG 8



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE2005/001405

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	GALAL S ET AL: "BROADBAND SD PROTECTION CIRCUITS IN CMOS TECHNOLOGY" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 38, no. 12, December 2003 (2003-12), pages 2334-2340, XP001221484 ISSN: 0018-9200 cited in the application the whole document ----- -/--	1-4, 6, 8-12, 14-19

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

20 December 2005

Date of mailing of the international search report

28/12/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Morena, E

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE2005/001405

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	MING-DOU KER ET AL INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS: "A novel LC-tank ESD protection design for giga-Hz RF circuits" 2003 IEEE RADIO FREQUENCY INTEGRATED CIRCUITS (RFIC) SYMPOSIUM. DIGEST OF PAPERS. PHILADELPHIA, PA, JUNE 8 - 10, 2003, IEEE RADIO FREQUENCY INTEGRATED CIRCUITS SYMPOSIUM, NEW YORK, NY : IEEE, US, 8 June 2003 (2003-06-08), pages 115-118, XP010646607 ISBN: 0-7803-7694-3 the whole document	1,2,4, 6-9,12, 13,15, 16,18,19
A	HYVONEN S ET AL: "Cancellation technique to provide ESD protection for multi-GHz RF inputs" ELECTRONICS LETTERS, IEE STEVENAGE, GB, vol. 39, no. 3, 6 February 2003 (2003-02-06), pages 284-286, XP006019843 ISSN: 0013-5194 the whole document	1-9, 12-14, 16-19
A	VASSILEV V ET AL: "ESD-RF co-design methodology for the state of the art RF-CMOS blocks" MICROELECTRONICS AND RELIABILITY, ELSEVIER SCIENCE LTD, GB, vol. 45, no. 2, February 2005 (2005-02), pages 255-268, XP004708564 ISSN: 0026-2714 Gefunden im Internet: URL: www.sciencedirect.com Available on line 10 July 2004 the whole document	1-9, 12-16, 18,19
A	US 2003/231446 A1 (LEETE JOHN C) 18 December 2003 (2003-12-18) abstract paragraphs '0004!, '0009!, '0010!, '0012!, '0013!, '0046! figures 8,9	1-9, 12-14, 16,18,19
A	US 2004/075964 A1 (KER MING-DOU ET AL) 22 April 2004 (2004-04-22) abstract paragraphs '0007!, '0011!, '0013!, '0028! - '0030! figure 5	1-9, 12-14, 16,18,19

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE2005/001405

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2003231446 A1	18-12-2003	US 2004240131 A1	02-12-2004
US 2004075964 A1	22-04-2004	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2005/001405

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

H01L27/02

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	GALAL S ET AL: "BROADBAND SD PROTECTION CIRCUITS IN CMOS TECHNOLOGY" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, Bd. 38, Nr. 12, Dezember 2003 (2003-12), Seiten 2334-2340, XP001221484 ISSN: 0018-9200 in der Anmeldung erwähnt das ganze Dokument ----- -/--	1-4,6, 8-12, 14-19



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

20. Dezember 2005

Absendedatum des internationalen Recherchenberichts

28/12/2005

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Morena, E

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2005/001405

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	MING-DOU KER ET AL INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS: "A novel LC-tank ESD protection design for giga-Hz RF circuits" 2003 IEEE RADIO FREQUENCY INTEGRATED CIRCUITS (RFIC) SYMPOSIUM. DIGEST OF PAPERS. PHILADELPHIA, PA, JUNE 8 - 10, 2003, IEEE RADIO FREQUENCY INTEGRATED CIRCUITS SYMPOSIUM, NEW YORK, NY : IEEE, US, 8. Juni 2003 (2003-06-08), Seiten 115-118, XP010646607 ISBN: 0-7803-7694-3 das ganze Dokument	1,2,4, 6-9,12, 13,15, 16,18,19
A	HYVONEN S ET AL: "Cancellation technique to provide ESD protection for multi-GHz RF inputs" ELECTRONICS LETTERS, IEE STEVENAGE, GB, Bd. 39, Nr. 3, 6. Februar 2003 (2003-02-06), Seiten 284-286, XP006019843 ISSN: 0013-5194 das ganze Dokument	1-9, 12-14, 16-19
A	VASSILEV V ET AL: "ESD-RF co-design methodology for the state of the art RF-CMOS blocks" MICROELECTRONICS AND RELIABILITY, ELSEVIER SCIENCE LTD, GB, Bd. 45, Nr. 2, Februar 2005 (2005-02), Seiten 255-268, XP004708564 ISSN: 0026-2714 Gefunden im Internet: URL: www.sciencedirect.com Available on line 10 July 2004 das ganze Dokument	1-9, 12-16, 18,19
A	US 2003/231446 A1 (LEETE JOHN C) 18. Dezember 2003 (2003-12-18) Zusammenfassung Absätze '0004!, '0009!, '0010!, '0012!, '0013!, '0046! Abbildungen 8,9	1-9, 12-14, 16,18,19
A	US 2004/075964 A1 (KER MING-DOU ET AL) 22. April 2004 (2004-04-22) Zusammenfassung Absätze '0007!, '0011!, '0013!, '0028! - '0030! Abbildung 5	1-9, 12-14, 16,18,19

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2005/001405

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2003231446 A1	18-12-2003	US 2004240131 A1	02-12-2004
US 2004075964 A1	22-04-2004	KEINE	