



(12) 发明专利申请

(10) 申请公布号 CN 103119569 A

(43) 申请公布日 2013. 05. 22

(21) 申请号 201180045520. 9

(51) Int. Cl.

(22) 申请日 2011. 08. 29

G06F 12/00 (2006. 01)

(30) 优先权数据

G11C 16/10 (2006. 01)

12/872, 969 2010. 08. 31 US

(85) PCT申请进入国家阶段日

2013. 03. 21

(86) PCT申请的申请数据

PCT/US2011/001519 2011. 08. 29

(87) PCT申请的公布数据

W02012/030388 EN 2012. 03. 08

(71) 申请人 美光科技公司

地址 美国爱达荷州

(72) 发明人 凯文·R·布兰特

(74) 专利代理机构 北京律盟知识产权代理有限公司

责任公司 11287

代理人 宋献涛

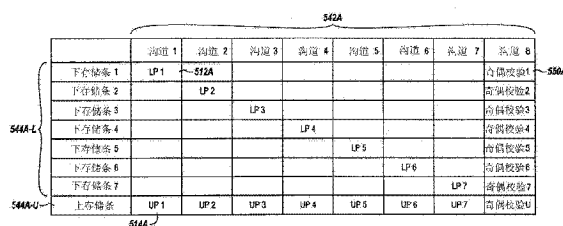
权利要求书4页 说明书13页 附图8页

(54) 发明名称

基于存储条的非易失性多级存储器操作

(57) 摘要

基于存储条的非易失性多级存储器操作可包括写入数个下存储条, 其包括将信息的数个下页编程于数个下存储条中的每一者中。可写入上存储条, 其包括将所述信息的数个上页编程于所述上存储条中。数个上页中的每一者可对应于数个下页中的相应一者。可将对应于数个上页的数个下页中的相应各者中的每一者编程于数个下存储条中的一不同下存储条中。



1. 一种用于基于存储条的非易失性多级存储器操作的方法,其包含:

写入数个下存储条,其包括将信息的数个下页编程于所述数个下存储条中的每一者中;

写入一上存储条,其包括将所述信息的数个上页编程于所述上存储条中,其中所述数个上页中的每一者对应于所述数个下页中的相应一者;及

其中对应于所述数个上页的所述数个下页中的所述相应各者中的每一者被编程于所述数个下存储条中的一不同下存储条中。

2. 根据权利要求1所述的方法,其中将所述数个下页编程于一特定下存储条中包括:针对所述特定下存储条中的所述数个下页中的剩余部分而将第二级错误检测信息编程于所述数个下页中的特定一者中。

3. 根据权利要求2所述的方法,其中将所述数个下页编程于所述特定下存储条中包括:将写入信息编程于所述特定下存储条中的所述数个下页中的所述剩余部分中的至少一者中。

4. 根据权利要求2所述的方法,其中所述方法包括在所述上存储条的写入期间响应于错误而重新建立所述特定下存储条的所述数个下页中的所述剩余部分。

5. 根据权利要求4所述的方法,其中所述错误包含异步电力循环。

6. 根据权利要求1所述的方法,其中写入所述上存储条包括:实质上同时编程所述数个上页中的每一者。

7. 根据权利要求6所述的方法,其中写入所述数个下存储条中的特定一者包括:将所述数个下页实质上同时编程于所述数个下存储条中的所述特定一者中。

8. 根据权利要求1所述的方法,其中写入所述数个下存储条包括:按每下存储条编程写入信息的仅一个下页及奇偶校验信息的仅一页;及

其中每下存储条的页的数目大于二。

9. 根据权利要求8所述的方法,其中所述方法包括针对系统数据而保留除写入信息的所述仅一个下页及奇偶校验信息的所述仅一页之外的所述数个下存储条的所述数个页。

10. 根据权利要求1所述的方法,其中写入所述数个下存储条中的特定一者包括:跨越不同沟道来编程写入信息的所述相应数个下页及奇偶校验信息的所述至少一页中的每一者。

11. 根据权利要求1到10中任一权利要求所述的方法,其中所述方法包括:

将所述非易失性多级存储器在逻辑上分割为至少两个部分,每一部分包括与所述非易失性多级存储器相关联的含数个沟道的子集;及

针对所述至少两个部分中的每一者在存储条基础上独立地操作所述非易失性多级存储器。

12. 一种对存储器进行编程的方法,所述方法包含:

跨越第一存储条中的存储器单元的多个物理页使第一写入信息分条;及

跨越第二存储条中的存储器单元的多个物理页使第二写入信息分条,其中所述第二存储条包括所述第一存储条中所使用的存储器单元的所述多个物理页中的至多一者。

13. 根据权利要求12所述的方法,其中所述第一存储条中的存储器单元的所述多个物理页及所述第二存储条中的存储器单元的所述多个物理页各自在逻辑上划分为一上页及

数个下页。

14. 根据权利要求 13 所述的方法,其中下页的数目为一。

15. 根据权利要求 12 所述的方法,其中所述方法包括:

跨越存储器单元的多个下逻辑页使所述第一写入信息分条;及

跨越存储器单元的多个上逻辑页使所述第二写入信息分条。

16. 根据权利要求 12 到 15 中任一权利要求所述的方法,其中所述方法包括跨越多个存储条中的存储器单元的多个物理页使第一写入信息分条,其中使第一写入信息分条进一步包括将第二级错误检测信息编程于每一存储条中的存储器单元的额外物理页中,且其中存储器单元的所述额外物理页中的每一者与一不同沟道相关联。

17. 一种对存储器进行编程的方法,所述方法包含:

跨越存储器单元的多个物理页将下页信息编程于单一下存储条中,其中写入于所述单一下存储条中的所述下页信息对应于待写入的多个上存储条;及

写入所述多个上存储条,其中写入所述多个上存储条包括跨越存储器单元的所述多个物理页来编程上页信息。

18. 根据权利要求 17 所述的方法,其中编程所述下页信息包含:将所述多个物理页的所述存储器单元中的每一者编程为相应中间状态;及

其中编程所述上页信息包含将所述多个物理页的所述存储器单元中的每一者编程为相应最终状态。

19. 一种对存储器进行编程的方法,所述方法包含:

写入多个下存储条,其中写入所述多个下存储条包括跨越存储器单元的多个物理页来编程下页信息;及

跨越单一上存储条中的存储器单元的所述多个物理页的子集编程上页信息,其中写入于所述单一上存储条中的所述上页信息对应于所述多个下存储条。

20. 一种用于基于存储条的非易失性多级存储器操作的方法,其包含:

写入多个下存储条,其包括将信息的多个下页编程于所述多个下存储条中的每一者中;及

写入多个上存储条,其包括将所述信息的多个上页编程于每一上存储条中,其中所述多个上存储条中的特定一者中的所述多个上页中的每一者对应于所述多个下存储条中的不同一者中的一相应下页。

21. 根据权利要求 20 所述的方法,其中将信息的所述多个下页编程于所述多个下存储条中的每一者中包括:编程奇偶校验信息的一页及通过写入信息来编程所述多个下页的剩余部分。

22. 根据权利要求 20 所述的方法,其中所述方法包括将所述多个下页编程到多个第一块。

23. 根据权利要求 22 所述的方法,其中所述方法包括将多个暂存存储条写入到多个第二块,其包括跨越所述多个暂存存储条中的每一者来编程多个暂存页,其中所述多个暂存页中的每一者对应于所述多个下页中的不同相应一者。

24. 根据权利要求 23 所述的方法,其中:

编程所述多个下页中的特定一者包括将与所述多个下页中的所述特定一者相关联的

非易失性多级存储器单元编程为中间状态；及

编程所述多个上页中的对应一者包括将与所述多个下页中的所述特定一者相关联的所述非易失性多级存储器单元编程为最终状态。

25. 根据权利要求 24 所述的方法，其中编程所述多个上页中的所述对应一者包括根据对应的暂存页将与所述多个下页中的所述特定一者相关联的所述非易失性多级存储器单元编程为所述最终状态。

26. 根据权利要求 25 所述的方法，其中所述方法包括：

在编程所述多个上页中的所述对应一者之前读取所述对应的暂存页；及

在编程所述多个上页中的所述对应一者之后擦除对应于所述对应的暂存页的所述多个第二块中的特定一者。

27. 根据权利要求 20 到 26 中任一权利要求所述的方法，其中所述方法包括在写入所述多个下存储条之前缓冲与所述多个上页相关联的信息。

28. 一种存储器系统，其包含：

包括非易失性多级存储器单元的数个存储器装置；

存储器控制器，其通过多个沟道而耦合到所述数个存储器装置，其中所述存储器控制器经配置以：

写入数个下存储条，所述数个下存储条中的每一者包括信息的数个下页；及

写入包括所述信息的数个上页的上存储条，其中所述数个上页中的每一者对应于所述数个下页中的相应一者，其中对应于所述数个上页中的相应各者的所述数个下页中的每一者被编程到所述数个下存储条中的一不同下存储条。

29. 根据权利要求 28 所述的存储器系统，其中所述存储器控制器经配置以跨越所述数个沟道中的不同一者将所述数个下页中的每一者编程于所述数个下页存储条中的特定一者中。

30. 根据权利要求 28 所述的存储器系统，其中所述存储器控制器经配置以跨越所述数个沟道中的不同一者将所述数个上页中的每一者编程于所述上存储条中。

31. 根据权利要求 28 所述的存储器系统，其中所述存储器控制器经配置以作为单独分条操作的一部分将对应于所述数个上页的所述数个下页中的每一者编程到所述数个下存储条中的一不同下存储条。

32. 根据权利要求 28 所述的存储器系统，其中所述存储器控制器耦合到主机接口，且其中所述存储器控制器经配置以从所述主机接口接收信息且跨越到所述数个存储器装置的所述多个沟道使所述信息分条。

33. 根据权利要求 28 到 32 中任一权利要求所述的存储器系统，其中存储条大小包含数个所述多个沟道，所述数个下存储条及所述上存储条跨越所述数个沟道而被写入，且其中所述存储器控制器经配置以将所述存储条大小作为可编程选项加以控制。

34. 一种存储器系统，其包含：

包括非易失性多级存储器单元的数个存储器装置；

存储器控制器，其通过多个沟道而耦合到所述数个存储器装置，其中所述存储器控制器经配置以：

写入多个下存储条，其包括将信息的多个下页编程于所述多个下存储条中的每一者

中 ; 及

写入多个上存储条,其包括将所述信息的多个上页编程于每一上存储条中,其中所述多个上存储条中的特定一者中的所述多个上页中的每一者对应于所述多个下存储条中的不同一者中的一特定下页。

35. 根据权利要求 34 所述的存储器系统,其中所述存储器系统经配置以在写入所述多个下存储条中的第一者之前缓冲与所述多个下存储条中的每一者相关联的所述多个下页。

36. 根据权利要求 34 到 35 中任一权利要求所述的存储器系统,其中所述存储器系统经配置以在写入所述多个下存储条之前缓冲或高速缓存与所述多个上页相关联的信息。

37. 根据权利要求 34 所述的存储器系统,其中所述存储器控制器经配置以 :

将多个暂存存储条写入于多个第一块中,所述多个暂存存储条中的每一者对应于所述多个下存储条中的一者或所述多个上存储条中的一者 ;

在写入所述多个暂存存储条之后将所述多个下存储条写入于多个第二块中 ; 及

在写入所述多个下存储条及所述多个暂存存储条之后将所述多个上存储条写入于所述多个第一块中。

38. 根据权利要求 37 所述的存储器系统,其中所述多个暂存存储条中的每一者包括多个暂存页,且其中特定暂存存储条中的所述多个暂存页对应于以下各者中的一者 :

特定下存储条中的所述多个下页 ; 及

特定上存储条中的所述多个上页。

39. 根据权利要求 37 所述的存储器系统,其中所述多个暂存存储条中的每一者包括信息的多个暂存页,且其中所述多个暂存页中的特定一者指示以下各者中的一者 :

将如何编程特定下页 ; 及

将如何编程特定上页。

40. 根据权利要求 37 所述的存储器系统,其中所述存储器控制器经配置以在写入所述多个下存储条中的对应一者或所述多个上存储条中的对应一者之前读取所述多个暂存存储条中的特定一者。

41. 根据权利要求 40 所述的存储器系统,其中所述存储器控制器经配置以在写入所述多个上存储条之后擦除所述多个第一块。

基于存储条的非易失性多级存储器操作

技术领域

[0001] 本发明大体来说涉及半导体存储器装置、方法及系统,且更具体来说涉及基于存储条(stripe)的非易失性多级存储器操作。

背景技术

[0002] 通常将存储器装置提供作为计算机或其它电子装置中的内部电路、半导体电路、集成电路。存在许多不同类型的存储器,包括易失性存储器及非易失性存储器。易失性存储器可能需要电力以保持其信息且包括随机存取存储器(RAM)、动态随机存取存储器(DRAM)及同步动态随机存取存储器(SDRAM)等存储器。非易失性存储器可在未被供电时通过保持所存储的信息来提供持久信息且可包括 NAND 闪存、NOR 闪存、只读存储器(ROM)、电可擦除可编程 ROM(EEPROM)、可擦除可编程 ROM(EPROM)、相变随机存取存储器(PCRAM)、电阻性随机存取存储器(RRAM)及磁性随机存取存储器(MRAM),例如自旋扭矩转移随机存取存储器(STT RAM)等存储器。

[0003] 可将存储器装置组合在一起以形成固态驱动器(SSD)。固态驱动器可包括非易失性存储器(例如,NAND 闪存及 NOR 闪存),及/或可包括易失性存储器(例如,DRAM 及 SRAM),还有各种其它类型的非易失性存储器及易失性存储器。可将闪存装置(包括使用将信息存储于氮化物层中的电荷收集件中的半导体-氧化物-氮化物-氧化物-半导体及金属-氧化物-氮化物-氧化物-半导体电容器结构的浮动栅极快闪装置及电荷收集快闪(CTF)装置)用作用于广泛范围的电子应用的非易失性存储器。闪存装置通常使用允许高存储器密度、高可靠性及低电力消耗的单晶体管存储器单元。

[0004] 可使用 SSD 以代替硬磁盘驱动器作为计算机的主要存储装置,因为固态驱动器就性能、大小、重量、耐用性、操作温度范围及电力消耗来说可具有胜于硬盘驱动器的优点。举例来说,SSD 在与磁盘驱动器比较时可归因于其缺乏活动部分而具有优良的性能,此可避免搜寻时间、等待时间及与磁盘驱动器相关联的其它机电延迟。SSD 制造商可使用非易失性闪存来生产快闪 SSD,所述快闪 SSD 可不使用内部电池电源,因此允许驱动器更具多功能性且更紧凑。

[0005] SSD 可包括数个存储器装置(例如,数个存储器芯片)(如本文中所使用,“数个”某物可指代这些物品中的一者或一者以上,例如,数个存储器装置可指代一个或一个以上存储器装置)。如一般所属领域的技术人员将了解,存储器芯片可包括数个裸片及/或逻辑单元(LUN)。每一裸片可包括位于其上的数个存储器阵列及外围电路。所述存储器阵列可包括被组织为数个物理页的数个存储器单元,且所述物理页可被组织为数个块。

[0006] 独立冗余磁盘阵列(RAID)为用于在多个存储器装置间划分及/或复制信息的计算机信息存储方案的涵盖性术语。RAID 阵列中的多个存储器装置可向用户及计算机的操作系统呈现为单存储器装置(例如,磁盘)。历史上,通过多个硬磁盘驱动器(HDD)来操作一 RAID。

发明内容

附图说明

[0007] 图 1 为根据本发明的一个或一个以上实施例的包括至少一个存储器系统的计算系统的功能性框图。

[0008] 图 2 说明根据本发明的一个或一个以上实施例的存储器装置的一部分的图式。

[0009] 图 3 说明根据本发明的一个或一个以上实施例的在存储条的基础上操作的存储容量的框图。

[0010] 图 4 说明根据本发明的一个或一个以上实施例的针对擦除状态及数个下页、上页及暂存页数据状态的与实例 2 位存储器单元相关联的阈值电压分布的图式。

[0011] 图 5A 说明根据本发明的一个或一个以上实施例的表,其跨越具有数个下存储条及上存储条的数个沟道使下页编程与上页编程相关。

[0012] 图 5B 说明根据本发明的一个或一个以上实施例的表,其跨越具有数个下存储条及上存储条的数个沟道使下页编程与上页编程相关。

[0013] 图 5C 说明根据本发明的一个或一个以上实施例的表,其跨越具有数个下暂存存储条、上暂存存储条、下存储条及上存储条的数个沟道使下页编程与上页编程相关。

具体实施方式

[0014] 本发明包括用于非易失性多级基于存储条的存储器操作的方法及装置。一个方法实施例包括写入数个下存储条,其包括将信息的数个下页编程于数个下存储条中的每一者中。可写入一上存储条,其包括将信息的数个上页编程于所述上存储条中。数个上页中的每一者可对应于数个下页中的相应一者。可将对应于数个上页的数个下页中的相应各者中的每一者编程于数个下存储条中的一不同下存储条中。

[0015] 在本发明的以下详细描述中,参看随附图式,所述随附图式形成本发明的一部分且在其中以说明的方式展示可如何实践本发明的一个或一个以上实施例。足够详细地描述了这些实施例以使得一般所属领域的技术人员能够实践本发明的实施例,且将理解,可利用其它实施例且可在不背离本发明的范畴的情况下做出过程、电及 / 或结构改变。如本文中所使用,尤其关于图式中的参考数字的指定符“N”、“M”、“P”、“R”及“S”指示本发明的一个或一个以上实施例可包括如此指定的数个特定特征。

[0016] 本文中的诸图遵循一编号惯例,其中第一数字对应于图号且剩余数字识别图式中的元件或组件。可通过使用类似的数字来识别不同图之间的类似元件或组件。举例来说,108 可参考图 1 中的元件“08”,且类似元件在图 2 中可参考为 208。如将了解,可添加、交换及 / 或消除在本文中的各种实施例中所示的元件以便提供本发明的数个额外实施例。另外,如将了解,诸图中所提供的元件的比例及相对规模意图说明本发明的实施例,且不应以限制性意义来理解。

[0017] 图 1 为根据本发明的一个或一个以上实施例的计算系统 100 的功能性框图,所述计算系统 100 包括至少一个存储器系统 104。在图 1 中所说明的实施例中,存储器系统 104(例如,固态驱动器(SSD))可包括主机接口 106、存储器控制器 108(例如,存储器控制电路及 / 或存储器控制固件)及一个或一个以上存储器装置 110-1、...、110-N(例如,包

括非易失性多级存储器单元的固态存储器装置)。存储器装置 110-1、...、110-N 可提供用于存储器系统的存储容量(例如,通过经格式化存储装置的文件系统)。在一个或一个以上实施例,存储器控制器 108 可为一耦合到包括物理主机接口 106 及存储器装置 110-1、...、110-N 的印刷电路板的专用集成电路(ASIC)。

[0018] 如图 1 中所说明,存储器控制器 108 可通过多个沟道而耦合到主机接口 106 及存储器装置 110-1、...、110-N。如将由所属领域的技术人员所了解,除其它存储器操作外,存储器控制器 108 还可经配置以执行本文中所描述的操作。主机接口 106 可用以在存储器系统 104 与另一装置(例如主机系统 102)之间传达信息。主机系统 102 可包括存储器存取装置(例如,处理器)。一般所属领域的技术人员将了解,“处理器”可意图用作一个或一个以上处理器,例如并行处理系统、数个协处理器等。主机系统的实例包括膝上型计算机、个人计算机、数字相机、数字记录及回放装置、移动电话、PDA、存储卡读取器、接口集线器及其类似者。对于一个或一个以上实施例来说,主机接口 106 可呈标准化接口的形式。举例来说,当存储器系统 104 用于计算系统 100 中的信息存储时,物理主机接口 106 可为串行高级技术附接(SATA)、高速外围组件互连(PCIe)或通用串行总线(USB),还有其它连接器及接口。然而,一般来说,主机接口 106 可提供用于在存储器系统 104 与具有用于主机接口 106 的兼容接收器的主机系统 102 之间传递控制、地址、信息及其它信号的接口。

[0019] 存储器控制器 108 可包括可耦合到主机接口 106 及/或并入到主机接口 106 的主机接口电路。主机接口电路可经由数个层(例如,物理层、链接层及/或传输层)而与主机系统 102 介接。一般所属领域的技术人员将了解,可通过接口标准(例如串行高级技术附接(SATA)、高速外围组件互连(PCIe)、通用串行总线(USB)等)来定义特定主机接口的数个层。如本文中所使用,传输层可指示作为 SATA 标准的一部分的至少一传输层及/或作为 PCIe 标准的一部分的事务层。一般所属领域的技术人员将了解,根据 SATA 标准的传输层可与根据 PCIe 标准的事务层类似。实施例并不限于特定标准。

[0020] 一般来说,主机接口电路可将主机系统(例如,从 PCIe 总线)接收的命令包转换为命令指令以用于将主机-存储器翻译响应转换为供传输到请求主机的主机系统命令。举例来说,主机接口电路可由基于 PCIe 的事务层包来建构 SATA 命令包。主机接口电路可经配置以从主机系统 102 接收与多个地址相关联的信息。

[0021] 存储器控制器 108 可包括主机-存储器翻译电路,所述主机-存储器翻译电路经配置以将主机地址翻译为存储器地址(例如,与接收到的命令(例如读取及/或写入命令)相关联的地址)。主机-存储器翻译电路可(例如)将主机扇区读取及写入操作转换为被引导到存储器装置 110-1、...、110-N 的特定部分的命令。可将每一主机操作翻译为单扇区或多扇区存储器装置 110-1、...、110-N 操作。举例来说,可将主机读取及写入命令翻译为存储器装置 110-1、...、110-N 读取及写入命令。尽管本文中描述存储器控制器 108,但可经由存储器控制固件来实施本发明的一个或一个以上实施例。因此,如本文中所使用,将“存储器控制器”定义为包括存储器控制电路及/或存储器控制固件。

[0022] 主机-存储器翻译电路可包括第一及/或第二级错误检测电路。尽管被称为错误检测电路,但错误检测电路还可执行错误校正。如将由一般所属领域的技术人员所理解,第一级错误检测电路可经配置以应用错误校正(例如 BCH 错误校正),以检测及/或校正与存储于存储器装置 110-1、...、110-N 中的信息相关联的错误。举例来说,第一级错误检测

电路可提供对 1080 位码字的 29 个错误校正位。第二级错误检测电路可（例如）通过确定存在阈值量以上的可校正错误来检测不可通过第一级错误检测校正的错误（例如，不可校正的错误校正码（UECC）错误）。如本文中更详细地描述，本发明的一个或一个以上实施例通过使用奇偶校验信息来重新建立一个或一个以上存储条而提供对在写入上存储条期间遇到的 UECC 错误的校正。第二级错误检测电路可包括 RAID 异或（XOR）电路。RAID XOR 电路可基于从主机接口电路接收到的信息来计算奇偶校验信息。对于被写入到数个存储器装置 110-1、...、110-N 的每一位来说，可通过 RAID XOR 电路来计算奇偶校验位且可将其写入到存储器装置 110-1、...、110-N 中的特定一者。

[0023] 根据本发明的一个或一个以上实施例，可在 RAID 操作中跨越到数个固态存储器装置的多个沟道使写入信息分条。如一般所属领域的技术人员将了解，分条包括分割信息使得其跨越多个沟道而存储（例如）于一个以上装置上。将存储经分割信息的一个以上装置的部分统称为存储条。相反，镜像法可包括将信息的复制复本存储于一个以上装置上。

[0024] 存储器控制器 108 可保存 LBA 表及 / 或块表。LBA 表可将页的物理页地址存储于一个或一个以上存储器装置 110-1、...、110-N 中且包括对应的逻辑地址。可通过相关联的命令（例如，相关联的 SATA 命令）中所含有的 LBA 来为 LBA 表编索引。LBA 表可用以查找对应于可存储对应信息的逻辑块地址的物理页地址。块表可将用于可擦除块的信息存储于一个或一个以上存储器装置 110-1、...、110-N 中。存储于块表中的信息可包括有效页信息、擦除计数及其它状态信息。可通过物理块地址来为从块表存取的信息编索引。

[0025] 存储器控制器 108 可与存储器装置 110-1、...、110-N 通信以读取、写入及擦除信息，还有其它操作。尽管将存储器装置 110-1、...、110-N 说明为耦合到共同存储器控制器 108，但本发明的一个或一个以上实施例可包括用于每一存储器沟道的离散非易失性存储器控制器。存储器装置 110-1、...、110-N 可包括存储器单元（例如，非易失性存储器单元）的一个或一个以上阵列。所述阵列可为（例如）具有 NAND 架构的快闪阵列。在 NAND 架构中，一“行”的存储器单元的控制栅极可与一存取线（例如，字线）耦合，而存储器单元可以用“串”形式源极到漏极串联耦合于选择栅极源极晶体管与选择栅极漏极晶体管之间。所述串可通过选择栅极漏极晶体管而连接到数据线（例如，位线）。使用术语“行”及“串”既不暗示存储器单元的线性布置也不暗示存储器单元的正交布置。如将由一般所属领域的技术人员所了解，存储器单元与位线及源极线的连接方式取决于阵列是 NAND 架构、NOR 架构还是某一其它存储器阵列架构。

[0026] 存储器装置 110-1、...、110-N 可包括可被分成群组的数个存储器单元。如本文中所使用，一群组可包括一个或一个以上存储器单元（例如页、块、平面、裸片、整个阵列或其它存储器单元群组）。举例来说，一些存储器阵列可包括存储器单元的数个页，其构成存储器单元块。数个块可包括于存储器单元的平面中。存储器单元的数个平面可包括于裸片上。作为一实例，128GB 存储器装置可包括每页 4314 个信息字节（例如，4096 个字节的写入信息加上 218 个字节的开销信息），每块 128 个页，每平面 2048 个块及每装置 16 个平面。

[0027] 图 1 的实施例可包括未予以说明以便不混淆本发明的实施例的额外电路。举例来说，存储器系统 104 可包括地址电路以锁存通过 I/O 电路而经由 I/O 连接提供的地址信号。可接收地址信号并通过行解码器及列解码器来解码以存取存储器装置 110-1、...、110-N。所属领域的技术人员将了解，地址输入连接的数目可取决于存储器装置 110-1、...、110-N

的密度及架构。

[0028] 图 2 说明根据本发明的一个或一个以上实施例的存储器装置 210 的一部分的图式。尽管图 2 中未展示,但一般所属领域的技术人员将了解,存储器装置 210 可连同与其操作相关联的各种外围电路而位于半导体裸片上。存储器装置 210 可包括存储器单元的一个或一个以上阵列。

[0029] 如图 2 中所示,存储器装置 210 可包括存储器单元的数个物理块 260-1(块 1)、260-2(块 2)、...、260-M(块 M)。在图 2 中所示的实例中,指示符“M”用以指示存储器装置 210 可包括数个物理块。作为一实例,存储器装置 210 中的物理块的数目可为 128 个块、4,096 个块或 32,768 个块,然而,实施例并不限于存储器装置中的特定数目个物理块或多个物理块。在图 2 中所说明的实施例中,存储器装置 210 可为(例如)NAND 闪存装置 210,使得(例如)每一物理块 260-1、260-2、...、260-M 中的存储器单元可作为一单元而被一同擦除,例如,可以实质上同时的方式擦除每一物理块中的单元。举例来说,可在单一擦除操作中一同擦除每一物理块中的单元。

[0030] 尽管图 2 中并未如此具体指定,但可将数个块用作暂存块。如本文中所描述,对多级存储器单元进行编程可包括:一个或一个以上页编程操作,(例如)以将存储器单元编程到中间状态;及上页编程操作,(例如)以将存储器单元编程为最终状态。暂存块可用于将对应于下页信息的信息存储于下存储条中,及将对应于上页信息的信息存储于上存储条中。也就是说,对于信息的特定块来说,可使用两个暂存块(一个暂存块存储对应于特定块的下页的信息及一个暂存块存储对应于特定块的上页的信息)。然而,实施例并不限于仅存储对应于下页或上页的信息的暂存块,因为暂存块可存储对应于一些下页及一些上页的信息。暂存块与特定块的二比一比率可起因于仅对暂存块的下页进行编程的概念,如本文中更详细地描述。可更新块表,以使得与一暂存块(例如,存储对应于特定块的下页的信息的第一暂存块)相关联的一个或一个以上地址可链接到第二暂存块(例如,存储对应于特定块的上页的信息)。所述块表可用以指示在已将对应的信息编程到特定块之后可擦除暂存块。参看图 4 到 5C 来更详细地描述暂存块及相关联的操作。

[0031] 指示符“R”用以指示一物理块(例如,260-1、260-2、...、260-M)可包括数个行。在一些实施例中,每一物理块中的行(例如,字线)的数目可为 32,但实施例并不限于每物理块特定数目的行 270-1、270-2、...、270-R。如一般所属领域的技术人员将了解,每一行 270-1、270-2、...、270-R 可包括一个或一个以上物理页(例如,偶数页及奇数页)。物理页指代写入及/或读取单元(例如,被一同写入及/或读取或作为存储器单元的功能群组被写入及/或读取的数个单元)。相应地,可通过分开的写入及/或读取操作来写入及/或读取偶数页及奇数页。

[0032] 对于包括多级单元(MLC)的实施例来说,可将物理页在逻辑上划分为一上页及一个或一个以上下页。举例来说,存储信息的两个位的存储器单元可将一个位贡献给信息的上页及将一个位贡献给信息的下页。因此,可将存储器单元编程成“01”的数据状态,其中“0”对应于下页且“1”对应于上页。编程此存储器单元可包括下页编程及上页编程。下页编程可包括将存储器单元编程为中间状态且上页编程可包括将存储器单元编程为最终状态。结合图 4 来更详细地描述相同内容。逻辑上页及逻辑下页可为同一物理页的一部分。为便于说明,图 2 中的每一行 270-1、270-2、...、270-R 仅包括一个物理及逻辑页,然而,实

施例并未如此受限。

[0033] 在本发明的一个或一个以上实施例中且如图 2 中所示,一页可将信息存储于数个扇区 280-1、280-2、...、280-S 中。指示符“S”用以指示一页可包括数个扇区。信息可包括系统及 / 或用户数据。每一扇区 280-1、280-2、...、280-S 可存储系统及 / 或用户数据且可包括开销信息 (例如错误校正码 (ECC) 信息及逻辑块地址 (LBA) 信息)。如一般所属领域的技术人员将了解,逻辑块寻址是可由主机用于识别信息的扇区的方案,例如,每一扇区可对应于一唯一 LBA。在一个或一个以上实施例中,扇区为存储容量的最小可寻址部分。作为一实例,信息的扇区可为信息的数个字节 (例如,256 个字节、512 个字节或 1,024 个字节)。举例来说,SSD 在一页中可具有 4、8 或 16 个扇区,其中一扇区可为 512 个字节,且一 SSD 可具有每物理块 128、256 或 512 个页,因此物理块大小为 131072 个字节、262144 个字节及 524288 个字节。实施例并不限于这些实例。

[0034] 应注意,物理块 260-1、260-2、...、260-M、行 270-1、270-2、...、270-R、扇区 280-1、280-2、...、280-S 及页的其它配置也是可能的。举例来说,物理块 260-1、260-2、...、260-M 的行 270-1、270-2、...、270-R 可各自存储对应于单一扇区的信息,所述单一扇区可包括 (例如) 多于或少于 512 个字节的信息。

[0035] 图 3 说明根据本发明的一个或一个以上实施例的在存储条的基础上操作的存储容量 340 的框图。可通过文件系统来提供存储容量 340,所述文件系统被格式化成存储器系统 (例如,图 1 中的存储器系统 104) 中的数个固态存储器装置 (例如,图 1 中的固态存储器装置 110-1、...、110-N)。如本文中所描述,每一固态存储器装置可与一存储器沟道 342-1、...、342-(N-1)、342-N 相关联。然而,实施例并不限于每存储器装置 (例如,存储器芯片) 一个沟道,因为一些实施例可每装置包括多个沟道。一个存储器芯片可通过一个以上沟道而耦合到一存储器控制器 (例如,在一存储器芯片包括存储器单元的一个以上物理平面的状况下)。可跨越由数个固态存储器装置提供的存储容量 340 而将信息写入于数个存储条 344-1、344-2、...、344-P 中。

[0036] 存储器系统可从主机系统接收写入信息。存储器系统 (例如,与图 1 中的存储器控制器 108 相关联的 RAID XOR 电路) 可计算用于写入信息的奇偶校验信息。在一个或一个以上实施例中,可跨越存储容量 340 使写入信息及奇偶校验信息分条,使得可跨越数个可用沟道的子集 (例如,沟道 342-1、...、342-(N-1)) 而写入写入信息,且可跨越数个可用沟道的第二子集 (例如,沟道 342-N) 而写入奇偶校验信息。举例来说,一存储器系统可包括八个沟道,其中七个沟道用于写入写入信息且一个沟道用于写入奇偶校验信息。如本文中所描述,可跨越不同存储条的不同沟道而写入奇偶校验信息。实施例并不限于将 N 个沟道中的 N-1 个沟道用于写入信息及将单一沟道用于奇偶校验信息。根据本发明的一个或一个以上实施例,RAID 结构及 / 或存储条大小可为可编程选项。

[0037] RAID 结构可表示经设计以跨越多个存储器装置来划分及 / 或复制信息的 RAID 存储方案的实施方案。举例来说,可跨越两个或两个以上装置使信息分条及 / 或成镜像。分条可包括将写入信息划分为片段及将至少一个片段存储于数个存储器装置中的每一者中。成镜像可包括将写入信息的复本冗余地存储于至少两个存储器装置中。分条与成镜像两者可包括使用错误检测。可将奇偶校验信息存储于与写入信息相同的存储器装置中及 / 或与存储写入信息的装置分离的装置中。根据本发明的一个或一个以上实施例,待由存储器系

统实施的特定 RAID 结构可为一可编程选项。

[0038] 如本文中所示使用,存储条大小可指代跨越其使信息分条的沟道的数目。根据本发明的一个或一个以上实施例,存储器系统的存储条大小可为一可编程选项,使得可将可用于存储器系统的任何数目个沟道用于存储条。举例来说,包括 32 个沟道及数个对应的存储器装置的一存储器系统可具有从 2 到 32 个沟道的任何存储条大小。一些实施例可包括将非易失性存储器在逻辑上分割为至少两个部分,每一部分包括与非易失性存储器相关联的数个沟道的子集。这些实施例可包括针对所述至少两个部分中的每一者在存储条的基础上独立地操作非易失性存储器系统。举例来说,可将写入信息及奇偶校验信息的数个页写入于每一存储条中,其中第一存储条是跨越存储器系统的数个沟道中的仅一个子集而被写入,且第二存储条是跨越存储器系统的数个沟道中的仅一不同子集而被写入。此外,存储条大小可在存储器系统的操作期间改变。可使用块表以追踪存储器系统的哪些部分对应于哪些存储条。

[0039] 存储奇偶校验信息可允许响应于与写入一上存储条相关联的 UECC 错误来重新建立与下存储条相关联的信息,所述上存储条包括与所述下存储条共同的存储器单元的至少一个物理页。下文关于图 5A 到 5C 给出更多特定实例。存储器沟道、存储器装置、存储器的块、存储器的页或存储器装置的另一部分可经历不可校正的错误或其它错误。举例来说,可跨越沟道 342-1、...、342-(N-1) 将写入信息的下页写入于第一存储条 344-1 中。可跨越沟道 342-N 将奇偶校验信息写入于第一存储条 344-1 中。如果第一沟道 342-1 经历不可校正的错误或其它错误(例如,响应于跨越沟道 342-1 写入上页作为写入上存储条的一部分),则与直到 342-(N-1) 的沟道相关联的写入信息及与沟道 342-N 相关联的奇偶校验信息可用以重新建立跨越第一沟道 342-1 而被写入的信息的下页。类似于产生奇偶校验信息的状况,存储器系统(例如,RAID XOR 电路)可使用奇偶校验信息连同写入信息以计算与存储器系统的一部分(其经历不可校正的错误或其它错误)相关联的信息的替代信息。

[0040] 与图 1 中的存储器控制器 108 相关联的 ECC 电路可计算用于写入信息的片段的第一级错误校正信息及/或第二级校正信息(例如,存储于存储器装置中的奇偶校验信息)。图 3 包括以下各者的说明:经存储而与沟道 342-1、...、342-(N-1) 相关联的写入信息 346 及第一级错误校正信息 348;及经存储而与沟道 342-N 相关联的奇偶校验信息 350 及第一级错误校正信息 348。当写入一存储条时,可一同写入写入信息与错误校正信息两者。如果在信息(不管是写入信息还是奇偶校验信息)中检测到错误,则可使用第一级错误校正信息以试图在实施第二级错误校正(例如,与上文所描述的奇偶校验信息相关联的校正)之前及/或在不实施所述第二级错误校正的情况下校正所述错误。存储器系统可存储足够的第一级错误校正信息以使得能够校正阈值数目个错误位。如果检测到包括比可通过第一级错误校正信息校正的位错误的多的位错误的错误(例如,在写入操作期间的 UECC 错误),则可实施第二级错误校正(例如,使用上文所描述的奇偶校验信息),例如,可使用奇偶校验信息及写入信息的剩余部分来重新建立与错误相关联的信息。

[0041] 图 4 说明根据本发明的一个或一个以上实施例的针对擦除状态 422 及数个下页 424、上页 426 及暂存页 428 数据状态的与实例 2 位存储器单元相关联的阈值电压分布 420 的图式。实施例并不限于编程有信息的两个位的多级存储器单元。本发明的一个或一个以上实施例可包括一编程有信息的两个以上位及/或一小部分位的特定存储器单元。

[0042] 从擦除状态 422 开始,可将一个或一个以上编程脉冲施加到特定存储器单元以将所述单元编程为表示来自下页 424 的信息的中间状态(例如,1 或 0)。随后,可将一个或一个以上编程脉冲施加到所述特定存储器单元以将所述单元从中间状态(例如,1 或 0)编程为表示来自上页 426 的数据的最终状态(例如,11、10、01 或 00)。如图 4 中所说明,对于 2 位存储器单元来说,对应于中间状态的来自下页 424 的信息可表示对应于最终状态的来自上页 426 的信息的第一位,例如,可将存储器单元从 1 编程为 11 或 10,或可将存储器单元从 0 编程为 01 或 00。然而,实施例并不限于 2 位单元或图 4 中所说明的特定信息值。

[0043] 在一个或一个以上实施例中,信息的暂存页 428 可对应于写入信息的下页 424 或上页 426。如图 4 中所说明,此暂存页可类似于下页 424,例如,作为暂存页 428 编程操作的一部分,可将 2 位单元编程为两种状态中的一者。

[0044] 对于特定编程操作来说,将下页 424 及对应的上页 426 编程为相同物理存储器单元(例如,存储器单元的同一物理页)。然而,当特定编程操作包括数个暂存页 428 的编程时,将所述暂存页编程为不同于编程有下页及上页的物理存储器单元的物理存储器单元(例如,存储器单元的不同物理页)。在一个或一个以上实施例中,存储器单元的暂存页可位于存储器单元的暂存块(例如,不同于包括那些编程有特定下页及特定上页的存储器单元块的存储器单元块的存储器单元的物理块)中。

[0045] 暂存页 428 可用以指示将如何编程下页 424 或及上页 426。暂存页 428 中的信息可对应于下页 424 或上页 426。可组合两个暂存页 428(例如,对应于下页 424 的暂存页 428 及对应于上页 426 的暂存页 428)(存储器单元的分开物理页)以写入下页 424 及上页 426(其中下页 424 及上页 426 被写入于存储器单元的同一物理页中,所述物理页不同于用于两个暂存页 428 的存储器单元的物理页)。

[0046] 对于下页 424 编程来说,编程有信息“1”作为暂存页 428 的一部分的存储器单元可指示下页的第一位为“1”及/或应将对应的存储器单元从擦除状态 422 编程为下页 424 中的两个中间状态中的下者。对于上页 426 编程来说,编程有信息“1”作为暂存页 424 的一部分的存储器单元可指示上页的第二位为“1”及/或应将来自下页 424 的对应存储器单元从中间状态编程为与中间状态相关联的两个最终状态中的下者。举例来说,如果来自下页 424 的对应存储器单元被编程为中间状态“1”,如图 4 中所说明,且对应于上页的暂存页包括信息“1”,则应将来自下页的对应存储器单元编程为上页 426 中的最终状态“11”。同样,如果来自下页 424 的对应存储器单元被编程为中间状态“0”,如图 4 中所说明,且对应于上页的暂存页包括信息“1”,则应将来自下页 424 的对应存储器单元编程为上页 426 中的最终状态“01”。

[0047] 对于下页 424 编程来说,编程有信息“0”作为暂存页 424 的一部分的存储器单元可指示下页的第一位为“0”及/或应将对应的存储器单元从擦除状态 422 编程为下页 424 中的两个中间状态中的上者。对于上页 426 编程来说,编程有信息“0”作为暂存页 424 的一部分的存储器单元可指示上页的第二位为“0”及/或应将来自下页 424 的对应存储器单元从中间状态编程为与中间状态相关联的两个最终状态中的上者。举例来说,如果来自下页 424 的对应存储器单元被编程为中间状态“1”,如图 4 中所说明,且对应于上页 426 的暂存页包括信息“0”,则应将来自下页的对应存储器单元编程为上页 426 中的最终状态“10”。同样,如果来自下页 424 的对应存储器单元被编程为中间状态“0”,如图 4 中所说明,且对应

于上页 426 的暂存页包括信息“0”，则应将来自下页 424 的对应存储器单元编程为上页 426 中的最终状态“00”。

[0048] 如将了解，可从本文中的描述中推断用于通过数个位（除两个位以外）来编程多级存储器单元的方法。举例来说，4 位存储器单元可在被编程为最终状态之前通过两个或两个以上上下页编程操作而被编程，且这些实施例可包括使用两个以上暂存页以指示应如何编程下页、应如何编程随后的下页及 / 或应如何编程上页（例如，应如何将存储器单元编程为一个或一个以上中间状态及 / 或最终状态）。本文中关于 2 位单元所描述的一个或一个以上实例实施例出于解释的目的而为说明性的，且并不将本发明限于 2 位存储器单元的操作。此外，“1”及“0”及术语“上”及“下”的使用在本文中用以说明一个或一个以上实例实施例且其并不将本发明限于特定记法或信息布置。

[0049] 图 5A 说明根据本发明的一个或一个以上实施例的表，其跨越具有数个下存储条 544A-L 及上存储条 544A-U 的数个沟道 542A 使下页编程与上页编程相关。根据本发明的一个或一个以上实施例，写入数个下存储条 544A-L 可包括将信息的数个下页编程于数个下存储条 544A-L 中的每一者中。可跨越数个沟道 542A 将数个下页中的的每一者实质上同时编程于特定下存储条中。在一些实施例中，尽管特定下存储条可包括两个以上页，但数个下存储条 544A-L 中的每一者可仅包括信息（例如，写入信息）的一个下页及奇偶校验信息的仅一页。在图 5A 中，例如，“下存储条 1”包括跨越“沟道 1”而被写入的下页“LP1”512A 及跨越“沟道 8”而被写入的“奇偶校验 1”550A。在一些实施例中，可针对系统数据而保留数个下存储条 544A-L 的数个页（除用户数据的下页及奇偶校验信息的页（图 5A 中展示为空白页）之外）。可针对下存储条中的剩余页而计算奇偶校验信息（例如，奇偶校验信息的页 550A）且可将其编程到下存储条中的页中的一者。实施例并不限于特定数目个存储条及 / 或沟道。

[0050] 在一个或一个以上实施例中，写入上存储条 544A-U 可包括将信息的数个上页编程于上存储条 544A-U 中。可跨越数个沟道 542A 来实质上同时编程上存储条 544A-U 中的数个上页中的的每一者。上存储条中的数个上页中的的每一者对应于数个下页中的相应一者。在图 5A 中，例如，“上存储条”544A-U 包括对应于“下存储条 1”中的下页“LP1”512A 的上页“UP1”514A。也就是说，写入上存储条 544A-U 包括将存储器单元从下页 512A 编程到上页 514A。

[0051] 如图 5A 中所说明，可将对应于数个上页（例如，“UP1”、“UP2”、“UP3”、“UP4”、“UP5”、“UP6”及“UP7”）中的相应一者的数个下页（例如，“LP1”、“LP2”、“LP3”、“LP4”、“LP5”、“LP6”及“LP7”）中的每一者写入于数个下存储条 544A-L 中的一不同下存储条中（例如，每一者作为单独分条操作的一部分）。相应地，即使与上存储条 544A-U 的所有页相关联的存储器单元经历 UECC 错误（例如，如果信息被破坏），在写入上存储条 544A-U 期间，仍可使用奇偶校验信息来重新建立对应的下页中的每一者。举例来说，如果与特定下页 512A 相关联的存储器单元在写入对应的上页 514A 期间经历 UECC 错误，则可使用存储条（例如，“下存储条 1”）中的信息的剩余部分（包括特定下页及来自所述存储条的奇偶校验信息 550A）来重新建立下页 512A。此错误的一个实例为异步电力循环（例如，到一个或一个以上存储器装置的电力无意中断）。尽管图 5A 说明“下存储条 1”中的信息（例如，写入信息）的仅一页 512A，但实施例并不如此受限，如下文关于图 5B 到 5C 更详细地描述。

[0052] 图 5A 中联合下存储条 544A-L 中的每一者所说明的下页中的每一者（例如，页 512A）逻辑上表示存储器装置中的存储器单元的分开物理页。图 5A 中联合上存储条 544A-U 所说明的上页中的每一者（例如，页 514A）逻辑上表示存储器单元的与对应的下页相同的物理页。举例来说，上页“UP1”514A 逻辑上表示存储器单元的与下页“LP1”512A 相同的物理页。

[0053] 图 5B 说明根据本发明的一个或一个以上实施例的表，其跨越具有数个下存储条 544B-L 及上存储条 544B-U 的数个沟道 542B 使下页编程与上页编程相关。根据本发明的一个或一个以上实施例，写入多个下存储条 544B-L 可包括将信息的多个下页编程于多个下存储条 544B-L 中的每一者中。将信息的多个下页编程于多个下存储条 544B-L 中的每一者中可包括通过用户数据来编程奇偶校验信息的一个页及编程多个下页中的剩余部分。奇偶校验信息的每一页包括其所对应的存储条的指定名称。因此，举例来说，将奇偶校验信息 550B 的页指定为指示其对应于下存储条 1 的“L1”。举例来说，在图 5B 中，“下存储条 1”包括跨越“沟道 8”而被写入的“奇偶校验 L1”550B 及跨越“沟道 1”而被写入的下页“LP1, 1”512B、跨越“沟道 2”而被写入的“LP1, 2”、跨越“沟道 3”而被写入的“LP1, 3”、跨越“沟道 4”而被写入的“LP1, 4”、跨越“沟道 5”而被写入的“LP1, 5”、跨越“沟道 6”而被写入的“LP1, 6”及跨越“沟道 7”而被写入的“LP1, 7”。可跨越不同沟道 542B 而写入特定下存储条中的下页中的每一者。在一些实施例中，可跨越数个沟道而实质上同时写入特定下存储条中的下页中的每一者。

[0054] 在一个或一个以上实施例中，写入多个上存储条 544B-U 可包括将信息的多个上页编程于每一上存储条中。在多个上存储条中的特定一者中的多个上页中的每一者对应于在多个下存储条中的不同一者中的一相应下页。如图 5B 中所说明，每一下页“LP”包括所述下页所对应的下存储条的指定名称及所述下页所对应的上存储条的指定名称。因此，举例来说，下页“LP1, 1”512B 包括指示其对应于下存储条 1 及上存储条 1 的指定名称“1, 1”。如也在图 5B 中所说明，每一上页“UP”包括所述上页所对应的上存储条的指定名称及所述上页所对应的下存储条的指定名称。举例来说，上页“UP1, 1”514B 包括指示其对应于上存储条 1 及下存储条 1 的指定名称“1, 1”。也就是说，编程上页“UP1, 1”514B 包括编程与下页“LP1, 1”512B 相关联的相同存储器单元。作为另一实例，编程上页“UP1, 2”包括编程与下页“LP2, 1”相关联的存储器单元。

[0055] 相应地，写入每一上存储条 544B-U 包括编程多个页，所述页中的每一者对应于一不同下存储条 544B-L。举例来说，写入“上存储条 1”包括编程对应于来自“下存储条 1”的下页“LP1, 1”512B 的上页“UP1, 1”514B、编程对应于“下存储条 2”中的“LP2, 1”的“UP1, 2”、编程对应于“下存储条 3”中的“LP3, 1”的“UP1, 3”、编程对应于“下存储条 4”中的“LP4, 1”的“UP1, 4”、编程对应于“下存储条 5”中的“LP5, 1”的“UP1, 5”、编程对应于“下存储条 6”中的“LP6, 1”的“UP1, 6”及编程对应于“下存储条 7”中的“LP7, 1”的“UP1, 7”。通过每一上存储条 544B-U 编程的奇偶校验信息可独立于通过下存储条 544B-L 中的每一者而被写入的奇偶校验信息，因为其可针对写入于对应的上存储条 544B-U 中的信息来加以计算。可跨越不同沟道 542B 而写入特定上存储条中的上页中的每一者。在一些实施例中，可跨越数个沟道而实质上同时写入特定上存储条中的上页中的每一者。

[0056] 可以图 5B 中所示的次序（以下存储条 1 开始且一直继续到上存储条 7）来写入

多个下存储条 544B-L 及上存储条 544B-U。由于可将对应于多个上存储条 544B-U 的信息写入于单一下存储条 544B-L 中,所以一个或一个以上实施例可包括在写入多个下存储条 544B-L 之前缓冲及 / 或高速缓存与多个上页相关联的信息。同样,由于可将对应于多个下存储条 544B-L 的信息写入于单一上存储条 544B-U 中,所以一个或一个以上实施例可包括在写入多个下存储条 544B-L 中的第一者之前缓冲与多个下页相关联的信息。相应地,存储器系统可包括用以在写入上存储条及 / 或下存储条之前存储信息的缓冲器。此缓冲器可包括易失性存储器及 / 或非易失性存储器。为便于说明,图 5B 看似说明逻辑上被分组在一起的多个下存储条 544B-L 及逻辑上被分组在一起的多个上存储条 544B-U,然而,实施例并未如此受限。举例来说,多个下页 544B-L 及多个上页 544B-U 可贯穿特定块而加以混合且不必以图 5B 中所指示的次序而写入,例如,一特定存储条可包括数个下页及数个上页。

[0057] 图 5C 说明根据本发明的一个或一个以上实施例的表,其跨越具有数个下暂存存储条 544C-LS、上暂存存储条 544C-US、下存储条 544C-L 及上存储条 544C-U 的数个沟道 542C 使下页编程与上页编程相关。出于易读性及遵从字号要求,图 5C 包括标记为“图 5C-I”及“图 5C-II”的两张图。一个或一个以上实施例可包括将多个下暂存页(例如,下暂存页“LSP1,1”516C-L)编程到多个第一块。可将多个上暂存页(例如,上暂存页“USP1,1”516C-U)编程到第二块(即,不同于第一块的块)。可将多个下页(例如,下页“LP1,1”512C)及多个上页(例如,上页“UP1,1”514C)均编程到第三块(即,不同于第一块及第二块的块)。如本文中所描述,对于第三块来说,可在编程多个上页之前编程多个下页。尽管将暂存存储条 544C-LS 及 544C-US 说明为仅包括分别对应于下页及上页的信息,但实施例并未如此受限。也就是说,一特定暂存存储条可包括对应于一个或一个以上下页及一个或一个以上上页的信息。

[0058] 可在写入于下存储条 544C-L 中之前读取下暂存存储条 544C-LS 且可在写入于上存储条 544C-U 中之前读取上暂存存储条 544C-US。下暂存存储条 544C-LS 的相应页中的信息可对应于下存储条 544C-L 的相应页中的信息,且上暂存存储条 544C-US 的相应页中的信息可对应于上存储条 544C-U 的相应页中的信息。在一个或一个以上实施例中,可在写入下存储条 544C-L 及 / 或上存储条 544C-U 之后擦除与下暂存存储条 544C-LS 及上暂存存储条 544C-US 相关联的第一块及第二块。

[0059] 此外,一般来说,当将信息写入于暂存存储条中时,存储器系统可不“知晓”特定暂存存储条中的信息是对应于对应的下存储条 544C-L 还是上存储条 544C-U 的下位还是上位。存储器系统可仅“知晓”被写入于暂存存储条中的信息为稍后待组合及写入于特定下存储条 544C-L 及 / 或上存储条 544C-U 中的信息,而不管是下位还是上位。

[0060] 多个暂存页中的每一者对应于写入于多个下存储条 544C-L 及 / 或多个上存储条 544C-U 中的多个下页中的不同一者及 / 或多个上页中的不同一者。举例来说,下暂存页“LSP1,1”516C-L 对应于下页“LP1,1”512C 且上暂存页“USP1,1”516C-U 对应于上页“UP1,1”514C。如本文中所描述,暂存页可用以指示将如何编程对应的下页或对应的上页中的一者。举例来说,下暂存页“LSP2,4”可指示将如何编程下页“LP2,4”且上暂存页“USP2,4”可指示将如何编程上页“UP4,2”(例如,通过对与下页“LP2,4”相关联的存储器单元执行上页编程)。

[0061] 如上文关于图 5B 所描述,每一下页“LP”包括所述下页所对应的下存储条的指定

名称及所述下页所对应的上存储条的指定名称。因此,举例来说,下页“LP2,4”包括指示其对应于下存储条 2 及上存储条 4 的指定名称“2,4”。如也在图 5C 中所说明,每一上页“UP”包括所述上页所对应的上存储条的指定名称及所述上页所对应的下存储条的指定名称。举例来说,上页“UP4,2”包括指示其对应于上存储条 4 及下存储条 2 的指定名称“4,2”。每一下暂存页“LSP”包括匹配用于对应的下页的指定名称的指定名称。因此,举例来说,下暂存页“LSP2,4”包括指示其对应于具有相同指定名称“2,4”的下页“LP2,4”的指定名称“2,4”。每一上暂存页“USP”包括匹配用于对应的上页的指定名称的指定名称。因此,举例来说,上暂存页“USP2,4”包括指示其对应于具有相同指定名称“2,4”的上页“UP2,4”的指定名称“2,4”。换句话说,USP2,4 包括待编程于 UP2,4 中的信息。

[0062] 在一个或一个以上实施例中,编程多个下页中的特定一者可包括根据对应的下暂存页将与多个下页中的所述特定一者相关联的非易失性多级存储器单元编程为中间状态(例如,下页编程)。举例来说,编程与下页“LP1,1”512C 相关联的存储器单元可包括根据对应的下暂存页“LSP1,1”516C-L 来编程存储器单元。编程多个上页中的对应一者可包括将与多个下页中的特定一者相关联的相同非易失性多级存储器单元编程为最终状态。举例来说,编程下页“LP1,1”512C 可包括将与下页“LP1,1”512C 相关联的存储器单元编程为中间状态,且编程上页“UP1,1”514C 可包括将相同存储器单元编程为最终状态。将相同存储器单元编程为最终状态可包括根据对应的上暂存页来编程相同的存储器单元。举例来说,编程与下页“LP1,1”512C 到上页“UP1,1”514C 相关联的存储器单元可包括根据对应的暂存页“USP1,1”516C-U 来进一步编程存储器单元。相应地,一些实施例可包括在编程对应的下页或上页之前读取对应的下暂存页或上暂存页。一旦对应于特定暂存块中的下暂存页及/或上暂存页的上页已经编程,即可将暂存块擦除并将其用作新暂存块、用作用于编程下页及/或上页的块或用于其它存储器操作。

[0063] 可以图 5C 中所示的次序(以暂存存储条 1 开始一直到暂存存储条 14 且继续到下存储条 1 一直到下存储条 7 及继续到上存储条 1 一直到上存储条 7)或以另一次序来写入多个下暂存存储条 544C-LS、上暂存存储条 544C-US、下存储条 544C-L 及上存储条 544C-U。然而,由于多个上存储条 544C-U 中的每一者包括对应于多个下存储条 544C-L 及多个上暂存存储条 544C-US 中的每一者中的至少一个下页的上页,所以可在写入多个下存储条 544C-L 及多个上暂存存储条 544C-US 之后写入多个上存储条 544C-U。

[0064] 结论

[0065] 本发明包括用于非易失性多级基于存储条的存储器操作的方法及装置。一个方法实施例包括写入数个下存储条,其包括将信息的数个下页编程于数个下存储条中的每一者中。可写入上存储条,其包括将信息的数个上页编程于所述上存储条中。数个上页中的每一者可对应于数个下页中的相应一者。可将对应于数个上页的数个下页中的相应各者中的每一者编程于数个下存储条中的一不同下存储条中。

[0066] 将理解,当将一元件称为“在另一元件上”、“连接到另一元件”或“与另一元件耦合”时,其可直接位于另一元件上、连接到另一元件或与另一元件耦合或可存在介入元件。相反,当将一元件称为“直接在另一元件上”、“直接连接到另一元件”或“直接与另一元件耦合”时,不存在介入元件或层。如本文中所使用,术语“及/或”包括相关联的列出项中的一者或一者以上的任何及所有组合。

[0067] 如本文中所使用,术语“及 / 或”包括相关联的列出项中的一者或一者以上的任何及所有组合。如本文中所使用,除非另外指出,否则术语“或”意味着逻辑性包括或。也就是说,“A 或 B”可包括(仅 A)、(仅 B)或(A 与 B 两者)。换句话说,“A 或 B”可意味着“A 及 / 或 B”或“A 及 B 中的一者或一者以上”。

[0068] 应理解,虽然本文中可使用术语第一、第二、第三等来描述各种元件,但这些元件不应受这些术语限制。这些术语仅用以将一个元件与另一元件区分。因此,在不背离本发明的教示的情况下,可将第一元件称为第二元件。

[0069] 尽管本文中已说明并描述了特定实施例,但一般所属领域的技术人员将了解,可用经计划以实现相同结果的布置来代替所展示的特定实施例。本发明意图涵盖本发明的一个或一个以上实施例的修改或变化。应理解,已以说明的方式而非以约束的方式来作出以上描述。在回顾以上描述后,以上实施例的组合及本文中未具体描述的其它实施例将为所属领域的技术人员所显而易见。本发明的所述一个或一个以上实施例的范畴包括使用以上结构及方法的其它应用。因此,应参考所附权利要求书连同此权利要求书拥有的完整范围的等效物来确定本发明的一个或一个以上实施例的范畴。

[0070] 在上述“具体实施方式”中,出于使揭示内容简化的目的而将一些特征一起分组于单一实施例中。本发明的此方法不应被解释为反映本发明的所揭示实施例必须使用比每一权利要求中明确叙述的特征多的特征的意图。实情为,如所附权利要求书所反映,本发明的标的物在于少于单一所揭示实施例的所有特征。因此,所附权利要求书借此并入到“具体实施方式”中,其中每一权利要求独立地作为一单独的实施例。

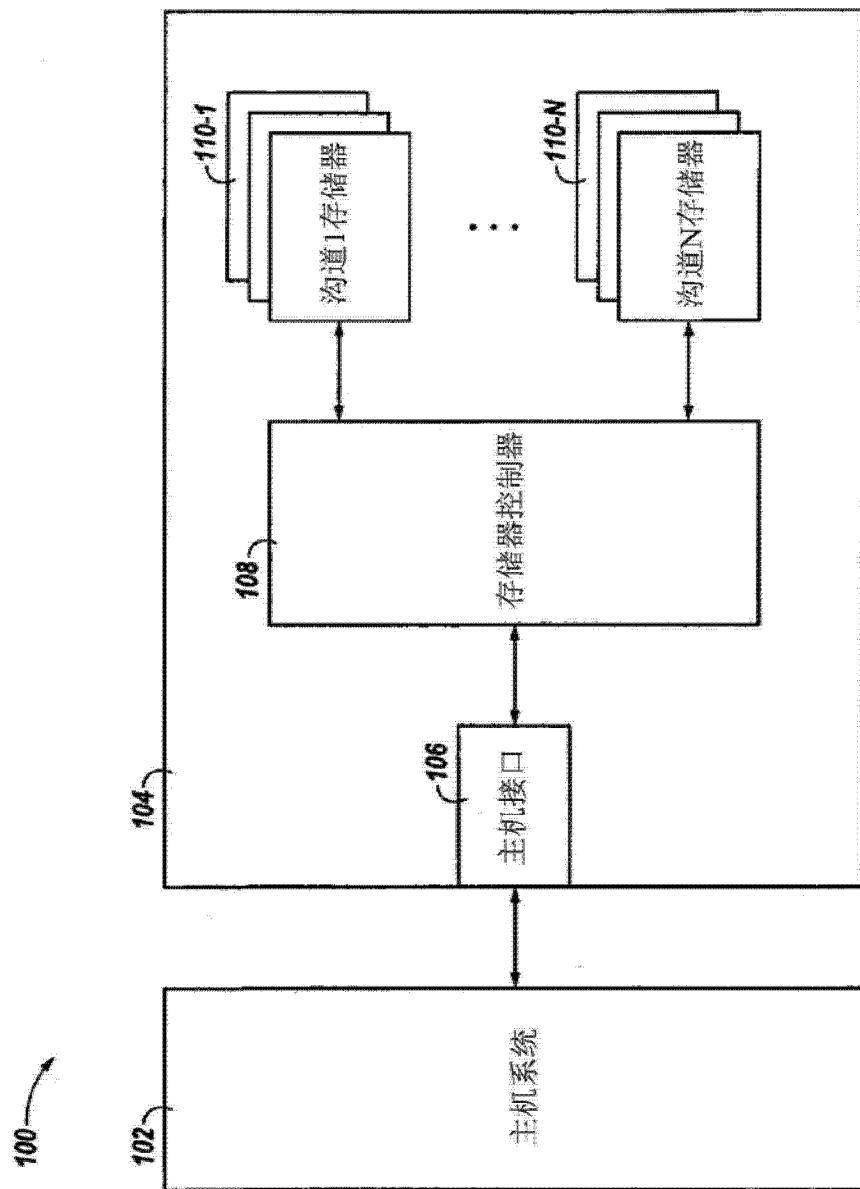


图 1

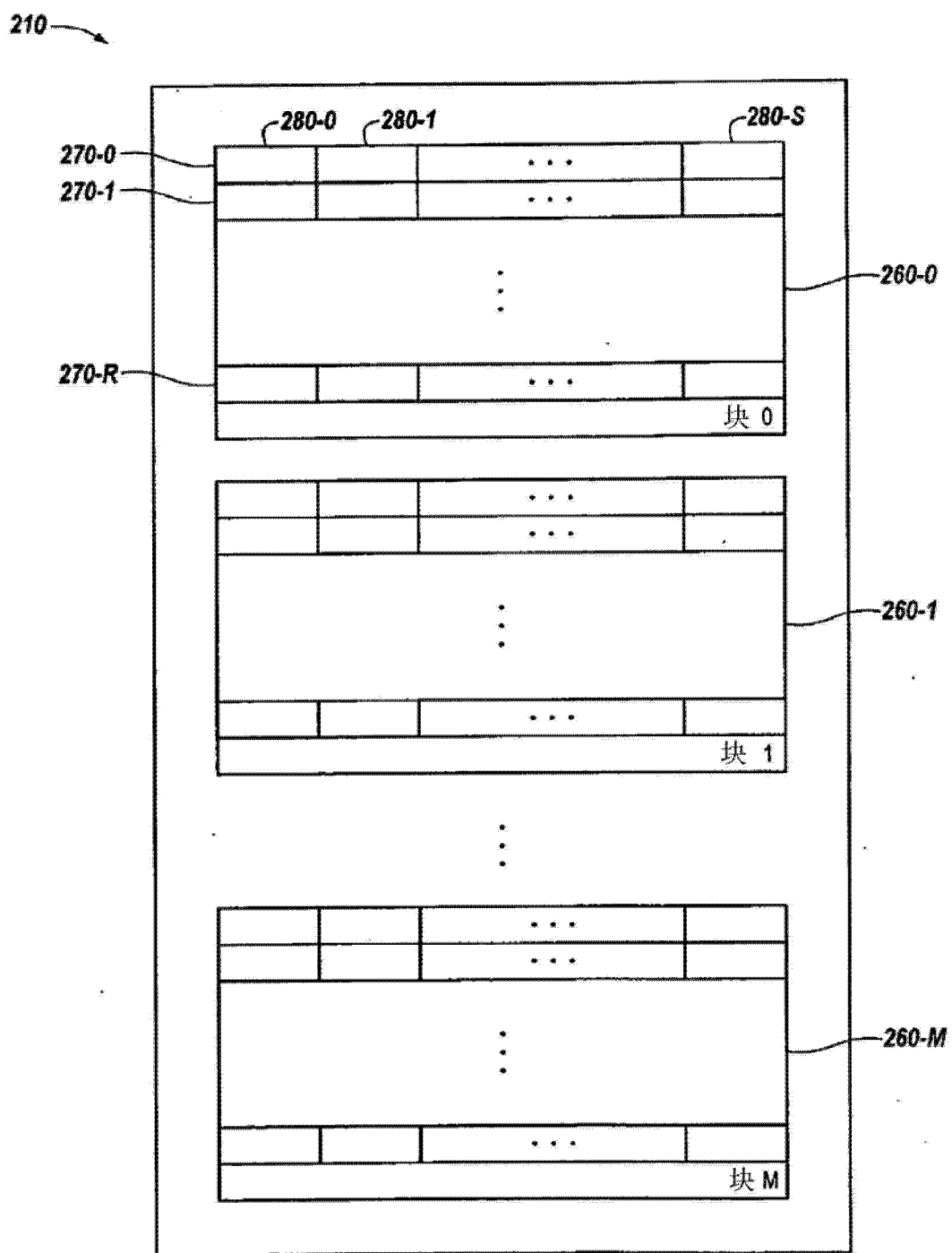


图 2

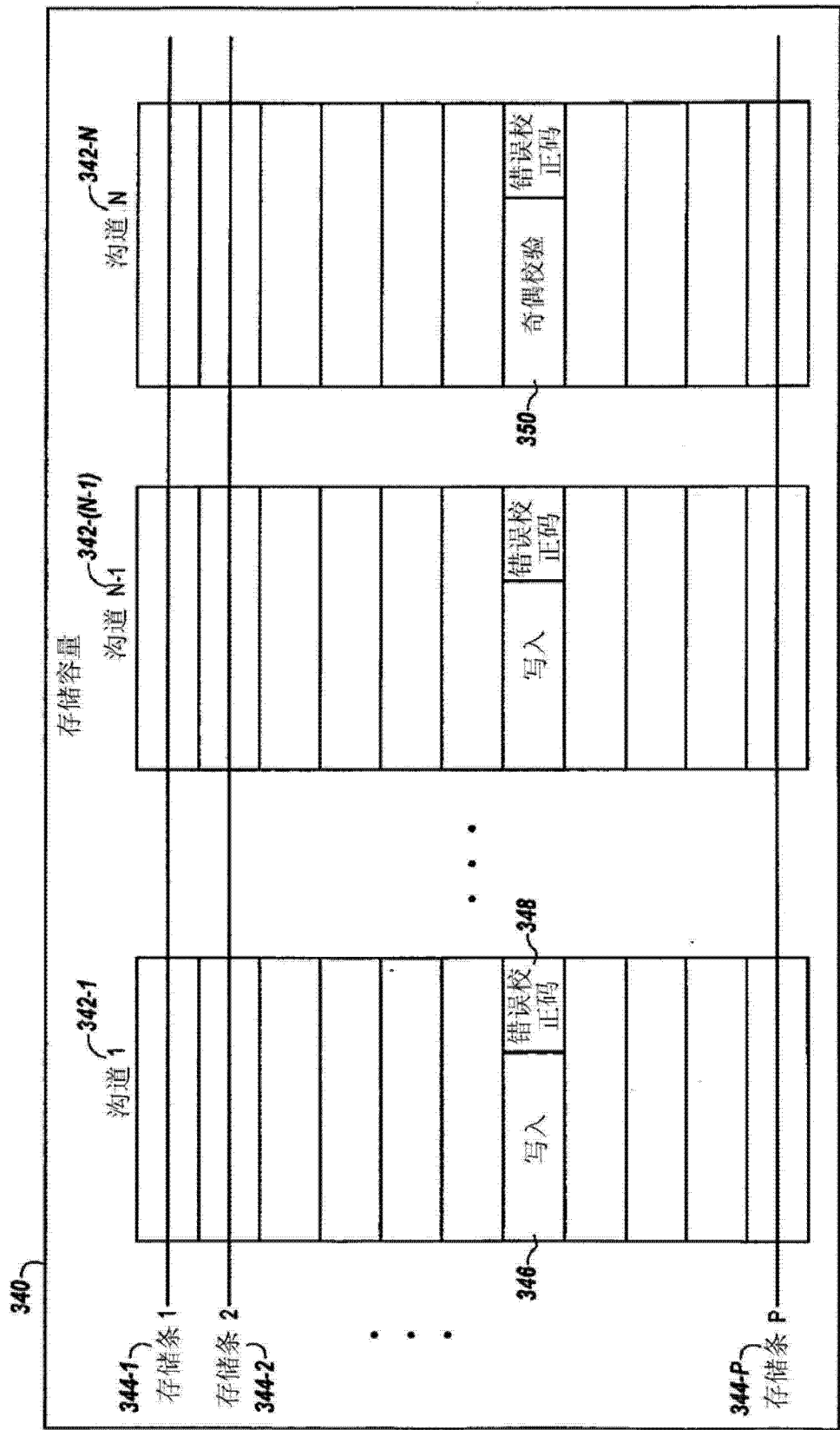


图 3

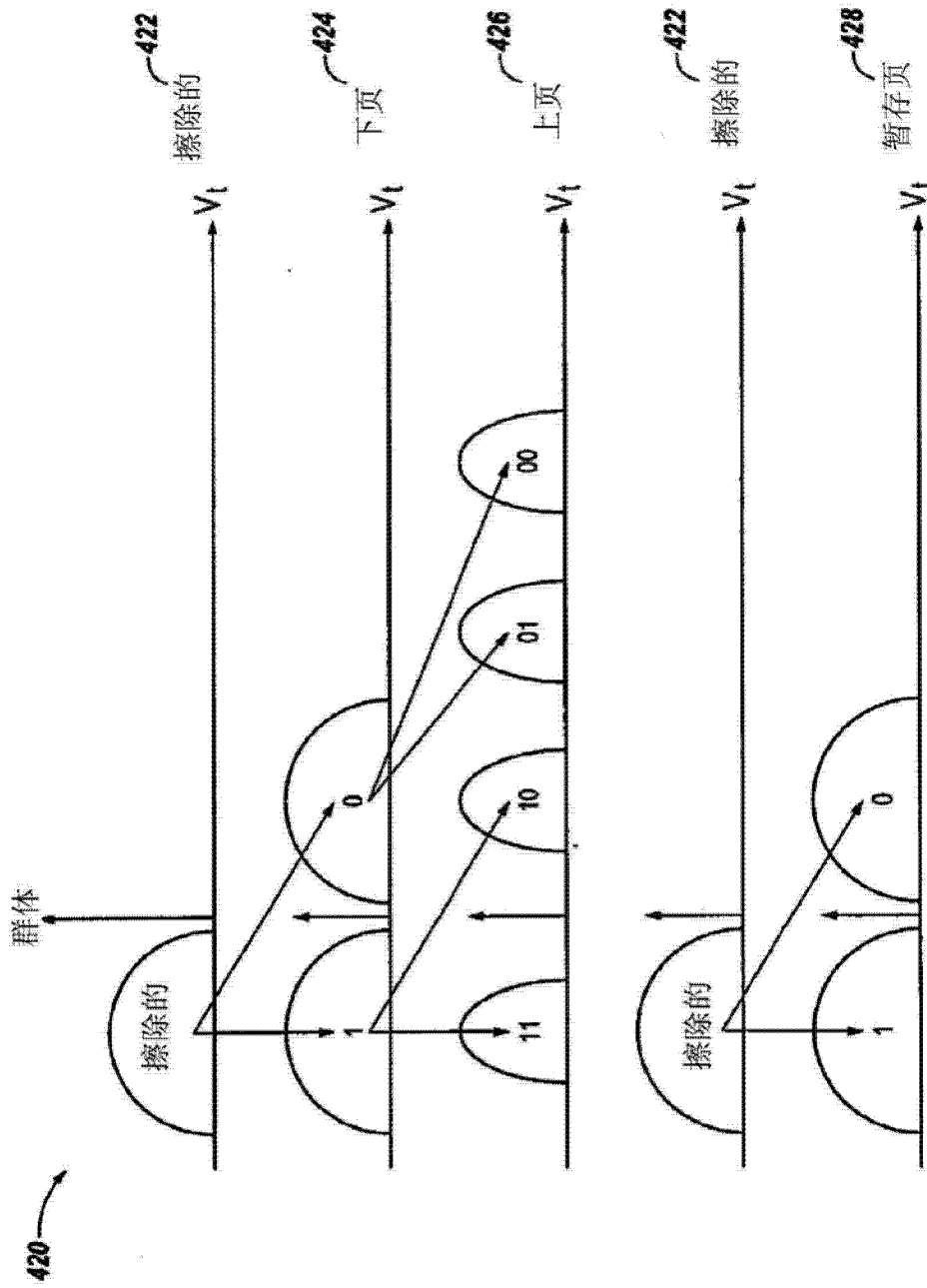


图 4

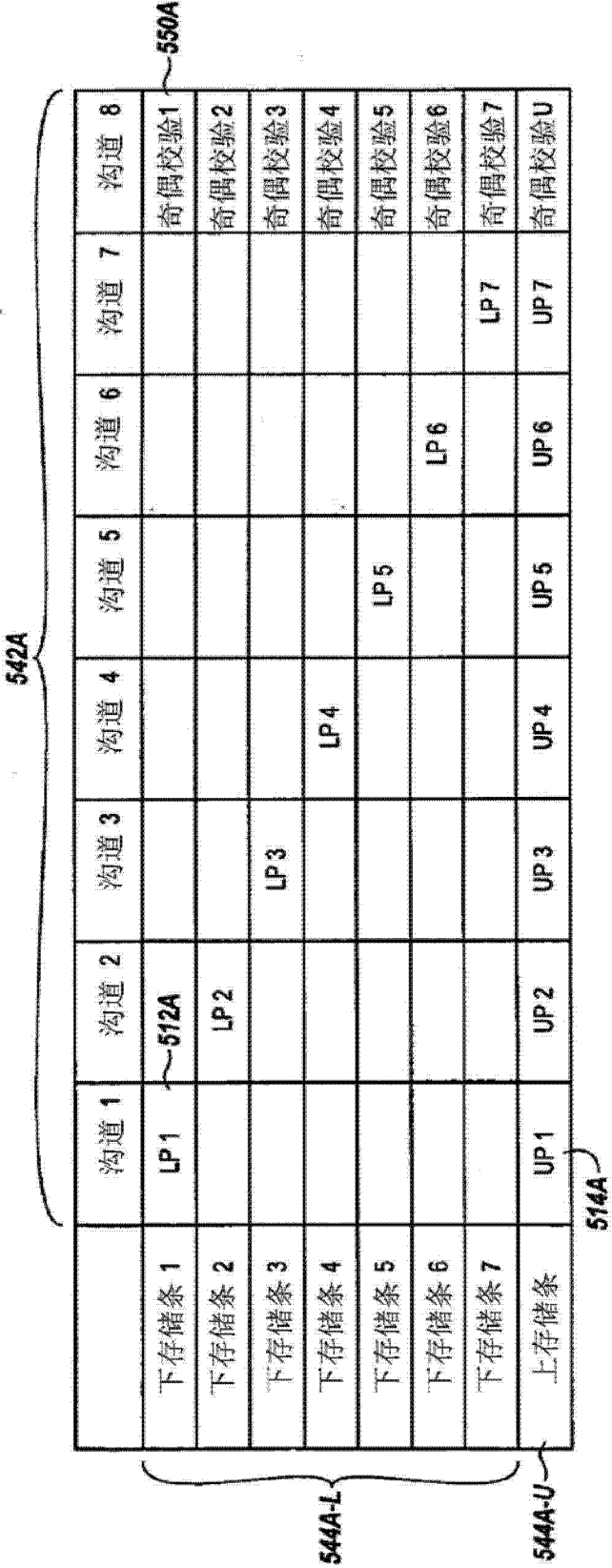


图 5A

512B		沟道 1	沟道 2	沟道 3	沟道 4	沟道 5	沟道 6	沟道 7	沟道 8
544B-L	下存储条 1	LP 1,1	LP 1,2	LP 1,3	LP 1,4	LP 1,5	LP 1,6	LP 1,7	奇偶校验 L1
	下存储条 2	奇偶校验 L2	LP 2,1	LP 2,2	LP 2,3	LP 2,4	LP 2,5	LP 2,6	LP 2,7
	下存储条 3	LP 3,7	奇偶校验 L3	LP 3,1	LP 3,2	LP 3,3	LP 3,4	LP 3,5	LP 3,6
	下存储条 4	LP 4,6	LP 4,7	奇偶校验 L4	LP 4,1	LP 4,2	LP 4,3	LP 4,4	LP 4,5
	下存储条 5	LP 5,5	LP 5,6	LP 5,7	奇偶校验 L5	LP 5,1	LP 5,2	LP 5,3	LP 5,4
	下存储条 6	LP 6,4	LP 6,5	LP 6,6	LP 6,7	奇偶校验 L6	LP 6,1	LP 6,2	LP 6,3
	下存储条 7	LP 7,3	LP 7,4	LP 7,5	LP 7,6	LP 7,7	奇偶校验 L7	LP 7,1	LP 7,2
544B-U	上存储条 1	UP 1,1	UP 1,2	UP 1,3	UP 1,4	UP 1,5	UP 1,6	UP 1,7	奇偶校验 U1
	上存储条 2	UP 2,1	UP 2,2	UP 2,3	UP 2,4	UP 2,5	UP 2,6	UP 2,7	奇偶校验 U2
	上存储条 3	UP 3,1	UP 3,2	UP 3,3	UP 3,4	UP 3,5	UP 3,6	UP 3,7	奇偶校验 U3
	上存储条 4	UP 4,1	UP 4,2	UP 4,3	UP 4,4	UP 4,5	UP 4,6	UP 4,7	奇偶校验 U4
	上存储条 5	UP 5,1	UP 5,2	UP 5,3	UP 5,4	UP 5,5	UP 5,6	UP 5,7	奇偶校验 U5
	上存储条 6	UP 6,1	UP 6,2	UP 6,3	UP 6,4	UP 6,5	UP 6,6	UP 6,7	奇偶校验 U6
	上存储条 7	UP 7,1	UP 7,2	UP 7,3	UP 7,4	UP 7,5	UP 7,6	UP 7,7	奇偶校验 U7

图 5B

图. 5C-I		图5C							
图. 5C-II		542C							
516C-L		516C-U				544C-LS			
		沟道 1	沟道 2	沟道 3	沟道 4	沟道 5	沟道 6	沟道 7	沟道 8
暂存存储条 1	LSP 1,1	LSP 1,2	LSP 1,3	LSP 1,4	LSP 1,5	LSP 1,6	LSP 1,7	奇偶校验 LS1	550C
暂存存储条 2	奇偶校验 LS2	LSP 2,1	LSP 2,2	LSP 2,3	LSP 2,4	LSP 2,5	LSP 2,6	LSP 2,7	
暂存存储条 3	LSP 3,7	奇偶校验 LS3	LSP 3,1	LSP 3,2	LSP 3,3	LSP 3,4	LSP 3,5	LSP 3,6	
暂存存储条 4	LSP 4,6	LSP 4,7	奇偶校验 LS4	LSP 4,1	LSP 4,2	LSP 4,3	LSP 4,4	LSP 4,5	
暂存存储条 5	LSP 5,5	LSP 5,6	LSP 5,7	奇偶校验 LS5	LSP 5,1	LSP 5,2	LSP 5,3	LSP 5,4	
暂存存储条 6	LSP 6,4	LSP 6,5	LSP 6,6	LSP 6,7	奇偶校验 LS6	LSP 6,1	LSP 6,2	LSP 6,3	
暂存存储条 7	LSP 7,3	LSP 7,4	LSP 7,5	LSP 7,6	LSP 7,7	奇偶校验 LS7	LSP 7,1	LSP 7,2	
暂存存储条 8	USP 1,1	USP 1,2	USP 1,3	USP 1,4	USP 1,5	USP 1,6	USP 1,7	奇偶校验 US1	
暂存存储条 9	奇偶校验 US2	USP 2,1	USP 2,2	USP 2,3	USP 2,4	USP 2,5	USP 2,6	USP 2,7	
暂存存储条 10	USP 3,7	奇偶校验 US3	USP 3,1	USP 3,2	USP 3,3	USP 3,4	USP 3,5	USP 3,6	
暂存存储条 11	USP 4,6	USP 4,7	奇偶校验 US4	USP 4,1	USP 4,2	USP 4,3	USP 4,4	USP 4,5	
暂存存储条 12	USP 5,5	USP 5,6	USP 5,7	奇偶校验 US5	USP 5,1	USP 5,2	USP 5,3	USP 5,4	
暂存存储条 13	USP 6,4	USP 6,5	USP 6,6	USP 6,7	奇偶校验 US6	USP 6,1	USP 6,2	USP 6,3	
暂存存储条 14	USP 7,3	USP 7,4	USP 7,5	USP 7,6	USP 7,7	奇偶校验 US7	USP 7,1	USP 7,2	

图5C-I

544C-L	下存储条 1	LP 1,1	LP 1,2	LP 1,3	LP 1,4	LP 1,5	LP 1,6	LP 1,7	奇偶校验 L1
	下存储条 2	奇偶校验 L2	LP 2,1	LP 2,2	LP 2,3	LP 2,4	LP 2,5	LP 2,6	LP 2,7
	下存储条 3	LP 3,7	奇偶校验 L3	LP 3,1	LP 3,2	LP 3,3	LP 3,4	LP 3,5	LP 3,6
	下存储条 4	LP 4,6	LP 4,7	奇偶校验 L4	LP 4,1	LP 4,2	LP 4,3	LP 4,4	LP 4,5
	下存储条 5	LP 5,5	LP 5,6	LP 5,7	奇偶校验 L5	LP 5,1	LP 5,2	LP 5,3	LP 5,4
	下存储条 6	LP 6,4	LP 6,5	LP 6,6	LP 6,7	奇偶校验 L6	LP 6,1	LP 6,2	LP 6,3
	下存储条 7	LP 7,3	LP 7,4	LP 7,5	LP 7,6	LP 7,7	奇偶校验 L7	LP 7,1	LP 7,2
544C-U	上存储条 1	UP 1,1	UP 1,2	UP 1,3	UP 1,4	UP 1,5	UP 1,6	UP 1,7	奇偶校验 U1
	上存储条 2	UP 2,1	UP 2,2	UP 2,3	UP 2,4	UP 2,5	UP 2,6	UP 2,7	奇偶校验 U2
	上存储条 3	UP 3,1	UP 3,2	UP 3,3	UP 3,4	UP 3,5	UP 3,6	UP 3,7	奇偶校验 U3
	上存储条 4	UP 4,1	UP 4,2	UP 4,3	UP 4,4	UP 4,5	UP 4,6	UP 4,7	奇偶校验 U4
	上存储条 5	UP 5,1	UP 5,2	UP 5,3	UP 5,4	UP 5,5	UP 5,6	UP 5,7	奇偶校验 U5
	上存储条 6	UP 6,1	UP 6,2	UP 6,3	UP 6,4	UP 6,5	UP 6,6	UP 6,7	奇偶校验 U6
	上存储条 7	UP 7,1	UP 7,2	UP 7,3	UP 7,4	UP 7,5	UP 7,6	UP 7,7	奇偶校验 U7

图 5C-II