



(12) 发明专利

(10) 授权公告号 CN 112599179 B

(45) 授权公告日 2021. 11. 23

(21) 申请号 202011619489.2

审查员 陈敏

(22) 申请日 2020.12.31

(65) 同一申请的已公布的文献号

申请公布号 CN 112599179 A

(43) 申请公布日 2021.04.02

(73) 专利权人 芯天下技术股份有限公司

地址 518000 广东省深圳市龙岗区园山街
道荷坳社区龙岗大道8288号大运软件
小镇10栋101

(72) 发明人 黎永健 唐维强 刘佳庆 蒋双泉

(74) 专利代理机构 佛山市海融科创知识产权代

理事务所(普通合伙) 44377

代理人 陈志超 唐敏珊

(51) Int. Cl.

G11C 29/12 (2006.01)

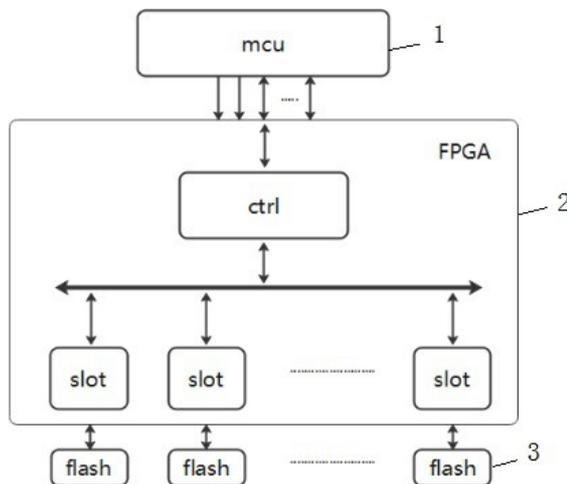
权利要求书2页 说明书5页 附图2页

(54) 发明名称

一种并行的flash寿命测试装置

(57) 摘要

本发明公开了一种并行的flash寿命测试装置,控制单元向拓展单元发送控制指令,拓展单元对控制指令进行解释,并根据解释后的指令对多个待测flash进行并行的寿命测试;利用FPGA引脚多且可以实现并行处理的特性实现大量flash并行检测,增加flash处理的数量,提高cycling的处理速度,降低检测成本。



1. 一种并行的flash寿命测试装置,其特征在于,包括:
 - 控制单元,向拓展单元发送控制指令;
 - 电源模块,为待测flash提供正常供电;
 - 拓展单元,接收并解释控制单元发送过来的控制指令,并根据解释后的指令对待测flash进行并行的寿命测试;
 - 多个待测试芯片模块,每个待测试芯片模块安插有一个待测flash;
 - 所述待测试芯片模块与电源模块电连接,拓展单元与待测试芯片模块电连接,控制单元与拓展单元电连接,电源模块与拓展单元连接;
 - 所述拓展单元采用FPGA,所述FPGA包括ctrl模块和多个slot模块,多个所述slot模块均与ctrl模块连接,所述ctrl模块与所述控制单元连接,一个所述slot模块与一个所述待测试芯片模块对应连接,每个所述slot模块通过所述待测试芯片模块与一个所述待测flash对应连接;
 - 所述控制单元发送cycling配置指令到所述ctrl模块,所述ctrl模块校验解析后,将cycling配置指令中的有效信息发送到所述slot模块,以供所述slot模块在执行cycling流程中获取读、写、擦操作的指令信息;
 - 所述控制单元发送启动指令到所述拓展单元,校验通过后,使所述slot模块开始进行cycling流程;
 - 所述slot模块进入erase操作阶段,发送erase命令后,开始计数,所述slot模块开始连续读取状态寄存器中wip bit (wip位) 的状态,当wip=0时,表示erase指令操作完成,则结束计数,此时得到所述待测flash的erase time,若erase time超出所述待测flash中的spec规定的数值,则表示erase操作超时,此时会终止cycling流程,等待所述控制单元的下一个指令;erase成功后,所述slot模块将发送读指令到所述待测flash检测被erase区域的数据数值是否为全1,若为全1,表示erase成功,进入program阶段,program操作与erase操作流程相同;若读取的数据中存在不为全1的数据,表示erase操作出现错误,则所述slot模块会将前四个错误信息的数值和地址保存在寄存器中,以供所述控制单元读取进行分析,并终止cycling流程,等待所述控制单元的下一指令。
2. 根据权利要求1所述的并行的flash寿命测试装置,其特征在于,所述控制单元包括stm32单片机和为stm32单片机提供时钟的晶振,所述stm32单片机与拓展单元电连接。
3. 根据权利要求2所述的并行的flash寿命测试装置,其特征在于,所述stm32单片机通过qspi接口与拓展单元进行通信。
4. 根据权利要求1所述的并行的flash寿命测试装置,其特征在于,所述控制指令包括配置指令、启动指令、bypass指令。
5. 根据权利要求1所述的并行的flash寿命测试装置,其特征在于,所述ctrl模块和多个slot模块通过apb总线连接。
6. 根据权利要求1所述的并行的flash寿命测试装置,其特征在于,所述待测试芯片模块采用flash专用底座,每个待测试芯片模块上插接一个待测flash。
7. 根据权利要求1所述的并行的flash寿命测试装置,其特征在于,所述电源模块采用直流稳压电源。
8. 根据权利要求1或7任一所述的并行的flash寿命测试装置,其特征在于,所述电源模

块设置的数量与待测试芯片模块设置的数量一致,一个电源模块为一个待测试芯片模块上的待测flash供电。

一种并行的flash寿命测试装置

技术领域

[0001] 本发明涉及flash寿命测试技术领域,尤其涉及的是一种并行的flash寿命测试装置。

背景技术

[0002] 随着物联网时代的到来,各种便携性终端设备开始在市场上出现,nor flash芯片由于其读取速度快、可执行代码等特性,在物联网设备中得到了极为广泛的应用。电子产品的稳定性和使用寿命一直以来都是产品开发人员关注的重点,在flash产品出厂后,设计方需要对产品的使用寿命进行监控和测试,确保产品投入市场后的达到预期的表现,一般是周期性的对flash进行擦写操作以实现检测的目的,传统方法采用单片机为核心操控flash,存在着检测速率慢,成本较高等等缺点。

[0003] 在传统的测试方法中,一般选中控制单元作为master,待测试flash作为slaver,控制单元通过spi总线发送相应指令到flash,通过控制单元周期性的对flash进行擦写操作,以达到检测flash寿命的目的。通常由于控制单元的引脚数较少,一般是一个控制单元挂载两个flash,挂载数量较少,当待测的flash数量较多时,需要大量的控制单元作为主控器件并增加制板数量,所需要的成本较高且操作不便。

[0004] 因此,现有的技术还有待于改进和发展。

发明内容

[0005] 本发明的目的在于提供一种并行的flash寿命测试装置,旨在解决现有的flash寿命测试装置的检测速率慢,检测成本较高的问题。

[0006] 本发明的技术方案如下:一种并行的flash寿命测试装置,其中,包括:

[0007] 控制单元,向拓展单元发送控制指令;

[0008] 电源模块,为待测flash提供正常供电;

[0009] 拓展单元,接收并解释控制单元发送过来的控制指令,并根据解释后的指令对待测flash进行相应操作;

[0010] 多个待测试芯片模块,每个待测试芯片模块安插有一个待测flash;

[0011] 所述待测试芯片模块与电源模块电连接,拓展单元与待测试芯片模块电连接,控制单元与拓展单元电连接,电源模块与拓展单元连接;控制单元向拓展单元发送控制指令,拓展单元对控制指令进行解释,并根据解释后的指令对多个待测flash进行并行的寿命测试。

[0012] 所述的并行的flash寿命测试装置,其中,所述控制单元包括stm32单片机和为stm32单片机提供时钟的晶振,所述stm32单片机与拓展单元电连接。

[0013] 所述的并行的flash寿命测试装置,其中,所述stm32单片机通过qspi接口与拓展单元进行通信。

[0014] 所述的并行的flash寿命测试装置,其中,所述控制指令包括配置指令、启动指令、

bypass指令。

[0015] 所述的并行的flash寿命测试装置,其中,所述拓展单元采用FPGA。

[0016] 所述的并行的flash寿命测试装置,其中,所述拓展单元包括ctrl模块和多个slot模块,所述多个slot模块均与ctrl模块连接,ctrl模块与控制单元连接,一个slot模块与一个待测试芯片模块对应连接,每个slot模块通过待测试芯片模块与一个待测flash对应连接。

[0017] 所述的并行的flash寿命测试装置,其中,所述ctrl模块和多个slot模块通过apb总线连接。

[0018] 所述的并行的flash寿命测试装置,其中,所述待测试芯片模块采用flash专用底座,每个待测试芯片模块上插接一个待测flash。

[0019] 所述的并行的flash寿命测试装置,其中,所述电源模块采用直流稳压电源。

[0020] 所述的并行的flash寿命测试装置,其中,所述电源模块设置的数量与待测试芯片模块设置的数量一致,一个电源模块为一个待测试芯片模块上的待测flash供电。

[0021] 本发明的有益效果:本发明通过提供一种并行的flash寿命测试装置,控制单元向拓展单元发送控制指令,拓展单元对控制指令进行解释,并根据解释后的指令对多个待测flash进行并行的寿命测试;利用FPGA引脚多且可以实现并行处理的特性实现大数量flash并行检测,增加flash处理的数量,提高cycling的处理速度,降低检测成本。

附图说明

[0022] 图1是本发明中并行的flash寿命测试装置的连接示意图。

[0023] 图2是本发明中并行的flash寿命测试装置的操作步骤流程图。

具体实施方式

[0024] 下面将结合本申请实施例中附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。通常在此处附图中描述和示出的本申请实施例的组件可以以各种不同的配置来布置和设计。因此,以下对在附图中提供的本申请的实施例的详细描述并非旨在限制要求保护的本申请的范围,而是仅仅表示本申请的选定实施例。基于本申请的实施例,本领域技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0025] 应注意到:相似的标号和字母在下面的附图中表示类似项,因此,一旦某一项在一个附图中被定义,则在随后的附图中不需要对其进行进一步定义和解释。同时,在本申请的描述中,术语“第一”、“第二”等仅用于区分描述,而不能理解为指示或暗示相对重要性。

[0026] 如图1所示,一种并行的flash寿命测试装置,包括:

[0027] 控制单元1,向拓展单元2发送控制指令;

[0028] 电源模块,为待测flash3提供正常供电;

[0029] 拓展单元2,接收并解释控制单元1发送过来的控制指令,并根据解释后的指令对待测flash3进行相应操作;

[0030] 多个待测试芯片模块,每个待测试芯片模块安插有一个待测flash3;

[0031] 所述待测试芯片模块与电源模块电连接,拓展单元2与待测试芯片模块电连接,控

制单元1与拓展单元2电连接,电源模块与拓展单元2连接;控制单元1向拓展单元2发送控制指令,拓展单元2对控制指令进行解释,并根据解释后的指令对多个待测flash3进行并行的寿命测试。

[0032] 在某些具体实施例中,所述控制单元1包括stm32单片机和晶振,其作用主要是向拓展单元2发送相应的控制指令,stm32单片机的时钟由板载的晶振提供,stm32单片机通过qspi (Quad SPI,即4线spi)接口与拓展单元2进行通信;所述控制指令(此指令非flash内部指令)由控制单元1和拓展单元2双方共同制定,包括配置、启动、bypass(是指可以通过特定的触发状态(断电或死机)让两个网络不通过网络安全设备的系统,而直接物理上导通)等,能够实现对多个flash cycling(flash循环使用)的并行控制和对单一flash的单独控制。

[0033] 在某些具体实施例中,所述拓展单元2采用FPGA(Field Programmable Gate Array),包括ctrl模块和多个slot模块,所述多个slot模块均与ctrl模块连接,ctrl模块与控制单元1连接,一个slot模块与一个待测试芯片模块连接,每个slot模块通过待测试芯片模块与一个待测flash3对应连接:控制单元1发送配置指令(控制指令的一种)到拓展单元2,由ctrl模块对配置指令进行解析判断,将cycling流程中所需要的指令、地址、传输模式等信息发送到对应的slot模块,而后控制单元1再次发送启动指令(控制指令的一种),ctrl模块接收并解析该启动指令后通过apb(Advanced Peripheral Bus,外围总线)总线将对应的slot模块的内部指示寄存器置位,达到启动对应slot模块,从而对对应的flash的cycling操作的目的。

[0034] 本技术方案中,所述slot模块的数量可以根据实际需要设置。本实施例中,一共例化(模块的例化(Module Instance)是指:verilog(一般指Verilog HDL,Verilog HDL是一种硬件描述语言,以文本形式来描述数字系统硬件的结构和行为的语言,用它可以表示逻辑电路图、逻辑表达式,还可以表示数字逻辑系统所完成的逻辑功能)语言中的基本术语,是指具有某一个特定功能的Verilog module代码,在整个设计中如果包含这个module功能,则将它在设计中例化,使其成为设计中的一部分)了42个slot模块,每个slot模块对应一个待测flash3,可同时对42个待测flash3进行并行的寿命测试。

[0035] 在某些具体实施例中,所述待测试芯片模块采用nor flash专用的底座(即指插接芯片的插槽),每个底座可安插一个待测flash3,底座的引脚与拓展单元2相连,底座的引脚与电源模块相连;所述待测试芯片模块的数量可根据实际需要设置,待测试芯片模块最大的设置数量等于slot模块的数量(即42个)。

[0036] 在某些具体实施例中,所述电源模块采用直流稳压电源,能够确保安插在待测试芯片模块上的待测flash3的正常供电。本技术方案中,针对42个待测试芯片模块配备了42个直流稳压电源,可通过指令单独对每一个直流稳压电源的电压进行编辑,使得该测试平台的拓展性和兼容性得到大大的提升。

[0037] 根据上述所述的并行的flash寿命测试装置,如图2所示,其一般的操作步骤如下:

[0038] 1. 控制单元1发送电压配置指令到拓展单元2,Qspi接口中cs端口拉低,控制单元1通过io0~3在时钟作用下发送配置指令,拓展单元2在控制单元1提供的时钟下接受数据到移位寄存器。经校验后根据第0 byte信息确定指令类型为电压调节指令,ctrl模块对指令校验后,根据片选信息,将指令中的电压调节信息通过spi总线传递到电源模块,达到配置电源模块的目的。

[0039] 2. 控制单元1发送操作flash指令到拓展单元2,经拓展单元2中的ctrl模块校验解析后,将操作flash指令中的有效信息存入ctrl_flash寄存器中并并行输出到slot模块,通过apb总线,ctrl模块将slot中的ctrl_flash_reg置位。被选中的slot模块检测到ctrl_flash_reg置位后,根据ctrl_flash的信息发送读id指令到flash,并将读取的flash id信息通过apb总线传送到ctrl模块进而发送到控制单元1。

[0040] 3. 控制单元1发送cycling配置指令到拓展单元2,经拓展单元2中的ctrl模块校验解析后,将cycling配置指令中的有效信息存入config寄存器中并并行发送到slot模块,以供slot模块在执行cycling流程中获取读、写、擦操作的指令信息。

[0041] 4. 控制单元1发送启动指令到拓展单元2,校验通过后ctrl模块通过apb总线将slot模块内的cycling_en指示寄存器置位,slot模块从而开始进行cycling流程,本技术方案中cycling流程共分为4个阶段,分别为erase(擦除)、check erase(擦除检查)、program(编程)和check program(编程检查)。

[0042] 5. slot模块在检测到cycling_en寄存器置位后,进入erase操作阶段。发送erase命令后,erase_cnt计数器开始计数,slot模块开始连续发送read status指令读取状态寄存器中wip bit(wip位)的状态,当wip= 0时,表示erase指令操作完成,erase_cnt结束计数,此时得到该flash芯片的erase time,若erase time超出flash芯片spec中规定的数值,则表示erase操作超时,此时会终止cycling流程,等待控制单元1的下一个指令。Erase成功后slot模块将发送读指令到待测flash3检测被erase区域的数据数值是否为全1,若为全1,表示erase成功,进入program阶段;若读取的数据中存在不为全1的数据,表示erase操作出现错误,则slot模块会将前四个错误信息的数值和地址保存在寄存器中以供控制单元1读取进行分析,并终止cycling流程,等待控制单元1的下一指令。而后的program与check program操作与上述的erase和check erase操作相似。

[0043] 由以上步骤可知,利用本并行的flash寿命测试装置,能够简单、高效的实现多个flash芯片寿命的并行测试,提高检测速率,降低检测成本。

[0044] 在本申请所提供的实施例中,应该理解到,所揭露装置和方法,可以通过其它的方式实现。以上所描述的装置实施例仅仅是示意性的,例如,所述单元的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,又例如,多个单元或组件可以结合或者可以集成到另一个系统,或一些特征可以忽略,或不执行。另一点,所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些通信接口,装置或单元的间接耦合或通信连接,可以是电性,机械或其它的形式。

[0045] 另外,作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

[0046] 再者,在本申请各个实施例中的各功能模块可以集成在一起形成一个独立的部分,也可以是各个模块单独存在,也可以两个或两个以上模块集成形成一个独立的部分。

[0047] 在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。

[0048] 以上所述仅为本申请的实施例而已,并不用于限制本申请的保护范围,对于本领域的技术人员来说,本申请可以有各种更改和变化。凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

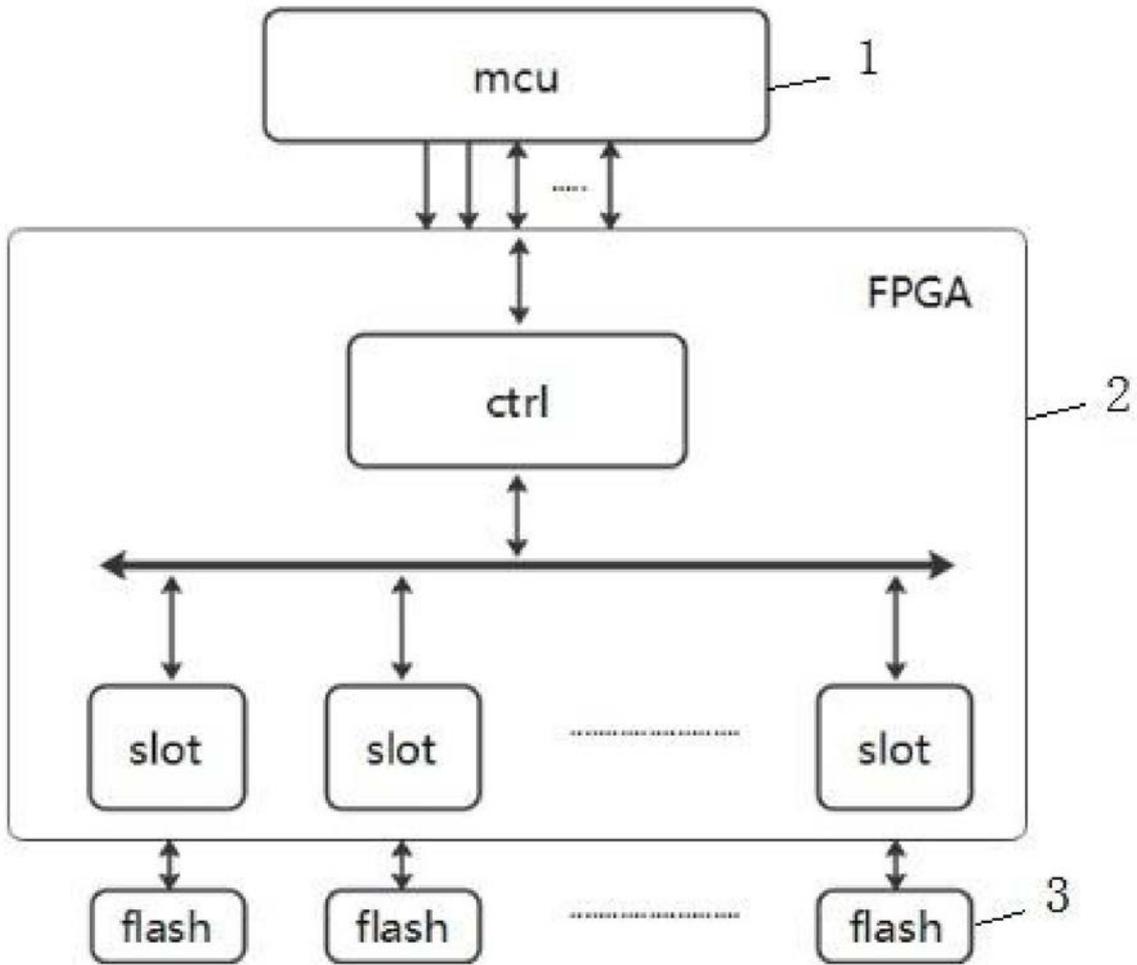


图1

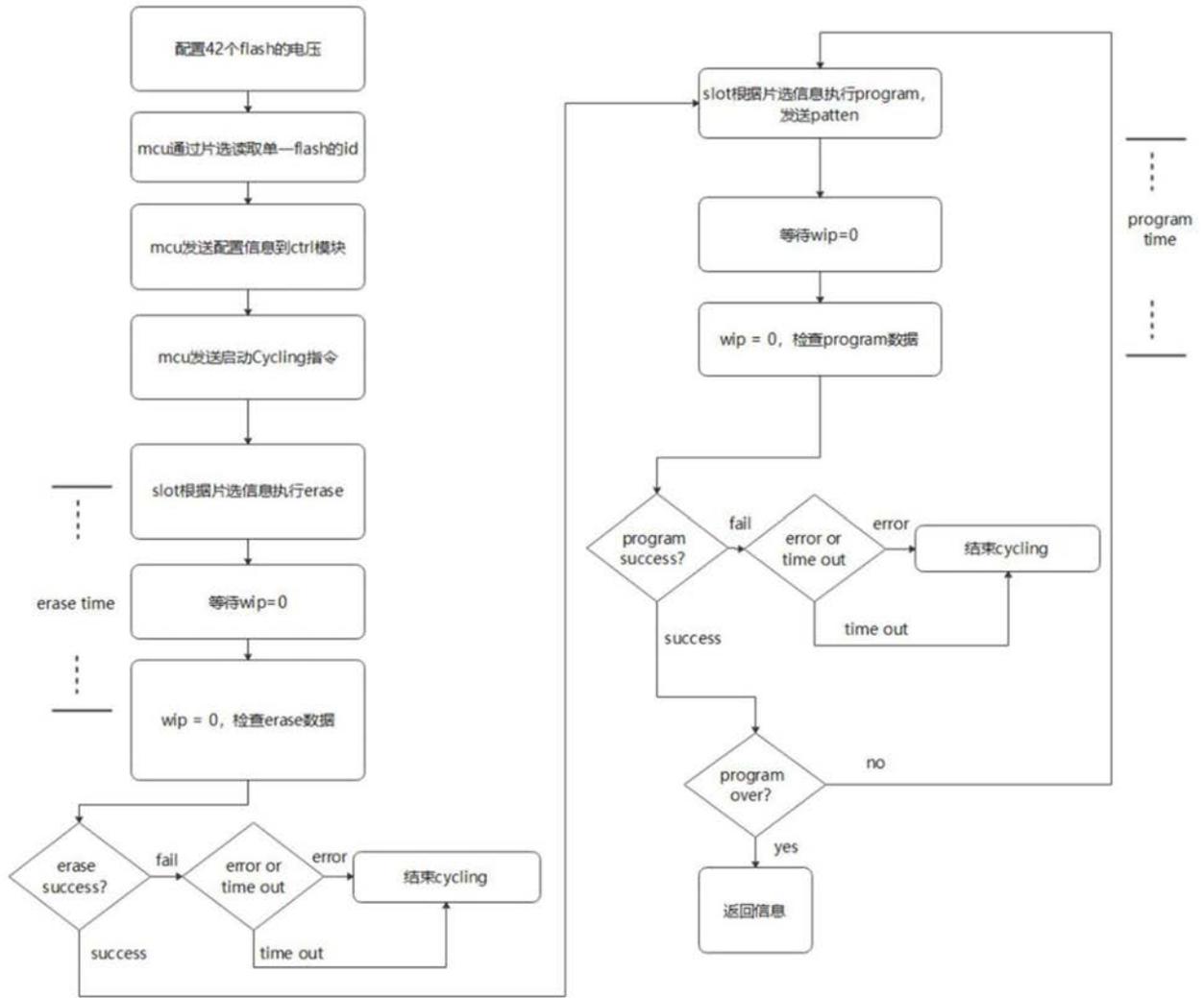


图2