

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-10168

(P2010-10168A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 A	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 E	5 F 0 6 4
HO 1 L 21/82 (2006.01)	HO 1 L 21/82 P	
	HO 1 L 27/04 U	

審査請求 未請求 請求項の数 13 O L (全 22 頁)

(21) 出願番号 特願2008-164129 (P2008-164129)
 (22) 出願日 平成20年6月24日 (2008. 6. 24)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 松本 和丈
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

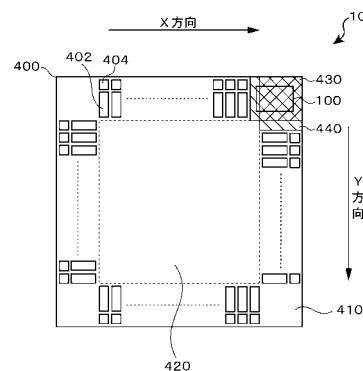
(54) 【発明の名称】 集積回路装置及び電子機器

(57) 【要約】

【課題】 発振回路を内蔵した場合であっても低コスト化を図ることができる集積回路装置及び電子機器を提供する。

【解決手段】 集積回路装置10は、基板と、前記基板の縁部に沿って設けられたI/O (Input/Output) セル領域に配置された複数のI/Oセルと、前記I/Oセル領域に配置され発振回路を有する発振回路ブロックとを含み、前記発振回路ブロックが、前記I/Oセル領域内において前記基板のコーナー領域を含む配置領域に配置される。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

基板と、
前記基板の縁部に沿って設けられた I / O (Input/Output) セル領域に配置された複数の I / O セルと、
前記 I / O セル領域に配置され発振回路を有する発振回路ブロックとを含み、
前記発振回路ブロックが、
前記 I / O セル領域内において前記基板のコーナー領域を含む配置領域に配置されることを特徴とする集積回路装置。

【請求項 2】

請求項 1 において、
前記配置領域は、
第 1 の方向に前記複数の I / O セルのいずれかが一列に配列される領域と、該第 1 の方向と交差する第 2 の方向に前記複数の I / O セルのいずれかが一列に配列される領域との交差領域を含む領域であることを特徴とする集積回路装置。

【請求項 3】

基板と、
前記基板の縁部に沿って設けられた I / O (Input/Output) セル領域に配置された複数の I / O セルと、
前記複数の I / O セルを構成する各 I / O セルに接続され、該各 I / O セルに電源電圧を供給するための環状電源配線と、
前記基板のコーナー領域に配置され発振回路を有する発振回路ブロックとを含み、
前記発振回路ブロックが、
前記コーナー領域内で前記環状電源配線の外側に設けられた配置領域に配置されることを特徴とする集積回路装置。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、
前記基板に配置され、前記発振回路と発振振動子の一端とを電気的に接続するための第 1 の外部端子と、
前記基板に配置され、前記発振回路と前記発振振動子の他端とを電気的に接続するための第 2 の外部端子とを含み、
前記第 1 及び第 2 の外部端子が、
前記配置領域に配置されることを特徴とする集積回路装置。

【請求項 5】

基板と、
前記基板に配置され発振回路を有する発振回路ブロックと、
前記基板に配置され、前記発振回路と発振振動子の一端とを電気的に接続するための第 1 の外部端子と、
前記基板に配置され、前記発振回路と前記発振振動子の他端とを電気的に接続するための第 2 の外部端子とを含み、
前記発振回路ブロック、前記第 1 及び第 2 の外部端子が、
前記基板のコーナー領域に設けられた配置領域に配置されることを特徴とする集積回路装置。

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、
前記発振回路の電源電圧を制御する定電圧発生回路を含み、
前記定電圧発生回路が、
前記配置領域に配置されることを特徴とする集積回路装置。

【請求項 7】

請求項 6 において、

10

20

30

40

50

前記基板に配置され、前記発振回路及び前記定電圧発生回路の低電位側電源が供給される第 3 の外部端子と、

前記基板に配置され、前記定電圧発生回路の高電位側電源が供給される第 4 の外部端子とを含み、

前記第 3 及び第 4 の外部端子が、

前記配置領域に配置されることを特徴とする集積回路装置。

【請求項 8】

請求項 1 乃至 7 のいずれかにおいて、

少なくとも前記発振回路ブロックの周囲に、所与の固定電圧が印加される領域が設けられることを特徴とする集積回路装置。

10

【請求項 9】

請求項 1 乃至 7 のいずれかにおいて、

前記発振回路を構成する素子が、前記基板に設けられた第 1 の不純物領域内に形成され、前記複数の I / O セルの各 I / O セルを構成する素子が、前記基板に設けられた第 2 の不純物領域内に形成される場合に、

前記第 1 及び第 2 の不純物領域が分離されていることを特徴とする集積回路装置。

【請求項 10】

請求項 1 乃至 9 のいずれかにおいて、

前記基板に配置され、前記発振回路の電源端子に安定化用キャパシタを電氣的に接続するための第 5 の外部端子を含み、

20

前記第 5 の外部端子が、

前記配置領域に配置されることを特徴とする集積回路装置。

【請求項 11】

請求項 1 乃至 10 のいずれかにおいて、

前記基板に配置され、発振振動子からの入力信号が入力される第 1 の発振回路専用 I / O セルと、

前記基板に配置され、前記発振振動子への出力信号を出力する第 2 の発振回路専用 I / O セルとを含み、

前記第 1 及び第 2 の発振回路専用 I / O セルが、

前記複数の I / O セルのいずれともその構成が異なり、前記発振回路専用 I / O セルであることを特徴とする集積回路装置。

30

【請求項 12】

システム基板と、

前記システム基板上に搭載される請求項 1 乃至 11 のいずれか記載の集積回路装置と、

前記システム基板上に搭載され前記発振回路に電氣的に接続される発振振動子とを含むことを特徴とする電子機器。

【請求項 13】

請求項 12 において、

前記発振振動子が、

前記集積回路装置のコーナー部の近傍領域に配置されることを特徴とする電子機器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路装置及び電子機器に関する。

【背景技術】

【0002】

近年、時計や携帯電話等の携帯機器（広義には電子機器）では、より一層の小型化や低コスト化が求められている。そのため、携帯機器に搭載される半導体集積回路装置（広義には集積回路装置）が実装されるシステム基板上において、信号の配線領域の増大を抑えることが行われている（例えば特許文献 1 を参照）。或いは、携帯機器に搭載される半導

50

体集積回路装置（広義には集積回路装置）に、例えば中央演算処理装置（Central Processing Unit：CPU）、メモリ、タイマ、発振回路等の周辺回路を内蔵させることが行われている。

【0003】

特に、CPUや周辺回路等の動作クロックを生成する発振回路を半導体集積回路装置に内蔵させた場合、半導体集積回路装置内で動作クロックを各回路に分配できるため、低消費電力化の効果も得ることができる。

【0004】

【特許文献1】国際公開第05/091367号パンフレット

【発明の開示】

10

【発明が解決しようとする課題】

【0005】

ところで、発振回路を内蔵する半導体集積回路装置には、該発振回路の外付け部品として発振振動子等が接続される。また、発振回路は、ノイズの影響を受けやすい一方で、ノイズの発生源となることが多い。そのため、半導体基板（半導体チップ、チップ）において発振回路のマクロブロックの配置位置を考慮する必要がある。

【0006】

しかしながら、半導体基板のコーナー部には、該半導体基板を識別するための記号、製造時のマスク等の位置決めのための目印、又は製造精度を確認するためのモニター回路等が配置されるものの、コーナー部の未使用エリアが無駄に存在している。そのため、発振回路を半導体集積回路装置に内蔵させた場合であっても、この未使用エリアに起因して、半導体基板のサイズを小さくするにも限界があり、低コスト化の妨げとなる場合がある。

20

【0007】

また、半導体集積回路装置に発振回路を内蔵させたとしても、該半導体集積回路装置が実装されるシステム基板上において、発振回路の外付け部品の配置が考慮されていない。そのため、システム基板上で信号線を避けるために発振信号が伝送される信号線の等長性を失わせてしまう。これを回避するために、システム基板を構成する基板層数を増加させる必要があり、コスト高を招く場合がある。

【0008】

更に、発振回路を内蔵する半導体集積回路装置では、発振回路へのノイズの影響等を考慮する必要がある。そのため、半導体集積回路装置において、ノイズの影響を低減する対策を講じたり、同じ半導体基板に配置されるその他の回路のマクロブロックの配置位置を決定するためフロアプランの大きな制約となったりして、コスト高を招く場合がある。

30

【0009】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的の1つは、発振回路を内蔵した場合であっても低コスト化を図ることができる集積回路装置及び電子機器を提供することにある。

【課題を解決するための手段】

【0010】

上記課題を解決するために本発明は、基板と、前記基板の縁部に沿って設けられたI/O（Input/Output）セル領域に配置された複数のI/Oセルと、前記I/Oセル領域に配置され発振回路を有する発振回路ブロックとを含み、前記発振回路ブロックが、前記I/Oセル領域内において前記基板のコーナー領域を含む配置領域に配置される集積回路装置に関する。

40

【0011】

また本発明に係る集積回路装置では、前記配置領域は、第1の方向に前記複数のI/Oセルのいずれかが一列に配列される領域と、該第1の方向と交差する第2の方向に前記複数のI/Oセルのいずれかが一列に配列される領域との交差領域を含む領域であってもよい。

【0012】

50

上記のいずれかの発明によれば、基板の縁部に沿って設けられたI/Oセル領域内において該基板のコーナー領域を含む配置領域に発振回路ブロックを配置するようにしたので、無駄なエリアと考えられていた基板のコーナー領域を有効活用して、基板のサイズを縮小して、低コスト化を図ることができるようになる。また、上記のいずれかの発明によれば、発振回路がI/Oセルの影響を受けやすくなる場合であっても、電源分離や専用電源を用意してI/Oセルの影響を低コストで回避できるようになる。また、上記のいずれかの発明によれば、その近傍の周辺の外部端子の種類にかかわらず、ノイズの影響を受けることなく発振回路の発振動作を低コストで安定化させることができるようになる。更に、発振回路ブロックの近くにノイズ源となり得る信号線が配置されることを考慮する必要がなくなり、回路配線が容易となる。その結果、開発工数が削減されて、低コスト化に寄与

10

20

30

40

50

【0013】

また本発明は、基板と、前記基板の縁部に沿って設けられたI/O (Input/Output) セル領域に配置された複数のI/Oセルと、前記複数のI/Oセルを構成する各I/Oセルに接続され、該各I/Oセルに電源電圧を供給するための環状電源配線と、前記基板のコーナー領域に配置され発振回路を有する発振回路ブロックとを含み、前記発振回路ブロックが、前記コーナー領域内で前記環状電源配線の外側に設けられた配置領域に配置される集積回路装置に関する。

【0014】

本発明によれば、基板のコーナー領域のうちI/Oセルの環状電源配線の外側に発振回路ブロックを配置するようにしたので、発振振動子と接続される高インピーダンスラインである信号線とがクロスする必要がなくなり、発振回路の発振動作を低コストで安定化させることができるようになる。また、本発明によれば、基板においてコーナー領域内で環状電源配線の外側に設けられた配置領域に発振回路ブロックを配置するようにしたので、無駄なエリアと考えられていた基板のコーナー領域を有効活用して、基板のサイズを縮小して、低コスト化を図ることができるようになる。また、本発明によれば、発振回路がI/Oセルの影響を受けやすくなる場合であっても、電源分離や専用電源を用意してI/Oセルの影響を低コストで回避できるようになる。また、本発明によれば、その近傍の周辺の外部端子の種類にかかわらず、ノイズの影響を受けることなく発振回路の発振動作を低コストで安定化させることができるようになる。更に、発振回路ブロックの近くにノイズ源となり得る信号線が配置されることを考慮する必要がなくなり、回路配線が容易となる。その結果、開発工数が削減されて、低コスト化に寄与できるようになる。更に、本発明によれば、発振回路ブロックと内部領域に配置される他の回路ブロックとの配置距離を十分に取れるようになるので、基板内のフロアプランの制約が緩和されて設計効率が向上し、開発工数を削減できるようになる。

【0015】

また本発明に係る集積回路装置では、前記基板に配置され、前記発振回路と発振振動子の一端とを電氣的に接続するための第1の外部端子と、前記基板に配置され、前記発振回路と前記発振振動子の他端とを電氣的に接続するための第2の外部端子とを含み、前記第1及び第2の外部端子が、前記配置領域に配置されてもよい。

【0016】

本発明によれば、基板の外部において、発振回路に極力近い位置に発振振動子を配置しやすくなる上に、発振信号が伝送される信号線を他の信号線と無駄にクロスさせずに済み、低コストで信頼性を向上させることができる。また、本発明によれば、発振振動子とのマッチングのために容量素子や抵抗素子を外部で更に付加する必要がある場合でも、これらの素子を配置できる位置を容易に確保できるため、低コストで使い勝手を向上させることができるようになる。

【0017】

また本発明は、基板と、前記基板に配置され発振回路を有する発振回路ブロックと、前記基板に配置され、前記発振回路と発振振動子の一端とを電氣的に接続するための第1の外部端子と、前記基板に配置され、前記発振回路と前記発振振動子の他端とを電氣的に接続するための第2の外部端子とを含み、前記発振回路ブロック、前記第1及び第2の外部端子が、前記基板のコーナー領域に設けられた配置領域に配置される集積回路装置に係る。

【0018】

本発明によれば、基板のコーナー領域に発振回路ブロックを配置するようにしたので、無駄なエリアと考えられていた基板のコーナー領域を有効活用して、基板のサイズを縮小して、低コスト化を図ることができるようになる。また、本発明によれば、発振回路がI/Oセルの影響を受けやすくなる場合であっても、電源分離や専用電源を用意してI/Oセルの影響を低コストで回避できるようになる。また、本発明によれば、その近傍の周辺の外部端子の種類にかかわらず、ノイズの影響を受けることなく発振回路の発振動作を低コストで安定化させることができるようになる。更に、発振回路ブロックの近くにノイズ源となり得る信号線が配置されることを考慮する必要がなくなり、回路配線が容易となる。その結果、開発工数が削減されて、低コスト化に寄与できるようになる。更に、本発明によれば、発振回路ブロックと内部領域に配置される他の回路ブロックとの配置距離を十分に取れるようになるので、基板内のフロアプランの制約が緩和されて設計効率が向上し、開発工数を削減できるようになる。

10

【0019】

また本発明に係る集積回路装置では、前記発振回路の電源電圧を制御する定電圧発生回路を含み、前記定電圧発生回路が、前記配置領域に配置されてもよい。

20

【0020】

また本発明に係る集積回路装置では、前記基板に配置され、前記発振回路及び前記定電圧発生回路の低電位側電源が供給される第3の外部端子と、前記基板に配置され、前記定電圧発生回路の高電位側電源が供給される第4の外部端子とを含み、前記第3及び第4の外部端子が、前記配置領域に配置されてもよい。

【0021】

本発明によれば、発振回路に関連する信号線と他の信号線と無駄にクロスさせずに済み、低コストで信頼性を向上させることができる。

30

【0022】

また本発明に係る集積回路装置では、少なくとも前記発振回路ブロックの周囲に、所与の固定電圧が印加される領域が設けられてもよい。

【0023】

本発明によれば、近くに配置されるI/Oセルの影響を確実に抑え、低コストで発振回路の発振動作を安定化させることができる。

【0024】

また本発明に係る集積回路装置では、前記発振回路を構成する素子が、前記基板に設けられた第1の不純物領域内に形成され、前記複数のI/Oセルの各I/Oセルを構成する素子が、前記基板に設けられた第2の不純物領域内に形成される場合に、前記第1及び第2の不純物領域が分離されていてもよい。

40

【0025】

本発明によれば、近くに配置されるI/Oセルの影響を確実に抑え、低コストで発振回路の発振動作を安定化させることができる。

【0026】

また本発明に係る集積回路装置では、前記基板に配置され、前記発振回路の電源端子に安定化用キャパシタを電氣的に接続するための第5の外部端子を含み、前記第5の外部端子が、前記配置領域に配置されてもよい。

【0027】

本発明によれば、発振回路の発振動作を安定化する際に、発振回路に関連する信号線と

50

他の信号線と無駄にクロスさせずに済み、低コストで信頼性を向上させることができる。

【0028】

また本発明に係る集積回路装置では、前記基板に配置され、発振振動子からの入力信号が入力される第1の発振回路専用I/Oセルと、前記基板に配置され、前記発振振動子への出力信号を出力する第2の発振回路専用I/Oセルとを含み、前記第1及び第2の発振回路専用I/Oセルが、前記複数のI/Oセルのいずれともその構成が異なり、前記発振回路専用I/Oセルに設けられたI/Oセルであってもよい。

【0029】

本発明によれば、発振回路専用のI/Oセルを設けることで、信号経路の抵抗値や容量値を考慮した設計変更が不要となり、特性を揃えた状態で他の集積回路装置に流用できるようになる。しかも、発振回路専用のI/Oセルを周囲のI/Oセルに合わせ無駄に大きくする必要がなくなり、基板のサイズを小さくできるようになる。

10

【0030】

また本発明は、システム基板と、前記システム基板上に搭載される上記のいずれか記載の集積回路装置と、前記システム基板上に搭載され前記発振回路に電氣的に接続される発振振動子とを含む電子機器に関する。

【0031】

本発明によれば、発振回路を内蔵した場合であっても低コスト化を図ることができる集積回路装置を含む電子機器を提供できるようになる。

【0032】

また本発明に係る電子機器では、前記発振振動子が、前記集積回路装置のコーナー部の近傍領域に配置されてもよい。

20

【0033】

本発明によれば、集積回路装置のコーナー部を有効活用して、発振回路の発振動作をより一層安定化させると共に、電子機器の小型化を図ることができるようになる。

【発明を実施するための最良の形態】

【0034】

以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

30

【0035】

以下では、本発明に係る集積回路装置として、発振回路の他にCPUやLCD(Liquid Crystal Display)パネルの駆動回路を含む集積回路装置を例に説明するが、本発明に係る集積回路装置はCPUやLCDパネルの駆動回路を含むものに限定されるものではない。

【0036】

1. 集積回路装置

〔実施形態1〕

図1に、本発明に係る実施形態1における集積回路装置の構成例の機能ブロック図を示す。

40

【0037】

集積回路装置10は、発振回路80、CPU110、ROM(Read Only Memory)112、RAM(Random Access Memory)114、第1及び第2の周辺回路116、118、I/O(Input/Output)ポート120、表示メモリ122、LCD駆動回路124、電源回路126、及びバス130を含む。CPU110、ROM112、RAM114、第1及び第2の周辺回路116、118、I/Oポート120、表示メモリ122、LCD駆動回路124、及び電源回路126は、バス130を介し電氣的に接続される。

【0038】

この集積回路装置10は、外部端子群P1、P2、第1～第5の外部端子TM1～TM5を有する。外部端子群P1、P2は、それぞれ複数の端子により構成される。外部端子

50

群 P 1、P 2 を構成する各端子や第 1 ~ 第 5 の外部端子 T M 1 ~ T M 5 を構成する各端子は、I / O (I n p u t / O u t p u t) 回路と電氣的に接続され半導体基板 (チップ) 上に形成されたパッドを有する。各パッドとこれに対応する I C (I n t e g r a t e d C i r c u i t) パッケージのピンとがボンディングワイヤを介して電氣的に接続される。

【 0 0 3 9 】

C P U 1 1 0 は、R O M 1 1 2 又は R A M 1 1 4 に記憶されたプログラムをバス 1 3 0 を介して読み出し、該プログラムに対応した処理を実行することで、集積回路装置 1 0 の全体の制御を司る。

【 0 0 4 0 】

R O M 1 1 2 には、C P U 1 1 0 のプログラム又は各種の制御データが予め記憶されており、C P U 1 1 0 又は他の回路がバス 1 3 0 を介して R O M 1 1 2 からプログラム又は制御データを読み出す。

10

【 0 0 4 1 】

R A M 1 1 4 には、C P U 1 1 0、第 1 及び第 2 の周辺回路 1 1 6、1 1 8、及び I / O ポート 1 2 0 のワークエリアとして、データが一時的に格納されたり、表示メモリ 1 2 2 に格納される表示データが一時的に格納されたりする。

【 0 0 4 2 】

第 1 の周辺回路 1 1 6 は、例えば割り込みコントローラ、タイマ回路やウオッチドッグタイマにより構成され、バス 1 3 0 を介して C P U 1 1 0 により設定された条件で動作し、その動作結果を C P U 1 1 0 に通知することができるようになっている。

20

【 0 0 4 3 】

第 2 の周辺回路 1 1 8 は、例えばプログラマブルタイマやシリアルインターフェース回路により構成され、バス 1 3 0 を介して C P U 1 1 0 により設定された条件で動作し、I / O ポート 1 2 0 を経由して、外部端子群 P 2 を介して信号が入力又は出力されるようになっている。

【 0 0 4 4 】

I / O ポート 1 2 0 は、汎用ポートとして機能し、外部端子群 P 2 を構成する端子のいずれかを介して信号の入力や出力が行われる。

【 0 0 4 5 】

表示メモリ 1 2 2 には、C P U 1 1 0 により生成された図示しない L C D パネルの 1 画面分の表示データが記憶される。表示メモリ 1 2 2 に記憶された表示データは、L C D 駆動回路 1 2 4 に送られる。外部端子群 P 1 には、L C D パネルのコモン電極やセグメント電極が電氣的に接続される。L C D 駆動回路 1 2 4 は、C P U 1 1 0 により設定された表示駆動条件で、外部端子群 P 1 を介して L C D パネルを駆動する。

30

【 0 0 4 6 】

電源回路 1 2 6 は、集積回路装置 1 0 を構成する各回路ブロックの電源を生成する。この電源回路 1 2 6 は、バス 1 3 0 を介して C P U 1 1 0 により設定された条件で、各回路ブロックの電源電圧を生成する。

【 0 0 4 7 】

発振回路 8 0 には、集積回路装置 1 0 の外部において第 1 及び第 2 の外部端子 T M 1、T M 2 を介して発振振動子 (或いは発振振動子及びキャパシタ) が接続される。発振回路 8 0 は、発振振動子からの発振信号に基づいて発振動作を行う。

40

【 0 0 4 8 】

また、発振回路 8 0 には、第 3 及び第 4 の外部端子 T M 3、T M 4 を介して外部から電源が供給される。第 3 の外部端子 T M 3 には、集積回路装置 1 0 の外部から所与のアナログ接地電圧が供給される。第 4 の外部端子 T M 4 には、集積回路装置 1 0 の外部から所与のアナログ高電位側電圧が供給される。発振回路 8 0 又は後述する定電圧発生回路が、第 3 及び第 4 の外部端子 T M 3、T M 4 を介して供給された電圧に基づいて、安定した定電圧を生成し、該定電圧が供給された状態で上記の発振動作を行う。

【 0 0 4 9 】

50

更に、発振回路 80 には、集積回路装置 10 の外部において第 5 の外部端子 T M 5 を介して、安定化用キャパシタ C S が接続される。安定化用キャパシタ C S により、発振回路 80 の電源電圧の変動が小さくなる。

【 0 0 5 0 】

このような発振回路 80 は、発振振動子からの発振信号に基づいて生成された基準クロック C L K 0 又は図示しない分周回路で基準クロック C L K 0 を分周した分周クロックを、集積回路装置 10 の各回路に動作クロックとして分配する。

【 0 0 5 1 】

図 2 に、実施形態 1 における発振回路 80 の構成例を示す。図 2 は、発振回路 80 と共に集積回路装置 10 に内蔵される各種回路ブロックをあわせて表す。図 2 において、図 1 と同一部分には同一符号を付し、適宜説明を省略する。

10

【 0 0 5 2 】

集積回路装置 10 は、図 1 に示す発振回路 80 等の回路ブロックの他に、発振回路 80 の電源電圧を制御する定電圧発生回路 200 と、基準電圧発生回路 210 とを含むことができる。なお、発振回路 80 が、定電圧発生回路 200 の機能を含んでもよい。また、図 1 の電源回路 126 が、基準電圧発生回路 210 の機能を含んでもよい。

【 0 0 5 3 】

発振回路 80 は、インバータ回路 I N V 1、抵抗素子 R 1、R 2 を含む。インバータ回路 I N V 1 の入力端子は、図示しない I / O セルを介して、第 1 の外部端子 T M 1 に電氣的に接続される。発振回路 80 の内部において、第 1 及び第 2 の外部端子 T M 1、T M 2 の間に抵抗素子 R 1 が挿入される。インバータ回路 I N V 1 の出力端子と第 2 の外部端子 T M 2 に対応する図示しない I / O セルとの間に抵抗素子 R 2 が挿入され、インバータ回路 I N V 1 の出力端子から基準クロック C L K 0 が出力される。

20

【 0 0 5 4 】

インバータ回路 I N V 1 の高電位側電源電圧は、定電圧発生回路 200 により生成される。定電圧発生回路 200 は、所与の電源電圧 A V D D と接地電圧 A G N D が供給されるボルテージフォロア回路を有する。ボルテージフォロア回路の高電位側電源端子は、図示しない I / O セルを介して、第 4 の外部端子 T M 4 が電氣的に接続される。ボルテージフォロア回路の低電位側電源端子及び発振回路 80 のインバータ回路 I N V 1 の低電位側電源端子は、図示しない I / O セルを介して、第 3 の外部端子 T M 3 が電氣的に接続される。

30

【 0 0 5 5 】

定電圧発生回路 200 のボルテージフォロア回路の出力は、図示しない I / O セルを介して、第 5 の外部端子 T M 5 に電氣的に接続されると共に、発振回路 80 のインバータ回路 I N V 1 の高電位側電源電圧として供給される。第 5 の外部端子 T M 5 には、集積回路装置 10 の外部において安定化用キャパシタ C S の一端が接続され、安定化用キャパシタ C S の他端には接地電圧 A G N D が供給される。このような安定化用キャパシタ C S を第 5 の外部端子 T M 5 に接続することで、定電圧発生回路 200 が発生する定電圧が安定化し、発振回路 80 の発振動作を安定化させることができる。

40

【 0 0 5 6 】

なお、発振回路 80 のインバータ回路の高電位側電源電圧が安定する場合には、集積回路装置 10 は第 5 の外部端子 T M 5 を省略した構成を有し、外付け部品として安定化用キャパシタ C S を省略してもよい。

【 0 0 5 7 】

発振回路 80 は、上記のような定電圧発生回路 200 からの定電圧が供給された状態で、発振振動子 300 からの発振信号に基づいて発振動作を行い、所与の周波数の基準クロック C L K 0 を出力する。このような発振回路 80 は、発振振動子を水晶振動子とする水晶発振回路であつてもよいし、発振振動子をセラミック振動子とするセラミック発振回路

50

であってもよい。

【0058】

図3に、実施形態1における集積回路装置10のフロアプランイメージを示す。図3は、集積回路装置10を構成する各回路ブロックが形成される半導体基板（広義には基板、チップ）の上面図であり、フロアプランイメージを模式的に表す。

【0059】

図1及び図2に示す集積回路装置10の各回路ブロックが形成される半導体基板400は、平面視において矩形の形状を有している。そして、矩形の半導体基板400の縁部に沿ってI/Oセル領域（I/O回路領域）410が設けられる。この半導体基板400の縁部に沿って設けられる領域を、半導体基板400の外周部ということが出来る。

10

【0060】

I/Oセル領域410では、外部端子群P1、P2、第1～第5の外部端子TM1～TM5の各外部端子に対応して設けられるI/Oセル（I/Oセル）が配置される。より具体的には、I/Oセル領域410では、半導体基板400の端部（縁部）に沿ってパッド404が配列され、各パッドに対応した長方形の形状を有するI/Oセル402の長辺方向が、該端部が延びる方向と交差するように配置される。

【0061】

図4に、実施形態1におけるI/Oセル402が有するI/O回路の構成例の回路図を示す。図4は、入力用の外部端子に対応するI/Oセルの構成例を表す。

【0062】

I/Oセル402は、外部端子としてのパッド404と接地電源線との間に挿入される静電保護素子としてのnpn型トランジスタTr1と、入力保護抵抗R3と、入力バッファとしてのインバータ回路INV2とを含む。npn型トランジスタTr1のベースには、エミッタと同じ接地電圧が供給され、npn型トランジスタTr1のコレクタには、パッド404が電氣的に接続される。入力保護抵抗R3は、パッド404と、インバータ回路INV2の入力との間に挿入される。インバータ回路INV2の出力信号が、内部回路に出力される。

20

【0063】

なお、図4では、入力用の外部端子に対応するI/Oセルの構成例を示したが、出力用の外部端子に対応するI/Oセルは、出力バッファ及び静電保護素子を有し、入出力用の外部端子に対応するI/Oセルは、入力バッファ、出力バッファ、入力保護抵抗及び静電保護素子を有する。

30

【0064】

図3において、半導体基板400のコア領域420（周囲がI/Oセル領域410に囲まれる領域）には、図1及び図2に示す集積回路装置10の回路ブロックのうち発振回路ブロック100を除く回路ブロックが配置される。なお、図3では、コア領域420に配置される図1の各回路ブロックの図示を省略している。

【0065】

半導体基板400の4つのコーナー領域のいずれかのコーナー領域には、発振回路ブロック100が配置される。発振回路ブロック100は、発振回路80と少なくとも第1及び第2の外部端子TM1、TM2とを有する。このコーナー領域には、更に、第3～第5の外部端子TM3～TM5（第5の外部端子TM5が省略された場合には第3、第4の外部端子TM3、TM4）が配置されることが望ましい。発振回路ブロック100が、第3～第5の外部端子TM1～TM5を含んでもよい。発振回路ブロック100、第3～第5の外部端子TM3～TM5が配置されるコーナー領域は、I/Oセル領域410内に存在する。

40

【0066】

より具体的には、I/Oセル領域410において、半導体基板400のコーナー領域を含む配置領域440に配置される。即ち、ここで、X方向（第1の方向）に複数のI/Oセル402のいずれかが一列に配列される第1のI/Oセル領域と、該X方向と直交（交

50

差)するY方向(第2の方向)に複数のI/Oセル402の別のいずれかが一列に配列される第2のI/Oセル領域とを定義すると、発振回路ブロック100、及び第1~第5の外部端子TM1~TM5が、I/Oセル領域410のうち、第1及び第2のI/Oセル領域とが交差する交差領域430を含む配置領域440に配置される。なお、第5の外部端子TM5が省略された場合には第1~第4の外部端子TM1~TM4が配置領域440に配置される。

【0067】

このように、これまで実質的に未使用エリアとして考えられていた半導体基板400のコーナー領域に発振回路ブロック100を配置するようにしたので、半導体基板400のサイズを小さくでき、低コスト化を図ることができるようになる。特に、実施形態1では、I/Oセル領域410のうち、コーナー領域又は交差領域430を含む配置領域440に、発振回路ブロック100を配置するようにしたので、I/Oセル領域が半導体基板の縁部に沿って設けられる場合に未使用エリアとなりやすい領域を有効活用でき、半導体基板400のサイズをより一層縮小できるようになる。

10

【0068】

図5に、図3の配置領域440の拡大図を模式的に示す。なお、図5において、第5の外部端子TM5が省略されている。図5において、図3と同一部分には同一符号を付し、適宜説明を省略する。

【0069】

図5に示すように、実施形態1では、I/Oセル領域410内において、X方向にI/Oセルが配列される領域とY方向にI/Oセルが配列される領域とが交差する交差領域430が設けられる。このとき、配置領域440は、I/Oセル領域410であって、半導体基板400のコーナー部に設けられた交差領域430を含む領域となる。

20

【0070】

更に、この配置領域440には、発振回路ブロック100の他に、定電圧発生回路200、第1~第4の外部端子TM1~TM4が配置されている。発振回路ブロック100は、定電圧発生回路200、第1~第4の外部端子TM1~TM4を含んでもよい。第1、第2及び第4の外部端子TM1、TM2、TM4は、半導体基板400のX方向に延びる端部450の縁部に沿って配置される。第2及び第3の外部端子TM2、TM3は、半導体基板400のY方向に延びる端部452の縁部に沿って配置される。

30

【0071】

また、実施形態1では、発振回路80及び定電圧発生回路200に入力又は出力される信号をインターフェースするI/Oセルは、配置領域440を除くI/Oセル領域410に配列されるI/Oセル402を流用するのではなく、発振回路専用設けられたI/Oセルである。

【0072】

即ち、第1の外部端子TM1に対応して第1の発振回路専用I/Oセル460が設けられ、第1の発振回路専用I/Oセル460と第1の外部端子TM1(パッド)とが端部450に沿ってX方向に並んで配置される。第1の発振回路専用I/Oセル460は、発振振動子300からの入力信号が入力される。

40

【0073】

第2の外部端子TM2に対応して第2の発振回路専用I/Oセル462が設けられ、第2の外部端子TM2(パッド)と第2の発振回路専用I/Oセル462とが端部452に沿ってY方向に並んで配置される。第2の発振回路専用I/Oセル462は、発振振動子300への出力信号を出力する。

【0074】

第3の外部端子TM3に対応して第3の発振回路専用I/Oセル464が設けられ、第3の発振回路専用I/Oセル464と第3の外部端子TM3(パッド)とが端部452に沿ってY方向に並んで配置される。

【0075】

50

第4の外部端子TM4に対応して第4の発振回路専用I/Oセル466が設けられ、第4の外部端子TM4(パッド)と第4の発振回路専用I/Oセル466とが端部450に沿ってX方向に並んで配置される。

【0076】

図6に、実施形態1における第1の発振回路専用I/Oセル460が有するI/O回路の構成例の回路図を示す。図6は、第1の発振回路専用I/Oセル460の構成例を表すが、第2～第4の発振回路専用I/Oセル462～466もまた、図6と同様の構成を有することができる。また、第5の外部端子TM5に対応して設けられる第5の発振回路専用I/Oセルもまた、図6と同様の構成を有することができる。

【0077】

第1の発振回路専用I/Oセル460は、第1の外部端子TM1(パッド)と接地電源線との間に挿入される静電保護素子としてのnpn型トランジスタTr2と、入力保護抵抗R4とを含む。npn型トランジスタTr2のベースには、エミッタと同じ接地電圧が供給され、npn型トランジスタTr2のコレクタには、第1の外部端子TM1が電氣的に接続される。入力保護抵抗R4は、第1の外部端子TM1と、発振回路80との間に挿入される。

【0078】

第1の発振回路専用I/Oセル460では、npn型トランジスタTr2のサイズが静電気保護機能を実現する最小限のサイズで実現されている。そのため、第1の発振回路専用I/Oセル460は、I/Oセルの領域を小さくできる。これにより、第1の発振回路専用I/Oセル460は、入力バッファや出力バッファ等を有しI/Oセル領域410に配置されるその他の通常のI/Oセル402とは異なる構成を有している。

【0079】

このように、第1～第5の発振回路専用I/Oセル(図5では、第1～第4の発振回路専用I/Oセル)は、I/Oセル領域410に配置されるその他の通常のI/Oセル402のいずれともその構成が異なり、発振回路80専用設けられたI/Oセルである。発振回路専用I/Oセルを設け、発振回路ブロック100と同じ配置領域440内に配置させることで、発振回路ブロック100及び発振回路用のI/Oセルをその都度設計する必要がなくなり、特性を揃えた状態で他の集積回路装置に流用できるようになる。この結果、開発工数を削減して、集積回路装置の低コスト化に寄与できるようになる。

【0080】

なお、半導体基板400において、少なくとも発振回路ブロック100の周囲に、例えば接地電源電圧等の固定電圧が印加される領域480が、発振回路ブロック100のガードリングとして設けられることが望ましい。より具体的には、半導体基板400において、発振回路80及び定電圧発生回路200の周囲に、例えば接地電源電圧等の固定電圧が印加される領域が、発振回路ブロック100のガードリングとして設けられることが望ましい。

【0081】

或いは、発振回路80(或いは発振回路80及び定電圧発生回路200)を構成するトランジスタ素子(広義には素子)が、半導体基板400に設けられた第1のウェル領域(第1の不純物領域)内に形成され、I/Oセル領域410内のI/Oセルを構成するトランジスタ素子が、半導体基板400に設けられた第2のウェル領域(第2の不純物領域)内に形成される場合に、第1及び第2のウェル領域が分離されていることが望ましい。これは、発振回路80(或いは発振回路80及び定電圧発生回路200)を、いわゆるトリプルウェル構造で形成することで実現される。

【0082】

こうすることで、発振回路80(発振回路ブロック100)にI/Oセル402の信号変動に伴うノイズの影響を及ぼさずに済むため、発振回路80の発振動作を安定化させることができる。

【0083】

〔実施形態 2〕

実施形態 1 における集積回路装置 10 は、半導体基板 400 のコーナー領域における交差領域 430 を含む配置領域 440 に発振回路ブロック 100 を配置していたが、本発明はこれに限定されるものではない。実施形態 2 では、半導体基板のコーナー領域のうち、I/Oセル領域に配置される I/Oセルに接続される環状電源配線の外側に設けられた配線領域に、発振回路ブロック 100 が配置される。

【0084】

本発明に係る実施形態 2 における集積回路装置 500 は、実施形態 1 における集積回路装置 10 と同様の回路ブロックを有するため、実施形態 2 における集積回路装置が有する回路ブロックについての説明を省略する。

10

【0085】

図 7 に、実施形態 2 における集積回路装置 500 のフロアプランイメージを示す。図 7 は、集積回路装置 10 を構成する各回路ブロックが形成される半導体基板の上面図であり、フロアプランイメージを模式的に表す。図 7 において、図 3 と同様の部分には同一番号を付し、適宜説明を省略する。

【0086】

実施形態 2 における集積回路装置 500 の各回路ブロックが形成される半導体基板 600 は、平面視において矩形の形状を有している。そして、矩形の半導体基板 600 の縁部に沿って I/Oセル領域 410 が設けられる。この半導体基板 600 の縁部に沿って設けられる領域を、半導体基板 600 の外周部ということが出来る。

20

【0087】

I/Oセル領域 410 では、実施形態 1 と同様に、外部端子群 P1、P2、第 1～第 5 の外部端子 TM1～TM5 の各外部端子に対応して設けられる I/Oセル及びパッドが配置される。更に、I/Oセル領域 410 には、I/Oセル領域 410 内に配置された複数の I/Oセルを構成する各 I/Oセルに接続され各 I/Oセルに電源電圧を供給するための環状電源配線 610 が配置されている。そして、半導体基板 600 のコーナー領域内であって、環状電源配線 610 の外側に設けられた配置領域 620 に、発振回路ブロック 100 (発振回路 80 と少なくとも第 1 及び第 2 の外部端子 TM1、TM2) が配置される。この配置領域 620 には、更に、第 3～第 5 の外部端子 TM1～TM5 (第 5 の外部端子 TM5 が省略された場合には第 3、第 4 の外部端子 TM3、TM4) が配置されることが望ましい。

30

【0088】

このように、これまで実質的に未使用エリアが存在していた半導体基板 600 のコーナー領域であって、I/Oセルの環状電源配線 610 の外側に発振回路ブロック 100 を配置するようにしたので、発振動作に関連する信号線と環状電源配線 610 とのカップリング等を低減し、且つ半導体基板 600 のサイズを小さくして、低コスト化を図ることが出来るようになる。

【0089】

図 8 に、図 7 の配置領域 620 の拡大図を模式的に示す。なお、図 8 において、第 5 の外部端子 TM5 が省略されている。図 8 において、図 5 又は図 7 と同一部分には同一符号を付し、適宜説明を省略する。また、図 8 では、環状電源配線 610 として、I/Oセル 402 の低電位側電源電圧を供給するための接地電圧環状電源配線 612 と、I/Oセル 402 の高電位側電源電圧を供給するための電源電圧環状電源配線 614 とが設けられている。

40

【0090】

図 8 に示すように、実施形態 2 では、I/Oセル領域 410 内において、接地電圧環状電源配線 612 及び電源電圧環状電源配線 614 からなる環状電源配線 610 の外側に設けられた配置領域 620 が設けられる。

【0091】

この配置領域 620 には、発振回路ブロック 100 の他に、定電圧発生回路 200、第

50

1～第4の外部端子TM1～TM4が配置されている。第1、第2及び第4の外部端子TM1、TM2、TM4は、半導体基板600のX方向に延びる端部650の縁部に沿って配置される。第2及び第3の外部端子TM2、TM3は、半導体基板600のY方向に延びる端部652の縁部に沿って配置される。なお、発振回路ブロック100に、定電圧発生回路200、第1～第4の外部端子TM1～TM4を含めてもよい。

【0092】

また、実施形態2では、実施形態1と同様に、発振回路80及び定電圧発生回路200に入力又は出力される信号をインターフェースするI/Oセルは、発振回路専用に設けられたI/Oセルである。

【0093】

なお、実施形態2においても、半導体基板600において、少なくとも発振回路ブロック100の周囲に、例えば接地電源電圧等の固定電圧が印加される領域480が、発振回路ブロック100のガードリングとして設けられることが望ましい。より具体的には、半導体基板600において、発振回路80及び定電圧発生回路200の周囲に、例えば接地電源電圧等の固定電圧が印加される領域が、発振回路ブロック100のガードリングとして設けられることが望ましい。

【0094】

或いは、発振回路80（或いは発振回路80及び定電圧発生回路200）を構成するトランジスタ素子が、半導体基板600に設けられた第1のウェル領域内に形成され、I/Oセル領域410内のI/Oセルを構成するトランジスタ素子が、半導体基板600に設けられた第2のウェル領域内に形成される場合に、第1及び第2のウェル領域が分離されていることが望ましい。

【0095】

こうすることで、発振回路80にI/Oセル402の信号変動に伴うノイズの影響を及ぼさずに済むため、発振回路80の発振動作を安定化させることができる。

【0096】

上記の実施形態1における集積回路装置10又は実施形態2における集積回路装置500によれば、例えば次のような効果を得ることができる。

【0097】

図9に、本発明に係る集積回路装置の効果の説明図を示す。

【0098】

図9は、実施形態1における集積回路装置10の半導体基板400又は実施形態2における集積回路装置500の半導体基板600と、他の集積回路装置を構成する半導体基板700とがスタックされてなる半導体装置680を表す。半導体基板400又は半導体基板600のパッドは、半導体基板700又はこの半導体装置680の外部端子とボンディングワイヤ702を介して電氣的に接続される。このとき、この半導体装置の内部又は外部に設けられる発振振動子と、半導体基板400又は半導体基板600に形成された発振回路ブロック100の発振回路80との間で信号線704を介して発振信号が入出力される。

【0099】

上記のいずれかの実施形態によれば、発振回路ブロック100を半導体基板のコーナー領域に配置するようにしたので、信号線704が半導体基板の角部に接続される。そのため、半導体基板700とスタックさせる際に、基板の配置やボンディングワイヤの接続の邪魔にならず、スタックの際の半導体基板の実装の自由度を向上させることができるようになる。

【0100】

図10に、本発明に係る集積回路装置の効果の説明図を示す。

【0101】

図10は、実施形態1における集積回路装置10の半導体基板400又は実施形態2における集積回路装置500の半導体基板600が、リードフレームのダイパッドに搭載さ

10

20

30

40

50

れた半導体装置 750 を表す。この半導体装置 750 は、半導体基板 400 又は半導体基板 600 に形成された発振回路ブロック 100 の発振回路 80 と信号線を介して接続され、且つモールドエリア 752 に設けられた発振振動子 300 を含む。

【0102】

上記のいずれかの実施形態によれば、発振回路ブロック 100 を半導体基板のコーナー領域に配置するようにしたので、発振振動子 300 をモールドエリアの空きエリアに配置できるようになり、半導体装置 750 の集積度を向上させて低コスト化に寄与できるようになる。

【0103】

このように上記のいずれかの実施形態によれば、発振回路ブロック 100 (発振回路 80) の端子位置がネックとなり困難と考えられてきた複数の半導体基板によるスタック構造や発振振動子のパッケージ内封入が可能となり、集積回路装置の活用度を向上させて低コスト化に寄与できるようになる。

10

【0104】

以上説明したように、上記のいずれかの実施形態によれば、無駄なエリアと考えられていた半導体基板のコーナー領域に発振回路等を配置するようにしたので、半導体基板のサイズを縮小して、低コスト化を図ることができるようになる。

【0105】

また、上記のいずれかの実施形態によれば、半導体基板の外部において、発振回路に極力近い位置に発振振動子を配置しやすくなる上に、発振信号が伝送される信号線を他の信号線と無駄にクロスさせずに済み、低コストで信頼性を向上させることができる。

20

【0106】

また、上記のいずれかの実施形態によれば、発振振動子とのマッチングのために容量素子や抵抗素子を外部で更に付加する必要がある場合でも、これらの素子を配置できる位置を容易に確保できるため、低コストで使い勝手を向上させることができるようになる。

【0107】

また、上記のいずれかの実施形態によれば、発振回路(発振回路ブロック)が I/O セルの影響を受けやすくなる場合であっても、半導体基板のコーナー領域に発振回路ブロックを配置することで、電源分離や専用電源を用意して I/O セルの影響を低コストで回避できるようになる。しかも、上記のいずれかの実施形態のように、不純物領域の分離やガードリングを施すことで、確実に I/O セルの影響を抑えることが可能となる。

30

【0108】

また、上記のいずれかの実施形態によれば、半導体基板のコーナー領域のうち I/O セルの環状電源配線の外側に発振回路ブロックを配置することで、発振振動子と接続される高インピーダンスラインである信号線とがクロスする必要がなくなり、発振回路の発振動作を低コストで安定化させることができるようになる。

【0109】

また、上記のいずれかの実施形態によれば、半導体基板のコーナー領域に発振回路ブロックを配置することで、近傍の周辺の外部端子の種類にかかわらず、ノイズの影響を受けることなく発振回路の発振動作を低コストで安定化させることができるようになる。更に、発振回路ブロックの近くをノイズ源となり得る信号線の配置を考慮する必要がなくなり、回路配線が容易となる。その結果、開発工数が削減されて、低コスト化に寄与できるようになる。

40

【0110】

更に、上記のいずれかの実施形態によれば、発振回路ブロックと他の回路ブロックとの配置距離を十分に取れるようになるので、半導体基板内のフロアプランの制約が緩和されて設計効率が向上し、開発工数を削減できるようになる。

【0111】

更にまた、上記のいずれかの実施形態によれば、発振回路専用の外部端子を設けることで、信号経路の抵抗値や容量値を考慮した設計変更が不要となり、特性を揃えた状態で各

50

種集積回路装置に流用できるようになる。

【0112】

2. 電子機器

上記の実施形態1における集積回路装置10又は実施形態2における集積回路装置500は、電子機器として時計や携帯電話等に適用できる。

【0113】

図11に、本発明に係る実施形態における電子機器800の構成例のブロック図を示す。図11において、図1又は図2と同一部分には同一符号を付し、適宜説明を省略する。

【0114】

本実施形態における電子機器800は、システム基板810と、LCDパネル820とを含む。システム基板810には、実施形態1における集積回路装置10又は実施形態2における集積回路装置500と、発振振動子300とが実装されている。集積回路装置10又は集積回路装置500は、発振回路ブロック100を有し、発振回路ブロック100の発振回路80と発振振動子300とが信号線を介して接続されている。

【0115】

このような電子機器800では、発振振動子300を用いた発振回路80による発振動作により、集積回路装置10(集積回路装置500)の各回路ブロックに動作クロックが供給される。そして、この動作クロックに同期して集積回路装置10が内部で生成した表示データに基づいて、LCDパネル820を駆動し、LCDパネル820に画像を表示する。

【0116】

ところで、図11のシステム基板810において、集積回路装置10(集積回路装置500)と発振振動子300とを以下のように接続することができる。

【0117】

図12に、本実施形態におけるシステム基板810に実装される集積回路装置10(集積回路装置500)と発振振動子300との接続関係の説明図を示す。図12において、図11と同一部分には同一符号を付し、適宜説明を省略する。

【0118】

集積回路装置10(集積回路装置500)では、半導体基板のコーナー領域の発振回路ブロックを配置するようにしたので、システム基板810において集積回路装置10(集積回路装置500)のコーナー部の近傍領域に発振振動子300を配置することができる。こうすることで、集積回路装置10(集積回路装置500)の他の信号線と、発振信号が伝送される信号線とをクロスさせずに済むため、発振回路80の発振動作を安定化させると共に、集積回路装置10(集積回路装置500)のコーナー部の無駄になりやすい領域を有効活用してシステム基板810の小型化に貢献できる。

【0119】

また、図12では、接地電圧が印加されたプレーン830上に発振振動子300を配置するようにしている。本実施形態によれば、集積回路装置10(集積回路装置500)のコーナー部を有効活用して、発振回路80の発振動作をより一層安定化させることができるようになる。このようなプレーン830は、集積回路装置10(集積回路装置500)のコーナー部近傍でなければ、集積回路装置10(集積回路装置500)の近くに設けることができない。

【0120】

以上、本発明に係る集積回路装置及び電子機器を上記の実施形態、その構成例又はその変形例に基づいて説明したが、本発明は上記の実施形態、その構成例又はその変形例に限定されるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【0121】

(1)上記のいずれかの実施形態における集積回路装置では、第1~第5の外部端子TM1~MT5をそれぞれI/Oセル領域に配置するものとして説明したが、本発明はこれ

10

20

30

40

50

に限定されるものではない。例えば第 1 ~ 第 5 の外部端子 T M 1 ~ M T 5 を I / O セル領域外に配置してもよい。

【 0 1 2 2 】

(3) 上記のいずれかの実施形態において、発振回路の構成が図 2 に示す構成であるものとして説明したが、本発明はこれに限定されるものではなく、発振回路の回路構成や発信条件を真属させるために接続される素子等に限定されるものではない。

【 0 1 2 3 】

(3) 上記のいずれかの実施形態における集積回路装置では、半導体基板のコーナー領域に発振回路を配置するものとして説明したが、本発明はこれに限定されるものではない。例えば、半導体基板のコーナー領域に、P L L (Phase Locked Loop) 回路やその関連外部端子等を配置するようにしてもよい。

10

【 0 1 2 4 】

(4) 上記のいずれかの実施形態では、集積回路装置が、半導体基板に発振回路を配置するものとして説明したが、本発明はこれに限定されるものではない。例えば、半導体基板でない基板に、発振回路を配置するようにしてもよい。

【 図面の簡単な説明 】

【 0 1 2 5 】

【 図 1 】 本発明に係る実施形態 1 における集積回路装置の構成例の機能ブロック図。

【 図 2 】 実施形態 1 における発振回路の構成例を示す構成図。

【 図 3 】 実施形態 1 における集積回路装置のフロアプランイメージを示す図。

20

【 図 4 】 実施形態 1 における I / O セルが有する I / O 回路の構成例の回路図。

【 図 5 】 図 3 の配置領域の模式的な拡大図。

【 図 6 】 実施形態 1 における第 1 の発振回路専用 I / O セルが有する I / O 回路の構成例の回路図。

【 図 7 】 実施形態 2 における集積回路装置のフロアプランイメージを示す図。

【 図 8 】 図 7 の配置領域の模式的な拡大図。

【 図 9 】 本発明に係る集積回路装置の効果の説明図。

【 図 1 0 】 本発明に係る集積回路装置の効果の説明図。

【 図 1 1 】 本発明に係る実施形態における電子機器の構成例のブロック図。

【 図 1 2 】 本実施形態におけるシステム基板に実装される集積回路装置と発振振動子との接続関係の説明図。

30

【 符号の説明 】

【 0 1 2 6 】

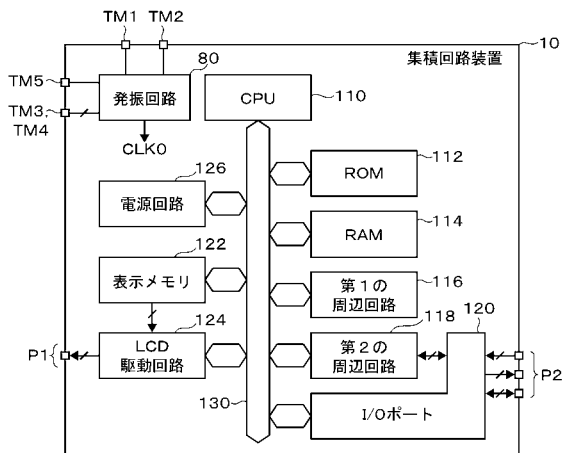
1 0 , 5 0 0 ... 集積回路装置、 8 0 ... 発振回路、 1 0 0 ... 発振回路ブロック、
 1 1 0 ... C P U、 1 1 2 ... R O M、 1 1 4 ... R A M、 1 1 6 ... 第 1 の周辺回路、
 1 1 8 ... 第 2 の周辺回路、 1 2 0 ... I / O ポート、 1 2 2 ... 表示メモリ、
 1 2 4 ... L C D 駆動回路、 1 2 6 ... 電源回路、 1 3 0 ... バス、
 2 0 0 ... 定電圧発生回路、 2 1 0 ... 基準電圧発生回路、 3 0 0 ... 発振振動子、
 4 0 0 , 6 0 0 , 7 0 0 ... 半導体基板、 4 0 2 ... I / O セル、 4 0 4 ... パッド、
 4 1 0 ... I / O セル領域、 4 2 0 ... コア領域、 4 3 0 ... 交差領域、
 4 4 0 , 6 2 0 ... 配置領域、 4 5 0 , 4 5 2 , 6 5 0 , 6 5 2 ... 端部、
 4 6 0 ... 第 1 の発振回路専用 I / O セル、 4 6 2 ... 第 2 の発振回路専用 I / O セル、
 4 6 4 ... 第 3 の発振回路専用 I / O セル、 4 6 6 ... 第 4 の発振回路専用 I / O セル、
 4 8 0 ... 領域、 6 1 0 ... 環状電源配線、 6 1 2 ... 接地電圧環状電源配線、
 6 1 4 ... 電源電圧環状電源配線、 6 8 0 , 7 5 0 ... 半導体装置、
 7 0 2 ... ボンディングワイヤ、 7 0 4 ... 信号線、 7 5 2 ... モールドエリア、
 8 0 0 ... 電子機器、 8 1 0 ... システム基板、 8 2 0 ... L C D パネル、
 8 3 0 ... プレーン、 C L K 0 ... 基準クロック、 C S ... 安定化用キャパシタ、
 I N V 1 , I N V 2 ... インバータ回路、 P 1 , P 2 ... 外部端子群、
 R 1 , R 2 ... 抵抗素子、 R 3 , R 4 ... 入力保護抵抗、 T M 1 ... 第 1 の外部端子、

40

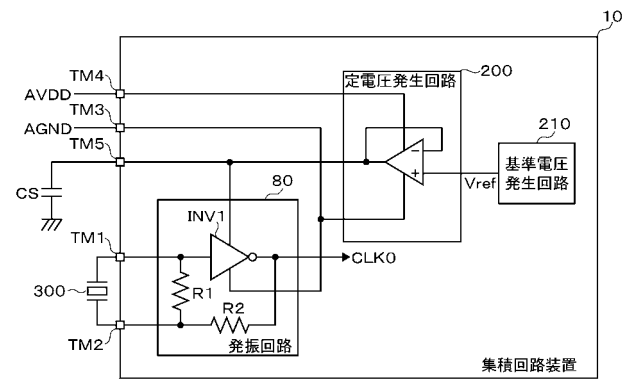
50

TM2 ... 第2の外部端子、 TM3 ... 第3の外部端子、 TM4 ... 第4の外部端子、
TM5 ... 第5の外部端子、 Tr1, Tr2 ... npn型トランジスタ

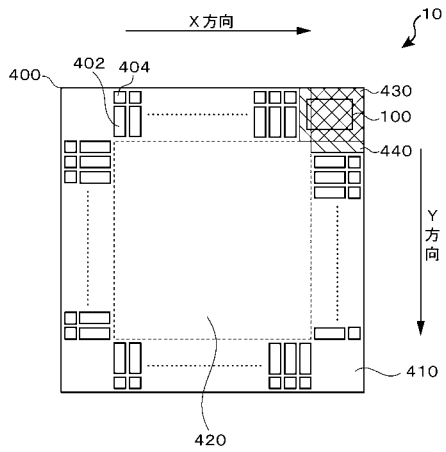
【図1】



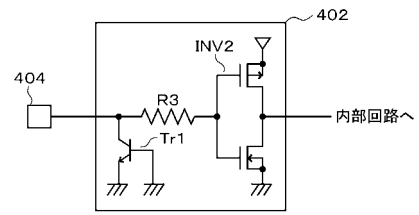
【図2】



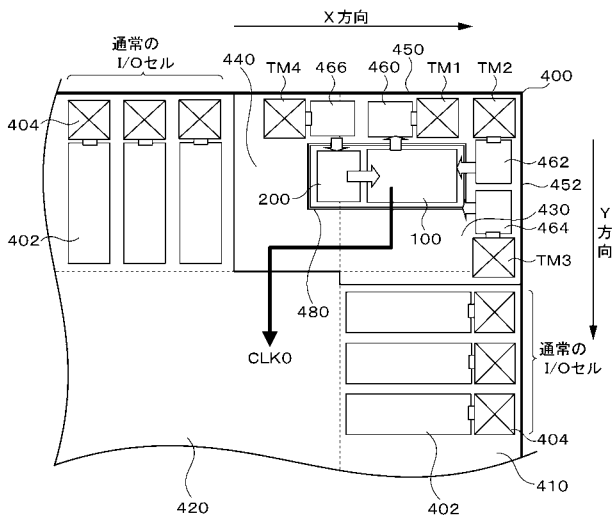
【 図 3 】



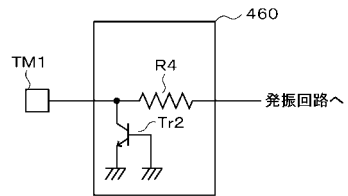
【 図 4 】



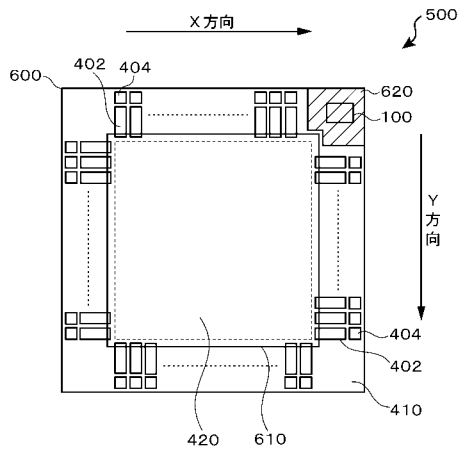
【 図 5 】



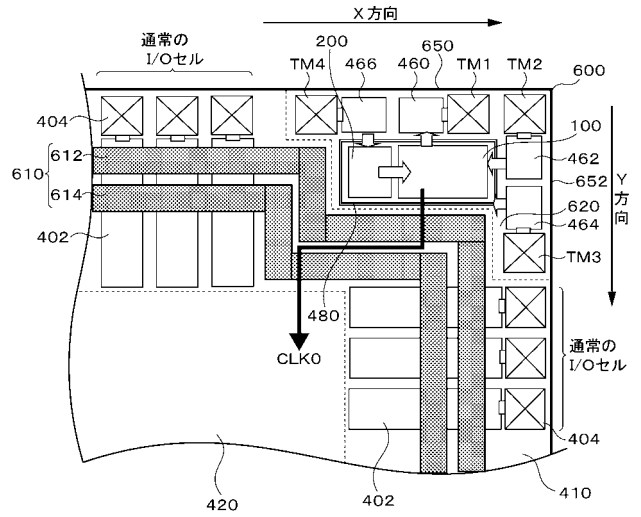
【 図 6 】



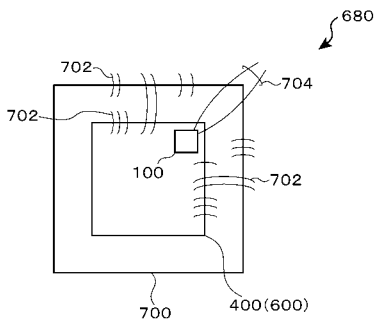
【 図 7 】



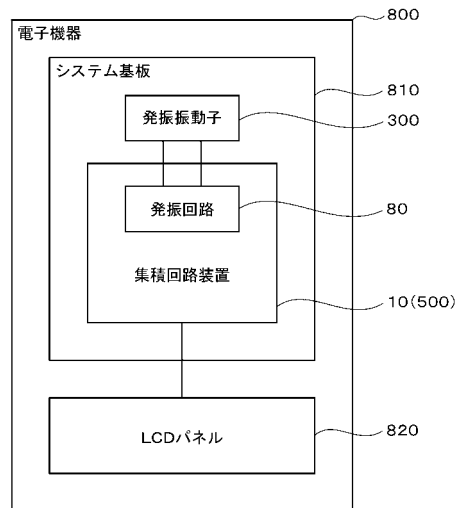
【 図 8 】



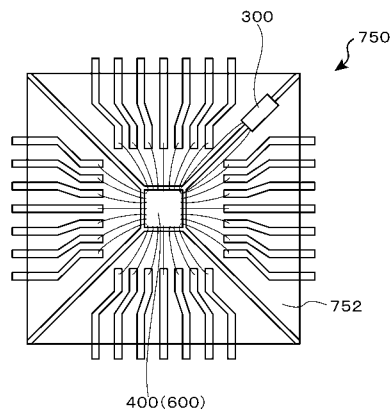
【 図 9 】



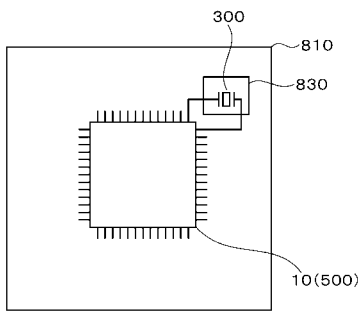
【 図 1 1 】



【 図 1 0 】



【 図 1 2 】



フロントページの続き

Fターム(参考) 5F038 BB02 BB04 BB05 BE07 BG02 BH02 BH06 BH09 BH13 BH19
CA03 CA10 CD02 CD14 DF04 DF05 EZ07 EZ20
5F064 AA11 BB07 BB09 BB13 BB15 BB35 CC02 CC12 CC22 DD14
DD32 DD35 DD42 EE52 EE53 EE54