

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/00

H01L 21/70



[12] 发明专利说明书

专利号 ZL 01143922. X

[45] 授权公告日 2005 年 11 月 16 日

[11] 授权公告号 CN 1227740C

[22] 申请日 2001. 12. 26 [21] 申请号 01143922. X

[30] 优先权

[32] 2000. 12. 26 [33] JP [31] 395932/2000

[71] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 龟山敦 布施常明 吉田雅子

大内和则

审查员 高 伟

[74] 专利代理机构 中国国际贸易促进委员会专利

商标事务所

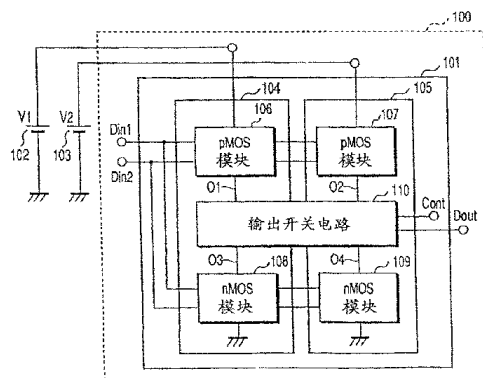
代理人 付建军

权利要求书 5 页 说明书 21 页 附图 13 页

[54] 发明名称 半导体集成电路

[57] 摘要

一个集成电路具有一个第一和第二逻辑电路，上述逻辑电路具有共同的输入端子和相同的逻辑功能。第一逻辑电路具有一个 pMISFET 电路模块和一个 nMISFET 电路模块，其中每个电路模块均具有一个高阈值，而第二逻辑电路具有一个 pMISFET 电路模块和一个 nMISFET 电路模块，其中每个电路模块均具有一个低阈值。一个输出开关电路介于各个逻辑电路中的 pMISFET 和 nMISFET 电路模块之间并且控制电源与各个逻辑电路的连接。当工作时，第二逻辑电路的输出被连接到输出端子以实现低功耗。当处于后备状态时，第一逻辑电路的输出被连接到输出端子以实现低泄漏电流。



1.一种半导体集成电路，其中包括：

一个第一逻辑电路，所述第一逻辑电路具有一个第一输入端子，并且包括一个第一逻辑模块和一个第一反转逻辑模块，所述第一逻辑模块包括一个具有阈值电压 V_{tp1} 的p型FET，所述第一反转逻辑模块包括一个具有阈值电压 V_{tn1} 的n型FET，所述第一逻辑模块和所述第一反转逻辑模块连接在具有电压 V_1 的第一电源和参考电位之间；

一个第二逻辑电路，所述第二逻辑电路具有与所述第一逻辑电路相同的逻辑功能，所述第二逻辑电路具有连接到所述第一输入端子的第二输入端子，并且包括一个第二逻辑模块和一个第二反转逻辑模块，所述第二逻辑模块包括一个具有阈值电压 V_{tp2} 的p型FET， $V_{tp2} < V_{tp1}$ ，所述第二反转逻辑模块包括一个具有阈值电压 V_{tn2} 的n型FET， $V_{tn2} < V_{tn1}$ ，所述第二逻辑模块和所述第二反转逻辑模块连接在一个具有电压 V_2 的第二电源和所述参考电位之间， $V_2 < V_1$ ；和

一个介于所述第一逻辑电路中的所述第一逻辑模块和所述第一反转逻辑模块之间以及所述第二逻辑电路中的所述第二逻辑模块和所述第二反转逻辑模块之间的输出开关电路，并且所述输出开关电路具有一个输入控制信号的控制信号端子和一个根据所述控制信号输出所述第一逻辑电路的输出和所述第二逻辑电路的输出之一的输出端子。

2.如权利要求1所述的半导体集成电路，其中所述输出开关电路将所述第一逻辑电路和所述第二逻辑电路中的一个设置到低阻抗状态，将另一个设置到高阻抗状态，并且将所述第一逻辑电路和所述第二逻辑电路中被设置到所述低阻抗的所述一个逻辑电路的所述输出输出到所述输出端子。

3.如权利要求1所述的半导体集成电路，其中所述输出开关电路包含一个第一开关电路，所述第一开关电路由在所述第一逻辑电路中的所述第一逻辑模块和所述第一反转逻辑模块之间串联的一个第一p型FET和一个第一n型FET组成，和

一个第二开关电路，所述第二开关电路由在所述第二逻辑电路中的所述第二逻辑模块和所述第二反转逻辑模块之间串联的一个第二p型FET和一个第二n型FET组成，所述第一p型FET和所述第一n型FET的一个连接结点和所述第二p型FET和所述第二n型FET的一个连接结点被连接到所述输出端子，并且

其中根据所述控制信号打开所述第一p型FET和所述第一n型FET时，关闭所述第二p型FET和所述第二n型FET，而且当所述第一p型FET和所述第一n型FET关闭时，打开所述第二p型FET和所述第二n型FET。

4.如权利要求3所述的半导体集成电路，其中切换所述输出的所述控制信号被输入到所述第一开关电路的所述第一p型FET和所述第二开关电路的所述第二n型FET的栅极，并且所述控制信号的一个反相信号被输入到所述第一开关电路的所述第一n型FET和所述第二开关电路的所述第二p型FET的栅极。

5.如权利要求1所述的半导体集成电路，其中所述输出开关电路由一个第一开关电路和一个第二开关电路组成，其中在所述第一开关电路中，在所述第一逻辑电路中的所述第一逻辑模块和所述第一反转逻辑模块之间串联一个第一p型FET和一个第一n型FET，所述第一p型FET和所述第一n型FET的一个连接结点被连接到所述输出端子，而在所述第二开关电路中，在所述第二逻辑电路中的所述第二逻辑模块和所述第二反转逻辑模块之间串联一个第二和一个第三n型FET，所述第二和所述第三n型FET的一个连接结点被连接到所述输出端子，并且

其中根据所述控制信号打开所述第一开关电路和所述第二开关电路之一的各个所述FET时，另一个开关电路中的各个所述FET被关闭。

6.如权利要求5所述的半导体集成电路，其中所述控制信号被输入到所述第一开关电路的所述第一p型FET和所述第二开关电路的所述第二和所述第三n型FET的栅极，并且所述控制信号的一个反相信号被输入到所述第一开关电路的所述第一n型FET的一个栅极。

7.如权利要求1所述的半导体集成电路，其中所述第一和所述第二逻辑电路各自充当一个反相器。

8.如权利要求1所述的半导体集成电路，其中所述第一和第二逻辑电路中的每一个是从一个由与非门、或非门和复合门结构构成的门组中选择出的一个电路。

9.一种使用权利要求1的半导体集成电路的半导体集成电路，其中所述第一和所述第二逻辑电路中的每一个用作触发器的反相器部分。

10.如权利要求9所述的半导体集成电路，其中所述第二电源经由开关晶体管连接到所述第二逻辑电路，当所述输出开关电路选择所述第一逻辑电路的所述输出时，所述第二逻辑电路从所述第二电源处断开。

11.一个半导体集成电路，其中包括：

一个被提供了输入信号的第一开关门；

一个主触发器，这个主触发器包含权利要求1的一个半导体集成电路并且通过所述第一开关门向所述主触发器输入一个输入信号；

一个被提供了所述主触发器的输出信号的第二开关门；

一个从触发器，这个从触发器包含权利要求1的一个半导体集成电路并且通过所述第二开关门向所述从触发器输入所述主触发器的所述输出信号；和

一个缓冲电路，这个缓冲电路包含权利要求1的一个半导体集成电路并且控制所述第一和所述第二开关门。

12.一种半导体集成电路，其中包括：

一个第一逻辑电路，所述第一逻辑电路具有一个第一输入端子，并且包括一个第一逻辑模块和一个第一反转逻辑模块，所述第一逻辑模块包括一个具有阈值电压 V_{tp1} 的p型FET，所述第一反转逻辑模块包括一个具有阈值电压 V_{tn1} 的n型FET，所述第一逻辑模块和所述第一反转逻辑模块连接在具有电压 V_1 的第一电源和参考电位之间；

一个第二逻辑电路，所述第二逻辑电路具有与所述第一逻辑电路不同的逻辑功能，该第二逻辑电路具有第二输入端子，并且包括一个第二逻辑模块和一个第二反转逻辑模块，所述第二逻辑模块包括一个具有阈值电压 V_{tp2} 的p型FET， $V_{tp2} < V_{tp1}$ ，所述第二反转逻辑模块包括一个具有阈值电压 V_{tn2} 的n型FET， $V_{tn2} < V_{tn1}$ ，所述第二逻辑模块和所述第二

反转逻辑模块连接在一个具有电压V2的第二电源和所述参考电位之间，
 $V2 < V1$ ；和

一个介于所述第一逻辑电路中的所述第一逻辑模块和所述第一反转逻辑模块之间以及所述第二逻辑电路中的所述第二逻辑模块和所述第二反转逻辑模块之间的输出开关电路，并且所述输出开关电路具有一个输入控制信号的控制信号端子和一个根据所述控制信号输出所述第一逻辑电路的输出和所述第二逻辑电路的输出之一的输出端子。

13.如权利要求12所述的半导体集成电路，其中所述输出开关电路输出一个固定电压。

14.如权利要求12所述的半导体集成电路，其中所述输出开关电路将所述第一逻辑电路和所述第二逻辑电路中的一个切换到一个低阻抗状态，将另一个切换到一个高阻抗状态，并且将切换到所述低阻抗状态的所述第一逻辑电路和所述第二逻辑电路中的所述一个的所述输出输出到所述输出端子。

15.如权利要求12所述的半导体集成电路，其中所述输出开关电路包含

在所述第一逻辑电路中的所述第一逻辑模块和所述第一反转逻辑模块之间串联的一个第一开关p型FET和一个第一开关n型FET，和

在所述第二逻辑电路中的所述第二逻辑模块和所述第二反转逻辑模块之间串联的一个第二开关p型FET和一个第二开关n型FET，所述第一开关p型FET和所述第一开关n型FET的一个连接结点和所述第二开关p型FET和所述第二开关n型FET的一个连接结点被连接到所述输出端子，并且

其中根据所述控制信号打开所述第一开关p型FET和所述第一开关n型FET时，关闭所述第二开关p型FET和所述第二开关n型FET，而且当所述第一开关p型FET和所述第一开关n型FET关闭时，打开所述第二开关p型FET和所述第二开关n型FET。

16.如权利要求15所述的半导体集成电路，其中切换所述输出的所述控制信号被输入到所述第一开关p型FET和所述第二开关n型FET的栅

极，并且所述控制信号的一个反相信号被输入到所述第一开关n型FET和所述第二开关p型FET的栅极。

17.如权利要求12所述的半导体集成电路，其中所述输出开关电路由一个第一开关电路和一个第二开关电路组成，其中在所述第一开关电路中，在所述第一逻辑电路中的所述第一逻辑模块和所述第一反转逻辑模块之间串联一个第一p型FET和一个第一n型FET，所述第一p型FET和所述第一n型FET的一个连接结点被连接到所述输出端子，而在所述第二开关电路中，在所述第二逻辑电路中的所述第二逻辑模块和所述第二反转逻辑模块之间串联一个第二和一个第三n型FET，所述第二和所述第三n型FET的一个连接结点被连接到所述输出端子，并且

其中根据所述控制信号打开所述第一开关电路和所述第二开关电路中之一个的各个所述FET时，关闭另一个开关电路中的各个所述FET。

18.如权利要求17所述的半导体集成电路，其中所述控制信号被输入到所述第一开关电路的所述第一p型FET和所述第二开关电路的所述第二和所述第三n型FET的栅极，并且所述控制信号的一个反相信号被输入到所述第一开关电路的所述第一n型FET的一个栅极。

半导体集成电路

技术领域

本发明涉及一个具有多个供电电平并且导致逻辑电路在极低的供电电压上工作的半导体集成电路，更具体的是涉及具有一个工作电路和一个后备电路的半导体集成电路。

背景技术

近年来半导体集成电路的封装密度显著增加。在千兆位级的半导体存储器设备中，数亿半导体元件被压缩在一个单独的芯片中。在一个 64 位微处理器中，数百万至数千万半导体元件被压缩在一个单独的芯片中。通过元件的小型化改进了封装密度。在 1 吉位 DRAM (动态随机访问存储器) 中，已经使用栅极长度为 $0.15\ \mu\text{m}$ 的 MOS 晶体管。在具有更高封装密度的 DRAM 中，会使用栅极长度为 $0.1\ \mu\text{m}$ 或更低的 MOS 晶体管。

在这种非常小的 MOS 晶体管中，因产生热载流子而导致晶体管特性退化，或者因 TDDB (时间相关绝缘体击穿) 而发生绝缘膜击穿。当增加衬底区域或其它区域中的杂质浓度以抑制因栅极长度缩短造成的阈值电压下降时，源极和漏极的结电压下降。

为了保证这些精细元件的可靠性，重要的是降低供电电压。即，通过减弱源极和漏极之间的水平电场以防止产生热载流子，并且通过减弱栅极和体之间的垂直电场以防止 TDDB。此外，降低供电电压减少了源极和体之间的结以及漏极和材料之间的结上施加的反向偏压，从而来对付击穿电压的降低。

在其市场近年来快速增长的移动信息装置中，广泛使用诸如锂离子电池的高能量密度轻型电源。由于锂离子电池的电压大约有 3V，高于非常小的 MOS 晶体管的击穿电压。所以当锂离子电池被用于使用非常小的晶体管的电路时，有必要使用 DC-DC 变压器降低其电压。由于逻辑电路中使用的 CMOS 电路的功耗与工作频率和供电电压的平方成正比，所以

降低供电电压对于减少芯片功耗有重要的意义。

为了更长时间使用移动信息装置需要高能量密度电池，高效率 DC-DC 变压器，和低电压集成电路。从减少 LSI 的功耗的角度出发，期望使用降低的供电电压，尤其是在消耗大量功率的微处理器或基带 LSI 中。

另一方面，移动信息装置需要诸如 DRAM 或 SRAM (随机访问存储器) 的存储器元件以及逻辑电路。在 DRAM 中，首要任务是保证单元中有足够的电荷以增加对软件差错的承受能力。在 SRAM 中，首要任务是避免当在低供电电压上工作时降低速度。所以在 DRAM 和 SRAM 中尚未象逻辑电路中那样能够显著减少功耗。当前已经实际使用了在大约 1.5 V 的供电电压上工作的元件。

然而大约 1.5V 的供电电压远高于逻辑电路可以使用的低电压。为此，期望同时包含存储器电路和逻辑电路的 LSI 采用并且将采用根据各个电路部分提供各种供电电压的多个供电结构。

图1示出了通过把一个存储器电路和一个逻辑电路集成到一个单独芯片及其电源结构中获得的移动信息装置半导体集成电路。电源系统由一个锂离子电池1700和一个 DC-DC 变压器1701组成。半导体集成电路1704 由一个逻辑电路1702和一个片内存储器电路1703组成。

更具体地说，锂离子电池1700的 3V 电压被 DC-DC 变压器1700 转换成 0.5V 电压。为逻辑电路1702提供 0.5 V 电源。另一方面，由于片内存储器电路1703通常需要 1.5到 2.0V 或更高的供电电压进行高速操作，所以向存储器电路 1703提供锂离子电池1700的 3 V 电源。

在图1的结构中，将逻辑电路的供电电压从 3V 降低到大约 0.5V 理论上允许将操作功耗减少大约 95%，因而大大减少了功耗。

然而当通常工作在从 3V 到 2V 的 供电电压范围的 CMOS 电路的供电电压降低时，由于阈值电压其实较高，因而产生了一个问题：元件的工作速度减少或者不工作。

为了解决这个问题，在供电电压降低时降低 MOS 晶体管的阈值电压。例如，为了配置一个在 0.5V 的低供电电压上工作的逻辑电路，有必要使用一个阈值电压绝对数值大约为 0.1到 0.15 V 的 MOSFET，上述阈

值电压大约是常规 MOSFET的阈值电压的 1/3。

然而对于这种低阈值电压，如果确定一个 MOSFET的子阈值特性为 $100\text{mV} / 10(100\text{mV/decade})$ ，则在 MOSFET关闭时泄漏电流显著增加大约三个量级。

因此在仅仅降低供电电压的方案中，可以减少工作功耗，而装置在后备状态中的功耗显著增加。所以半导体集成电路实际上不适于移动信息装置。

图2示出了一个被用来克服上述问题的已知半导体集成电路。一个供电电压变压器1801将锂离子电池1800的 3V电压转换成 0.5V电压以便向包含一个逻辑电路1802的半导体集成电路1805提供低到 0.5V的电压，从而减少了工作功耗。

半导体集成电路1805还包括一个正供电电压发生器1803和一个负供电电压发生器1804，并且产生一个高于正供电电压发生器1803上的供电电压的电压和一个低于负供电电压发生器1804上的接地电压的电压。半导体集成电路被用来将电压发生器上产生的电压提供到逻辑电路1802中的 n阱和 p阱 (现在示出)，从而某种程度上降低了正常工作逻辑电路中的 MOSFET的阈值电压绝对数值以提高工作速度。

在图2的结构中，可以通过加大后备状态逻辑电路中的 MOSFET的阈值电压绝对数值来减少功耗，从而减少了 MOSFET关闭时的泄漏电流。然而当电压有 0.5 V电源中的电压那么低时，这个技术会产生以下问题。

在半导体集成电路中，通常在正供电电压发生器1803和负供电电压发生器1804中使用一个电荷泵方法。在 0.5V电源的极低电压上，普通电荷泵方法不能提供足以控制阱电压的驱动能力。试图增加驱动能力使得驱动 MOSFET的尺寸非常地大，结果电压发生器的版面区域大于常规等价电路的版面区域。

图3是帮助解释关闭状态中出现的泄漏电流问题的图例。在图3中，为半导体集成电路1905提供三种电源。具体地，将镍氢电池1900提供的 3V电源 (VDD)和接地电压 (VSS)连接到一个以片内方式被集成到半导体集

成电路中的逻辑电路1902上。另外，供电电压变压器1901提供的一个逻辑电路电源VD1 (0.5V)通过一个高阈值 pMOSFET 1093被连接到一个逻辑电路供电线VDDV。

在图3的结构中，当在一个后备状态存储器电路1904中保存逻辑电路中的必要信息之后，pMOSFET 1903的栅极电压 (/STB)被变成 VDD 并且 MOSFET 1903被变成关闭状态。此时根据高阈值 pMOSFET 1903的关闭特性确定泄漏电流具有非常小的数值。

然而由于在后备状态中逻辑电路1902的电源被关闭，将逻辑电路的触发器中的信息事先保存到存储器电路中的过程如参考文献(具有多阈值电压CMOS的1 V电源高速数字电路技术, S.Mutch等人, 1995 IEEE固态电路杂志, Vol. 30 No. 8)所述。

并且，当逻辑电路尺寸较大并且消耗大量功率时，有必要减少开关晶体管pMOSFET 1903的接通电阻造成的电压降以便为保持逻辑电路模块的电路稳定性和速度特性切断电流。这使得 pMOSFET 1903的元件尺寸非常地大。

结果，除控制 pMOSFET 1903打开和关闭电源的电路具有较大版面区域的问题之外，还产生了另一个问题：驱动pMOSFET 1903的栅极的驱动器电路的功耗变得更高。

所以在逻辑电路中有必要使工作状态的低功耗特性与后备状态的低功耗特性兼容。通过所建议的已知方法满足这个要求需要使用一个大規模电路进行切换，这使得版面区域更大并且增加了半导体集成电路费用。

当逻辑电路规模较大时，需要花时间进行切换。为了使切换更快速，有必要增加外部驱动电路的驱动能力，因而增加了功耗。此外，保存逻辑电路的触发器中的信息需要一个附加电路，这增加了版面区域。

所以在移动装置的常规半导体集成电路中强烈要求在工作 and 后备状态中实现较低的功耗并且满足工作速度规定。

降低后备状态中的功耗的方法包含一个产生高于半导体集成电路中逻辑电路的供电电压的电压和低于芯片上接地电压的电压从而控制住阱电压的阱电压控制方法，和一个使用具有良好关闭特性的FET构造一个

电源开关的电源切换方法。

虽然这些方法可以降低后备功耗，但使用大约 0.5V 的极低供电电压降低工作功耗导致以下问题：

(1) 在阱电压控制方法中，需要增加版面区域以补偿电压发生器的供电电压降低造成的驱动能力下降。

(2) 在阱电压控制方法和电源切换方法中，在高速操作或切换到后备状态的操作中增加了后备控制电路的功耗。

(3) 在电源切换方法中，电源开关 FET 造成的供电电压下降削弱了电路稳定性并且降低了速度特性。

(4) 在电源切换方法的后备状态中，需要一个保存数据的附加电路。

这些问题使得版面区域更大，功耗更高并且设计更加复杂，导致集成电路费用的增加。

发明内容

为此一直期望这种半导体集成电路能够在没有使用复杂控制电路的情况下使得在大约 0.5V 的极低供电电压上工作的逻辑电路的工作和后备状态中实现较低的功耗。

根据本发明的第一方面，提供一种半导体集成电路，其中包括：一个第一逻辑电路，所述第一逻辑电路具有一个第一输入端子，并且包括一个第一逻辑模块和一个第一反转逻辑模块，所述第一逻辑模块包括一个具有阈值电压 V_{tp1} 的 p 型 FET，所述第一反转逻辑模块包括一个具有阈值电压 V_{tn1} 的 n 型 FET，所述第一逻辑模块和所述第一反转逻辑模块连接在具有电压 V_1 的第一电源和参考电位之间；一个第二逻辑电路，所述第二逻辑电路具有与所述第一逻辑电路相同的逻辑功能，所述第二逻辑电路具有连接到所述第一输入端子的第二输入端子，并且包括一个第二逻辑模块和一个第二反转逻辑模块，所述第二逻辑模块包括一个具有阈值电压 V_{tp2} 的 p 型 FET， $V_{tp2} < V_{tp1}$ ，所述第二反转逻辑模块包括一个具有阈值电压 V_{tn2} 的 n 型 FET， $V_{tn2} < V_{tn1}$ ，所述第二逻辑模块和所述第二反转逻辑模块连接在一个具有电压 V_2 的第二电源和所述参考电位之间， $V_2 < V_1$ ；和一个介于所述第一逻辑电路中的所述第一逻辑模块和所述第一反转逻辑模块之间以及所述第二逻辑电路中的所述第二逻辑模块和所述第二反转逻辑模块之间的输出开关电路，并且所述输出开关电路具有

一个输入控制信号的控制信号端子和一个根据所述控制信号输出所述第一逻辑电路的输出和所述第二逻辑电路的输出之一的输出端子。

根据本发明的该方面，其中所述输出开关电路包含一个第一开关电路，所述第一开关电路由在所述第一逻辑电路中的所述第一逻辑模块和所述第一反转逻辑模块之间串联的一个第一p型FET和一个第一n型FET组成，和一个第二开关电路，所述第二开关电路由在所述第二逻辑电路中的所述第二逻辑模块和所述第二反转逻辑模块之间串联的一个第二p型FET和一个第二n型FET组成，所述第一p型FET和所述第一n型FET的一个连接结点和所述第二p型FET和所述第二n型FET的一个连接结点被连接到所述输出端子，并且其中根据所述控制信号打开所述第一p型FET和所述第一n型FET时，关闭所述第二p型FET和所述第二n型FET，而且当所述第一p型FET和所述第一n型FET关闭时，打开所述第二p型FET和所述第二n型FET。其中切换所述输出的所述控制信号被输入到所述第一开关电路的所述第一p型FET和所述第二开关电路的所述第二n型FET的栅极，并且所述控制信号的一个反相信号被输入到所述第一开关电路的所述第一n型FET和所述第二开关电路的所述第二p型FET的栅极。

根据本发明的该方面，其中所述输出开关电路由一个第一开关电路和一个第二开关电路组成，其中在所述第一开关电路中，在所述第一逻辑电路中的所述第一逻辑模块和所述第一反转逻辑模块之间串联一个第一p型FET和一个第一n型FET，所述第一p型FET和所述第一n型FET的一个连接结点被连接到所述输出端子，而在所述第二开关电路中，在所述第二逻辑电路中的所述第二逻辑模块和所述第二反转逻辑模块之间串联一个第二和一个第三n型FET，所述第二和所述第三n型FET的一个连接结点被连接到所述输出端子，并且其中根据所述控制信号打开所述第一开关电路和所述第二开关电路之一中的各个所述FET时，另一个开关电路中的各个所述FET被关闭。其中所述控制信号被输入到所述第一开关电路的所述第一p型FET和所述第二开关电路的所述第二和所述第三n型FET的栅极，并且所述控制信号的一个反相信号被输入到所述第一开关电路的所述第一n型FET的一个栅极。

根据本发明的第二方面，提供一种使用上述集成电路的集成电路，其中所述第一和所述第二逻辑电路中的每一个用作触发器的反相器部分。

根据本发明的第三方面，提供一个半导体集成电路，其中包括：一个被提供了输入信号的第一开关门；一个主触发器，这个主触发器包含权利要求1的一个半导体集成电路并且通过所述第一开关门向所述主触发器输入一个输入信号；一个被提供了所述主触发器的输出信号的第二开关门；一个从触发器，这个从触发器包含权利要求1的一个半导体集成电路并且通过所述第二开关门向所述从触发器输入所述主触发器的所述输出信号；和一个缓冲电路，这个缓冲电路包含权利要求1的一个半导体集成电路并且控制所述第一和所述第二开关门。

根据本发明的第四方面，提供一种半导体集成电路，其中包括：一个第一逻辑电路，所述第一逻辑电路具有一个第一输入端子，并且包括一个第一逻辑模块和一个第一反转逻辑模块，所述第一逻辑模块包括一个具有阈值电压 V_{tp1} 的p型FET，所述第一反转逻辑模块包括一个具有阈值电压 V_{tn1} 的n型FET，所述第一逻辑模块和所述第一反转逻辑模块连接在具有电压 V_1 的第一电源和参考电位之间；一个第二逻辑电路，所述第二逻辑电路具有与所述第一逻辑电路不同的逻辑功能，所述第二逻辑电路具有第二输入端子，并且包括一个第二逻辑模块和一个第二反转逻辑模块，所述第二逻辑模块包括一个具有阈值电压 V_{tp2} 的p型FET， $V_{tp2} < V_{tp1}$ ，所述第二反转逻辑模块包括一个具有阈值电压 V_{tn2} 的n型FET， $V_{tn2} < V_{tn1}$ ，所述第二逻辑模块和所述第二反转逻辑模块连接在一个具有电压 V_2 的第二电源和所述参考电位之间， $V_2 < V_1$ ；和一个介于所述第一逻辑电路中的所述第一逻辑模块和所述第一反转逻辑模块之间以及所述第二逻辑电路中的所述第二逻辑模块和所述第二反转逻辑模块之间的输出开关电路，并且所述输出开关电路具有一个输入控制信号的控制信号端子和一个根据所述控制信号输出所述第一逻辑电路的输出和所述第二逻辑电路的输出之一的输出端子。

根据本发明的该方面，其中所述输出开关电路包含在所述第一逻辑电路中的所述第一逻辑模块和所述第一反转逻辑模块之间串联的一个第一开关p型FET和一个第一开关n型FET，和在所述第二逻辑电路中的所述第二逻辑模块和所述第二反转逻辑模块之间串联的一个第二开关p型FET和一个第二开关n型FET，所述第一开关p型FET和所述第一开关n型FET的一个连接结点和所述第二开关p型FET和所述第二开关n型FET的

一个连接结点被连接到所述输出端子，并且其中根据所述控制信号打开所述第一开关p型FET和所述第一开关n型FET时，关闭所述第二开关p型FET和所述第二开关n型FET，而且当所述第一开关p型FET和所述第一开关n型FET关闭时，打开所述第二开关p型FET和所述第二开关n型FET。其中切换所述输出的所述控制信号被输入到所述第一开关p型FET和所述第二开关n型FET的栅极，并且所述控制信号的一个反相信号被输入到所述第一开关n型FET和所述第二开关p型FET的栅极。

根据本发明的该方面，其中所述输出开关电路由一个第一开关电路和一个第二开关电路组成，其中在所述第一开关电路中，在所述第一逻辑电路中的所述第一逻辑模块和所述第一反转逻辑模块之间串联一个第一p型FET和一个第一n型FET，所述第一p型FET和所述第一n型FET的一个连接结点被连接到所述输出端子，而在所述第二开关电路中，在所述第二逻辑电路中的所述第二逻辑模块和所述第二反转逻辑模块之间串联一个第二和一个第三n型FET，所述第二和所述第三n型FET的一个连接结点被连接到所述输出端子，并且其中根据所述控制信号打开所述第一开关电路和所述第二开关电路中之一中的各个所述FET时，关闭另一个开关电路中的各个所述FET。其中所述控制信号被输入到所述第一开关电路的所述第一p型FET和所述第二开关电路的所述第二和所述第三n型FET的栅极，并且所述控制信号的一个反相信号被输入到所述第一开关电路的所述第一n型FET的一个栅极。

附图说明

图1示出一个常规低功耗半导体集成电路的结构的模块图；

图2示出一个常规低功耗半导体集成电路的另一种结构的模块图；图3示出一个常规低功耗半导体集成电路的另一种结构的模块图；

图4示出一个基于本发明第一实施例的半导体集成电路的基本结构的模块图；

图5第一实施例中使用的输出开关电路的电路图；

图6第一实施例中使用的输出开关电路的另一个电路图；

图7示出基于第一实施例的半导体集成电路的具体结构的电路图；

图8示出基于第一实施例的半导体集成电路的另一个具体结构的电路图；

图9示出一个在触发器中使用图7或 8的反相器的例子的电路图;

图10示出图9的逻辑电路的各个结点上的电压变化的时序图;

图11仍然是示出基于第一实施例的半导体集成电路的另一个具体结构的电路图;

图12一个基于本发明第二实施例的主-从触发器的模块图;

图13示出图12中使用的锁存器电路 906或 907的结构电路图;

图14示出图12中使用的缓冲电路 (Buf1) 908或 909的结构电路图;

图15示出图12中使用的缓冲电路 (Buf0) 910或 911的结构电路图;

图16一个基于本发明第三实施例的主-从触发器的模块图;

图17示出图16中使用的主锁存器电路1306, 1307, 和 1306-1的结构电路图;

图18示出图16中使用的缓冲电路 (Buf1) 1308的结构电路图;

图19示出图12中使用的缓冲电路 (Buf0) 1309的结构电路图;

图20仍然是示出基于第一实施例的半导体集成电路的另一个具体结构的电路图; 并且

图21仍然是示出基于第一实施例的半导体集成电路的另一个具体结构的电路图。

具体实施方式

下面将参照附图解释本发明的实施例。

(第一实施例)

图4示出一个基于本发明第一实施例的半导体集成电路100的基本结构的模块图。

两个满足表达式 $V1 > V2$ 的电源 102和 103不但为半导体集成电路100供电, 而且还为一个内部逻辑电路 101供电。

内部逻辑电路101由具有相同逻辑功能的第一和第二逻辑电路 104, 105组成。第一逻辑电路 104包含一个 pMOS电路模块106和一个具有针对 pMOS电路模块106的逻辑的 nMOS电路模块108。第二逻辑电路 105

包含一个 pMOS电路模块107和一个具有针对 pMOS电路模块107的逻辑的 nMOS电路模块109。相应模块的输出端子O1到 O4通过一个输出开关电路110被连接到一个输出端子Dout，其中上述输出开关电路110根据开关电路110的控制端子上的控制信号Cont进行切换。

在第一实施例中，当半导体集成电路100处于激活模式时，控制信号Cont将 pMOS电路模块107和 nMOS电路模块109的输出端子 O2和 O4连接到输出端子Dout，从而实现了低电压上的低功耗操作。

另一方面，由于输出开关电路110对 pMOS电路模块106和 nMOS电路模块108进行电切换，电流的泄漏路径在第一逻辑电路104中消失了。

接着，当半导体集成电路根据控制信号Cont处于后备状态时，一个输出切换信号将第一逻辑电路104中 pMOS电路模块106和 nMOS电路模块108的输出端子O1和 O3连接到输出端子Dout。由于 pMOS电路模块106和 nMOS电路模块108均由其阈值电压具有相对较大绝对数值的晶体管组成，所以第一逻辑电路104具有低泄漏电流特性。

此时，不管构成 pMOS电路模块107和 nMOS电路模块109的 FET的阈值电压如何，由于输出开关电路110将第二逻辑电路105中的 pMOS电路模块107和 nMOS电路模块109电浮动，第二逻辑电路105同样具有低泄漏电流特性。所以半导体集成电路在工作时在低供电电压上具有低功耗特性，并且当处于后备状态时具有低泄漏电流特性。

图5示出了第一实施例中使用的输出开关电路110的具体例子。pMOSFET200和 202与 nMOSFET201和 203的漏极被连接到输出端子Dout。pMOSFET200和 202与 nMOSFET201和 203的源极分别被连接到图4中 pMOS电路模块106和 107与 nMOS模块电路 108和 109的输出端子O1到 O4。

控制信号Cont被提供给 pMOSFET200和 nMOSFET的栅极，而控制信号Cont的互补信号/Cont提供给 pMOSFET202和 nMOSFET201的栅极。通过这种结构，不但可以将一个逻辑电路的输出连接到输出端子Dout，而且也可以电浮动其它逻辑电路的输出。

图6示出了第一实施例中使用的输出开关电路110的另一个具体例

子。pMOSFET300和nMOSFET301, 303的漏极与 nMOSFET302的源极被连接到输出端子Dout。MOSFET300, 301和303的源极分别被连接到pMOS电路模块106和nMOS电路模块108和109的输出端子O1, O3和O4。nMOSFET302的漏极被连接到图4中 pMOS电路模块107的输出端子O2。

控制信号Cont提供给 pMOSFET 300和 nMOSFET302, 303的栅极。控制信号Cont的互补信号/Cont提供给 nMOSFET 301的栅极。

即一个由 pMOSFET 300和 nMOSFET 301组成的第一开关电路被插入到构成第一逻辑电路104的 MOS电路模块106和108之间。一个由 nMOSFET 302和303组成的第二开关电路被插入到构成第二逻辑电路105的 MOS电路模块107和109之间。第一和第二开关电路在控制信号Cont和 /Cont的控制下以互补方式工作。

象在图5中那样, 通过这种结构不但可以将一个逻辑电路的输出连接到输出端子Dout, 而且也可以将其它逻辑电路的输出电浮动。与图5的电路结构不同的是, 这个电路结构使得被连接到第二逻辑电路105中模块107和 109的第二开关电路仅仅由 nMOSFET组成, 从而允许增加驱动功率。

图7示出了基于第一实施例的半导体集成电路的一个具体例子。

被提供了电源 V1的反相器 401和 402被插入以便逻辑产生一个输出切换控制信号及其互补信号。反相器401和402输出一个高电压 V1和一个低接地电压。为了实现低泄漏电流特性, 反相器401和402由其阈值电压具有高绝对数值的 FET(或具有高阈值的 FET)组成。

逻辑电路由一个被连接到供电电压 V1的第一逻辑电路 403和一个被连接到电源 V2 ($V1 > V2$)的第二逻辑电路 404组成。图5的输出开关电路110被连接到一个输出端子Dout。任何构成输出开关电路110的晶体管 200- 203均由一个具有高阈值的 FET组成。在这个电路中, 由于pMOS电路模块和 nMOS电路模块均由一个单独晶体管组成, 它们执行逻辑反相(或充当反相器)。

在图7中, 当一个后备信号STB为高时, 或者当半导体集成电路处于后备状态时, 完全关闭的 pMOSFET202和 nMOSFET203使得第一逻辑

电路403的输出被连接到输出端子Dout而第二逻辑电路404的输出被从输出端子Dout断开。由于具有高阈值的 FET 200和 201的泄漏特性确定了泄漏电流量，所以泄漏电流量远小于当在常规等价电路中使用具有低绝对数值阈值电压的FET (或具有低阈值的FET)时的泄漏电流量。

另一方面，当一个后备信号STB为低时，或者当半导体集成电路处于激活模式时，nMOSFET201和pMOSFET200使得第一逻辑电路403的输出被从输出端子Dout断开并且第二逻辑电路404的输出被连接到输出端子Dout。此时由于电路的逻辑振幅和电源电压 V_2 一样低，所以功耗变得极低。

图8示出了基于第一实施例的半导体集成电路的另一个例子。被提供了电源 V_1 的反相器 401和 402被插入以便逻辑产生一个输出切换控制信号及其互补信号。反相器401和402输出一个高电压 V_1 和一个低接地电压。为了实现低泄漏电流特性，反相器401和402由其阈值电压具有高绝对数值的 FET(或具有高阈值的 FET)组成。逻辑电路由一个被连接到供电电压 V_1 的第一逻辑电路 403和一个被连接到电源 V_2 ($V_1 > V_2$)的第二逻辑电路 404组成。图6的输出开关电路110'被连接到输出端子。任何构成输出开关电路110'的晶体管 300- 303均由一个具有高阈值的 FET组成。在这个电路中，由于 pMOS电路模块和 nMOS电路模块均由一个单独晶体管组成，它们执行逻辑反相(或充当反相器)。

在这个电路中，当一个后备信号STB为高时，或者当半导体集成电路处于后备状态时，完全关闭的 nMOSFET302和 303使得第一逻辑电路403的输出被连接到输出端子Dout而第二逻辑电路404的输出被从输出端子Dout断开。由于具有高阈值的 FET 300和 301的泄漏特性确定了泄漏电流量，所以泄漏电流量远小于当在常规等价电路中使用具有低绝对数值阈值电压的FET (或具有低阈值的FET)的时的泄漏电流量。

另一方面，当一个后备信号STB为低时，或者当半导体集成电路处于激活模式时，nMOSFET 301和pMOSFET 300使得第一逻辑电路403的输出被从输出端子Dout断开并且第二逻辑电路404的输出被连接到输出端子Dout。此时由于电路的逻辑振幅和电源电压 V_2 一样低，所以功耗变得

极低。

图9示出了本发明一个在触发器中使用图7的反相器 400的实施例。可以使用图8的反相器 400'取而代之。将 Vcc和 Vcc-05当作电源提供给半导体集成电路 600。当半导体集成电路工作时，Vcc和 Vcc-05被提供给内部电路。当半导体集成电路处于处于时，Vcc被提供给内部电路。

半导体集成电路600包括主-从触发器602和603和一个普通逻辑电路604。主-从触发器602和603均由图7(或图8)的反相器400(或400')和一个含有并行连接的 pMOSFET和 nMOSFET的传输门605组成。通过一个 nMOSFET 601可以将 Vcc-05连接到一个内部供电线 Vcc-05-in或从其断开，其中向 nMOSFET 601的栅极输入一个后备信号/STB。

高电压电源 Vcc提供给主-从触发器 602和 603。内部供电线 Vcc-05-in提供给均包含触发器的内部逻辑电路 602- 604。当集成电路处于激活模式时，向主-从触发器602和603中的传输门的输入端输入一个时钟。当集成电路处于后备状态时，通过一个与门 606输入时钟信号以便集成电路可以关闭。

由于触发器602和603内部的电源 Vcc和 Vcc-05-in的连线在图中显得太复杂，所以仅仅示出电源Vcc和Vcc-05-in针对位于触发器 602顶端的反相器400的连接并且省略其余部分。

通过这个结构，由于 nMOSFET 601处于工作状态，所以 Vcc-05和 Vcc-05-in变成彼此相等。由于主-从触发器602和603中的反相器按照 Vcc-05的逻辑振幅工作并且含有逻辑电路 604的半导体集成电路中的逻辑电路按照 Vcc-05的振幅工作，因而允许低功耗操作。

另一方面，当半导体集成电路处于后备状态时，或者当 nMOSFET 601关闭时，Vcc-05从 Vcc-05-in断开，结果 Vcc-05-in逐渐接近接地电压(参见图10中的 Vcc-05-in)。因而半导体集成电路 600中诸如逻辑电路 604的逻辑电路的高电压逐渐接近接地电压(参见图10中的 Out)。

并且由于主-从触发器602和603中的反相器被连接到高电源电压 Vcc，所以传输门605被一个时钟信号控制以便在后备状态中被关闭，因而将高电压放在 Vcc上而将低电压放在接地电压上，这导致触发器的内

容(参见图10的Q)被维持。当半导体集成电路从后备状态改变到工作状态时,在几纳秒的恢复时间后,高电压变成 V_{cc-05} 而低电压变成触发器中的接地电压,这允许集成电路再次工作(参见图10中的Q)。

图10示出了前面解释的各个结点上的电压。图10具体示出了内部电源 $V_{cc-05-in}$,主-从触发器602和603的输出和逻辑电路的输出如何在工作状态和后备状态之间改变。这里假定 FET 601是一个 nMOS。即使 FET 601是一个由后备信号STB控制的 pMOS也可以产生相同结果。

下面具体参照图11示出涉及图4的第一实施例。虽然提供的例子假定实现 $0.25\ \mu\text{m}$ CMOS工艺处理,但在进行 CMOS加工的情况下基本上可以接受任何等级的微细加工。图7示出了一个使用反相器的例子,而图11示出了一个使用 2输入与非门的例子。

令供电电压 V_{cc} 是 1.2V ,即普通主电池电动势或 Ni系列辅助电池的电动势。令 V_{cc-05} 为 0.5V ,其中假定通过对 V_{cc} 进行 DC-DC转换得到 V_{cc-05} 。在图11中,其传导路径由粗线表示的 FET具有高阈值。在这种情况下, nMOSFET的阈值电压是 0.4V 而 pMOSFET的阈值电压是 -0.4V 。图11中的其它 FET具有低阈值。在这种情况下, nMOSFET的阈值电压是 0.1V 而 pMOSFET的阈值电压是 -0.1V 。

反相器401和402由具有高阈值的 FET组成并且均被提供 V_{cc} 。栅极被用来产生一个控制信号以便将内部逻辑电路设置到后备状态或工作状态中。有必要根据其负载确定 FET的尺寸。由于仅仅驱动逻辑电路的一个栅极,所以 pMOSFET具有 $8\ \mu\text{m}$ 的栅极宽度而 nMOSFET具有 $4\ \mu\text{m}$ 的栅极宽度。pMOSFET的栅极宽度与 nMOSFET的栅极宽度不同的原因是前者的驱动能力要与后者的驱动能力相等。

逻辑电路由一个第一逻辑电路 803和一个第二逻辑电路 804构成,上述第一逻辑电路和第二逻辑电路均构成一个 2输入与非门。第一逻辑电路 804由 pMOSFET 805, 806和 nMOSFET 807, 808组成。第二逻辑电路 803由 pMOSFET 809, 810和 nMOSFET 811, 812组成。

MOSFET 200-203构成图5中所示的输出开关电路110。所有 MOSFET 200-203均具有高阈值。

FET 805- 808和 FET 200- 202均具有 $1\ \mu\text{m}$ 的栅极宽度。FET 809, 810和202均具有 $2\ \mu\text{m}$ 的栅极宽度。FET 103, 811和811均具有 $1\ \mu\text{m}$ 的栅极宽度。当在这个结构的后备状态中 $\text{Din1} = \text{Din2} = \text{Vcc}$ 并且 $\text{Dout} = 0$ 时, FET 805, 806, 809, 810, 202和203关闭并且其它 FET 打开。

如果确定子阈值特性的 S系数是 $100\text{mV} / 10$, 则FET 809和810中的泄漏电流($10\ \text{nA}$)大约比其它FET中的泄漏电流大1000倍。即如果因电阻较低而忽略了电阻, 则泄漏电流具有以下路径: $\text{Vcc} - 05\ 202 - \> \text{GND}$ 和 $\text{Vcc} - \> 805$ 和 $806 - \> \text{GND}$ (注意MOSFET 200打开)。由于泄漏电流由FET 202和 FET 805, 806确定, 所以最坏的泄漏电流大约为 $30\ \text{pA}$ 。

在另一个最坏情况下, 当 $\text{Din1} = \text{Vcc}$, $\text{Din} = \text{GND}$, 并且 $\text{Dout} = \text{Vcc}$ 输出时, FET 805, 807, 809, 811, 202和203关闭。由于FET 809和811中的泄漏电流($10\ \text{nA}$)大约比其它FET中的泄漏电流大1000倍, 所以忽略其电阻。因而泄漏电流具有以下路径: $\text{Vcc}-05 - \> 202 - \> 203$ 或 $807 - \> \text{GND}$ 和 $\text{Vcc} - \> 805 - \> 203$ 或 $807 - \> \text{GND}$ (注意MOSFET 200打开)。因而, 最坏泄漏电流大约为 $20\ \text{pA}$ 。

另一方面, 虽然 FET 200和 201在工作状态中关闭, 但由于通过 FET 200和 201的泄漏电流大约小到 $10\ \text{pA}$, 所以通过在 FET 809- 812, 201和 202上的电容中完成充电和放电动作来确定工作状态中的功耗。此时由于 Dout 的逻辑振幅是 0.5V , 所以工作状态中的拖曳电流非常小。

将第一实施例与常规等价实施例相比较。在改变图2示出的衬底的电压的方法中, 考虑通过一个CMOS电路在后备状态中实现 $\pm 0.4\ \text{V}$ 阈值电压的情况, 其中在上述CMOS电路中象第一实施例那样pMOSFET和nMOSFET的阈值电压是 $\pm 0.1\text{V}$ 。为此, 有必要向 nMOSFET提供 -0.5V 到 -3V 的电压并且向 pMOSFET提供 -0.5V 到 -1.5V 的电压以作为用于衬底的电压。由于具有较大电容的衬底的电压改变需要 $1\ \text{V}$ 或更多, 考虑到驱动能力衬底电压发生器的尺寸变得非常大。

另一方面, 在使用图3中示出的开关晶体管的方法中, 由于电源在后备状态中被断开, 因而难以操作逻辑电路或维持数据。在第一实施例中避免了这个问题, 其方法与图3的方法不同。虽然已经使用了图5的输出

开关电路110，但即使在使用图6的开关电路110时也可以产生相同的效果。

在图11中，将一个使用与非门的电路结构作为第一和第二逻辑电路。然而第一实施例可以适用于使用图20所示的或非门或图21所示的复合门结构的电路结构。

图21的复合门结构是一个逻辑电路，该逻辑电路具有一个被表示成 $(A \cdot B + C) \bar{C}$ 的反相的逻辑，其中三个输入是A, B和C。

(第二实施例)

图12详细示出了图9的主-从触发器部分 607，其中不包含电源开关 601。

对于供电电压，假定 V_{cc} 是 1.2 V 并且 V_{cc-5} 是 0.5V。触发器由一个充当后备信号缓冲器的反相器901，充当时钟缓冲器的反相器902和903，传输门904和905，一个主锁存器906，一个从锁存器907，和传输门驱动缓冲器908到911组成。

传输门904和905对应于图9的传输门605。传输门驱动缓冲器908到911对应于图9的门606。

图13示出了锁存器电路906或907的一个结构。图14示出了驱动传输门904或905中 pMOSFET的栅极的缓冲器 (Buf1) 908或909的一个结构。图15示出了驱动传输门904或905中 nMOSFET的栅极的缓冲器 (Buf0) 910或911的一个结构。对应栅极宽度被加到图13- 15中的各个 MOSFET 上。

在图13中锁存器906或907的电路结构中，第一实施例的反相器400彼此连接以构成一个锁存器电路。图14中缓冲器908或909 (Buf1)的电路结构和图15中缓冲器910或911 (Buf0)的电路结构类似于第一实施例的结构，但是与第一实施例的不同之处在于第一逻辑电路的逻辑功能与第二逻辑电路不同。即输出开关电路110'或110在由一个反相器组成的第二逻辑电路914和不同于一个反相器的第一逻辑电路913之间切换。可以使用输出开关电路110或 110'中的任一个。

在图12的主-从触发器607中，在工作状态下分别通过传输门904和905

在锁存器906和907中存储数据。此时由于触发器输出结点 (Dout)的逻辑振幅为根据 Vcc-05确定的 0.5V, 所以触发器可以进行低功耗的操作。对于后备信号STB=1的情况, 当触发器要进入后备状态时, 驱动传输门904和905的缓冲器的 Buf1的输出变成常量 Vcc并且 Buf0的输出变成常量 0, 这使得传输门904和905打开(或关闭)。

另一方面, 由于锁存器906和907中的门由第一实施例的反相器400 (或400')组成, 所以通过电压 Vcc或0保存其内容。由于通过关闭的晶体管将驱动传输门904和905的缓冲器908和909的 Vcc-05供电线从锁存器中的输出结点Dout上断开, 所以即使图9中所示的 FET 601将 Vcc-05设置到浮动状态仍然可以没有任何问题地保存数据。

由于主-从触发器使用第一实施例中解释的反相器或一个具有类似结构的缓冲电路进行操作, 所以后备状态中的泄漏电流可以被减少到 100 pA或更低。当触发器工作时, 触发器可以实现 0.5V的逻辑振幅和低功耗操作。

如上所述, 主-从触发器以低泄漏电流和低功耗进行操作。由于主-从触发器可以在后备状态保持低泄漏电流特性, 所以不管 Vcc-05的结点电压如何, 这种特性均允许 Vcc-05成为一个浮动结点。

所以, 通过停止向触发器以外的逻辑电路供电并且允许触发器存储数据, 半导体集成电路中的泄漏电流可以被减少到仅仅能够整体保持触发器的电流的程度。这允许显著减少功耗。

按照经验方法通过 0.25 μm CMOS加工工艺构成一个由相连的主-从触发器组成的 100位移位寄存器。因而确定移位寄存器在 100 MHz的频率上工作。

在图14中, 由于 FET 921总是打开, 所以通过 将FET 300的源极与 Vcc相连可以省略 FET 921, 并且由于 FET 922总是关闭, 所以可以省略 FET 301和 922。

在图15中, 由于 FET 921总是关闭, 所以可以省略FET 300和921, 并且由于 FET 922总是打开, 所以可以通过将FET 301的源极接地而省略FET 922。

(第三实施例)

图16示出了涉及图9的主-从触发器的另一个具体例子。

对于供电电压，假定 V_{cc} 是 1.2 V 并且 $V_{cc-0.5}$ 是 0.5V。触发器由一个充当后备信号缓冲器的反相器1301，充当时钟缓冲器的反相器1302和1303，含有 pMOSFET和nMOSFET的传输门1304，1305，1304-1和1305-1，主锁存器触发器1306和1306-1，从锁存器触发器1307和1307-1和传输门驱动缓冲器1308和1309组成。对应栅极宽度被加到图16- 19中的各个FET上。

图17示出了在各个主锁存器触发器1306和1306-1和从锁存器触发器1307中使用的反相器的电路结构。图17的反相器的电路结构与第一实施例中图6的反相器的电路结构基本上相同。图17的反相器可以具有图5的电路结构。

图18示出了驱动传输门1304和1305-1中 pMOSFET的栅极和传输门1305和1304-1中 nMOSFET的栅极的传输门驱动缓冲器1308 (Buf1)的电路结构。当后备信号STB为高(或在后备状态中)时，向 Dout输出一个固定电压 V_{cc} 。

图19示出了驱动传输门1304和1305-1中 pMOSFET的栅极和传输门1305和1304-1中 nMOSFET的栅极的传输门驱动缓冲器1309 (Buf0)的电路结构。缓冲器1309的电路结构与第二实施例中图15的电路结构基本上相同。当后备信号STB为高(或在后备状态中)时，向 Dout输出一个0 V的固定电压。

在图18中，由于 FET 1321总是打开，所以通过将FET 300的源极与 V_{cc} 相连可以省略 FET 1321，并且由于 FET 1322总是关闭，所以可以省略 FET 301和 1322。

在图19中，由于 FET 1321总是关闭，所以可以省略FET 300和1321，并且由于 FET 1322总是打开，所以可以通过将FET 301的源极接地省略 FET 1322。

当图16的主-从触发器处于工作状态时，分别通过传输门1304和1305在主锁存器触发器1306和从锁存器触发器1307中存储数据。此时由于触

发器输出结点Dout的逻辑振幅为根据 Vcc-05确定的 0.5V，所以触发器可以进行低功耗的操作。

对于后备信号STB=1的情况，当触发器要进入后备状态时，驱动传输门的 Buf1的输出变成Vcc并且 Buf0的输出变成0，从而关闭传输门1304和1305-1。此时由于传输门 1304-1打开，所以在电压 Vcc或0上保存主锁存器的内容。

另一方面，由于传输门1305导通，所以从端通过触发器1307输出浮动结点Vcc-05的电压或0V的接地电压。象在第二实施例中那样，这个主-从触发器允许后备状态中的泄漏电流被减少到 100 pA或更低。当触发器工作时，触发器可以实现 0.5V的逻辑振幅和低功耗操作。

如上所述，主-从触发器以低泄漏电流和低功耗进行操作。由于主-从触发器可以在后备状态保持低泄漏电流特性，所以不管 Vcc-05的结点电压如何，这种特性均允许 Vcc-05成为一个浮动结点。

所以，通过停止向触发器以外的逻辑电路供电并且允许触发器存储数据，半导体集成电路中的泄漏电流可以被减少到仅仅能够整体保持触发器的电流的程度。这允许显著减少功耗。

按照经验方法通过 0.25 μm CMOS加工工艺构成一个由相连的主-从触发器组成的 100位移位寄存器。然后确定移位寄存器在 100 MHz的频率上工作。

本发明不仅限于上述实施例。除 2输入与非门，反相器和触发器之外，NOR, OR / NAND, AND / NOR, 和锁存器电路也可以被用作逻辑电路。使用这类电路会产生相同效果。

在第二和第三实施例中， FET开关被用来使内部电源进入浮动状态。本发明不仅限制于这个方法。例如，一个 DC-DC变压器可以被连接到 DC-DC变压器的最终级段中的缓冲电路的栅极上，并且一个逻辑电路可以被加到上述栅极上，从而使得输出结点成为一个浮动结点。

虽然 1.2 V被用作 Vcc电源的电压，但也可以使用具有更高供电电压的结构，其中假定击穿电压足够高或者通过FET的垂直堆积结构保证有足够的击穿电压。

在这些实施例中，所有 FET均属于 MOS类型的 FET。这里具有 MOS类型的 FET不仅限于使用氧化膜作为栅极绝缘膜的 FET，并且包含具有所谓的 MIS类型的 FET，其中 MIS类型的 FET使用不同于氧化膜的绝缘膜。

如前所述，对于本发明，一个具有逻辑振幅大约为 0.5V的逻辑电路的半导体集成电路包括一个第一逻辑电路和一个第二逻辑电路。第一和第二逻辑电路具有共同的输入端子和相同的逻辑功能。第一逻辑电路由两个电路模块组成，其中一个电路模块由一个pMOSFET构成，而另一个由一个 nMOSFET构成，各个电路模块均具有一个高阈值。第二逻辑电路由两个电路模块组成，其中一个电路模块由一个pMOSFET构成，而另一个由一个 nMOSFET构成，各个电路模块均具有一个低阈值。

一个输出开关电路介于每个逻辑电路中的 pMOS电路模块和 nMOS电路模块之间。输出开关电路控制各个逻辑电路与电源之间的连接和断开。当集成电路处于激活模式时，使用具有低的逻辑切换阈值电压的 MOSFET的第二逻辑电路被连接到输出上，从而以低功耗方式操作集成电路。当集成电路处于后备状态时，将插入到泄漏电流路径中的具有高阈值电压的 MOSFET的第一逻辑电路连接到输出上，从而允许集成电路根据低泄漏电流特性进行操作。

这使得能够在没有使用复杂控制电路的情况下使得在大约 0.5V的极低供电电压上工作的逻辑电路在工作和后备状态中实现较低的功耗。并且版面区域的减少和设计的便利使得能够减少半导体集成电路的制造费用。

另外，当使用上述逻辑电路构造包含触发器的存储器电路并且允许不包含存储器电路的逻辑电路与电源断开时，工作状态中的逻辑电路根据低功耗特性利用低电压电源工作，在后备状态下在触发器中保存数据并且将其它逻辑电路与电源断开，从而根据小泄漏电流特性停留在后备状态中。

本领域的技术人员会容易地想到其它优点和修改。所以本发明在其广度方面不仅限于这里示出并描述的具体细节和典型实施例。因此在不

偏离所附权利要求书及其等价描述所定义的一般发明概念的宗旨或范围的前提下可以进行各种修改。

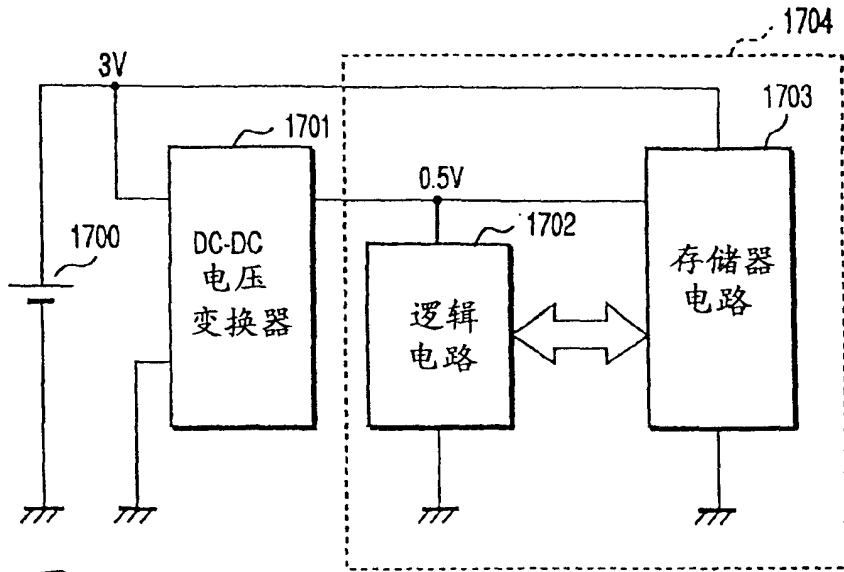


图 1 现有技术

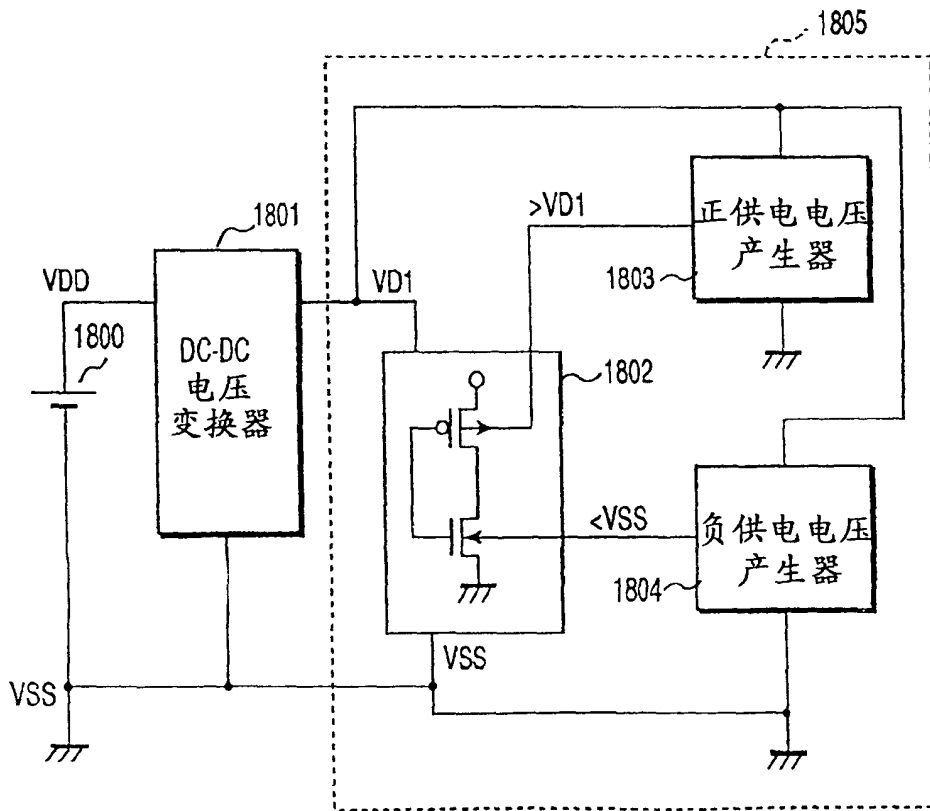


图 2 现有技术

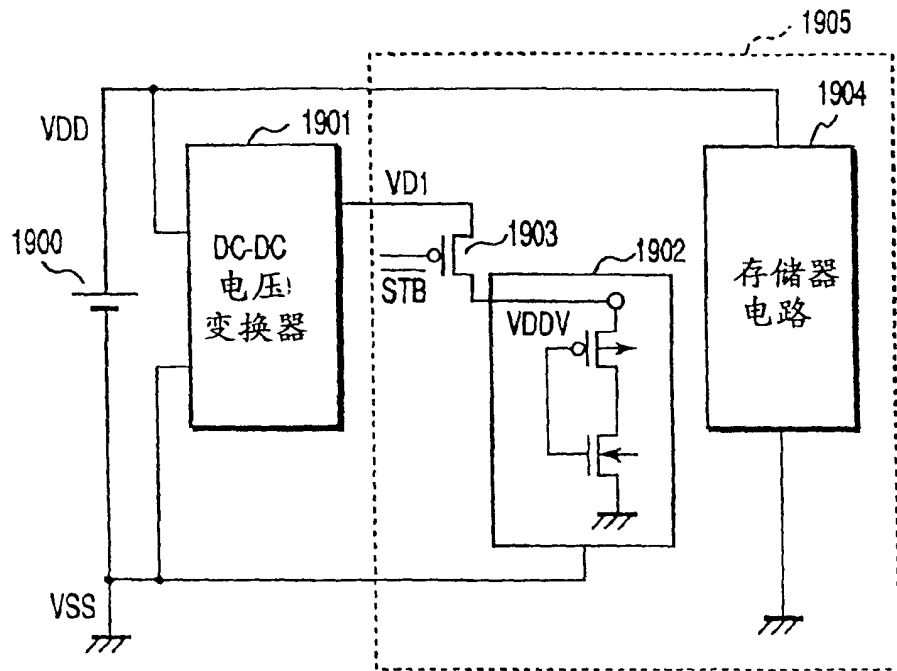


图 3 现有技术

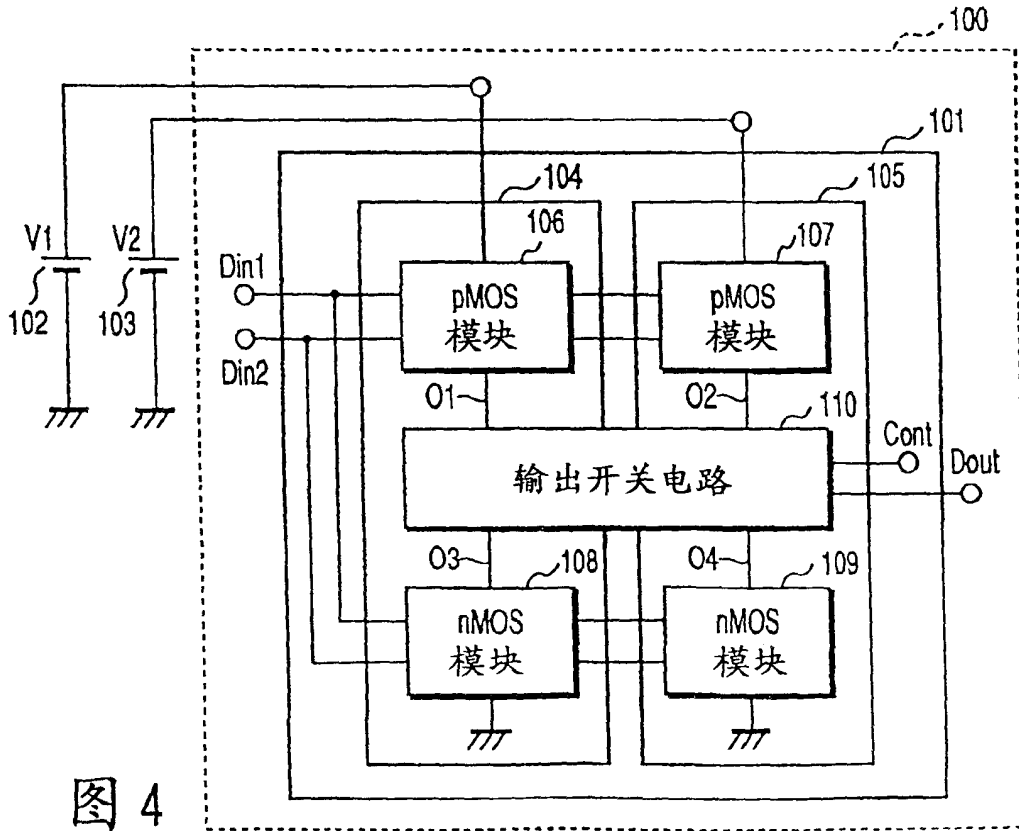


图 4

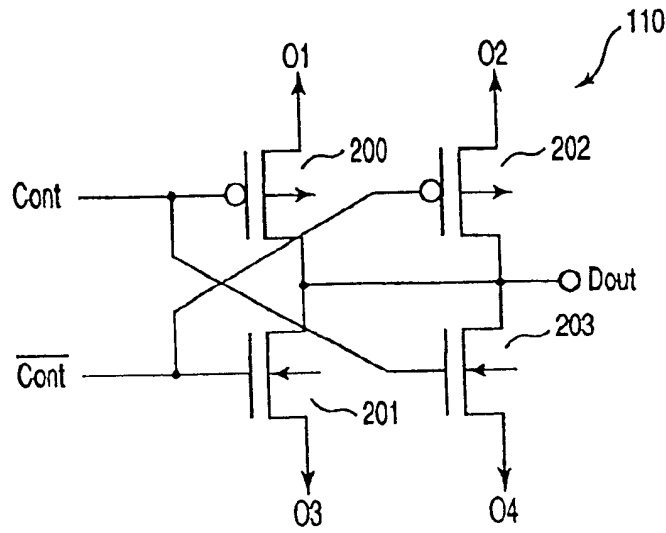


图 5

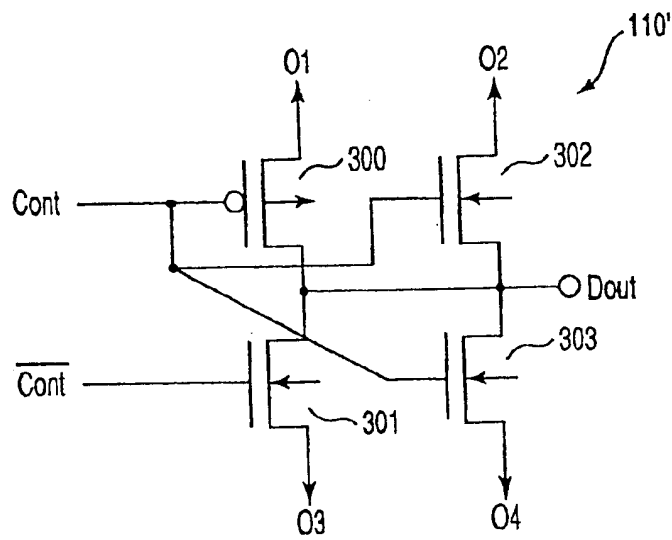


图 6

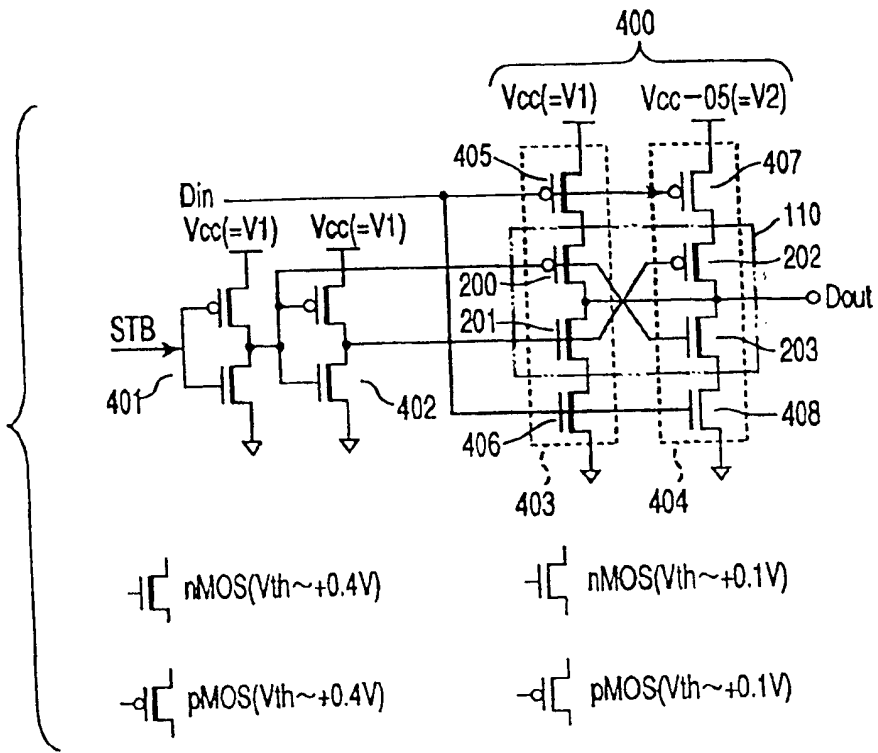


图 7

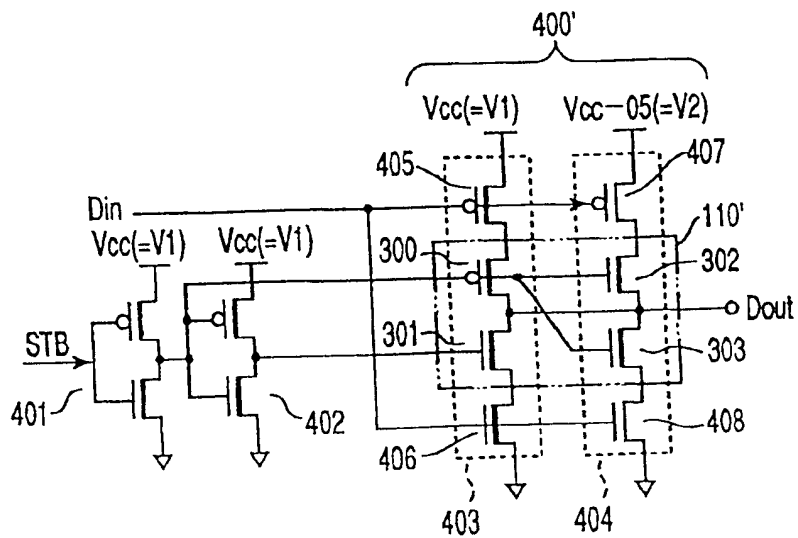


图 8

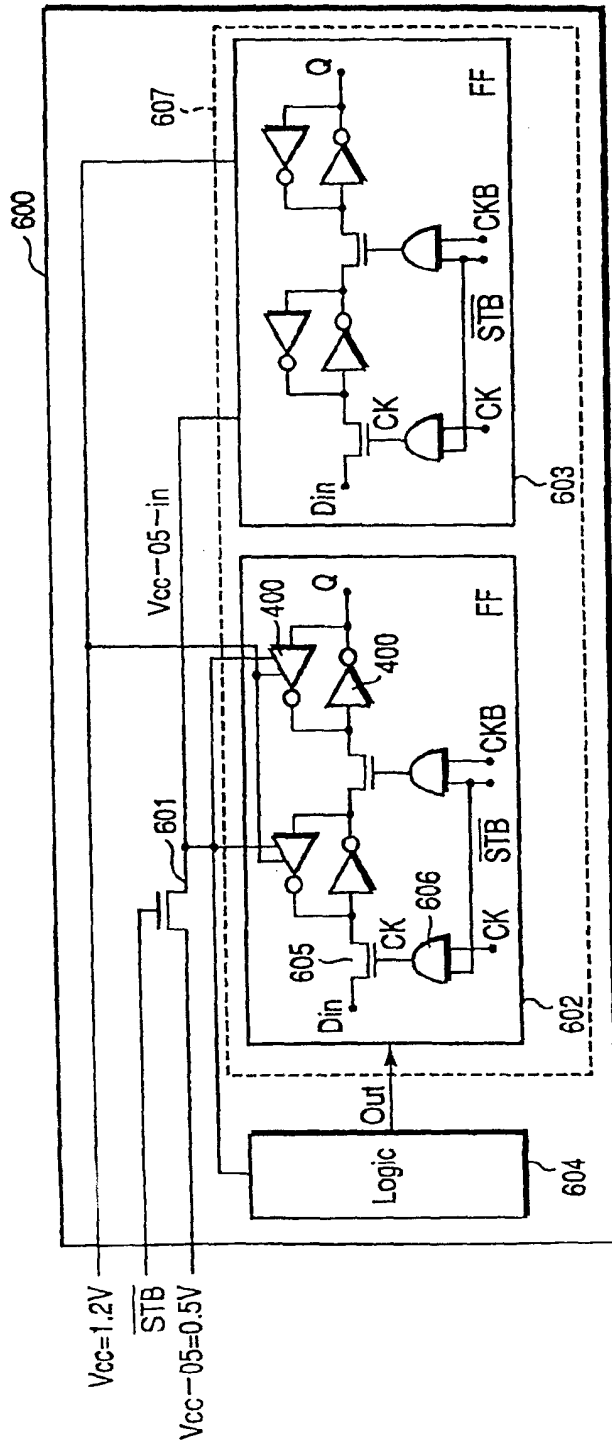


图 9

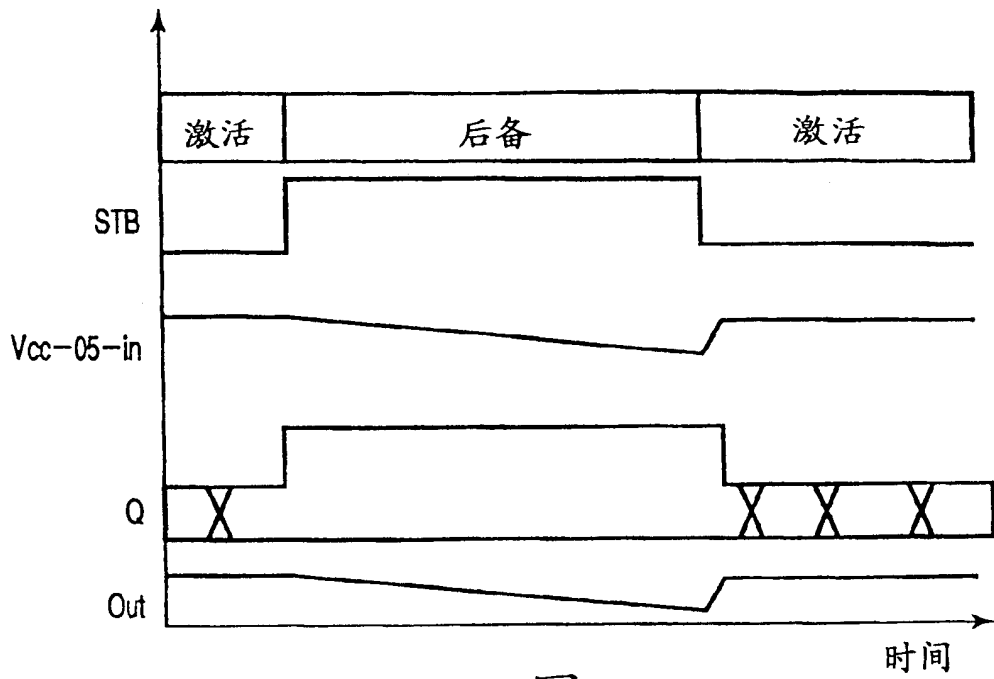


图 10

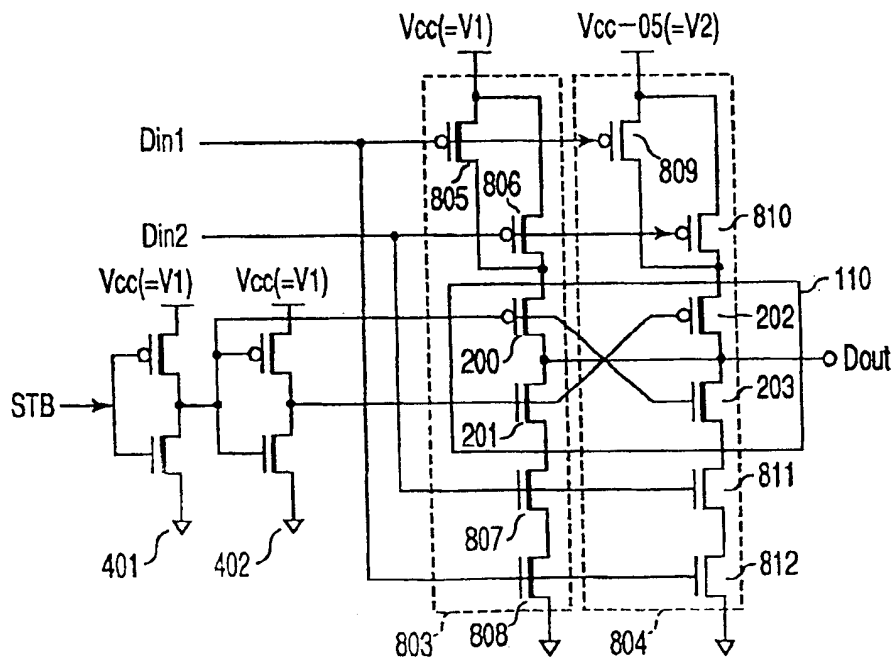


图 11

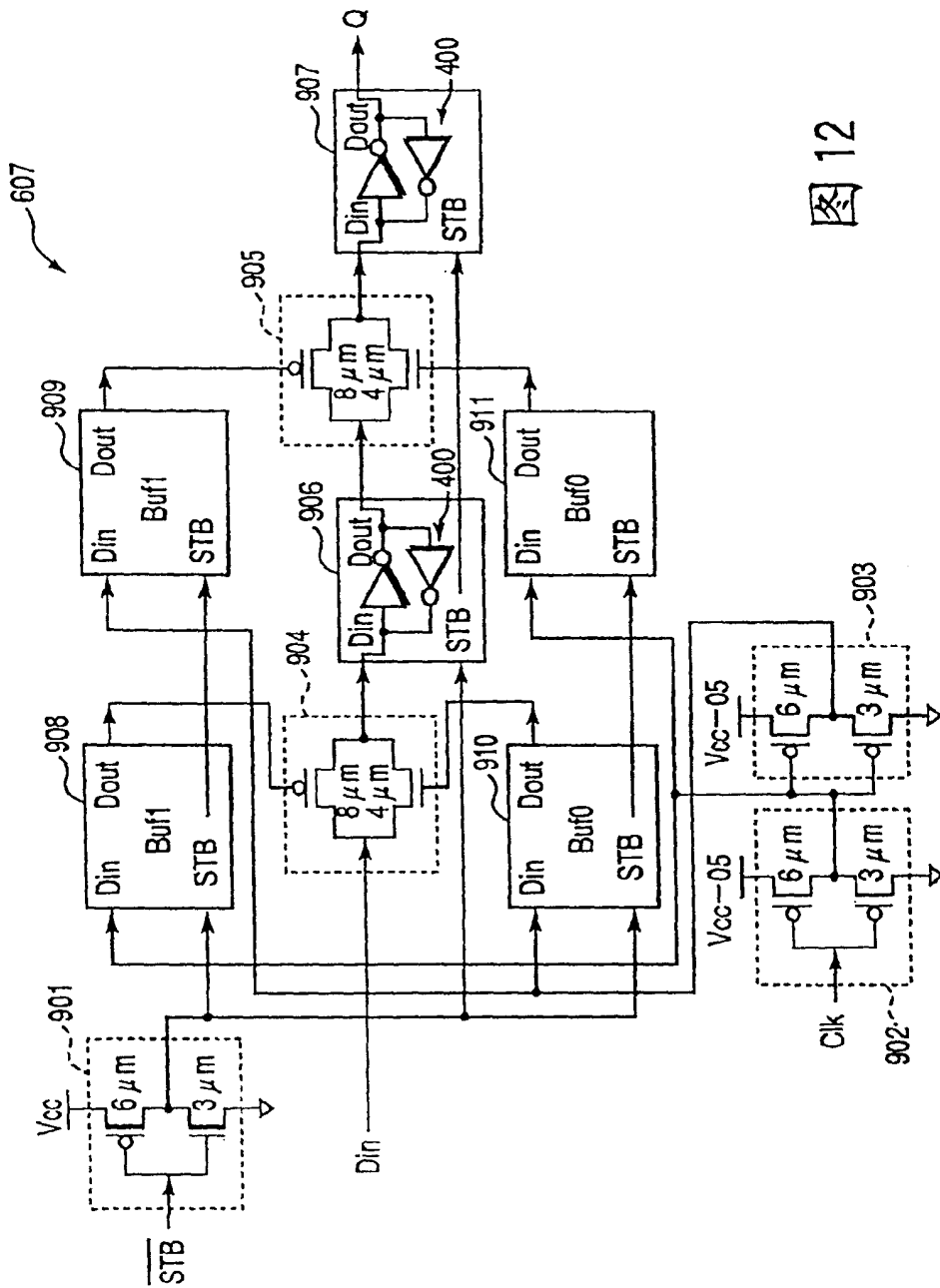


图 12

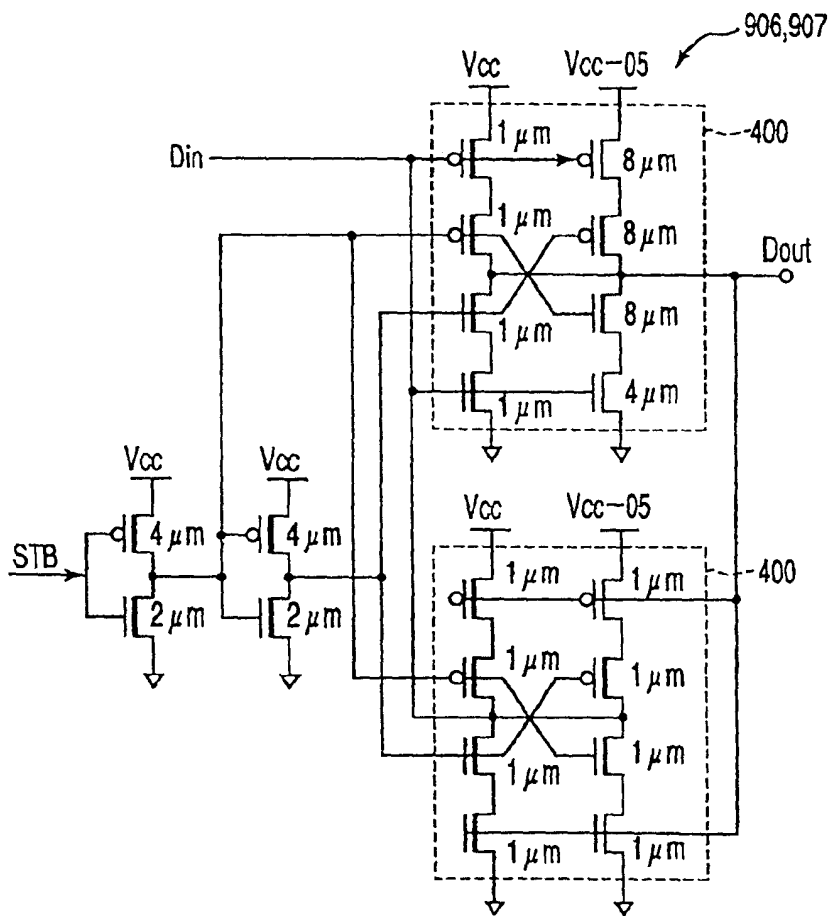


图 13

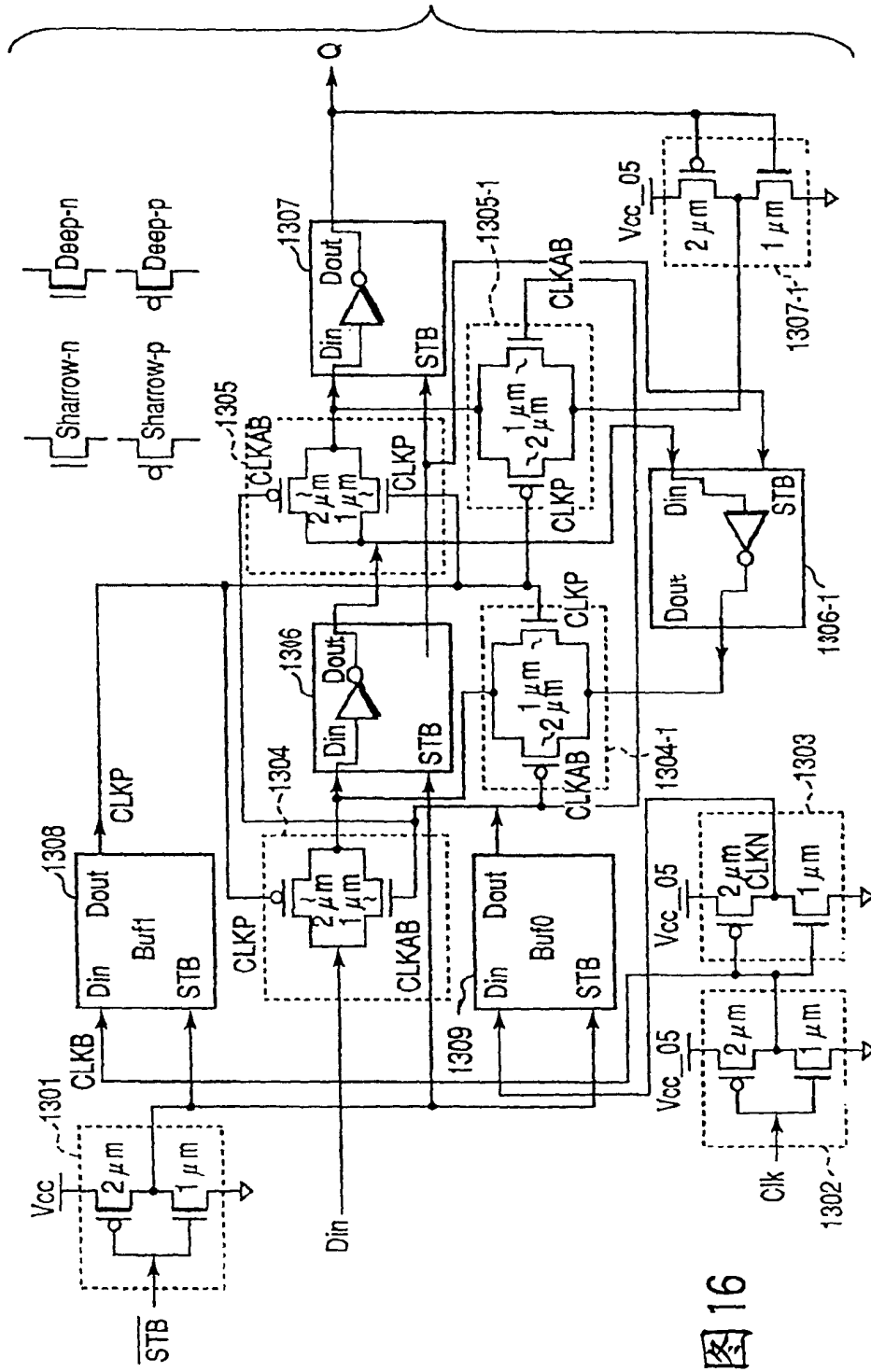


图 16

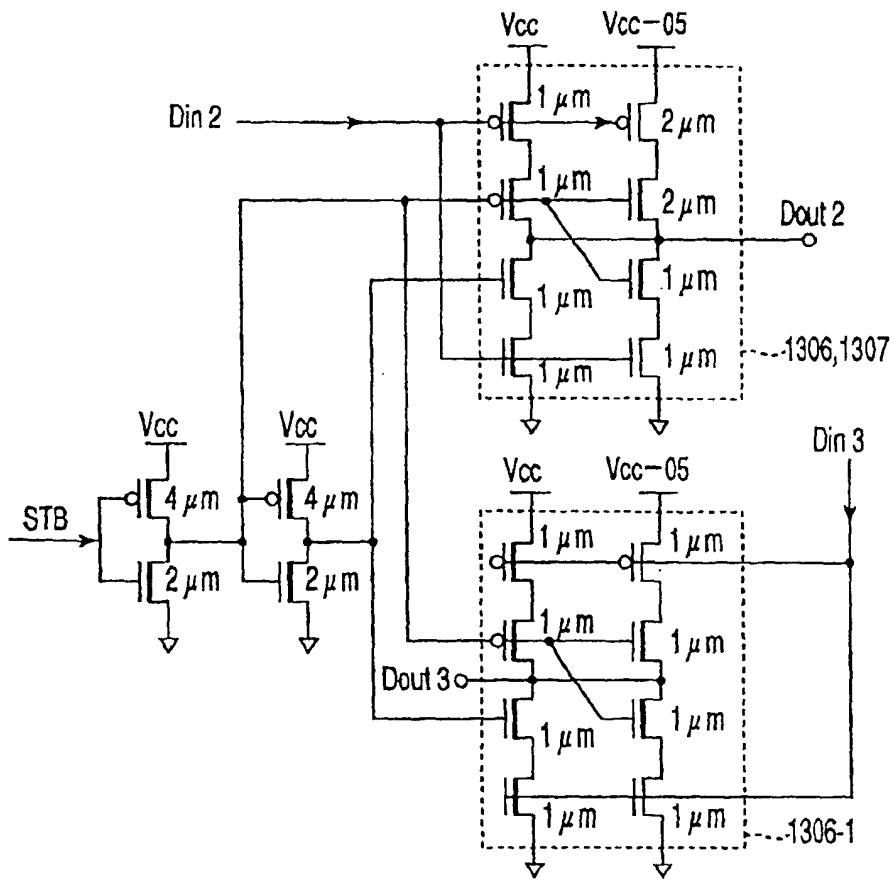


图 17

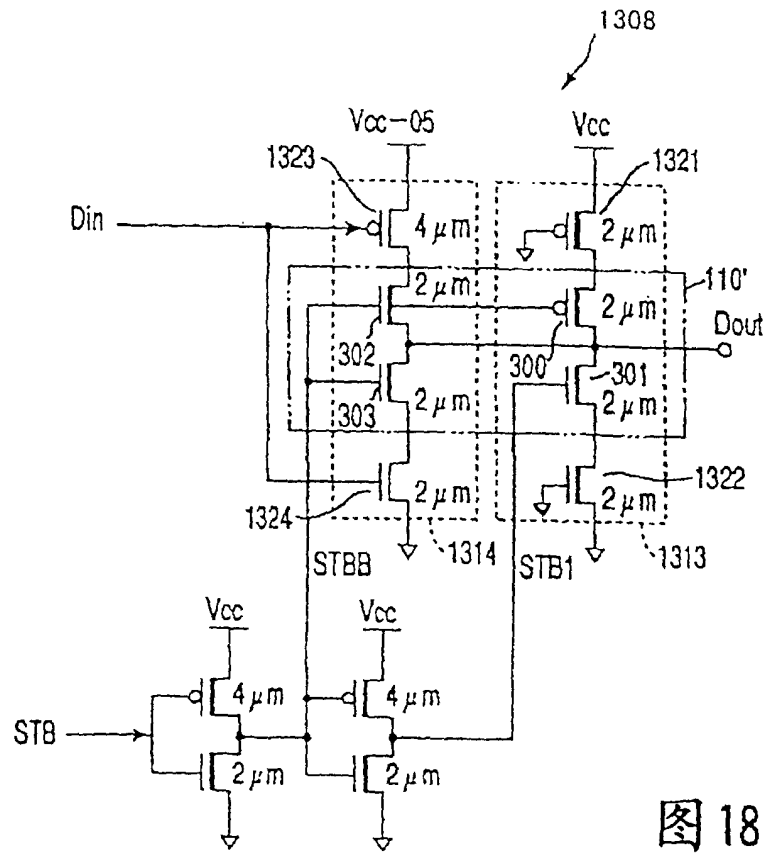


图 18

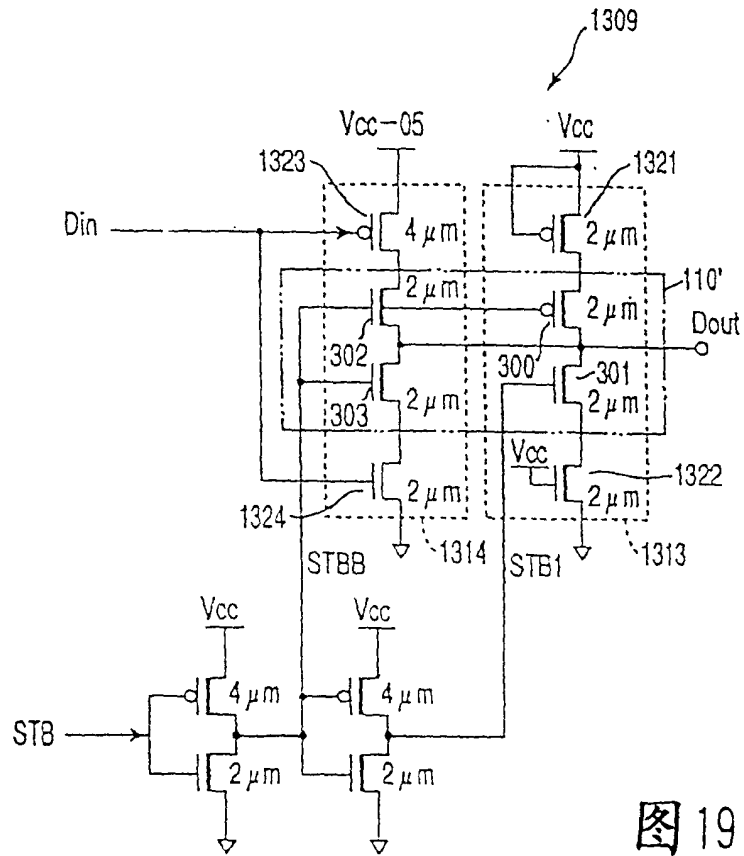


图 19

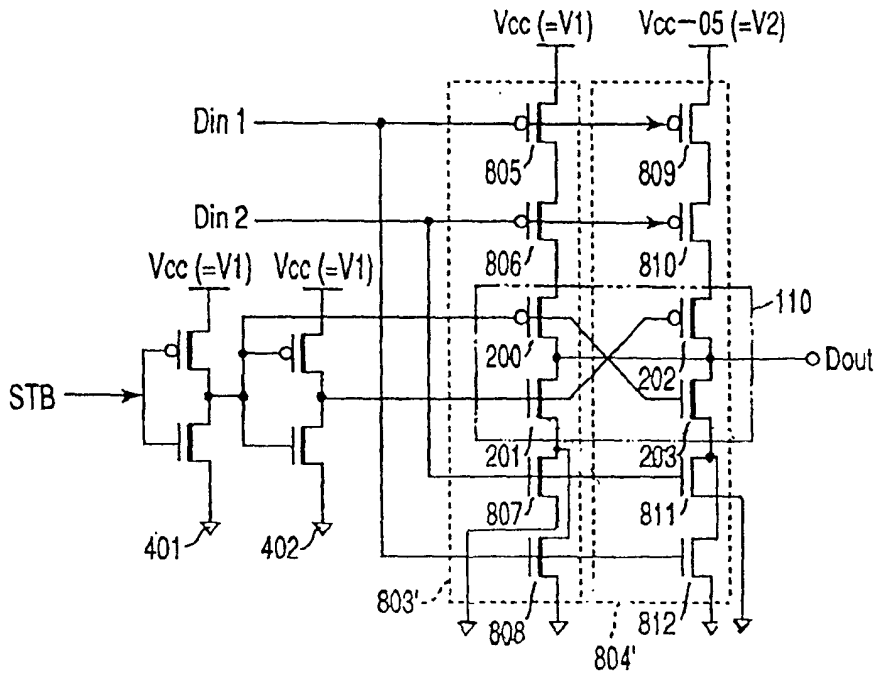


图 20

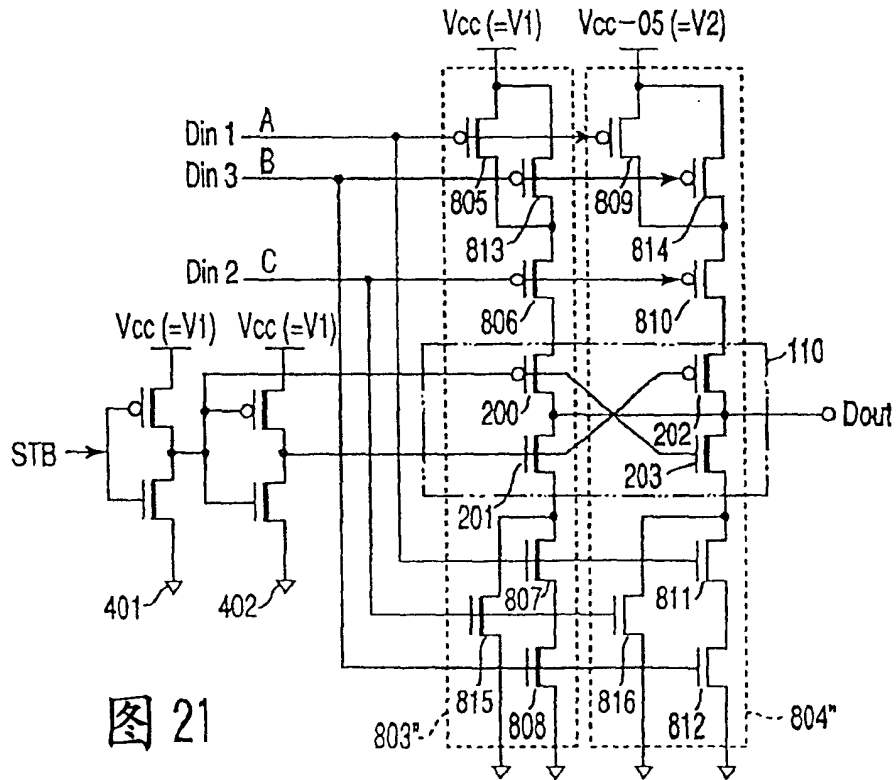


图 21