

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7582780号
(P7582780)

(45)発行日 令和6年11月13日(2024.11.13)

(24)登録日 令和6年11月5日(2024.11.5)

(51)国際特許分類	F I		
G 0 1 J 1/42 (2006.01)	G 0 1 J	1/42	H
G 0 1 J 11/00 (2006.01)	G 0 1 J	11/00	
H 0 1 L 31/107(2006.01)	H 0 1 L	31/10	B
H 0 1 L 27/146(2006.01)	H 0 1 L	27/146	F

請求項の数 1 (全13頁)

(21)出願番号	特願2019-567165(P2019-567165)	(73)特許権者	000236436 浜松ホトニクス株式会社 静岡県浜松市中央区市野町1126番地の1
(86)(22)出願日	平成31年1月24日(2019.1.24)	(74)代理人	100088155 弁理士 長谷川 芳樹
(86)国際出願番号	PCT/JP2019/002352	(74)代理人	100113435 弁理士 黒木 義樹
(87)国際公開番号	WO2019/146725	(74)代理人	100140442 弁理士 柴山 健一
(87)国際公開日	令和1年8月1日(2019.8.1)	(74)代理人	100206966 弁理士 崎山 翔一
審査請求日	令和3年12月24日(2021.12.24)	(72)発明者	藤田 卓也 静岡県浜松市東区市野町1126番地の1 浜松ホトニクス株式会社内
(31)優先権主張番号	特願2018-11824(P2018-11824)		最終頁に続く
(32)優先日	平成30年1月26日(2018.1.26)		
(33)優先権主張国・地域又は機関	日本国(JP)		

(54)【発明の名称】 光検出装置

(57)【特許請求の範囲】

【請求項1】

ガイガーモードで動作する複数のアバランシェフォトダイオードが2次元配列されている、化合物半導体からなるアバランシェフォトダイオードアレイ基板と、

前記アバランシェフォトダイオードアレイ基板が実装されている回路基板と、を備え、前記回路基板は、互いに並列に接続されて、少なくとも1つのチャンネルを形成する複数の出力ユニットを有し、

各前記出力ユニットは、前記複数のアバランシェフォトダイオードの少なくとも1つと直列に接続されたパッシブクエンチング素子と、前記少なくとも1つのアバランシェフォトダイオードと直列に接続されていると共に前記パッシブクエンチング素子と並列に接続されている容量素子とを有し、

前記パッシブクエンチング素子は、前記回路基板に設けられた第1ポリシリコン層によって形成され、

前記容量素子は、前記回路基板に設けられた第2ポリシリコン層と、前記第2ポリシリコン層上に積層された誘電体層と、前記誘電体層上に積層された第3ポリシリコン層とによって形成され、

前記第1ポリシリコン層は、前記回路基板の厚み方向において、前記第2ポリシリコン層又は前記第3ポリシリコン層と同一の高さに形成されており、

前記第1ポリシリコン層は、前記回路基板の厚さ方向から見て、前記第2ポリシリコン層及び第3ポリシリコン層のいずれとも重なっていない、光検出装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、光検出装置に関する。

【背景技術】**【0002】**

複数のアバランシェフォトダイオードが2次元配列されている光検出装置が知られている(たとえば、特許文献1)。複数のアバランシェフォトダイオードは、ガイガーモードで動作する。複数のアバランシェフォトダイオードは、化合物半導体からなる半導体基板に形成されている。

10

【先行技術文献】**【特許文献】****【0003】**

【文献】特表2012-531753号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

化合物半導体からなる半導体基板に形成された複数のアバランシェフォトダイオードがガイガーモードで動作される場合、温度変化に応じてダークパルス及びアフターパルスが増加する。ダークパルス及びアフターパルスによってノイズが増加すると、アバランシェフォトダイオードからの信号が適切に検出されないおそれがある。

20

【0005】

アバランシェフォトダイオードがガイガーモードで動作される場合には、アバランシェ増倍をクエンチするために、アバランシェフォトダイオードに直列にパッシブクエンチング素子が配置されることが知られている。このパッシブクエンチング素子の抵抗値に応じて、当該パッシブクエンチング素子に接続されたアバランシェフォトダイオード内部で生じているアバランシェ増倍過程が適切にクエンチされるか否かが決まる。クエンチング素子の抵抗値が不十分であると、ラッチングカレントの発生などにより適切なクエンチがなされない場合がある。適切なクエンチのために、必要十分なクエンチング素子の抵抗値を選択する必要がある。

30

【0006】

パッシブクエンチング素子の抵抗値が大きいほど、パッシブクエンチング素子と直列に接続されたアバランシェフォトダイオードのクエンチに要する時間が増加する。クエンチに要する時間が増加すると、アバランシェフォトダイオードで光を検出できないデッドタイムが増加する。このように、適切なクエンチングとデッドタイムの低減とを両立し、光検出感度及び光検出時間分解能を確保するために、最適な抵抗値のパッシブクエンチング素子を有する回路設計が求められている。

【0007】

パッシブクエンチング素子における寄生容量もパルス信号に影響を与えるため、当該寄生容量の除去も求められている。更に光検出時間分解能を向上するために、パルス信号のピーク値を向上することも求められている。上述した所望の条件の全てを満たすように、化合物半導体からなる半導体基板に形成された複数のアバランシェフォトダイオードをガイガーモードで動作させるデバイスを設計することは、極めて困難である。

40

【0008】

本発明の一態様は、化合物半導体からなる半導体基板に複数のアバランシェフォトダイオードが形成される構成において、光検出感度と光検出時間分解能の向上を両立した光検出装置を提供することを目的とする。

【課題を解決するための手段】**【0009】**

本発明の一態様に係る光検出装置は、アバランシェフォトダイオードアレイ基板と、回

50

路基板と、を備えている。アバランシェフォトダイオードアレイ基板は、化合物半導体からなる。回路基板には、アバランシェフォトダイオードアレイ基板が実装されている。アバランシェフォトダイオードアレイ基板には、複数のアバランシェフォトダイオードが2次元配列されている。複数のアバランシェフォトダイオードは、ガイガーモードで動作する。回路基板は、互いに並列に接続されて、複数の出力ユニットを有する。複数の出力ユニットは、少なくとも1つのチャンネルを形成する。各出力ユニットは、パッシブクエンチング素子と容量素子とを有する。パッシブクエンチング素子は、複数のアバランシェフォトダイオードの少なくとも1つと直列に接続されている。容量素子は、少なくとも1つのアバランシェフォトダイオードと直列に接続されていると共にパッシブクエンチング素子と並列に接続されている。

10

【0010】

本一態様では、パッシブクエンチング素子及び容量素子を有する複数の出力ユニットが、アバランシェフォトダイオードアレイ基板とは別体の回路基板に設けられている。このため、複数の出力ユニットがアバランシェフォトダイオードアレイ基板に配置される場合に比べて、複数の出力ユニットを形成できるスペースが拡大され得る。出力ユニットがアバランシェフォトダイオードアレイ基板とは別体の回路基板に設けられれば、アバランシェフォトダイオードの構成と出力ユニットとの間に生じる寄生容量が低減され得る。この場合、アバランシェフォトダイオードアレイ基板と別の製造プロセスを用いることも可能である。したがって、複数の出力ユニットの設計が容易になり得る。上記光検出装置が有する容量素子は、少なくとも1つのアバランシェフォトダイオードに直列に接続されていると共にパッシブクエンチング素子と並列に接続されている。このため、容量素子の静電容量によって、容量素子と直列に接続されたアバランシェフォトダイオードからのパルス信号のピーク値が向上され得る。したがって、複数のアバランシェフォトダイオードからのパルス信号が検出され易く、更に光検出時間分解能が向上され得る。

20

【0011】

本一態様では、パッシブクエンチング素子は、回路基板に設けられた第1ポリシリコン層によって形成されてもよい。容量素子は、回路基板に設けられた第2ポリシリコン層と、第2ポリシリコン層上に積層された誘電体層と、誘電体層上に積層された第3ポリシリコン層とによって形成されてもよい。第1ポリシリコン層は、回路基板の厚み方向において、第2ポリシリコン層又は第3ポリシリコン層と同一の高さに形成されている。この場合、簡易な製造工程で上記複数の出力ユニットが形成され得る。

30

【発明の効果】

【0012】

本発明の一態様によれば、化合物半導体からなる半導体基板に複数のアバランシェフォトダイオードが形成される構成において、容易な設計で光検出の精度が確保され得る光検出装置が提供される。

【図面の簡単な説明】

【0013】

【図1】図1は、一実施形態に係る光検出装置の斜視図である。

【図2】図2は、光検出装置の断面構成を示す図である。

40

【図3】図3は、回路基板の平面図である。

【図4】図4は、アバランシェフォトダイオードアレイ基板の光検出領域の平面図である。

【図5】図5は、回路基板の構成を示す図である。

【図6】図6は、光検出装置に用いられる回路構成を示す図である。

【図7】図7は、本実施形態の変形例に係る光検出装置に用いられる回路構成を示す図である。

【図8】図8は、回路基板の実装領域の平面図である。

【図9】図9は、アバランシェフォトダイオードからのパルス信号の成分を示す図である。

【図10】図10は、リチャージパルスの特性を示す図である。

【図11】図11は、ファストパルスの特性を示す図である。

50

【発明を実施するための形態】

【0014】

以下、添付図面を参照して、本発明の実施形態について詳細に説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

【0015】

まず、図1から図8を参照して、本実施形態に係る光検出装置の全体の構成について説明する。図1は、本実施形態に係る光検出装置の斜視図である。図2は、本実施形態に係る光検出装置の断面構成を示す図である。図2では、視認性を向上するため、ハッチングが省略されている。図3は、回路基板の平面図である。図4は、アバランシェフォトダイオードアレイ基板の一部を示す平面図である。図6は、本実施形態に係る光検出装置に用いられる回路構成を示す図である。図8は、回路基板の一部を示す平面図である。

10

【0016】

光検出装置1は、図1に示されているように、アバランシェフォトダイオードアレイ基板10と、回路基板50を備えている。以下、「アバランシェフォトダイオード」を「APD」と称する。「アバランシェフォトダイオードアレイ基板」を「APDアレイ基板」と称する。回路基板50は、APDアレイ基板10に対向配置されている。APDアレイ基板10、回路基板50は、いずれも平面視で矩形形状を呈している。

【0017】

APDアレイ基板10は、互いに対向する主面10Aと主面10Bと側面10Cを含んでいる。回路基板50は、互いに対向する主面50Aと主面50Bと側面50Cを含んでいる。APDアレイ基板10の主面10Bは、回路基板50の主面50Aと対向している。APDアレイ基板10、回路基板50の各主面と平行な面がXY軸平面であり、各主面に直交する方向がZ軸方向である。

20

【0018】

回路基板50の側面50Cは、APDアレイ基板10の側面10CよりもXY軸平面方向の外側に位置している。すなわち、平面視で、回路基板50の面積は、APDアレイ基板10の面積よりも大きい。APDアレイ基板10の側面10Cと回路基板50の側面50Cとは、面一とされてもよい。この場合、平面視で、APDアレイ基板10の外縁と、回路基板50の外縁とは、一致する。

30

【0019】

APDアレイ基板10の主面10A上にガラス基板を配置してもよい。ガラス基板とAPDアレイ基板10とは、光学接着剤により光学的に接続される。ガラス基板は、APDアレイ基板10上に直接形成されていてもよい。APDアレイ基板10の側面10Cとガラス基板の側面は、面一とされてもよい。この場合、平面視で、APDアレイ基板10の外縁と、ガラス基板の外縁とは、一致する。また、APDアレイ基板10の側面10Cと回路基板50の側面50Cとガラス基板の側面は、面一とされてもよい。この場合、平面視で、APDアレイ基板10の外縁と、回路基板50の外縁と、ガラス基板の外縁とは、一致する。

【0020】

APDアレイ基板10は、回路基板50に実装されている。図2に示されているように、APDアレイ基板10と回路基板50とは、バンプ電極25によって接続されている。具体的には、APDアレイ基板10は、APDアレイ基板10の厚さ方向から見て、図3に示されているように回路基板50の中央に配置された実装領域 上においてバンプ電極25で接続されている。本実施形態では、実装領域 は、矩形形状を有している。

40

【0021】

回路基板50は、実装領域 の周りにグラウンド線3、カソード線5、及びアノード線7を有している。グラウンド線3、カソード線5、及びアノード線7は、実装領域 から延在している。グラウンド線3は、後述するグラウンド電極63に接続されている。カソード線5は、実装領域 に実装されたAPDアレイ基板10に電氣的に接続され、APD

50

アレイ基板 10 への電圧の印加に用いられる。アノード線 7 は、後述するメタル層 65, 66 に接続され、APD アレイ基板 10 からの信号の読出しに用いられる。

【0022】

APD アレイ基板 10 は、ガイガーモードで動作する複数の APD 20 を有する。複数の APD 20 は、図 4 に示されているように、APD アレイ基板 10 の厚さ方向から見て当該半導体基板 11 の光検出領域に 2 次元配列されている。光検出領域は、矩形状を有しており、APD アレイ基板 10 の厚さ方向から見て、回路基板 50 の実装領域と重なる。

【0023】

APD アレイ基板 10 は、化合物半導体からなる N 型の半導体基板 11 を有している。半導体基板 11 は、主面 10A を形成する InP からなる基板 12 を有する。基板 12 上に、主面 10A 側から主面 10B 側へ順に、InP からなるバッファ層 13、InGaAsP からなる吸収層 14、InGaAsP からなる電界緩和層 15、InP からなる増倍層 16 が形成されている。吸収層 14 は、InGaAs からなってもよい。半導体基板 11 は、GaAs, InGaAs, AlGaAs, InAlGaAs, CdTe, 又は HgCdTe などから形成されてもよい。

10

【0024】

各 APD 20 は、図 2 及び図 4 に示されているように、APD アレイ基板 10 の厚さ方向から見て、絶縁部 21 に囲まれている。各 APD 20 は、主面 10B 側から増倍層 16 に、不純物がドーブされることによって形成された P 型のアクティブエリア 22 を有している。ドーブされる不純物は、たとえば、Zn (亜鉛) である。絶縁部 21 は、たとえば、ウェットエッチング又はドライエッチングで形成されたトレンチ溝内に、ポリイミド (polyimide) 膜を形成することで構成されている。アクティブエリア 22 は、厚さ方向から見て円形状に形成されており、絶縁部 21 は、アクティブエリア 22 の縁に沿って円環状に形成されている。絶縁部 21 は、APD アレイ基板 10 の厚さ方向において、半導体基板 11 の主面 10B 側から基板 12 に達している。

20

【0025】

図 5 は、本実施形態の変形例に係る光検出装置に用いられるアバランシェフォトダイオードアレイ基板の一部を示す図である。図 5 に示されているように、アクティブエリア 22 は、厚さ方向から見て略矩形状に形成されてもよい。ここで、略矩形状とは、角が丸みを帯びている矩形状である。これにより、アクティブエリア 22 の角への電界の集中が抑制される。この場合、絶縁部 21 は、略矩形状のアクティブエリア 22 の縁に沿って環状に形成される。

30

【0026】

APD アレイ基板 10 は、絶縁層 23 及び複数の電極パッド 24 を有している。絶縁層 23 は、主面 10B 側において半導体基板 11 を覆っている。電極パッド 24 は、APD 20 ごとに主面 10B 側において半導体基板 11 上に形成されており、アクティブエリア 22 に接している。電極パッド 24 は、絶縁層 23 から露出しており、バンプ電極 25 を通して、回路基板 50 と接続されている。

【0027】

回路基板 50 は、図 2 に示されているように、バンプ電極 25 を通して、主面 50A 側で APD アレイ基板 10 と接続されている。回路基板 50 は、複数の出力ユニット 30 を有している。複数の出力ユニット 30 は、図 6 に示されているように、互いに並列に接続されて、1 つのチャンネル 40 を形成する。複数の出力ユニット 30 の各々は、APD アレイ基板 10 に設けられている各 APD 20 に直列に接続されている。各出力ユニット 30 は、互いに並列に接続されたパッシブクエンチング素子 31 と容量素子 32 とを有する。パッシブクエンチング素子 31 及び容量素子 32 は、いずれも APD 20 と直列に接続されている。

40

【0028】

図 7 は、本実施形態の変形例に係る光検出装置に用いられる回路構成を説明するための

50

図である。図 7 に示されているように、回路基板 50 に複数のチャンネル 40 が形成されてもよい。この場合、各チャンネル 40 が、互いに並列に接続された複数の出力ユニット 30 によって形成される。複数のチャンネル 40 の少なくとも 1 つが、互いに並列に接続された複数の出力ユニット 30 によって形成されていればよい。

【0029】

回路基板 50 は、シリコン基板 51 と、シリコン基板 51 上に積層された配線層 61 とを有している。図 2 に示されているように、シリコン基板 51 は、主面 50 B 側から主面 50 A 側へ順に、P⁺層 52 と P⁻層 53 と P⁺層 54 とを有している。P⁺層 52 は、P⁻層 53 に不純物をドーピングすることによって設けられている。P⁺層 54 は、P⁻層 53 に不純物をドーピングすることによって設けられている。P⁻層 53 にドーピングされる不純物は、たとえばボロンである。シリコン基板 51 と配線層 61 との間には、たとえば、熱酸化による素子分離工程で形成された酸化膜層 60 が設けられている。P⁺層 54 は、酸化膜層 60 から露出し、配線層 61 と接している。

10

【0030】

配線層 61 は、絶縁層 62 と、グラウンド電極 63 と、電極パッド 64 と、メタル層 65, 66 と、ビア 67, 68, 69, 70 と、ポリシリコン層 71, 72, 73 と、誘電体層 74 とを有している。グラウンド電極 63、電極パッド 64、メタル層 65, 66、ビア 67, 68, 69, 70、ポリシリコン層 71, 72, 73、及び誘電体層 74 は、APD 20 ごとに設けられている。グラウンド電極 63、電極パッド 64、及びメタル層 65, 66 は、同一の層に形成されている。換言すれば、グラウンド電極 63、電極パッド 64、及びメタル層 65, 66 は、回路基板 50 の厚み方向において、同一の高さに形成されている。

20

【0031】

絶縁層 62 は、たとえば、SiO₂ で形成されている。グラウンド電極 63、電極パッド 64、及びメタル層 65, 66 は、たとえば、Al、AlCu、又は AlSiCu などによって形成されている。グラウンド電極 63、電極パッド 64、及びメタル層 65, 66 は、同一材料で形成されてもよい。ビア 67, 68, 69, 70 は、たとえば、W (タングステン) で形成されている。誘電体層 74 は、たとえば SiO₂ 又は Si₃N₄ で形成されている。

【0032】

配線層 61 は、絶縁層 62 に覆われている。シリコン基板 51 の P⁺層 54 は、配線層 61 の絶縁層 62 からシリコン基板 51 側に露出したビア 67 に接続されている。P⁺層 54 は、ビア 67 を通してグラウンド電極 63 に接続されている。グラウンド電極 63 は、回路基板 50 の厚み方向において該グラウンド電極 63 が配置された高さで、電極パッド 64、及びメタル層 65, 66 に対して絶縁層 62 を介して配置されている。グラウンド電極 63 は、電極パッド 64、及びメタル層 65, 66 に、直接、接続されていない。

30

【0033】

電極パッド 64 は、絶縁層 62 から露出し、バンプ電極 25 を通して APD 20 に接続されている。電極パッド 64 は、図 8 に示されているように、主面 50 A 側で 2 次元配列されている。電極パッド 64 は、ビア 68 を通してポリシリコン層 71 に接続されている。ポリシリコン層 71 は、ビア 69 を通してメタル層 65 に接続されている。電極パッド 64 は、回路基板 50 の厚み方向において該電極パッド 64 が配置された高さで、メタル層 65, 66 に対して絶縁層 62 を介して配置されている。電極パッド 64 は、メタル層 65, 66 に、直接、接続されていない。ポリシリコン層 71 は、第 1 ポリシリコン層に含まれる。

40

【0034】

ポリシリコン層 71 は、パッシブクエンチング素子 31 を構成している。上述した構成によって、パッシブクエンチング素子 31 は、バンプ電極 25、電極パッド 64、及びビア 68 を通して、APD 20 に直列に接続されている。すなわち、APD 20 からのパルス信号は、バンプ電極 25、電極パッド 64、及びビア 68 を通してパッシブクエンチン

50

グ素子 3 1 に入力される。パッシブクエンチング素子 3 1 に入力された上記パルス信号は、パッシブクエンチング素子 3 1、ビア 6 9 及びメタル層 6 5 を通して、チャンネル 4 0 から出力される。

【 0 0 3 5 】

電極パッド 6 4 は、回路基板 5 0 の厚み方向において該電極パッド 6 4 が配置された高さで、メタル層 6 6 と接続されている。メタル層 6 6 は、ビア 7 0 を通してポリシリコン層 7 2 に接続されている。ポリシリコン層 7 2 は、誘電体層 7 4 の上に積層されている。誘電体層 7 4 は、ポリシリコン層 7 3 の上に積層されている。ポリシリコン層 7 3 は、不図示のビアを通して、メタル層 6 5 に接続されている。ポリシリコン層 7 1 とポリシリコン層 7 3 とは、回路基板 5 0 の厚み方向において同一高さに形成されている。ポリシリコン層 7 1 とポリシリコン層 7 2 とが、回路基板 5 0 の厚み方向において同一高さに形成されてもよい。ポリシリコン層 7 2 は、第 3 ポリシリコン層に含まれる。ポリシリコン層 7 3 は、第 2 ポリシリコン層に含まれる。

10

【 0 0 3 6 】

ポリシリコン層 7 2、誘電体層 7 4、及びポリシリコン層 7 3 は、容量素子 3 2 を構成している。上述した構成によって、容量素子 3 2 は、バンプ電極 2 5、電極パッド 6 4、及びビア 6 8 を通して、A P D 2 0 に直列に接続されている。すなわち、A P D 2 0 からのパルス信号は、バンプ電極 2 5、電極パッド 6 4、及びビア 6 8 を通して容量素子 3 2 のポリシリコン層 7 2 に入力される。容量素子 3 2 のポリシリコン層 7 2 に上記パルス信号が入力されたことに応じて、容量素子 3 2 のポリシリコン層 7 3 からパルス信号が出力される。容量素子 3 2 から出力されたパルス信号は、不図示のビア及びメタル層 6 5 を通して、チャンネル 4 0 から出力される。

20

【 0 0 3 7 】

パッシブクエンチング素子 3 1 及び容量素子 3 2 は、いずれも、電極パッド 6 4 とメタル層 6 5 に電氣的に接続されている。したがって、パッシブクエンチング素子 3 1 及び容量素子 3 2 は、互いに並列に接続されている。

【 0 0 3 8 】

次に、図 9 から図 1 1 を参照して、光検出装置 1 の作用効果について説明する。図 9 は、A P D 2 0 から出力されるパルス信号を示している。図 9 に示されているように、A P D 2 0 からのパルス信号 2 6 は、ファストパルス 2 7 とリチャージパルス 2 8 とに分けられる。ファストパルス 2 7 は、パルス信号のピーク値を有するパルス成分である。リチャージパルス 2 8 は、ファストパルス 2 7 が検出された後に検出されファストパルス 2 7 よりも長いパルス幅を有する成分である。

30

【 0 0 3 9 】

図 1 0 は、出力ユニット 3 0 から容量素子 3 2 を取り除き、パッシブクエンチング素子 3 1 の抵抗値をパラメータとして、A P D 2 0 から出力されるパルス信号の波形を示している。図 1 0 は、縦軸の単位を電流 (A) とし、横軸の単位を時間 (s) とした整数グラフである。データ a , b , c , d は、それぞれ異なる抵抗値を有するパッシブクエンチング素子 3 1 を出力ユニット 3 0 に設けた場合のパルス信号のデータである。データ a , b , c , d の順で、より高い抵抗値を有するパッシブクエンチング素子 3 1 が設けられている。

40

【 0 0 4 0 】

図 1 0 に示されているように、パッシブクエンチング素子 3 1 の抵抗値が小さいほど、リチャージパルス 2 8 の傾斜が急である。リチャージパルス 2 8 の傾斜が急であるほど、クエンチに要する時間が短く、A P D 2 0 で光を検出できないデッドタイムが短い。抵抗値が大きいパッシブクエンチング素子 3 1 を用いることで、ラッチングカレント等の発生を抑制した適切なクエンチングを実現することができる。しかし、抵抗値が大きいほどデッドタイムが増加する。

【 0 0 4 1 】

パッシブクエンチング素子 3 1 の抵抗値に応じて、当該パッシブクエンチング素子 3 1

50

に接続された A P D 2 0 からのパルス信号のパルス幅も変わる。図 1 0 に示されているように、パッシブクエンチング素子 3 1 の抵抗値が大きいほど、パッシブクエンチング素子 3 1 に直列に接続された A P D 2 0 のデッドタイムが増加する。したがって、適切なクエンチングとデッドタイムの低減とを両立し、光検出感度及び光検出時間分解能を確保するために、最適な抵抗値のパッシブクエンチング素子 3 1 を有する回路設計が求められている。

【 0 0 4 2 】

光検出装置 1 では、パッシブクエンチング素子 3 1 及び容量素子 3 2 を有する複数の出力ユニット 3 0 が、A P D アレイ基板 1 0 とは別体の回路基板 5 0 に設けられている。このため、複数の出力ユニット 3 0 が A P D アレイ基板 1 0 に配置される場合に比べて、複数の出力ユニット 3 0 を形成できるスペースが拡大され得る。したがって、複数の出力ユニット 3 0 の設計が容易になり得る。

10

【 0 0 4 3 】

複数の出力ユニット 3 0 が、A P D アレイ基板 1 0 とは別体の回路基板 5 0 に設けられているため、A P D 2 0 の構成と出力ユニット 3 0 との間に生じる寄生容量が低減され得る。A P D アレイ基板 1 0 と別の製造プロセスを用いることも可能である。A P D アレイ基板 1 0 及び回路基板 5 0 のそれぞれに適した製造プロセスを使うことができることから、複数の出力ユニット 3 0 の設計が容易になり得る。

【 0 0 4 4 】

図 1 1 は、パッシブクエンチング素子 3 1 を一定の値とし、容量素子 3 2 の静電容量をパラメータとして、A P D 2 0 から出力されるパルス信号の波形を示している。図 1 1 は、縦軸の単位を電流 (A) とし、横軸の単位を時間 (s) とした片変数グラフである。データ a は、出力ユニット 3 0 から容量素子 3 2 を取り除いた場合のパルス信号のデータである。データ b , c , d は、それぞれ異なる静電容量を有する容量素子 3 2 を出力ユニット 3 0 に設けた場合のパルス信号のデータである。データ b , c , d の順で、より高い静電容量を有する容量素子 3 2 が設けられている。

20

【 0 0 4 5 】

図 1 1 に示されているように、容量素子 3 2 を設けることで、ファストパルス 2 7 のピーク値が向上する。容量素子 3 2 の静電容量が高いほど、ファストパルス 2 7 のピーク値は大きい。したがって、容量素子 3 2 を設けることで、複数の A P D 2 0 からのパルス信号の時間分解能が向上する。ファストパルス 2 7 のピーク値が大きいほど、複数の A P D 2 0 からのパルス信号が容易に検出され得る。

30

【 0 0 4 6 】

光検出装置 1 では、少なくとも 1 つの A P D 2 0 に直列に接続されていると共にパッシブクエンチング素子 3 1 と並列に接続されている容量素子 3 2 を有している。上記構成によれば、図 1 1 を用いて説明した特性により、容量素子 3 2 の静電容量によって、容量素子 3 2 と直列に接続された A P D 2 0 からのパルス信号のピーク値が向上され得る。したがって、複数の A P D 2 0 からのパルス信号が検出され易く、光検出時間分解能が向上し得る。光検出装置 1 は、所望の光検出感度と光検出時間分解能とを実現しつつ、入射フォトン数を計数できる。

40

【 0 0 4 7 】

化合物半導体からなる A P D アレイ基板 1 0 において複数の A P D 2 0 がガイガーモードで動作する構成では、各 A P D 2 0 に与える電界強度を低減することで、ノイズの影響が抑制され得る。

【 0 0 4 8 】

光検出装置 1 は、回路基板 5 0 上に設けられたポリシリコン層 7 1 , 7 3 と、ポリシリコン層 7 3 上に設けられた誘電体層 7 4 と、誘電体層 7 4 上に設けられたポリシリコン層 7 2 と、を備える。パッシブクエンチング素子 3 1 は、ポリシリコン層 7 1 によって形成され、容量素子 3 2 は、ポリシリコン層 7 3 、誘電体層 7 4 、及びポリシリコン層 7 2 によって形成される。ポリシリコン層 7 1 は、回路基板 5 0 の厚み方向において、ポリシリ

50

コン層 7 2 又はポリシリコン層 7 3 と同一の高さに形成される。この場合、簡易な製造工程で上記複数の出力ユニット 3 0 が形成され得る。

【 0 0 4 9 】

以上、本発明の実施形態について説明してきたが、本発明は必ずしも上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲で様々な変更が可能である。

【 0 0 5 0 】

たとえば、パッシブクエンチング素子 3 1 は、ポリシリコン層 7 1 の代わりに、金属薄膜によって形成されてもよい。容量素子 3 2 は、ポリシリコン層 7 2 , 7 3 の代わりに、2つのメタル層から形成されてもよい。この場合、容量素子 3 2 は、2つの平行なメタル層が誘電体層 7 4 を挟んだ構成を有する。

10

【符号の説明】

【 0 0 5 1 】

1 ... 光検出装置、 1 0 ... A P D アレイ基板、 2 0 ... A P D、 3 0 ... 出力ユニット、 3 1 ... パッシブクエンチング素子、 3 2 ... 容量素子、 4 0 ... チャンネル、 5 0 ... 回路基板、 7 1 , 7 2 , 7 3 ... ポリシリコン層、 7 4 ... 誘電体層。

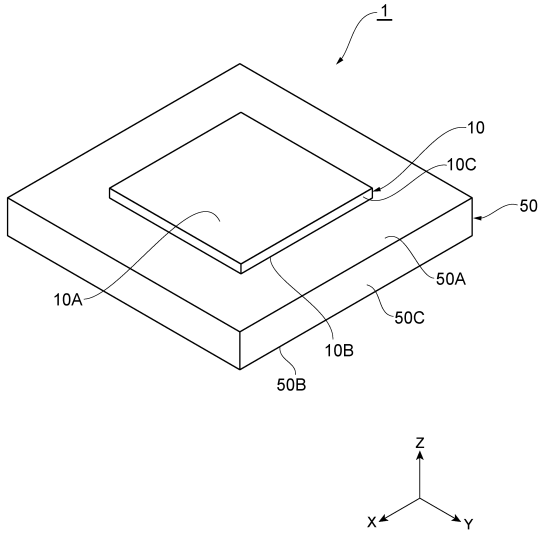
20

30

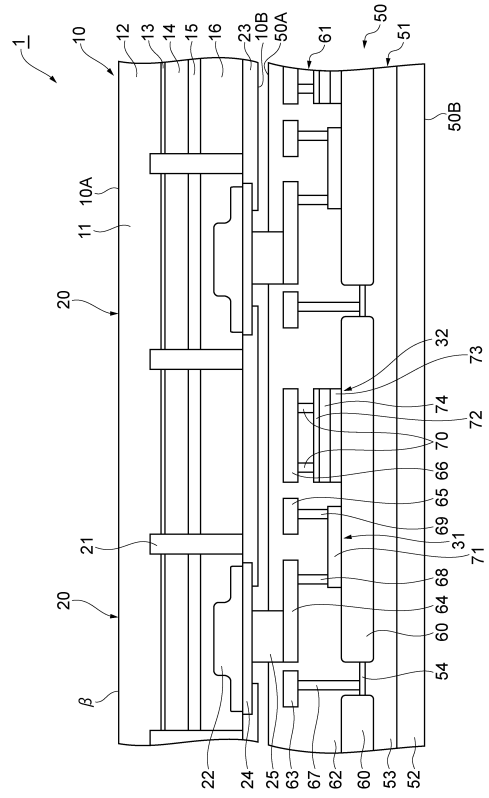
40

50

【図面】
【図 1】



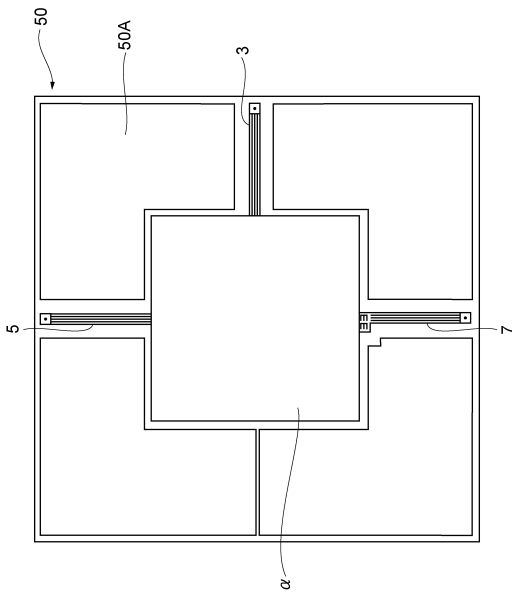
【図 2】



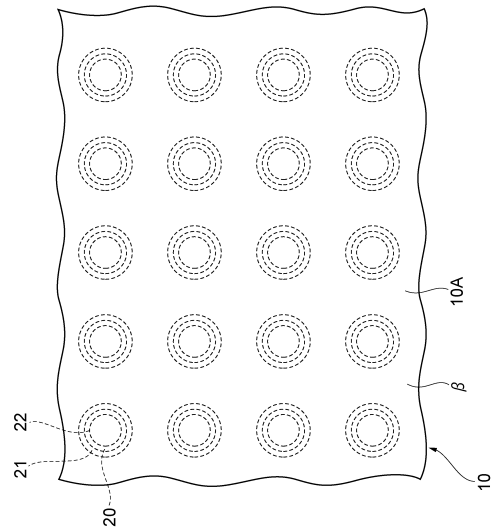
10

20

【図 3】



【図 4】

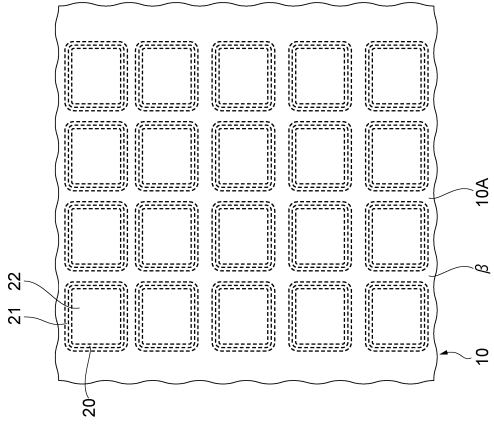


30

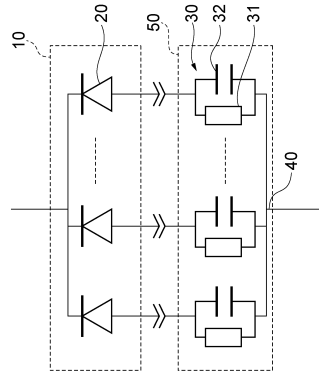
40

50

【図 5】



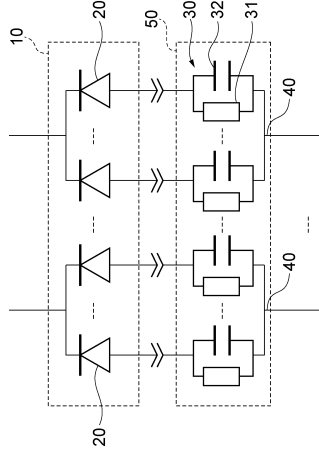
【図 6】



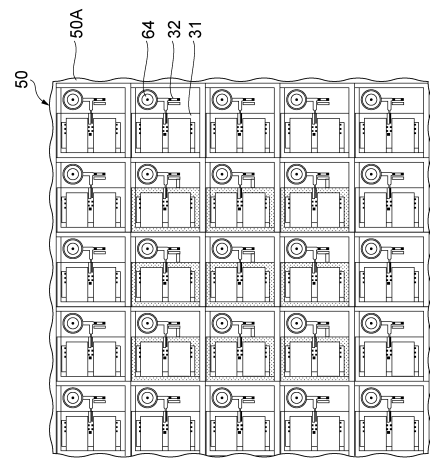
10

20

【図 7】



【図 8】

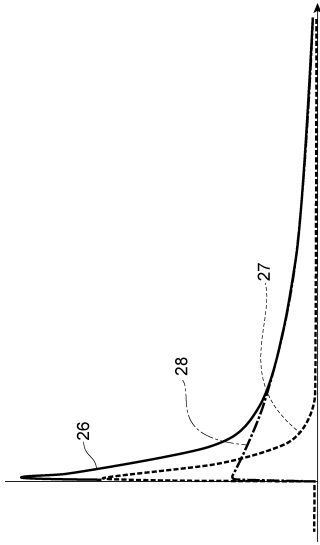


30

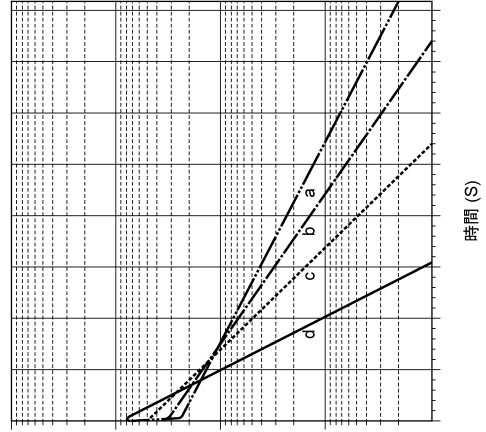
40

50

【 図 9 】



【 図 1 0 】

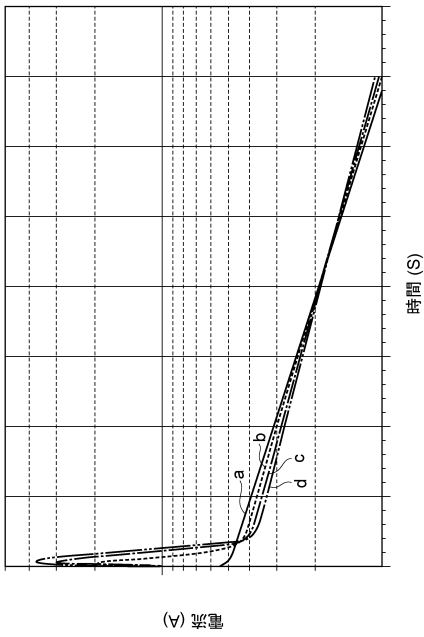


(A) 電流 (A)

10

20

【 図 1 1 】



(A) 電流 (A)

30

40

50

フロントページの続き

- (72)発明者 田村 有正
静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内
- (72)発明者 牧野 健二
静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内
- (72)発明者 馬場 隆
静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内
- (72)発明者 山本 晃永
静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内
- 審査官 平田 佳規
- (56)参考文献 特表 2 0 1 6 - 5 1 9 4 3 5 (J P , A)
特開 2 0 1 3 - 0 8 9 9 1 9 (J P , A)
特開 2 0 0 0 - 0 3 6 5 8 6 (J P , A)
特開 2 0 1 6 - 1 2 2 7 1 6 (J P , A)
特開 2 0 1 8 - 1 7 3 3 7 9 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
- G 0 1 J 1 / 4 2 - G 0 1 J 1 / 4 6
G 0 1 J 1 / 0 0 - G 0 1 J 1 / 0 2
G 0 1 J 1 1 / 0 0
G 0 1 T 1 / 2 0
G 0 1 T 1 / 2 4
H 0 1 L 2 7 / 1 4 - H 0 1 L 2 7 / 1 4 8
H 0 1 L 3 1 / 0 0 - H 0 1 L 3 1 / 0 2 3 2
H 0 1 L 3 1 / 0 8 - H 0 1 L 3 1 / 1 1 9
H 0 4 N 5 / 3 0 - H 0 4 N 5 / 3 3
H 0 4 N 2 3 / 1 1
H 0 4 N 2 3 / 2 0 - H 0 4 N 2 3 / 3 0
H 0 4 N 2 5 / 0 0
H 0 4 N 2 5 / 2 0 - H 0 4 N 2 5 / 6 1
H 0 4 N 2 3 / 6 1 5 - H 0 4 N 2 5 / 7 9