СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1501276 A1

(51)4 H 03 M 7/12

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

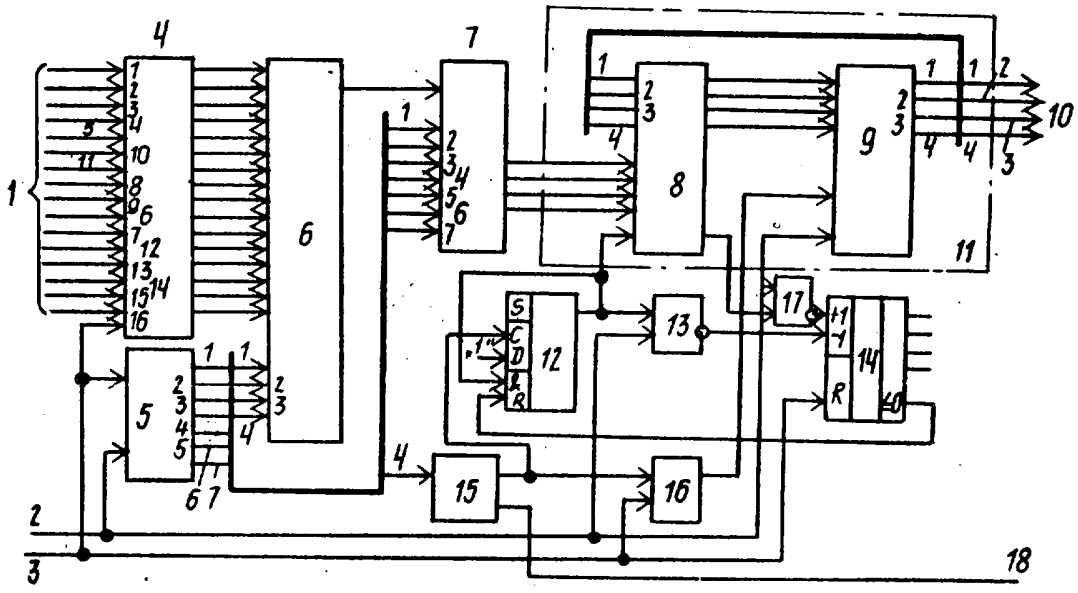
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

ВСЕСОЮЗНАЯ
ПАТЕНТ... ...ЕСКАЯ
БИБЛИОТЕКА

(21) 4291981/24-24
(22) 30.07.87
(46) 15.08.89. Бюл. № 30
(71) Опытно-конструкторское бюро приборов контроля и автоматики
(72) В.В.Бурашов
(53) 681.325(088.8)
(56) Авторское свидетельство СССР № 1167737, кл. H 03 M 7/00, 1985.
Авторское свидетельство СССР № 393739, кл. H 03 M 7/12, 1970.

(54) ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНОГО КОДА В ДВОИЧНО-ДЕСЯТИЧНЫЙ

(57) Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах обработки и вывода цифровой информации. Целью изобретения является упрощение преобразователя. Поставленная цель достигается тем, что в преобразователь, содержащий мультиплексор 6, счетчик 5, ПЗУ 7, накопительный сумматор 11, счетчик переполнений 14, дополнительно введены триггер 12, элементы И-НЕ 13,17, элемент ИЛИ 16, формирователь сигнала готовности 15, причем счетчик переполнений 14 выполнен реверсивным. 1 ил.



(19) SU (11) 1501276 A1

Изобретение относится к автоматике и цифровой вычислительной технике и может быть использовано в устройствах обработки и вывода числовой информации.

Цель изобретения - упрощение преобразователя.

На чертеже приведена структурная схема преобразователя.

Устройство содержит информационные входы 1 преобразователя, тактовый вход 2 преобразователя, установочный вход 3 преобразователя, регистр 4, счетчик 5, коммутатор 6, выполненный на мультиплексоре, формирователь 7 эталонного кода, выполненный на ПЗУ, сумматор 8, регистр 9 сумматора, информационные выходы 10 преобразователя, накопительный сумматор 11, образованный из сумматора 8 и регистра 9 сумматора, триггер 12, элемент И-НЕ 13, счетчик 14 переполнений, формирователь 15 сигнала готовности, выполненный на одновибраторе, элемент ИЛИ 16, элемент И-НЕ 17 и выход 18 готовности преобразователя.

Преобразователь работает следующим образом.

Импульс начальной установки, поступающий на вход 3, производит запись входного двоичного кода с информационных входов 1 в регистр 4 и установку в нулевое состояние счетчика 5, регистра 9, сумматора 11, триггера 12 и счетчика 14 переполнений. По переднему фронту тактовых импульсов, поступающих на вход 2, происходит запись выходного кода сумматора 8 в регистр 9, а по заднему фронту этих импульсов - изменение состояния счетчика 5 импульсов на единицу. Код младших разрядов 1-4 с выхода счетчика 5 задает адрес ячейки ПЗУ 7, в которой хранится двоично-десятичный эквивалент единицы соответствующего разряда входного двоичного числа, появившегося на выходе мультиплексора 6. Наличие "1" в этом разряде является условием появления кода эквивалента на выходах ПЗУ 7, "0" в соответствующем разряде входного двоичного числа блокирует ПЗУ либо по входу "Выборка кристалла", либо по старшему разряду адресной шины ПЗУ, задавая область, в которой во всех ячейках записаны нули. Двоично-десятичный сумматор 8 служит для суммирования выходного кода ПЗУ 7 с содержимым регистра 9 сумматора на каждом такте преобразования. Таким образом, к концу цикла преобразования, длительность которого определяется числом разрядов входного двоичного числа, на информационных выходах 10 формируется число, равное сумме всех единичных тетрад двоично-десятичных эквивалентов входного двоичного числа. На выходе формирователя 15 образуется сигнал готовности декады, который может быть использован для разрешения приема кода единичной тетрады двоично-десятичного числа оконечным устройством. По заднему фронту этого сигнала, прошедшего через элемент ИЛИ 16, регистр 9 сумматора обнуляется, после чего он готов к преобразованию следующей декады.

Единицы переноса, появившиеся в результате суммирования эквивалентов единиц двоично-десятичного числа, подсчитываются счетчиками 14 переполнений.

Следующий цикл преобразования аналогичен описанному и отличается тем, что выходными разрядами 5-7 счетчика 5 задаются области адресов ячеек ПЗУ 7, в которых хранятся двоично-десятичные эквиваленты десятков, сотен, тысяч, десятков тысяч соответствующих разрядов входного двоичного числа, а также добавлением к сумме числа единиц переноса, появившихся в результате суммирования в предыдущем цикле.

В этом случае счетчик 14 работает следующим образом.

Сигналом готовности с выхода формирователя 15 триггер 12 устанавливается в единичное состояние и разрешает прохождение тактовых импульсов с входа 2 через элемент И-НЕ 13 на вычитающий вход счетчика 14, импульс с выхода обнуления счетчика 14 устанавливает триггер 12 в нулевое состояние, в результате чего элемент И-НЕ 13 закрывается и запрещает прохождение тактовых импульсов на вычитающий вход счетчика 14. Таким образом, пока триггер 12 находится в единичном состоянии, по каждому такту осуществляется суммирование единиц переноса из младшей декады в старшую.

Число циклов преобразования определяется разрядностью входной инфор-

мации и равно числу двоично-десятичных декад преобразованного двоичного числа, при преобразовании 16-разрядного двоичного кода оно равно пяти.

Формула изобретения

Преобразователь двоичного кода в двоично-десятичный, содержащий коммутатор, формирователь эталонного кода, накопительный сумматор, счетчик переполнений и счетчик, выходы которого соединены с адресными входами формирователя эталонного кода, информационный вход которого соединен с выходом коммутатора, а выходы формирователя эталонного кода соединены с информационными входами накопительного сумматора, разрядные выходы которого соединены с информационными выходами преобразователя, тактовый вход которого соединен с тактовыми входами накопительного сумматора и счетчика, выходы младшей группы разрядов которого соединены с управляющими входами коммутатора, а вход сброса счетчика соединен с установочным входом преобразователя и входом сброса счетчика переполнений, о т л и ч а ю щ и й с я тем, что, с целью упрощения преобразователя, он содержит регистр, триггер, формирователь сигнала готовности, первый и второй элементы И-НЕ и элемент ИЛИ, причем формирователь эталонного кода выполнен на ПЗУ, счетчик переполнений выполнен реверсивным, а коммутатор выполнен на мультиплексоре, информационные входы которого соединены с выходами регистра, информационные входы и установочный вход которого соединены с соответствующими входами преобразователя, выход готовности которого соединен с первым выходом формирователя сигнала готовности, второй выход которого соединен с первым входом элемента ИЛИ и с синхровходом триггера, выход которого соединен с входом переноса накопительного сумматора, первым входом сброса триггера и первым входом первого элемента И-НЕ, второй вход которого соединен с тактовым входом преобразователя, а выход первого элемента И-НЕ соединен с входом декремента счетчика переполнений, вход инкремента которого соединен с выходом второго элемента И-НЕ, первый вход которого соединен с выходом переполнений накопительного сумматора, а второй вход второго элемента И-НЕ соединен с тактовым входом преобразователя, вход логической единицы которого соединен с D-входом триггера, второй вход сброса которого соединен с выходом обнуления счетчика переполнений, выход четвертого разряда счетчика соединен с входом формирователя сигнала готовности, установочный вход преобразователя соединен с вторым входом элемента ИЛИ, выход которого соединен со входом сброса накопительного сумматора.

Составитель М.Аршавский
Редактор Л.Пчолинская Техред М.Дидык Корректор Н.Муска

Заказ 4891/56 Тираж 884 Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г.Ужгород, ул. Гагарина,101