

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5460984号  
(P5460984)

(45) 発行日 平成26年4月2日(2014.4.2)

(24) 登録日 平成26年1月24日(2014.1.24)

(51) Int.Cl.

F 1

HO1L 21/02	(2006.01)	HO1L 27/12	B
HO1L 27/12	(2006.01)	HO1L 21/02	B
HO1L 21/336	(2006.01)	HO1L 29/78	627D
HO1L 29/786	(2006.01)	HO1L 29/78	62O

請求項の数 2 (全 45 頁)

(21) 出願番号 特願2008-203852 (P2008-203852)  
 (22) 出願日 平成20年8月7日 (2008.8.7)  
 (65) 公開番号 特開2009-71287 (P2009-71287A)  
 (43) 公開日 平成21年4月2日 (2009.4.2)  
 審査請求日 平成23年8月3日 (2011.8.3)  
 (31) 優先権主張番号 特願2007-212679 (P2007-212679)  
 (32) 優先日 平成19年8月17日 (2007.8.17)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (74) 代理人 100103159  
 弁理士 加茂 裕邦  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 田中 幸一郎  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

## (57) 【特許請求の範囲】

## 【請求項 1】

レーザ光を第1のボンド基板に照射して、前記第1のボンド基板の表面から所定の深さの領域に第1の欠陥層を形成する工程と、

前記レーザ光を前記第1のボンド基板に選択的に照射して、前記第1のボンド基板に第2の欠陥層を選択的に形成する工程と、

前記第1の欠陥層及び前記第2の欠陥層において前記第1のボンド基板を分離させて、複数の第1の半導体膜を形成する工程と、

前記レーザ光を第2のボンド基板に照射して、前記第2のボンド基板の表面から所定の深さの領域に第3の欠陥層を形成する工程と、

前記レーザ光を第2のボンド基板に選択的に照射して、前記第2のボンド基板に第4の欠陥層を選択的に形成する工程と、

前記第3の欠陥層及び前記第4の欠陥層において前記第2のボンド基板を分離させて、複数の第2の半導体膜を形成する工程と、

前記複数の第1の半導体膜とベース基板とを貼り合わせ、前記複数の第2の半導体膜と前記ベース基板とを貼り合わせる工程と、を有し、

前記レーザ光は、前記第1のボンド基板および前記第2のボンド基板において多光子吸収される高さのエネルギー密度を有しており、

前記複数の第1の半導体膜と前記複数の第2の半導体膜とは、互いに異なる結晶面方位を有することを特徴とする半導体装置の作製方法。

**【請求項 2】**

第1のドーピングにより第1のボンド基板に第1の欠陥層を形成する工程と、

前記第1のボンド基板を部分的にエッチングして、前記第1の欠陥層を有する複数の第1の凸部を形成する工程と、

前記第1のボンド基板に熱処理を行い、前記第1の欠陥層において前記第1のボンド基板を分離させて、複数の第1の半導体膜を形成する工程と、

第2のドーピングにより第2のボンド基板に第2の欠陥層を形成する工程と、

前記第2のボンド基板を部分的にエッチングして、前記第2の欠陥層を有する複数の第2の凸部を形成する工程と、

前記第2のボンド基板に熱処理を行い、前記第2の欠陥層において前記第2のボンド基板を分離させて、複数の第2の半導体膜を形成する工程と、を有し、

前記複数の第1の半導体膜とベース基板とを貼り合わせ、前記複数の第2の半導体膜と前記ベース基板とを貼り合わせ、

前記複数の第1の半導体膜と前記複数の第2の半導体膜とは、互いに異なる結晶面方位を有することを特徴とする半導体装置の作製方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、SOI (Silicon On Insulator) 基板を用いた半導体装置の作製方法と、該作製方法を用いる製造装置に関する。本発明は特に貼り合わせSOI技術に関するものであって、単結晶若しくは多結晶の半導体膜を絶縁表面を有する基板に貼り合わせることで得られるSOI基板を用いた、半導体装置の作製方法および製造装置に関する。

**【背景技術】****【0002】**

半導体集積回路に対する高集積化、高速化、高機能化、低消費電力化への要求が厳しさを増しており、その実現に向け、バルクのトランジスタに替わる有力な手段としてSOI基板を用いたトランジスタが注目されている。SOI基板を用いたトランジスタはバルクのトランジスタと比較すると、半導体膜が絶縁膜上に形成されているので、寄生容量が低減され、基板に流れる漏れ電流の発生を抑えることができ、高速化、低消費電力化がより期待できる。そして活性層として用いる半導体膜を薄くできるので、短チャネル効果を抑制し、よって素子の微細化、ひいては半導体集積回路の高集積化を実現することができる。

**【0003】**

SOI基板の作製方法の1つに、スマートカットに代表されるUNIBOND、ELTRAN (Epitaxial Layer Transfer)、誘電体分離法、PACE (Plasma Assisted Chemical Etching) 法などの、絶縁膜を介して半導体膜を基板に貼り合わせる方法がある。上記の貼り合わせ方法を用いることで、単結晶の半導体膜を用いた高機能な集積回路を安価なガラス基板上に形成することができる。

**【0004】**

SOI基板を用いた半導体装置の一例として、特許文献1には、スマートカット(登録商標)を利用して耐熱性の高い基板を支持基板として用いる半導体装置の作製方法が開示されている。

**【特許文献1】特開2000-012864号公報****【発明の開示】****【発明が解決しようとする課題】****【0005】**

SOI基板を用いた半導体素子における移動度の、さらなる向上を図るために、半導体膜の結晶の方位も重要なポイントである。しかし、p型の半導体だと、多数キャリアである正孔の移動度が最も高くなる結晶の方位が{110}面であるが、n型の半導体だと、

10

20

30

40

50

多数キャリアである電子の移動度が最も高くなる結晶の方位が{100}面であり、より移動度を高めることができる方位が一致していない。よって、CMOSを用いた集積回路を作製する場合、単一の方位を有する半導体膜では、SOI基板を用いて作製される半導体素子の移動度をより高めることが難しい。

#### 【0006】

また、フラットパネルディスプレイ等の半導体装置の製造に用いられているガラス基板は、第7世代(1900mm×2200mm)、第8世代(2160mm×2460mm)と年々大型化が進んでおり、今後は第9世代(2400mm×2800mm、2450mm×3050mm)、第10世代(2950mm×3400mm)へと大面積化が進むと予測されている。ところが、半導体基板の1つであるシリコン基板は、直径5インチ(125mm)、直径6インチ(150mm)、直径8インチ(200mm)、直径12インチ(300mm)のものが一般的であり、ガラス基板に比べるとそのサイズは飛躍的に小さい。よって、半導体基板をガラス基板上に貼り合わせることでSOI基板を作製する場合、ガラス基板が大型化されてもスループットの向上は期待できず、生産コストを削減することができない。10

#### 【0007】

本発明は上述した問題に鑑み、移動度を向上させることができる、SOI基板を用いた半導体装置の作製方法および該作製方法を用いる製造装置の提案を課題とする。

#### 【0008】

また、本発明は上述した問題に鑑み、スループットを向上させることができる、SOI基板を用いた半導体装置の作製方法および該作製方法を用いる製造装置の提案を課題とする。20

#### 【課題を解決するための手段】

#### 【0009】

上記問題を解決するために、本発明の半導体装置の作製方法の1つでは、複数のボンド基板(半導体基板)を用いて形成された複数の半導体膜を、1つのベース基板(支持基板)上に貼り合わせることを特徴としている。さらに、複数のボンド基板のうち、少なくとも1つのボンド基板は、他のボンド基板と異なる結晶面方位を有するようにすることで、1つのベース基板上に形成される複数の半導体膜の少なくとも1つは、他の半導体膜と結晶面方位が異なるようにする。そして、半導体膜の結晶面方位に合わせて、該半導体膜を用いて形成される半導体素子の有する極性を決める。例えば{100}面を有する半導体膜を用いて、電子が多数キャリアであるnチャネル型の素子を形成し、また、{110}面を有する半導体膜を用いて、正孔が多数キャリアであるpチャネル型の素子を形成する。30

#### 【0010】

なお、{100}面を有する半導体膜を用いて形成される複数の半導体素子は、全てnチャネル型である必要はない。{100}面を有する半導体膜を用いて形成される複数の半導体素子は、少なくとも1つがnチャネル型の素子を含んでいればよく、より望ましくは、nチャネル型の素子を、pチャネル型の素子よりも多く含んでいればよい。また、{110}面を有する半導体膜を用いて形成される複数の半導体素子は、全てpチャネル型である必要はない。{110}面を有する半導体膜を用いて形成される複数の半導体素子は、少なくとも1つがpチャネル型の素子を含んでいればよく、より望ましくは、pチャネル型の素子を、nチャネル型の素子よりも多く含んでいればよい。40

#### 【0011】

また、本発明の半導体装置の作製方法の1つでは、ボンド基板をベース基板上に貼り合わせた後に、該ボンド基板を分離または劈開させて半導体膜を形成するのではなく、ボンド基板を複数箇所において分離または劈開することで形成された複数の半導体膜を、ベース基板上に貼り合わせることを特徴としている。そして、複数の半導体膜の少なくとも1つを所望の形状に加工し、該加工された半導体膜を用いて半導体素子を作製する。

#### 【0012】

また、本発明の半導体装置の製造装置の1つは、ボンド基板の分離または劈開により形成50

される複数の半導体膜の1つを拾い上げるコレット(保持具)と、コレットの位置を制御するコレット駆動部と、ボンド基板を支持するステージと、ベース基板を保持するステージと、ステージの位置を制御するステージ駆動部と、コレットの位置情報およびステージの位置情報に従って、コレット駆動部とステージ駆動部の動作を制御するCPUとを少なくとも有することを特徴としている。

【発明の効果】

【0013】

本発明の半導体装置の作製方法の1つでは、複数のボンド基板を用いて1つのベース基板に複数の半導体膜を貼り合わせるので、大型のベース基板に対しても高スループットで処理を行うことができる。また、半導体素子の有する極性に合わせて半導体膜の面方位を適宜選択することができるので、半導体素子の移動度を高めることができ、より高速駆動が可能な半導体装置を提供することができる。10

【0014】

また、本発明の半導体装置の作製方法の1つでは、ボンド基板を複数箇所において分離または劈開することで複数の半導体膜を形成し、該複数の半導体膜をベース基板上に貼り合わせるので、半導体装置における半導体素子の極性およびレイアウトに合わせて、複数の各半導体膜を貼り合わせる位置を選択することができる。

【0015】

また、本発明の半導体装置の製造装置の1つでは、複数のボンド基板から形成される複数の半導体膜を、半導体膜のマスク情報に従って適宜ベース基板上に貼り合わせることができる。20

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態について図面を参照しながら説明する。ただし、本発明は多くの異なる様様で実施することが可能であり、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本実施の形態の記載内容に限定して解釈されるものではない。

【0017】

(実施の形態1)

本実施の形態では、本発明の半導体装置の作製方法の1つについて説明する。30

【0018】

まず図1(A)に示すように、ボンド基板100上に絶縁膜101を形成する。ボンド基板100として、シリコン、ゲルマニウムなどの単結晶半導体基板または多結晶半導体基板を用いることができる。その他に、ガリウムヒ素、インジウムリンなどの化合物半導体で形成された単結晶半導体基板または多結晶半導体基板を、ボンド基板100として用いることができる。またボンド基板100として、結晶格子に歪みを有するシリコン、シリコンに対しゲルマニウムが添加されたシリコンゲルマニウムなどの半導体基板を用いていてもよい。歪みを有するシリコンは、シリコンよりも格子定数の大きいシリコンゲルマニウムまたは窒化珪素上における成膜により、形成することができる。

【0019】

絶縁膜101は、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素等の絶縁性を有する材料を用いて形成する。絶縁膜101は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであってもよい。例えば本実施の形態では、酸化珪素を絶縁膜101として用いる。

【0020】

なお、酸化窒化珪素とは、その組成として、窒素よりも酸素の含有量が多いものであって、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)および水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合に、濃度範囲として酸素が50~70原子%、窒素が0.5~1.5原子%、珪素が2.5~3.5原子%、水素が0.

1～10原子%の範囲で含まれるものという。また、窒化酸化珪素とは、その組成として、酸素よりも窒素の含有量が多いものであって、RBSおよびHFSを用いて測定した場合に、濃度範囲として酸素が5～30原子%、窒素が20～55原子%、Siが25～35原子%、水素が10～30原子%の範囲で含まれるものという。ただし、酸化窒化珪素または窒化酸化珪素を構成する原子の合計を100原子%としたとき、窒素、酸素、珪素および水素の含有比率が上記の範囲内に含まれるものとする。

#### 【0021】

酸化珪素を絶縁膜101として用いる場合、絶縁膜101はシランと酸素、TEOS（テトラエトキシシラン）と酸素等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECR CVD等の気相成長法によって形成することができる。この場合、絶縁膜101の表面を酸素プラズマ処理で緻密化してもよい。また、窒化珪素を絶縁膜101として用いる場合、シランとアンモニアの混合ガスを用い、プラズマCVD等の気相成長法によって形成することができる。また、窒化酸化珪素を絶縁膜101として用いる場合、シランとアンモニアの混合ガス、またはシランと酸化窒素の混合ガスを用い、プラズマCVD等の気相成長法によって形成することができる。10

#### 【0022】

また、有機シランガスを用いて化学気相成長法により作製される酸化珪素を、絶縁膜101として用いてもよい。有機シランガスとしては、テトラエトキシシラン（TEOS：化学式Si(OCH<sub>3</sub>)<sub>4</sub>）、テトラメチルシラン（TMS：化学式Si(CH<sub>3</sub>)<sub>4</sub>）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（SiH(OCH<sub>3</sub>)<sub>3</sub>）、トリスジメチルアミノシラン（SiH(N(CH<sub>3</sub>)<sub>2</sub>)<sub>3</sub>）等のシリコン含有化合物を用いることができる。20

#### 【0023】

次に図1（B）に示すように、ボンド基板100に、矢印で示すように水素または希ガス、あるいは水素イオンまたは希ガスイオンを照射し、ボンド基板100の表面から一定の深さの領域に、微小ボイドを有する欠陥層102を形成する。欠陥層102が形成される位置は、上記照射の加速電圧によって決まる。そして欠陥層102の位置により、ボンド基板100から形成される半導体膜106、半導体膜108の厚さが決まるので、照射の加速電圧は上記半導体膜106、半導体膜108の厚さを考慮して行う。また上記照射の加速電圧のみならず、絶縁膜101の膜厚によっても、欠陥層102の位置を変えることができる。例えば、絶縁膜101の膜厚をより大きくすることで、半導体膜106、半導体膜108の膜厚をより小さくすることができる。半導体膜106、半導体膜108の厚さは、例えば10nm乃至200nm、好ましくは10nm乃至50nmの厚さとする。例えば水素をボンド基板100に照射する場合、ドーザ量は $1 \times 10^{16}$ 乃至 $1 \times 10^{17} / cm^2$ とするのが望ましい。本実施の形態では、ドーザ量を $1.75 \times 10^{16} / cm^2$ 、加速電圧を40kVとし、水素または水素イオンの照射を行う。30

#### 【0024】

なお、欠陥層102を形成する上記工程において、ボンド基板100に高い濃度の水素または希ガス、あるいは水素イオンまたは希ガスイオンを照射するので、ボンド基板100の表面が粗くなってしまい、ボンド基板100から形成される半導体膜と、該半導体膜に接するゲート絶縁膜との界面準位密度にばらつきが生じてしまう場合がある。絶縁膜101を設けることで、水素または希ガス、あるいは水素と希ガスのイオンを照射する際にボンド基板100の表面が保護され、ボンド基板100の表面が荒れるのを防ぎ、上記界面準位密度にばらつきが生じるのを防ぐことができる。40

#### 【0025】

また、ボンド基板100にレーザ光を照射し、ボンド基板100に多光子吸収を起こすことで、欠陥層102を形成してもよい。この方法を用いると、ボンド基板100にダメージを与えることなく、半導体膜をボンド基板100から剥離することができる。

#### 【0026】

50

次に、ボンド基板 100 を部分的に除去する。本実施の形態では、図 1 (C) に示すように、マスク 104 を用い、絶縁膜 101 と共にボンド基板 100 を部分的にエッチングにより除去し、複数の凸部 103 を有するボンド基板 100 を形成する。

#### 【0027】

ボンド基板 100 は、複数の凸部 103 のボンド基板 100 に対して垂直方向（深さ方向）における幅 d が、欠陥層 102 の深さと同じか、それ以上の大きさを有する。なお、複数の凸部 103 のボンド基板 100 に対して垂直方向（深さ方向）における幅 d は、必ずしも一定である必要はなく、場所によって異なる値を有していてもよい。具体的に、幅 d は、半導体膜 106 の厚さを考慮して、例えば 10 nm 以上、好ましくは 200 nm 以上とする。

10

#### 【0028】

なお、ボンド基板 100 は、反りや撓みを有している場合や、端部に若干丸みを帯びている場合がある。そして、ボンド基板 100 から半導体膜を剥離するために水素または希ガス、あるいは水素イオンまたは希ガスイオンを照射する際、ボンド基板 100 の端部において上記ガスまたはイオンの添加を十分に行うことができない場合もある。そのため、ボンド基板 100 の端部に位置する部分は、半導体膜を剥離させるのが難しい。よって、ボンド基板 100 が有する複数の凸部 103 は、ボンド基板 100 の縁から所定の間隔を有するよう、離れた位置に形成するのが望ましい。ボンド基板 100 の縁から所定の間隔を有するよう、離れた位置に凸部 103 を形成することで、再現性よく分離または劈開による半導体膜の形成を行うことができる。例えば、最も端部に位置する凸部 103 と、ボンド基板 100 の縁との間隔は、数十 μm 乃至数十 mm とするとよい。

20

#### 【0029】

次に、マスク 104 を除去した後、熱処理を行うことにより、欠陥層 102 において隣接する微小ボイドどうしが結合して、微小ボイドの体積が増大する。その結果、欠陥層 102 においてボンド基板 100 が分離または劈開し、凸部 103 の一部であった半導体膜 106 が、絶縁膜 101 と共に、ボンド基板 100 から剥離する。熱処理は、例えば 400 乃至 600 の温度範囲内で行えばよい。

#### 【0030】

なお、熱処理は、マイクロ波などの高周波による誘電加熱を用いて行ってもよい。上記誘電加熱による熱処理は、高周波発生装置において生成された周波数 300 MHz 乃至 3 THz の高周波をボンド基板 100 に照射することで行うことができる。具体的には、例えば、2.45 GHz のマイクロ波を 900 W、14 分間照射することで、欠陥層において隣接する微小ボイドどうしを結合させ、最終的にボンド基板 100 を分離または劈開させることができる。

30

#### 【0031】

そして、図 1 (D) に示すように、コレット 105 を半導体膜 106 上に形成された絶縁膜 101 に固着させ、半導体膜 106 をボンド基板 100 から引き離す。上記熱処理によるボンド基板 100 の分離または劈開が不完全である場合でも、コレット 105 を用いて力を加えることで、半導体膜 106 をボンド基板 100 から完全に剥離させることができる。コレット 105 として、真空チャック、メカニカルチャックなどのチャック、先端に接着剤が付着したマイクロニードルなど、凸部 103 の 1 つに選択的に固着させができる手段を用いる。図 1 (D) では、コレット 105 として真空チャックを用いる場合を例示している。

40

#### 【0032】

また、マイクロニードルに付着させる接着剤として、エポキシ系接着剤、セラミック系接着剤、シリコーン系接着剤、低温凝固剤などを用いることができる。低温凝固剤は、例えば MW - 1 ( 株式会社エミネントサプライ製 ) を用いることができる。MW - 1 は、凝固点が 17 度付近であり、凝固点以下の温度（好ましくは、10 度以下）で接着効果を有し、凝固点以上の温度（好ましくは 25 度程度）では接着効果を有さない。

#### 【0033】

50

なお、ボンド基板 100 を分離または劈開させる前に、ボンド基板 100 に水素化処理を行うようにしてもよい。水素化処理は、例えば、水素雰囲気中において 350 ℃、2 時間程度行う。

#### 【0034】

次に、図 2 (A) に示すように、半導体膜 106 の剥離により露出した面がベース基板 107 側を向くように、半導体膜 106 とベース基板 107 とを貼り合わせる。本実施の形態では、ベース基板 107 上に絶縁膜 114 が形成されており、絶縁膜 114 と半導体膜 106 とが接合することで、半導体膜 106 とベース基板 107 とを貼り合わせることができる。半導体膜 106 と絶縁膜 114 とを接合させた後、該接合をさらに強固にするため、400 ℃ 乃至 600 ℃ の熱処理を行うのが好ましい。

10

#### 【0035】

接合の形成はファン・デル・ワールス力を用いて行われているため、室温でも強固な接合が形成される。なお、上記接合は低温で行うことが可能であるため、ベース基板 107 は様々なものを用いることが可能である。例えばベース基板 107 としては、アルミニシリケートガラス、バリウムホウケイ酸ガラス、アルミニホウケイ酸ガラスなどのガラス基板の他、石英基板、サファイア基板などの基板を用いることができる。さらにベース基板 107 として、シリコン、ガリウムヒ素、インジウムリンなどの半導体基板などを用いることができる。あるいは、ステンレス基板を含む金属基板をベース基板 107 として用いてもよい。

#### 【0036】

20

なお、ベース基板 107 は、その表面に絶縁膜 114 が必ずしも形成されていなくともよい。絶縁膜 114 が形成されていない場合でも、ベース基板 107 と半導体膜 106 とを接合することは可能である。ただし、ベース基板 107 の表面に絶縁膜 114 を形成しておくことで、ベース基板 107 から半導体膜 106 に、アルカリ金属やアルカリ土類金属などの不純物が入り込むのを防ぐことができる。

#### 【0037】

絶縁膜 114 を形成する場合、ベース基板 107 ではなく絶縁膜 114 が半導体膜 106 と接合するので、ベース基板 107 として用いることができる基板の種類がさらに広がる。プラスチック等の可撓性を有する合成樹脂からなる基板は耐熱温度が一般的に低い傾向にあるが、作製工程における処理温度に耐え得るのであれば、絶縁膜 114 を形成する場合において、ベース基板 107 として用いることが可能である。プラスチック基板として、ポリエチレンテレフタレート (PET) に代表されるポリエチル、ポリエーテルスルホン (PES)、ポリエチレンナフタレート (PEN)、ポリカーボネート (PC)、ポリエーテルエーテルケトン (PEEK)、ポリスルホン (PSF)、ポリエーテルイミド (PEI)、ポリアリレート (PAR)、ポリブチレンテレフタレート (PBT)、ポリイミド、アクリロニトリルバージエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

30

#### 【0038】

なお、半導体膜 106 をベース基板 107 上に貼り合わせる前または貼り合せた後に、半導体膜 106 の剥離により露出した面に、レーザ光の照射による熱アニールを施してもよい。半導体膜 106 をベース基板 107 上に貼り合わせる前に熱アニールを施すと、剥離により露出した面が平坦化され、接合の強度をより高めることができる。また、半導体膜 106 をベース基板 107 上に貼り合せた後に熱アニールを施すと、半導体膜 106 が一部溶解し、接合の強度をより高めることができる。

40

#### 【0039】

レーザ光の照射による熱アニールを行う場合、半導体に選択的に吸収される固体レーザの基本波または第 2 高調波のレーザ光を照射することが望ましい。例えば、連続発振の YAG レーザから射出された出力 100 W のレーザ光を用いる。そして、好ましくは光学系により照射面にて矩形状または橍円形状のレーザ光に成形して、半導体膜 106 の剥離により露出した面に照射する。このときのパワー密度は 1 kW / cm<sup>2</sup> ~ 100 MW / cm<sup>2</sup>

50

程度（好ましくは $0.1 \sim 10 \text{ MW/cm}^2$ ）が必要である。そして、走査速度を $10 \sim 2000 \text{ cm/sec}$ 程度とし、照射する。

#### 【0040】

レーザ光の照射による熱アニールには、連続発振の気体レーザであるArレーザ、Krレーザなどを用いることができる。また、連続発振の固体レーザであるYAGレーザ、YVO<sub>4</sub>レーザ、YLFレーザ、YAlO<sub>3</sub>レーザ、フルステライト(Mg<sub>2</sub>SiO<sub>4</sub>)レーザ、GdVO<sub>4</sub>レーザ、Y<sub>2</sub>O<sub>3</sub>レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザなどを用いることができる。また、パルス発振のレーザである、Arレーザ、Krレーザ、エキシマレーザ、CO<sub>2</sub>レーザ、YAGレーザ、Y<sub>2</sub>O<sub>3</sub>レーザ、YVO<sub>4</sub>レーザ、YLFレーザ、YAlO<sub>3</sub>レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、銅蒸気レーザまたは金蒸気レーザなどを用いることができる。10

#### 【0041】

また、半導体膜106をベース基板107上に接合のみによって貼り合わせるのではなく、半導体膜106に $10 \text{ MHz} \sim 1 \text{ THz}$ 程度の高周波数の振動を加えることで、半導体膜106とベース基板107の間に摩擦熱を生じさせ、該熱により半導体膜106を部分的に溶解させ、半導体膜106をベース基板107上に貼り合わせるようにしてもよい。

#### 【0042】

なお、MW-1を低温凝固剤として用いる場合、まず低温凝固剤が接着効果を有しない温度（例えば25度程度）において、マイクロニードルの先端に付着した低温凝固剤を、凸部103上の絶縁膜101に接触させる。次に、低温凝固剤が接着効果を有する温度（例えば5度程度）まで温度を下げて、低温凝固剤を凝固することで、マイクロニードルと凸部103上の絶縁膜101とを固着させる。そして、ボンド基板100から引き離した半導体膜106を、ベース基板107上に貼り合わせた後、再び接着効果を有しない温度（例えば25度程度）まで低温凝固剤の温度を高めることで、マイクロニードルを半導体膜106から引き離すことができる。20

#### 【0043】

次に図2(B)に示すように、半導体膜106を形成するボンド基板100とは異なる結晶面方位を有するボンド基板から、半導体膜106と同様の手法を用いて半導体膜108を剥離し、ベース基板107上に貼り合わせる。30

#### 【0044】

半導体中における多数キャリアの移動度は、結晶面方位によって異なる。よって、形成する半導体素子に適した結晶面方位を有するボンド基板を、適宜選択して半導体膜106または半導体膜108を形成すればよい。例えば半導体膜106を用いてn型の半導体素子を形成するならば、{100}面を有する半導体膜106を形成することで、該半導体素子における多数キャリアの移動度を高めることができる。また、例えば半導体膜108を用いてp型の半導体素子を形成するならば、{110}面を有する半導体膜108を形成することで、該半導体素子における多数キャリアの移動度を高めることができる。そして、半導体素子としてトランジスタを形成するならば、チャネルの向きと結晶面方位とを考慮し、半導体膜106または半導体膜108の貼り合わせの方向を定めるようとする。40

#### 【0045】

なお、上述したように、ボンド基板は、反りや撓みを有している場合や、端部に若干丸みを帯びている場合がある。また、ボンド基板から半導体膜を剥離するために水素または希ガス、あるいは水素イオンまたは希ガスイオンを照射する際、ボンド基板の端部において上記ガスまたはイオンの添加を十分に行うことができない場合もある。そのため、ボンド基板の端部に位置する部分は、半導体膜を剥離するのが難しく、ボンド基板をベース基板に貼り合わせた後にボンド基板を分離または劈開して半導体膜を形成する場合、半導体膜間の間隔が数mm～数cmとなってしまう。しかし、本発明では、ボンド基板をベース基板107に貼り合わせる前に、ボンド基板を分離または劈開させて半導体膜106と半導体膜108を形成している。よって、半導体膜106と半導体膜108をベース基板150

07上に貼り合わせる際、半導体膜106と半導体膜108の間隔を、数十μm程度に小さく抑えることができ、半導体膜106と半導体膜108の隙間をまたぐように半導体装置を作製することが容易となる。

#### 【0046】

図4に、結晶面方位が互いに異なるボンド基板160とボンド基板161から、それぞれ半導体膜163と半導体膜164を剥離し、該半導体膜163と半導体膜164をベース基板162上に貼り合わせている様子を示す。ベース基板162上において半導体膜163と半導体膜164を貼り合わせる位置は、半導体素子のマスク図面の情報を元に決めることができる。なお、図4では2つのボンド基板160、ボンド基板161から半導体膜163と半導体膜164を剥離する例について示しているが、ボンド基板は3つ以上用いていてもよい。10

#### 【0047】

次に図2(C)に示すように、半導体膜106および半導体膜108上に形成されている絶縁膜101を除去する。図2(C)には、半導体膜106および半導体膜108の断面図に加えて、半導体膜106および半導体膜108の上面図も示す。図2(C)に示す断面図は、上面図の破線A-A'における断面に相当する。

#### 【0048】

次に、図3(A)に示すように、半導体膜106と半導体膜108を部分的にエッティングすることで、半導体膜106から半導体膜109を、半導体膜108から半導体膜110を形成する。図3(A)には、半導体膜109および半導体膜110の断面図に加えて、半導体膜109および半導体膜110の上面図も示す。図3(A)に示す断面図は、上面図の破線A-A'における断面に相当する。半導体膜106および半導体膜108をさらにエッティングすることで、半導体膜106および半導体膜108の端部において接合の強度が不十分である領域を、除去することができる。20

#### 【0049】

なお、本実施の形態では、1つの半導体膜106をエッティングすることで1つの半導体膜109を形成し、1つの半導体膜108をエッティングすることで1つの半導体膜110を形成しているが、本発明はこの構成に限定されない。例えば、1つの半導体膜106をエッティングすることで複数の半導体膜109を形成してもよいし、1つの半導体膜108をエッティングすることで複数の半導体膜110を形成してもよい。30

#### 【0050】

図3(A)に示すように半導体膜109および半導体膜110が形成された後、半導体膜109および半導体膜110の表面を平坦化してもよい。平坦化は必ずしも必須ではないが、平坦化を行うことで、後に形成されるトランジスタにおいて半導体膜109および半導体膜110とゲート絶縁膜の界面の特性を向上させることができる。具体的に平坦化は、化学的機械的研磨(CMP: Chemical Mechanical Polishing)または液体ジェット研磨などにより、行うことができる。半導体膜109および半導体膜110の厚さは、上記平坦化により薄膜化される。上記平坦化は、エッティングにより形成された半導体膜109および半導体膜110に施してもよいし、エッティングする前の半導体膜106および半導体膜108に施してもよい。40

#### 【0051】

なお、分離または劈開により露出される半導体膜の表面と、ゲート絶縁膜とが接するよう、半導体膜をベース基板上に貼り合わせることもできる。ただし、本実施の形態のように、分離または劈開により露出される半導体膜の表面をベース基板側に向けると、より平坦性の高い側の表面がゲート絶縁膜に接するため、半導体膜とゲート絶縁膜の間の界面準位密度を低く、なおかつ均一にすることができる。よって、ゲート絶縁膜に接する半導体膜の表面を平坦化するための研磨を省略、もしくは研磨時間を短縮化することができ、コストを抑えスループットを向上させることができる。

#### 【0052】

また、半導体膜109および半導体膜110、あるいはエッティングを行う前の半導体膜150

06および半導体膜108にエネルギー ビームを照射して、結晶欠陥を補修してもよい。エネルギー ビームは、半導体に選択的に吸収されるもの、例えばレーザ光を用いるのが望ましい。レーザ光は、エキシマレーザなどの気体レーザ、YAGレーザなどの固体レーザを光源として用いることができる。レーザ光の波長は、紫外光から近赤外光であることが好ましく、波長190nm～2000nmの領域のレーザ光を用いるのが望ましい。その他、ハロゲンランプ若しくはキセノンランプなどを用いたフラッシュランプアーナーを、結晶欠陥の補修のために用いてもよい。

#### 【0053】

なお本実施の形態では、欠陥層102の形成により半導体膜106と半導体膜108とを、ボンド基板100からそれぞれ剥離するスマートカット法を用いる場合について示すが、ELTRAN(Epitaxial Layer Transfer)、誘電体分離法、PACE(Plasma Assisted Chemical Etching)法などの、他の貼り合わせ法を用いてもよい。10

#### 【0054】

上記工程を経て形成された半導体膜109、半導体膜110を用い、図3(B)に示すようにトランジスタ111～113などの各種半導体素子を形成することができる。

#### 【0055】

本実施の形態の半導体装置の作製方法では、複数のボンド基板100を用いて1つのベース基板に複数の半導体膜を貼り合わせるので、大型のベース基板107に対しても高スループットで処理を行うことができる。また、半導体素子の有する極性に合わせて半導体膜の面方位を適宜選択することができるので、半導体素子の移動度を高めることができ、より高速駆動が可能な半導体装置を提供することができる。20

#### 【0056】

また、本発明の半導体装置の作製方法の1つでは、ボンド基板100を複数箇所において分離または劈開することで複数の半導体膜106を形成し、該複数の半導体膜をベース基板上に貼り合わせることができるので、半導体装置における半導体素子の極性およびレイアウトに合わせて、複数の各半導体膜106を貼り合わせる位置を選択することができる。

#### 【0057】

なお本発明は、マイクロプロセッサ、画像処理回路などの集積回路や、質問器とデータの送受信が非接触でできるRFタグ、半導体表示装置等、ありとあらゆる半導体装置の作製に用いることができる。半導体表示装置には、液晶表示装置、有機発光素子(OLED)に代表される発光素子を各画素に備えた発光装置、DMD(Digital Micro mirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)等や、半導体膜を用いた回路素子を駆動回路に有しているその他の半導体表示装置がその範疇に含まれる。30

#### 【0058】

##### (実施の形態2)

本実施の形態では、実施の形態1に示した作製方法において、エッチングによりボンド基板に凸部を形成する代わりに、ドーピングを用いてボンド基板に欠陥層を形成する、本発明の半導体装置の作製方法の1つについて説明する。40

#### 【0059】

まず図5(A)に示すように、ボンド基板200上に絶縁膜201を形成する。ボンド基板200として、シリコン、ゲルマニウムなどの単結晶半導体基板または多結晶半導体基板を用いることができる。その他に、ガリウムヒ素、インジウムリンなどの化合物半導体で形成された単結晶半導体基板または多結晶半導体基板を、ボンド基板200として用いることができる。またボンド基板200として、結晶格子に歪みを有するシリコン、シリコンに対しゲルマニウムが添加されたシリコンゲルマニウムなどの半導体基板を用いていてもよい。歪みを有するシリコンは、シリコンよりも格子定数の大きいシリコンゲルマニウムまたは窒化珪素上における成膜により、形成することができる。50

**【 0 0 6 0 】**

絶縁膜 201 は、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素等の絶縁性を有する材料を用いて形成する。絶縁膜 201 は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであってもよい。例えば本実施の形態では、酸化珪素を絶縁膜 201 として用いる。

**【 0 0 6 1 】**

酸化珪素を絶縁膜 201 として用いる場合、絶縁膜 201 はシランと酸素、TEOS（テトラエトキシシラン）と酸素等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECCR CVD 等の気相成長法によって形成することができる。この場合、絶縁膜 201 の表面を酸素プラズマ処理で緻密化してもよい。また、窒化珪素を絶縁膜 201 として用いる場合、シランとアンモニアの混合ガスを用い、プラズマCVD 等の気相成長法によって形成することができる。また、窒化酸化珪素を絶縁膜 201 として用いる場合、シランとアンモニアの混合ガス、またはシランと酸化窒素の混合ガスを用い、プラズマCVD 等の気相成長法によって形成することができる。10

**【 0 0 6 2 】**

また、有機シランガスを用いて化学気相成長法により作製される酸化珪素を、絶縁膜 201 として用いてもよい。有機シランガスとしては、テトラエトキシシラン（TEOS：化学式 Si(OCH<sub>3</sub>)<sub>4</sub>）、テトラメチルシラン（TMS：化学式 Si(CH<sub>3</sub>)<sub>4</sub>）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（SiH(OCH<sub>3</sub>)<sub>3</sub>）、トリスジメチルアミノシラン（SiH(N(CH<sub>3</sub>)<sub>2</sub>)<sub>3</sub>）等のシリコン含有化合物を用いることができる。20

**【 0 0 6 3 】**

次に図5（B）に示すように、ボンド基板 200 に、矢印で示すように水素または希ガス、あるいは水素イオンまたは希ガスイオンを照射し、ボンド基板 200 の表面から一定の深さの領域に、微小ボイドを有する欠陥層 202 を形成する。欠陥層 202 が形成される位置は、上記照射の加速電圧によって決まる。そして欠陥層 202 の位置により、ボンド基板 200 から形成される半導体膜 206 の厚さが決まるので、照射の加速電圧は上記半導体膜 206 の厚さを考慮して行う。また上記照射の加速電圧のみならず、絶縁膜 201 の膜厚によっても、欠陥層 202 の位置を変えることができる。例えば、絶縁膜 201 の膜厚をより大きくすることで、半導体膜 206 の膜厚をより小さくすることができます。半導体膜 206 の厚さは、例えば 10 nm 乃至 200 nm、好ましくは 10 nm 乃至 50 nm の厚さとする。例えば水素をボンド基板 200 に照射する場合、ドーザ量は  $1 \times 10^{-6}$  乃至  $1 \times 10^{-7} / \text{cm}^2$  とするのが望ましい。本実施の形態では、ドーザ量を  $1.75 \times 10^{-6} / \text{cm}^2$ 、加速電圧を 40 kV とし、水素または水素イオンの照射を行う。30

**【 0 0 6 4 】**

なお、欠陥層 202 を形成する上記工程において、ボンド基板 200 に高い濃度の水素または希ガス、あるいは水素イオンまたは希ガスイオンを照射するので、ボンド基板 200 の表面が粗くなってしまい、ボンド基板 200 から形成される半導体膜と、該半導体膜に接するゲート絶縁膜との界面準位密度にばらつきが生じてしまう場合がある。絶縁膜 201 を設けることで、水素または希ガス、あるいは水素と希ガスのイオンを照射する際にボンド基板 200 の表面が保護され、ボンド基板 200 の表面が荒れるのを防ぎ、上記界面準位密度にばらつきが生じるのを防ぐことができる。40

**【 0 0 6 5 】**

また、ボンド基板 200 にレーザ光を照射し、ボンド基板 200 に多光子吸収を起こすことで、欠陥層 202 を形成してもよい。この方法を用いると、ボンド基板 200 にダメージを与えることなく、半導体膜をボンド基板 200 から剥離することができる。

**【 0 0 6 6 】**

次に、絶縁膜 201 上にマスク 210 を形成し、矢印で示すように水素または希ガス、あるいは水素イオンまたは希ガスイオンをボンド基板 200 に選択的に添加し、微小ボイド50

を有する欠陥層 211 を形成する。欠陥層 211 を形成する場合、欠陥層 202 を形成する場合よりも、照射するガスまたはイオンのドーズ量を多くするか、もしくはより大きい質量を有するガスまたはイオンを照射する。上記構成により、ボンド基板 200 の深さ方向における欠陥層 211 の幅を広くすることができる。例えば水素をボンド基板 200 に照射する場合、ドーズ量は  $5 \times 10^{17}$  乃至  $5 \times 10^{18} / \text{cm}^2$  とするのが望ましい。本実施の形態では、ドーズ量を  $1 \times 10^{18} / \text{cm}^2$ 、加速電圧を 40 kV とし、水素または水素イオンの照射を行う。

#### 【0067】

また、ボンド基板 200 にレーザ光を照射し、ボンド基板 200 に多光子吸収を起こすことで、欠陥層 211 を形成してもよい。

10

#### 【0068】

欠陥層 211 のボンド基板 200 に対して垂直方向（深さ方向）における幅 d は、欠陥層 202 の深さと同じか、それ以上の大きさを有することが望ましい。具体的に、幅 d は、半導体膜 206 の厚さを考慮して、例えば 10 nm 以上、好ましくは 200 nm 以上とする。

#### 【0069】

なお、ボンド基板 200 は、反りや撓みを有している場合や、端部に若干丸みを帯びている場合がある。そして、ボンド基板 200 から半導体膜を剥離するためにガスまたはイオンを照射する際、ボンド基板 200 の端部においてイオン等の添加を十分に行うことができない場合もある。そのため、ボンド基板 200 の端部に位置する部分は、半導体膜を剥離させるのが難しい。よって、欠陥層 211 を、ボンド基板 200 の端部においても形成することが望ましい。ボンド基板 200 の端部に欠陥層 211 を形成することで、端部の分離または劈開しにくい箇所を避けて、再現性よく分離または劈開による半導体膜の形成を行うことができる。例えば、端部に位置する欠陥層 211 の、幅 d に対して垂直方向における幅は、数十  $\mu\text{m}$  乃至数十 mm とするとよい。

20

#### 【0070】

次に、マスク 210 を除去した後に熱処理を行うことにより、欠陥層 202 および欠陥層 211 において隣接する微小ボイドどうしが結合して、微小ボイドの体積が増大する。その結果、欠陥層 202 および欠陥層 211 においてボンド基板 200 が分離または劈開し、半導体膜 206 が絶縁膜 201 と共に、ボンド基板 200 から剥離する。熱処理は、例えば 400 乃至 600 の温度範囲内で行えばよい。

30

#### 【0071】

なお、熱処理は、マイクロ波などの高周波による誘電加熱を用いて行ってもよい。上記誘電加熱による熱処理は、高周波発生装置において生成された周波数 300 MHz 乃至 3 THz の高周波をボンド基板 200 に照射することで行うことができる。具体的には、例えば、2.45 GHz のマイクロ波を 900 W、14 分間照射することで、欠陥層において隣接する微小ボイドどうしを結合させ、最終的にボンド基板 200 を分離または劈開させることができる。

#### 【0072】

そして、図 5 (D) に示すように、コレット 205 を半導体膜 206 上に形成された絶縁膜 201 に固着させ、半導体膜 206 をボンド基板 200 から引き離す。上記熱処理によるボンド基板 200 の分離または劈開が不完全である場合でも、コレット 205 を用いて力を加えることで、半導体膜 206 をボンド基板 200 から完全に剥離させることができる。コレット 205 として、真空チャック、メカニカルチャックなどのチャック、先端に接着剤が付着したマイクロニードルなど、半導体膜 206 の 1 つに選択的に固着させることができる手段を用いる。図 5 (D) では、コレット 205 として真空チャックを用いる場合を例示している。

40

#### 【0073】

なお、ボンド基板 200 を分離または劈開させる前に、ボンド基板 200 に水素化処理を行うようにしてもよい。水素化処理は、例えば、水素雰囲気中において 350 、2 時間

50

程度行う。

**【 0 0 7 4 】**

また、マイクロニードルに付着させる接着剤として、エポキシ系接着剤、セラミック系接着剤、シリコーン系接着剤、低温凝固剤などを用いることができる。低温凝固剤は、例えばMW-1（株式会社エミネントサプライ製）を用いることができる。

**【 0 0 7 5 】**

以下、実施の形態1と同様の作製方法を経て、本発明の半導体装置を作製することができる。

**【 0 0 7 6 】**

（実施の形態3）

10

本実施の形態では、本発明の半導体装置の作製方法の1つについて説明する。

**【 0 0 7 7 】**

まず図6(A)に示すように、ボンド基板300上に絶縁膜301を形成する。ボンド基板300として、シリコン、ゲルマニウムなどの単結晶半導体基板または多結晶半導体基板を用いることができる。その他に、ガリウムヒ素、インジウムリンなどの化合物半導体で形成された単結晶半導体基板または多結晶半導体基板を、ボンド基板300として用いることができる。またボンド基板300として、結晶格子に歪みを有するシリコン、シリコンに対しゲルマニウムが添加されたシリコンゲルマニウムなどの半導体基板を用いていてもよい。歪みを有するシリコンは、シリコンよりも格子定数の大きいシリコンゲルマニウムまたは窒化珪素上における成膜により、形成することができる。

20

**【 0 0 7 8 】**

絶縁膜301は、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素等の絶縁性を有する材料を用いて形成する。絶縁膜301は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであってもよい。例えば本実施の形態では、ボンド基板300に近い側から、窒素よりも酸素の含有量が高い酸化窒化珪素、酸素よりも窒素の含有量が高い窒化酸化珪素の順に積層された絶縁膜301を用いる。

**【 0 0 7 9 】**

酸化珪素を絶縁膜301として用いる場合、絶縁膜301はシランと酸素、TEOS(テトラエトキシシラン)と酸素等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECCR CVD等の気相成長法によって形成することができる。この場合、絶縁膜301の表面を酸素プラズマ処理で緻密化してもよい。また、窒化珪素を絶縁膜301として用いる場合、シランとアンモニアの混合ガスを用い、プラズマCVD等の気相成長法によって形成することができる。また、窒化酸化珪素を絶縁膜301として用いる場合、シランとアンモニアの混合ガス、またはシランと酸化窒素の混合ガスを用い、プラズマCVD等の気相成長法によって形成することができる。

30

**【 0 0 8 0 】**

また、有機シランガスを用いて化学気相成長法により作製される酸化珪素を、絶縁膜301として用いてもよい。有機シランガスとしては、テトラエトキシシラン(TEOS:化学式Si(OCH<sub>3</sub>)<sub>4</sub>)、テトラメチルシラン(TMS:化学式Si(CH<sub>3</sub>)<sub>4</sub>)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン(SiH(OCH<sub>3</sub>)<sub>3</sub>)、トリスジメチルアミノシラン(SiH(N(CH<sub>3</sub>)<sub>2</sub>)<sub>3</sub>)等のシリコン含有化合物を用いることができる。

40

**【 0 0 8 1 】**

次に、ボンド基板300に、矢印で示すように水素または希ガス、あるいは水素イオンまたは希ガスイオンを照射し、ボンド基板300の表面から一定の深さの領域に、微小ボイドを有する欠陥層302を形成する。欠陥層302が形成される位置は、上記照射の加速電圧によって決まる。そして欠陥層302の位置により、ボンド基板300から形成される半導体膜306、半導体膜308の厚さが決まるので、照射の加速電圧は上記半導体膜306、半導体膜308の厚さを考慮して行う。また上記照射の加速電圧のみならず、絶

50

縁膜301の膜厚によっても、欠陥層302の位置を変えることができる。例えば、絶縁膜301の膜厚をより大きくすることで、半導体膜306、半導体膜308の膜厚をより小さくすることができる。半導体膜306、半導体膜308の厚さは、例えば10nm乃至200nm、好ましくは10nm乃至50nmの厚さとする。例えば水素をボンド基板300に照射する場合、ドーズ量は $1 \times 10^{16}$ 乃至 $1 \times 10^{17} / \text{cm}^2$ とするのが望ましい。本実施の形態では、ドーズ量を $1.75 \times 10^{16} / \text{cm}^2$ 、加速電圧を40kVとし、水素または水素イオンの照射を行う。

#### 【0082】

なお、欠陥層302を形成する上記工程において、ボンド基板300に高い濃度の水素または希ガス、あるいは水素イオンまたは希ガスイオンを照射するので、ボンド基板300の表面が粗くなってしまい、ベース基板307との間ににおける接合で十分な強度が得られない場合がある。絶縁膜301を設けることで、水素または希ガス、あるいは水素と希ガスのイオンを照射する際にボンド基板300の表面が保護され、半導体膜306、半導体膜308とベース基板307の間ににおける接合を良好に行うことができる。

10

#### 【0083】

また、ボンド基板300にレーザ光を照射し、ボンド基板300に多光子吸収を起こすことで、欠陥層302を形成してもよい。この方法を用いると、ボンド基板300にダメージを与えることなく、半導体膜をボンド基板300から剥離することができる。

#### 【0084】

次に図6(B)に示すように、絶縁膜301上に絶縁膜320を形成する。絶縁膜320は、絶縁膜301と同様に、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素等の絶縁性を有する材料を用いて形成する。絶縁膜320は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであってもよい。また、有機シランガスを用いて化学気相成長法により作製される酸化珪素を、絶縁膜320として用いてもよい。本実施の形態では、有機シランガスを用いて化学気相成長法により作製される酸化珪素を、絶縁膜320として用いる。

20

#### 【0085】

なお絶縁膜301または絶縁膜320に窒化珪素、窒化酸化珪素などのバリア性の高い絶縁膜を用いることで、アルカリ金属やアルカリ土類金属などの不純物が、ベース基板307から、ベース基板307上に形成される半導体膜306および半導体膜308に入るのを防ぐことができる。

30

#### 【0086】

なお本実施の形態では、欠陥層302を形成した後に絶縁膜320を形成しているが、絶縁膜320は必ずしも設ける必要はない。ただし絶縁膜320は欠陥層302を形成した後に形成されるので、欠陥層302を形成する前に形成される絶縁膜301よりも、その表面の平坦性は高い。よって、絶縁膜320を形成することで、後に行われる接合の強度をより高めることができる。

#### 【0087】

次に、ボンド基板300を部分的に除去する。本実施の形態では、図6(C)に示すように、マスク304を用い、絶縁膜301と共にボンド基板300を部分的にエッチングにより除去し、複数の凸部303を有するボンド基板300を形成する。

40

#### 【0088】

ボンド基板300は、複数の凸部303のボンド基板300に対して垂直方向(深さ方向)における幅dが、欠陥層302の深さと同じか、それ以上の大きさを有する。なお、複数の凸部303のボンド基板300に対して垂直方向(深さ方向)における幅dは、必ずしも一定である必要はなく、場所によって異なる値を有していてもよい。具体的に、幅dは、半導体膜306の厚さを考慮して、例えば10nm以上、好ましくは200nm以上とする。

#### 【0089】

なお、ボンド基板300は、反りや撓みを有している場合や、端部に若干丸みを帯びてい

50

る場合がある。そして、ボンド基板300から半導体膜を剥離するために水素または希ガス、あるいは水素イオンまたは希ガスイオンを照射する際、ボンド基板300の端部において上記ガスまたはイオンの添加を十分に行うことができない場合もある。そのため、ボンド基板300の端部に位置する部分は、半導体膜を剥離させるのが難しい。よって、ボンド基板300が有する複数の凸部303は、ボンド基板300の縁から所定の間隔を有するよう、離れた位置に形成するのが望ましい。ボンド基板300の縁から所定の間隔を有するよう、離れた位置に凸部303を形成することで、再現性よく分離または劈開による半導体膜の形成を行うことができる。例えば、最も端部に位置する凸部303と、ボンド基板300の縁との間隔は、数十μm乃至数十mmとするよ。

## 【0090】

10

次に、マスク304を除去した後、ボンド基板300を保持手段321に固着させる。ボンド基板300の固着は、凸部303が保持手段321側を向くように行う。保持手段321として、後の熱処理に耐えることができ、なおかつ複数の凸部303と重なるように固着させることができる大型の真空チャックまたはメカニカルチャック、具体的には多孔質真空チャック、非接触式真空チャックなどを用いることができる。本実施の形態では、真空チャックを保持手段321として用いる例を示す。

## 【0091】

次に、熱処理を行うことにより、欠陥層302において隣接する微小ボイドどうしが結合して、微小ボイドの体積が増大する。その結果、図7(A)に示すように、欠陥層302においてボンド基板300が分離または劈開し、凸部303の一部であった半導体膜306が、絶縁膜301、絶縁膜320と共に、ボンド基板300から剥離する。熱処理は、例えば400乃至600の温度範囲内で行えばよい。

20

## 【0092】

なお、熱処理は、マイクロ波などの高周波による誘電加熱を用いて行ってもよい。上記誘電加熱による熱処理は、高周波発生装置において生成された周波数300MHz乃至3THzの高周波をボンド基板300に照射することで行うことができる。具体的には、例えば、2.45GHzのマイクロ波を900W、14分間照射することで、欠陥層において隣接する微小ボイドどうしを結合させ、最終的にボンド基板300を分離または劈開させることができる。

## 【0093】

30

また、ボンド基板300を分離または劈開させる前に、ボンド基板300に水素化処理を行うようにしてもよい。水素化処理は、例えば、水素雰囲気中において350、2時間程度行う。

## 【0094】

そして、図7(B)に示すように、コレット305を半導体膜306の分離または劈開により露出した面に固定させ、半導体膜306を保持手段321から引き離す。コレット305として、真空チャック、メカニカルチャックなどのチャック、先端に接着剤が付着したマイクロニードルなど、凸部303の1つに選択的に固定させることができる手段を用いる。図7(B)では、コレット305として真空チャックを用いる場合を例示している。

40

## 【0095】

なお、本実施の形態では、コレット305が半導体膜306の分離または劈開により露出した面に固定している例を示しているがコレット305により傷つくのを防ぐために、絶縁膜などの保護膜を形成してもよい。ただし、上記保護膜は、後にベース基板307に半導体膜306を貼り合わせた後に、除去する。

## 【0096】

また、マイクロニードルに付着させる接着剤として、エポキシ系接着剤、セラミック系接着剤、シリコーン系接着剤、低温凝固剤などを用いることができる。低温凝固剤は、例えばMW-1(株式会社エミネントサプライ製)を用いることができる。MW-1は、凝固点が17度付近であり、凝固点以下の温度(好ましくは、10度以下)で接着効果を有し

50

、凝固点以上の温度（好ましくは25度程度）では接着効果を有さない。

#### 【0097】

次に、図7(C)に示すように、絶縁膜320がベース基板307側を向くように、すなわち分離または劈開により露出した面の反対側の面がベース基板307側を向くように、半導体膜306とベース基板307とを貼り合わせる。本実施の形態では、ベース基板307上に絶縁膜314が形成されており、絶縁膜314と絶縁膜320とが接合することで、半導体膜306とベース基板307とを貼り合わせることができる。絶縁膜314と絶縁膜320とを接合させた後、該接合をさらに強固にするため、400乃至600の熱処理を行うのが好ましい。

#### 【0098】

接合の形成はファン・デル・ワールス力を用いて行われているため、室温でも強固な接合が形成される。なお、上記接合は低温で行うことが可能であるため、ベース基板307は様々なものを用いることが可能である。例えばベース基板307としては、アルミノシリケートガラス、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板の他、石英基板、サファイア基板などの基板を用いることができる。さらにベース基板307として、シリコン、ガリウムヒ素、インジウムリンなどの半導体基板などを用いることができる。あるいは、ステンレス基板を含む金属基板をベース基板307として用いてもよい。

#### 【0099】

なお、ベース基板307は、その表面に絶縁膜314が必ずしも形成されていなくともよい。絶縁膜314が形成されていない場合でも、ベース基板307と絶縁膜320とを接合させることは可能である。ただし、ベース基板307の表面に絶縁膜314を形成しておくことで、ベース基板307から半導体膜306に、アルカリ金属やアルカリ土類金属などの不純物が入り込むのを防ぐことができる。

#### 【0100】

絶縁膜314を形成する場合、ベース基板307ではなく絶縁膜314が絶縁膜320と接合するので、ベース基板307として用いることができる基板の種類がさらに広がる。プラスチック等の可撓性を有する合成樹脂からなる基板は耐熱温度が一般的に低い傾向にあるが、作製工程における処理温度に耐え得るのであれば、絶縁膜314を形成する場合において、ベース基板307として用いることが可能である。プラスチック基板として、ポリエチレンテレフタレート(PET)に代表されるポリエチル、ポリエーテルスルホン(PES)、ポリエチレンナフタレート(PEN)、ポリカーボネート(PC)、ポリエーテルエーテルケトン(PEEK)、ポリスルホン(PSF)、ポリエーテルイミド(PEI)、ポリアリレート(PAR)、ポリブチレンテレフタレート(PBT)、ポリイミド、アクリロニトリルバジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

#### 【0101】

なお、半導体膜306をベース基板307上に貼り合わせる前に、絶縁膜320の表面を研磨してもよい。保持手段321が絶縁膜320に接触することで絶縁膜320の表面に傷が付いた場合でも、研磨によりその表面の平坦性を高めることができるので、接合の強度を確保することができる。

#### 【0102】

なお、MW-1を低温凝固剤として用いる場合、まず低温凝固剤が接着効果を有しない温度（例えば25度程度）において、マイクロニードルの先端に付着した低温凝固剤を、凸部303上の絶縁膜320に接触させる。次に、低温凝固剤が接着効果を有する温度（例えば5度程度）まで温度を下げる、低温凝固剤を凝固させることで、マイクロニードルと凸部303上の絶縁膜320とを固着させる。そして、保持手段321から引き離した半導体膜306を、ベース基板307上に貼り合わせた後、再び接着効果を有しない温度（例えば25度程度）まで低温凝固剤の温度を高めることで、マイクロニードルを半導体膜306から引き離すことができる。

10

20

30

40

50

**【0103】**

また図7(C)では、半導体膜306を形成するボンド基板300とは異なる結晶面方位を有するボンド基板から、半導体膜306と同様の手法を用いて半導体膜308を剥離し、ベース基板307上に貼り合わせる。

**【0104】**

半導体中における多数キャリアの移動度は、結晶面方位によって異なる。よって、形成する半導体素子に適した結晶面方位を有するボンド基板を、適宜選択して半導体膜306または半導体膜308を形成すればよい。例えば半導体膜306を用いてn型の半導体素子を形成するならば、{100}面を有する半導体膜306を形成することで、該半導体素子における多数キャリアの移動度を高めることができる。また、例えば半導体膜308を用いてp型の半導体素子を形成するならば、{110}面を有する半導体膜308を形成することで、該半導体素子における多数キャリアの移動度を高めることができる。そして、半導体素子としてトランジスタを形成するならば、チャネルの向きと結晶面方位とを考慮し、半導体膜306または半導体膜308の貼り合わせの方向を定めるようにする。

10

**【0105】**

なお、上述したように、ボンド基板300は、反りや撓みを有している場合や、端部に若干丸みを帯びている場合がある。また、ボンド基板300から半導体膜を剥離するために水素または希ガス、あるいは水素イオンまたは希ガスイオンを照射する際、ボンド基板300の端部において上記ガスまたはイオンの添加を十分に行うことができない場合もある。そのため、ボンド基板300の端部に位置する部分は、半導体膜を剥離させるのが難しく、ボンド基板をベース基板に貼り合わせた後にボンド基板を分離または劈開して半導体膜を形成する場合、半導体膜間の間隔が数mm～数cmとなってしまう。しかし、本発明では、ボンド基板300をベース基板307に貼り合わせる前に、ボンド基板300を分離または劈開させて半導体膜306と半導体膜308を形成している。よって、半導体膜306と半導体膜308をベース基板307上に貼り合わせる際、半導体膜306と半導体膜308の間隔を、数十μm程度に小さく抑えることができ、半導体膜306と半導体膜308の隙間をまたぐように半導体装置を作製することが容易となる。

20

**【0106】**

次に、半導体膜306および半導体膜308の表面を平坦化してもよい。平坦化は必ずしも必須ではないが、平坦化を行うことで、後に形成される半導体膜309および半導体膜310とゲート絶縁膜の界面の特性を向上させることができる。具体的に平坦化は、化学的機械的研磨(CMP: Chemical Mechanical Polishing)または液体ジェット研磨などにより、行うことができる。半導体膜306および半導体膜308の厚さは、上記平坦化により薄膜化される。上記平坦化は、エッティングにより形成された半導体膜309および半導体膜310に施してもよい。

30

**【0107】**

上記作製方法を経ることで、図8(A)に示すように、半導体膜306および半導体膜308をベース基板307上に形成することができる。図8(A)には、半導体膜306および半導体膜308の断面図に加えて、半導体膜306および半導体膜308の上面図も示す。図8(A)に示す断面図は、上面図の破線A-A'における断面に相当する。

40

**【0108】**

次に、図8(B)に示すように、半導体膜306と半導体膜308を部分的にエッティングすることで、半導体膜306から半導体膜309を、半導体膜308から半導体膜310を形成する。図8(B)には、半導体膜309および半導体膜310の断面図に加えて、半導体膜309および半導体膜310の上面図も示す。図8(B)に示す断面図は、上面図の破線A-A'における断面に相当する。半導体膜306および半導体膜308をさらにエッティングすることで、半導体膜306および半導体膜308の端部において接合の強度が不十分である領域を、除去することができる。

**【0109】**

なお、本実施の形態では、1つの半導体膜306をエッティングすることで1つの半導体膜

50

309を形成し、1つの半導体膜308をエッティングすることで1つの半導体膜310を形成しているが、本発明はこの構成に限定されない。例えば、1つの半導体膜306をエッティングすることで複数の半導体膜309を形成してもよいし、1つの半導体膜308をエッティングすることで複数の半導体膜310を形成してもよい。

#### 【0110】

なお、半導体膜309および半導体膜310、あるいはエッティングを行う前の半導体膜306および半導体膜308にエネルギーービームを照射して、結晶欠陥を補修してもよい。エネルギーービームは、半導体に選択的に吸収されるもの、例えばレーザ光を用いるのが望ましい。レーザ光は、エキシマレーザなどの気体レーザ、YAGレーザなどの固体レーザを光源として用いることができる。レーザ光の波長は、紫外光から近赤外光であることが好ましく、波長190nm～2000nmの領域のレーザ光を用いるのが望ましい。その他、ハロゲンランプ若しくはキセノンランプなどを用いたフラッシュランプアニールを、結晶欠陥の補修のために用いてもよい。

10

#### 【0111】

なお本実施の形態では、欠陥層302の形成により半導体膜306と半導体膜308とを、ボンド基板300からそれぞれ剥離するスマートカット法を用いる場合について示すが、ELTRAN(Epitaxial Layer Transfer)、誘電体分離法、PACE(Plasma Assisted Chemical Etching)法などの、他の貼り合わせ法を用いてもよい。

20

#### 【0112】

上記工程を経て形成された半導体膜309、半導体膜310を用い、図8(C)に示すようにトランジスタ311～313などの各種半導体素子を形成することができる。

#### 【0113】

なお、本実施の形態では、保持手段321を用いて複数の半導体膜306をボンド基板300から引き離した後、保持手段321から複数の半導体膜306をコレット305で選択しているが、本発明は構成に限定されない。保持手段321またはコレット305で、複数の半導体膜306を複数まとめてもしくは1つずつボンド基板300から引き離して平坦性の高い基板上に載置した後、該複数の半導体膜306を反転させてからコレット305で選択してベース基板上に貼り合わせてもよい。

30

#### 【0114】

本実施の形態の半導体装置の作製方法では、複数のボンド基板300を用いて1つのベース基板に複数の半導体膜を貼り合わせるので、大型のベース基板307に対しても高スループットで処理を行うことができる。また、半導体素子の有する極性に合わせて半導体膜の面方位を適宜選択することができるので、半導体素子の移動度を高めることができ、より高速駆動が可能な半導体装置を提供することができる。

30

#### 【0115】

また、本発明の半導体装置の作製方法の1つでは、ボンド基板300を複数箇所において分離または劈開することで複数の半導体膜306を形成し、該複数の半導体膜をベース基板上に貼り合わせることができるので、半導体装置における半導体素子の極性およびレイアウトに合わせて、複数の各半導体膜306を貼り合わせる位置を選択することができる。

40

#### 【0116】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

#### 【0117】

##### (実施の形態4)

本実施の形態では、本発明の製造装置の構成について説明する。

#### 【0118】

図9(A)に、本発明の製造装置の構成を一例として示す。図9(A)に示す製造装置は、ボンド基板901を載置するステージ902と、ベース基板903を載置するステージ904とを有する。なお図9(A)では、ボンド基板901とベース基板903とを、互

50

いに異なるステージに載置する例を示しているが、本発明はこの構成に限定されない。ボンド基板 901 とベース基板 903 とを同一のステージに載置することも可能である。

#### 【 0119 】

また図 9 (A) では、1 つのボンド基板 901 に対応するステージ 902 のみを示しているが、本発明はこの構成に限定されない。例えば本発明の製造装置は、1 つのボンド基板 901 に対応するステージ 902 を複数有していてもよいし、ステージ 902 上に複数のボンド基板 901 が載置できるようにしてもよい。

#### 【 0120 】

さらに図 9 (A) に示す製造装置は、ボンド基板 901 の分離または劈開により形成される半導体膜に固着し、なおかつ該半導体膜をベース基板 903 の所定の位置に貼り合わせるコレット 905 を有する。コレット 905 として、真空チャック、メカニカルチャックなどのチャック、先端に接着剤が付着したマイクロニードルなど、半導体膜の 1 つに選択的に固着させることができる手段を用いる。

10

#### 【 0121 】

また図 9 (A) に示す製造装置は、上記コレット 905 の位置を制御するコレット駆動部 906 と、ステージ 902、ステージ 904 の位置を制御するステージ駆動部 907 と、コレットの位置情報およびステージの位置情報に従って、コレット駆動部 906 とステージ駆動部 907 の動作を制御する CPU 908 とを少なくとも有する。

#### 【 0122 】

コレットの位置情報およびステージの位置情報は、ボンド基板 901 のどの位置に形成される半導体膜を、ベース基板 903 上のどの位置に貼り合わせるか、といった位置情報を元に作製することができる。なお、ボンド基板 901 の位置合わせまたはベース基板 903 の位置合わせを行うために、図 9 (A) に示す製造装置に、CCD (電荷結合素子) などの撮像素子を有するカメラを設けてもよい。

20

#### 【 0123 】

次に図 9 (B) に、レーザ光を用いて欠陥層の形成を行うことができるに製造装置の構成を、一例として示す。

#### 【 0124 】

図 9 (B) に示す製造装置は、図 9 (A) に示す製造装置と同様に、ボンド基板 901 を載置するステージ 902 と、ベース基板 903 を載置するステージ 904 と、コレット 905 と、コレット駆動部 906 と、ステージ駆動部 907 と、CPU 908 とを少なくとも有する。さらに図 9 (B) に示す製造装置は、レーザ光を発振するレーザ発振器 920 と、レーザ発振器 920 から出力されたレーザ光を加工する光学系 921 とを少なくとも有する。

30

#### 【 0125 】

レーザ発振器 920 から出力されたレーザ光は、光学系 921 において加工された後、ボンド基板 901 に照射される。ボンド基板 901 に照射されるレーザ光は、ボンド基板 901 において多光子吸収される高さのエネルギー密度を有している。CPU 908 は、欠陥層を形成する位置情報に従って、ステージ駆動部 907 の動作を制御し、ボンド基板 901 の所望の位置に上記レーザ光の焦点を合わせることができる。レーザ光の照射によりボンド基板 901 において欠陥層が形成された後、ボンド基板 901 に熱処理を施することで、欠陥層においてボンド基板 901 が分離または劈開し、複数の半導体膜を形成することができる。

40

#### 【 0126 】

レーザ発振器 920 に用いることができるレーザとして、例えばチタンサファイアレーザに代表されるフェムト秒レーザや、パルス幅をナノ秒以下まで短くすることができる YAG レーザまたは YVO<sub>4</sub> などの固体レーザなどを用いることができる。

#### 【 0127 】

図 10 に、図 9 (B) の製造装置が有する光学系 921 等の、より具体的な構成を示す。

図 10 では、光学系 921 としてガルバノミラー 923 と、f レンズ 924 を用いてい

50

る。レーザ発振器 920 から出力されたレーザ光は、複数のガルバノミラー 923 によってその向きが調整された後、焦点がボンド基板 901 の内部に位置するように f レンズ 924 によって集光される。

#### 【0128】

なお図 10 では、ステージ 902 上に、ボンド基板 901 が有する熱を吸収または発散させるためのヒートシンク 925 が設けられ、ボンド基板 901 がヒートシンク 925 上に載置されている例を示している。本発明の製造装置は、必ずしもヒートシンク 925 を設ける必要はない。ただし、コレット 905 としてマイクロニードルの先端に低温凝固剤を付着させたものを用いる場合において、ヒートシンク 925 を用いることでボンド基板 901 の温度を効率的に下げることができる。

10

#### 【0129】

図 9 (A)、図 9 (B) に示す本発明の製造装置は、複数のボンド基板 901 から形成される複数の半導体膜を、適宜ベース基板 903 上の所望の位置に移送し、貼り合わせることができる。

#### 【0130】

また図 9 (B) に示す製造装置は、ボンド基板 901 をステージ 902 に載置した状態で、レーザ光の照射と、コレット 905 による複数の半導体膜の選択との 2 つの工程を連続して行うことができる。よって、上記 2 つの工程においてボンド基板 901 の位置合わせを一度で済ませることができ、位置合わせが容易となる。

#### 【0131】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

20

#### 【実施例 1】

#### 【0132】

本実施例では、本発明の半導体装置が有する各種回路の具体的な構成について、インバータを例に挙げて説明する。インバータの回路図を図 11 (A) に、また図 11 (A) に示すインバータの上面図を図 11 (D) に、一例として示す。

#### 【0133】

図 11 (A) に示すインバータは、p チャネル型のトランジスタ 2001 と、n チャネル型のトランジスタ 2002 とを有する。トランジスタ 2001 とトランジスタ 2002 は直列に接続されている。具体的には、トランジスタ 2001 のドレインと、トランジスタ 2002 のドレインが接続されている。そして、トランジスタ 2001 のドレインおよびトランジスタ 2002 のドレインの電位は、出力端子 OUT に与えられる。

30

#### 【0134】

またトランジスタ 2001 のゲートとトランジスタ 2002 のゲートは接続されている。そして、入力端子 IN に入力された信号の電位は、トランジスタ 2001 のゲートおよびトランジスタ 2002 のゲートに与えられる。トランジスタ 2001 のソースにはハイレベルの電圧 VDD が与えられ、トランジスタ 2002 のソースにはローレベルの電圧 VSS が与えられる。

#### 【0135】

図 11 (A) に示すインバータを形成するために、本発明の作製方法では、図 11 (B) に示すように、結晶面方位が {100} である半導体膜 2030 と、結晶面方位が {110} である半導体膜 2031 とをベース基板上に貼り合わせる。次に、図 11 (C) に示すように、半導体膜 2030 を部分的にエッチングすることで半導体膜 2008 を形成し、また半導体膜 2031 を部分的にエッチングすることで半導体膜 2010 を形成する。

40

#### 【0136】

そして図 11 (D) に示すように、半導体膜 2008 を用いて n チャネル型のトランジスタ 2002 を形成し、半導体膜 2010 を用いて p チャネル型のトランジスタ 2001 を形成することで、インバータを形成することができる。

#### 【0137】

具体的に図 11 (D) に示すインバータでは、トランジスタ 2001 のドレインと、トランジ

50

ンジスタ2002のドレインは、配線2003を介して電気的に接続されている。そして配線2003は配線2004に接続されている。よって、トランジスタ2001のドレインおよびトランジスタ2002のドレインの電位は、配線2003および配線2004を介して、出力端子OUTの電位として後段の回路に与えられる。

**【0138】**

また図11(B)に示すインバータでは、配線2005の一部がトランジスタ2001のゲートおよびトランジスタ2002のゲートとして機能している。そして配線2005に与えられた電位が、入力端子INの電位としてトランジスタ2001のゲートおよびトランジスタ2002のゲートに与えられる。そしてトランジスタ2001のソースには、配線2006を介して電圧VDDが与えられ、トランジスタ2002のソースには、配線2007を介して電圧VSSが与えられている。10

**【0139】**

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。

**【実施例2】**

**【0140】**

本実施例では、本発明の半導体装置が有する各種回路の具体的な構成について、NAND回路を例に挙げて説明する。NAND回路の回路図を図12(A)に、また図12(A)に示すNAND回路の上面図を図12(D)に、一例として示す。

**【0141】**

図12(A)に示すNAND回路は、pチャネル型のトランジスタ3001と、pチャネル型のトランジスタ3002と、nチャネル型のトランジスタ3003と、nチャネル型のトランジスタ3004とを有する。トランジスタ3001と、トランジスタ3003と、トランジスタ3004とは、順に直列に接続されている。またトランジスタ3001と、トランジスタ3002とは並列に接続されている。20

**【0142】**

具体的にトランジスタ3001のソースとドレインは、一方にはハイレベルの電圧VDDが与えられ、他方は出力端子OUTに接続されている。トランジスタ3002のソースとドレインは、一方にはハイレベルの電圧VDDが与えられ、他方は出力端子OUTに接続されている。トランジスタ3004のソースとドレインは、一方にはローレベルの電圧VSSが与えられている。トランジスタ3003のソースとドレインは、一方は出力端子OUTに接続されている。そして、トランジスタ3003のソースとドレインの他方と、トランジスタ3004のソースとドレインの他方とが接続されている。トランジスタ3001のゲートと、トランジスタ3003のゲートには、入力端子IN1の電位が与えられる。またトランジスタ3002のゲートと、トランジスタ3004のゲートには、入力端子IN2の電位が与えられる。30

**【0143】**

図12(A)に示すNAND回路を形成するために、本発明の作製方法では、図12(B)に示すように、結晶面方位が{100}である半導体膜3030と、結晶面方位が{110}である半導体膜3031とをベース基板上に貼り合わせる。次に、図12(C)に示すように、半導体膜3030を部分的にエッティングすることで半導体膜3006を形成し、また半導体膜3031を部分的にエッティングすることで半導体膜3005を形成する。40

**【0144】**

そして図12(D)に示すように、半導体膜3006を用いてnチャネル型のトランジスタ3003とトランジスタ3004を形成し、半導体膜3005を用いてpチャネル型のトランジスタ3001とトランジスタ3002を形成することで、NAND回路を形成することができる。

**【0145】**

図12(D)に示すNAND回路では、並列に接続されているトランジスタ3001とトランジスタ3002とが、半導体膜3005を共有している。また直列に接続されている50

トランジスタ3003とトランジスタ3004とが、半導体膜3006を共有している。また配線3007の一部はトランジスタ3001のゲートおよびトランジスタ3003のゲートとして機能している。そして配線3007に与えられた電位が、入力端子IN1の電位としてトランジスタ3001のゲートおよびトランジスタ3003のゲートに与えられる。配線3008の一部はトランジスタ3002のゲートおよびトランジスタ3004のゲートとして機能している。そして配線3008に与えられた電位が、入力端子IN2の電位としてトランジスタ3002のゲートおよびトランジスタ3004のゲートに与えられる。

#### 【0146】

ハイレベルの電圧VDDは、配線3009を介してトランジスタ3001のソースとドレインの一方、およびトランジスタ3002のソースとドレインの一方に与えられる。またローレベルの電圧VSSは、配線3010を介してトランジスタ3004のソースとドレインの一方に与えられる。トランジスタ3001のソースとドレインの他方、トランジスタ3002のソースとドレインの他方、およびトランジスタ3003のソースとドレインの一方は、その電位が配線3011および配線3012を介して出力端子OUTの電位として後段の回路に与えられる。

#### 【0147】

本実施例は、上記実施の形態または実施例と適宜組み合わせて実施することが可能である。

#### 【実施例3】

#### 【0148】

本実施例では、本発明に用いられるトランジスタの具体的な作製方法の一例について説明する。

#### 【0149】

まず図13(A)に示すように、ベース基板601上に{100}面を有する半導体膜603、{110}面を有する半導体膜604を形成する。本実施例では、ベース基板601と、半導体膜603および半導体膜604との間に、絶縁膜602が設けられている場合を例示している。絶縁膜は複数の絶縁膜が積層されることで形成されてもよいし、単層の絶縁膜で形成されていてもよい。

#### 【0150】

半導体膜603と半導体膜604には、閾値電圧を制御するために不純物が添加されてもよい。例えば、p型を付与する不純物としてボロンを添加する場合、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度で添加すればよい。閾値電圧を制御するための不純物の添加は、ベース基板601上に半導体膜を貼り合わせる前に行ってもよいし、貼り合わせた後に行ってもよい。

#### 【0151】

また半導体膜603と半導体膜604を形成した後、ゲート絶縁膜606を形成する前に水素化処理を行ってもよい。水素化処理は、例えば、水素雰囲気中において350℃、2時間程度行う。

#### 【0152】

次に図13(B)に示すように、半導体膜603と半導体膜604を覆うように、ゲート絶縁膜606を形成する。ゲート絶縁膜606は、高密度プラズマ処理を行うことにより半導体膜603と半導体膜604の表面を酸化または窒化することで形成することができる。高密度プラズマ処理は、例えばHe、Ar、Kr、Xeなどの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体膜の表面を酸化または窒化することにより、1~20nm、望ましくは5~10nmの絶縁膜が半導体膜に接するように形成される。この5~10nmの絶縁膜をゲート絶縁膜606として

10

20

30

40

50

用いる。

**【0153】**

上述した高密度プラズマ処理による半導体膜の酸化または窒化は固相反応で進むため、ゲート絶縁膜606と半導体膜603および半導体膜604との界面準位密度をきわめて低くすることができる。また高密度プラズマ処理により半導体膜を直接酸化または窒化することで、形成される絶縁膜の厚さのばらつきを抑えることができる。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化が速く進んでしまうのを抑え、均一性がよく、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部または全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。10

**【0154】**

あるいは、半導体膜603と半導体膜604を熱酸化させることで、ゲート絶縁膜606を形成するようにしてもよい。また、プラズマCVD法またはスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウムまたは酸化タンタルを含む膜を、単層で、または積層させることで、ゲート絶縁膜606を形成してもよい。

**【0155】**

次に図13(C)に示すように、ゲート絶縁膜606上に導電膜を形成した後、該導電膜を所定の形状に加工(パターニング)することで、半導体膜603と半導体膜604の上方に電極607を形成する。導電膜の形成にはCVD法、スパッタリング法等を用いることができる。導電膜は、タンタル(Ta)、タンゲステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等を用いることができる。また上記金属を主成分とする合金を用いてもよいし、上記金属を含む化合物を用いてもよい。または、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成してもよい。20

**【0156】**

2つの導電膜を用いる場合、1層目に窒化タンタルまたはタンタル(Ta)を、2層目にタンゲステン(W)を用いることができる。上記例の他に、窒化タンゲステンとタンゲステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タンゲステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2つの導電膜の組み合わせとして、例えば、n型を付与する不純物がドーピングされた珪素とニッケルシリサイド、または、n型を付与する不純物がドーピングされたSiとWSix等も用いることができる。30

**【0157】**

また、本実施例では電極607を単層の導電膜で形成しているが、本実施例はこの構成に限定されない。電極607は積層された複数の導電膜で形成されていてもよい。3つ以上の導電膜を積層する多層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。40

**【0158】**

なお電極607を形成する際に用いるマスクとして、レジストの代わりに酸化珪素、酸化窒化珪素、窒化酸化珪素等をマスクとして用いてもよい。この場合、パターニングして酸化珪素、酸化窒化珪素、窒化酸化珪素等のマスクを形成する工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅を有する電極607を形成することができる。またマスクを用いずに、液滴吐出法を用いて選択的に電極607を形成してもよい。

**【0159】**

なお液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出または噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。50

## 【0160】

また電極 607 は、導電膜を形成後、ICP (Inductively Coupled Plasma)：誘導結合型プラズマ) エッチング法を用い、エッチング条件 (コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等) を適宜調節することにより、所望のテーパー形状を有するようにエッチングすることができる。また、テーパー形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガスまたは酸素を適宜用いることができる。

## 【0161】

次に図13(D)に示すように、電極 607 をマスクとして一導電型を付与する不純物元素を半導体膜 603、半導体膜 604 に添加する。本実施の形態では、半導体膜 604 に p 型を付与する不純物元素 (例えばボロン) を、半導体膜 603 に n 型を付与する不純物元素 (例えばリンまたはヒ素) を添加する。なお、p 型を付与する不純物元素を半導体膜 604 に添加する際、n 型の不純物が添加される半導体膜 603 はマスク等で覆い、p 型を付与する不純物元素の添加が選択的に行われるようになる。逆に n 型を付与する不純物元素を半導体膜 603 に添加する際、p 型の不純物が添加される半導体膜 604 はマスク等で覆い、n 型を付与する不純物元素の添加が選択的に行われるようになる。あるいは、先に半導体膜 603 および半導体膜 604 に p 型もしくは n 型のいずれか一方を付与する不純物元素を添加した後、一方の半導体膜のみに選択的により高い濃度で p 型もしくは n 型のうちの他方を付与する不純物元素のいずれか一方を添加するようにしてもよい。上記不純物の添加により、半導体膜 603 に不純物領域 608、半導体膜 604 に不純物領域 609 が形成される。

10

## 【0162】

次に、図14(A)に示すように、電極 607 の側面にサイドウォール 610 を形成する。サイドウォール 610 は、例えば、ゲート絶縁膜 606 および電極 607 を覆うように新たに絶縁膜を形成し、垂直方向を主体とした異方性エッチングにより、新たに形成された該絶縁膜を部分的にエッチングすることで、形成することができる。上記異方性エッチングにより、新たに形成された絶縁膜が部分的にエッチングされて、電極 607 の側面にサイドウォール 610 が形成される。なお上記異方性エッチングにより、ゲート絶縁膜 606 も部分的にエッチングしてもよい。サイドウォール 610 を形成するための絶縁膜は、プラズマ CVD 法やスパッタリング法等により、珪素膜、酸化珪素膜、酸化窒化珪素、窒化酸化珪素膜や、有機樹脂などの有機材料を含む膜を、単層または積層して形成することができる。本実施例では、膜厚 100 nm の酸化珪素膜をプラズマ CVD 法によって形成する。またエッチングガスとしては、CHF<sub>3</sub> とヘリウムの混合ガスを用いることができる。なお、サイドウォール 610 を形成する工程は、これらに限定されるものではない。

20

## 【0163】

次に図14(B)に示すように、電極 607 およびサイドウォール 610 をマスクとして、半導体膜 603、半導体膜 604 に一導電型を付与する不純物元素を添加する。なお、半導体膜 603、半導体膜 604 には、それぞれ先の工程で添加した不純物元素と同じ導電型の不純物元素をより高い濃度で添加する。なお、p 型を付与する不純物元素を半導体膜 604 に添加する際、n 型の不純物が添加される半導体膜 603 はマスク等で覆い、p 型を付与する不純物元素の添加が選択的に行われるようになる。逆に n 型を付与する不純物元素を半導体膜 603 に添加する際、p 型の不純物が添加される半導体膜 604 はマスク等で覆い、n 型を付与する不純物元素の添加が選択的に行われるようになる。

30

## 【0164】

上記不純物元素の添加により、半導体膜 603 に、一対の高濃度不純物領域 611 と、一対の低濃度不純物領域 612 と、チャネル形成領域 613 とが形成される。また上記不純物元素の添加により、半導体膜 604 に、一対の高濃度不純物領域 614 と、一対の低濃

40

50

度不純物領域 615 と、チャネル形成領域 616 とが形成される。高濃度不純物領域 611、614 はソースまたはドレインとして機能し、低濃度不純物領域 612、615 は LDD (Lightly Doped Drain) 領域として機能する。

#### 【0165】

なお、半導体膜 604 上に形成されたサイドウォール 610 と、半導体膜 603 上に形成されたサイドウォール 610 は、キャリアが移動する方向における幅が同じになるように形成してもよいが、該幅が異なるように形成してもよい。<sup>10</sup> p 型トランジスタとなる半導体膜 604 上のサイドウォール 610 の幅は、n 型トランジスタとなる半導体膜 603 上のサイドウォール 610 の幅よりも長くするとよい。なぜならば、p 型トランジスタにおいてソースおよびドレインを形成するために注入されるボロンは拡散しやすく、短チャネル効果を誘起しやすいためである。p 型トランジスタにおいて、サイドウォール 610 の幅より長くすることで、ソースおよびドレインに高濃度のボロンを添加することが可能となり、ソースおよびドレインを低抵抗化することができる。

#### 【0166】

次に、ソースおよびドレインをさらに低抵抗化するために、半導体膜 603、半導体膜 604 をシリサイド化することで、シリサイド層を形成してもよい。シリサイド化は、半導体膜に金属を接触させ、加熱処理、GRTA 法、LRTA 法等により、半導体膜中の珪素と金属とを反応させて行う。シリサイド層としては、コバルトシリサイド若しくはニッケルシリサイドを用いればよい。<sup>20</sup> 半導体膜 603、半導体膜 604 の厚さが薄い場合には、この領域の半導体膜 603、半導体膜 604 の底部までシリサイド反応を進めてよい。シリサイド化に用いる金属の材料として、チタン (Ti)、ニッケル (Ni)、タングステン (W)、モリブデン (Mo)、コバルト (Co)、ジルコニウム (Zr)、ハフニウム (Hf)、タンタル (Ta)、バナジウム (V)、ネオジム (Nb)、クロム (Cr)、白金 (Pt)、パラジウム (Pd) 等を用いることができる。また、レーザ照射やランプなどの光照射によってシリサイドを形成してもよい。

#### 【0167】

上述した一連の工程により、n チャネル型トランジスタ 617 と、p チャネル型トランジスタ 618 とが形成される。なお、p 型の半導体だと、多数キャリアである正孔の移動度が最も高くなる結晶の方位が {110} 面であり、n 型の半導体だと、多数キャリアである電子の移動度が最も高くなる結晶の方位が {100} 面である。よって本発明では、半導体素子の有する極性に合わせて半導体膜の面方位を適宜選択することができるので、半導体素子の移動度を高めることができ、より高速駆動が可能な半導体装置を提供することができる。<sup>30</sup>

#### 【0168】

次に図 14 (C) に示すように、トランジスタ 617、トランジスタ 618 を覆うように絶縁膜 619 を形成する。絶縁膜 619 は必ずしも設ける必要はないが、絶縁膜 619 を形成することで、アルカリ金属やアルカリ土類金属などの不純物がトランジスタ 617、トランジスタ 618 へ侵入するのを防ぐことができる。具体的に絶縁膜 619 として、窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化アルミニウム、酸化窒化珪素、酸化珪素などを用いるのが望ましい。本実施の形態では、膜厚 600 nm 程度の窒化酸化珪素膜を、絶縁膜 619 として用いる。この場合、上記水素化の工程は、該窒化酸化珪素膜を形成した後に行ってよい。<sup>40</sup>

#### 【0169】

次に、トランジスタ 617、トランジスタ 618 を覆うように、絶縁膜 619 上に絶縁膜 620 を形成する。絶縁膜 620 は、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low-k 材料)、シロキサン系樹脂、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、PSG (リングガラス)、BPSG (リンボロンガラス)、アルミナ等を用いることができる。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも 1 種を有していてよい。なお、これ

10

20

30

40

50

らの材料で形成される絶縁膜を複数積層させることで、絶縁膜 620 を形成してもよい。絶縁膜 620 は、その表面を C M P 法などにより平坦化させててもよい。

#### 【 0170 】

なお、半導体膜 603 と半導体膜 604 が、実施の形態 3 で示す方法でベース基板 601 上に貼り合わされている場合、半導体膜 603、半導体膜 604 と、ベース基板 601 との間に、互いに分離している絶縁膜がそれぞれ存在する。しかし、例えば上記ポリイミド、シロキサン系樹脂などを用いて塗布法で絶縁膜 620 を形成することで、分離して存在する上記絶縁膜間に段差が存在していても、絶縁膜 620 の表面の平坦性が損なわれるのを防ぐことができる。よって、上記絶縁膜間に段差が存在することで絶縁膜 620 の表面に凹凸が生じ、後に絶縁膜 620 上に形成される導電膜 621、導電膜 622 が部分的に極端に薄くなることや、最悪の場合、段切れを起こしてしまうことを防ぐことができる。したがって、塗布法で絶縁膜 620 を形成することにより、結果的に本発明を用いて形成される半導体装置の歩留まりおよび信頼性を高めることができる。10

#### 【 0171 】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成された Si-O-Si 結合を含む樹脂に相当する。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち、少なくとも 1 種を有していてもよい。

#### 【 0172 】

絶縁膜 620 の形成には、その材料に応じて、CVD 法、スパッタ法、SOG 法、スピニコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーティング、カーテンコーティング、ナイフコーティング等を用いることができる。20

#### 【 0173 】

次に図 15 に示すように、半導体膜 603 と半導体膜 604 がそれぞれ一部露出するよう に絶縁膜 619 および絶縁膜 620 にコンタクトホールを形成する。そして、該コンタクトホールを介して半導体膜 603 と半導体膜 604 に接する導電膜 621、622 を形成する。コンタクトホール開口時のエッチングに用いられるガスは、CHF<sub>3</sub> と He の混合ガスを用いたが、これに限定されるものではない。

#### 【 0174 】

導電膜 621、622 は、CVD 法やスパッタリング法等により形成することができる。30 具体的に導電膜 621、622 として、アルミニウム (Al)、タンゲステン (W)、チタン (Ti)、タンタル (Ta)、モリブデン (Mo)、ニッケル (Ni)、白金 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、マンガン (Mn)、ネオジム (Nd)、炭素 (C)、珪素 (Si) 等を用いることができる。また上記金属を主成分とする合金を用いてもよいし、上記金属を含む化合物を用いてもよい。導電膜 621、622 は、上記金属が用いられた膜を単層または複数積層させて形成することができる。

#### 【 0175 】

アルミニウムを主成分とする合金の例として、アルミニウムを主成分としニッケルを含むものが挙げられる。また、アルミニウムを主成分とし、ニッケルと、炭素または珪素の一方または両方とを含むものも例として挙げることができる。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 621、622 を形成する材料として最適である。特にアルミニウムシリコン (Al-Si) 膜は、導電膜 621、622 をパターニングで形成するとき、レジストベークにおけるヒロックの発生をアルミニウム膜に比べて防止することができる。また、珪素 (Si) の代わりに、アルミニウム膜に 0.5 重量% 程度の Cu を混入させてもよい。40

#### 【 0176 】

導電膜 621、622 は、例えば、バリア膜とアルミニウムシリコン (Al-Si) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (Al-Si) 膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデンまたはモリブデンの窒化物を用いて形成された膜である。アルミニウムシリ50

コン( A 1 - S i )膜を間に挟むようにバリア膜を形成すると、アルミニウムやアルミニウムシリコンのヒロックの発生をより防止することができる。また、還元性の高い元素であるチタンを用いてバリア膜を形成すると、半導体膜 6 0 3 と半導体膜 6 0 4 上に薄い酸化膜ができていたとしても、バリア膜に含まれるチタンがこの酸化膜を還元し、導電膜 6 2 1、6 2 2 と、半導体膜 6 0 3 および半導体膜 6 0 4 とがそれぞれよ好なコンタクトをとることができる。またバリア膜を複数積層するようにして用いてもよい。その場合、例えば、導電膜 6 2 1、6 2 2 を下層からチタン、窒化チタン、アルミニウムシリコン、チタン、窒化チタンの 5 層構造とすることができます。

## 【 0 1 7 7 】

なお、導電膜 6 2 1 は n チャネル型トランジスタ 6 1 7 の高濃度不純物領域 6 1 1 に接続されている。導電膜 6 2 2 は p チャネル型トランジスタ 6 1 8 の高濃度不純物領域 6 1 4 に接続されている。 10

## 【 0 1 7 8 】

図 1 5 下部には、n チャネル型トランジスタ 6 1 7 および p チャネル型トランジスタ 6 1 8 の上面図が示されている。ただし図 1 5 の上面図では導電膜 6 2 1、6 2 2、絶縁膜 6 1 9、絶縁膜 6 2 0 を省略した図を示している。

## 【 0 1 7 9 】

また本実施例では、n チャネル型トランジスタ 6 1 7 と p チャネル型トランジスタ 6 1 8 が、それぞれゲートとして機能する電極 6 0 7 を 1 つずつ有する場合を例示しているが、本発明はこの構成に限定されない。本発明で作製されるトランジスタは、ゲートとして機能する電極を複数有し、なおかつ該複数の電極が電気的に接続されているマルチゲート構造を有していてもよい。 20

## 【 0 1 8 0 】

また本発明で作製される半導体装置が有するトランジスタは、ゲートプレナー構造を有していてもよい。

## 【 0 1 8 1 】

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。 30

## 【 実施例 4 】

## 【 0 1 8 2 】

本実施例では、本発明の半導体装置の 1 つである R F タグの構成について説明する。図 1 6 ( A ) は本発明の R F タグの一形態を示すブロック図である。図 1 6 ( A ) において R F タグ 5 0 0 は、アンテナ 5 0 1 と、集積回路 5 0 2 とを有している。集積回路 5 0 2 は、電源回路 5 0 3 、復調回路 5 0 4 、変調回路 5 0 5 、レギュレータ 5 0 6 、制御回路 5 0 7 、メモリ 5 0 9 を有している。本発明によって得られる半導体膜を用いて、集積回路 5 0 2 を形成することができる。 30

## 【 0 1 8 3 】

質問器から電波が送られてくると、アンテナ 5 0 1 において該電波が交流電圧に変換される。電源回路 5 0 3 では、アンテナ 5 0 1 からの交流電圧を整流し、電源用の電圧を生成する。電源回路 5 0 3 において生成された電源用の電圧は、制御回路 5 0 7 とレギュレータ 5 0 6 に与えられる。レギュレータ 5 0 6 は、電源回路 5 0 3 からの電源用の電圧を安定化させるか、またはその高さを調整した後、集積回路 5 0 2 内の復調回路 5 0 4 、変調回路 5 0 5 、制御回路 5 0 7 またはメモリ 5 0 9 などの各種回路に供給する。 40

## 【 0 1 8 4 】

復調回路 5 0 4 は、アンテナ 5 0 1 が受信した交流信号を復調して、後段の制御回路 5 0 7 に出力する。制御回路 5 0 7 は復調回路 5 0 4 から入力された信号に従って演算処理を行い、別途信号を生成する。上記演算処理を行う際に、メモリ 5 0 9 は一次キャッシュメモリまたは二次キャッシュメモリとして用いることができる。また制御回路 5 0 7 は、復調回路 5 0 4 から入力された信号を解析し、質問器から送られてきた命令の内容に従って、メモリ 5 0 9 内の情報の出力、またはメモリ 5 0 9 内における命令の内容の保存を行う。制御回路 5 0 7 から出力される信号は符号化され、変調回路 5 0 5 に送られる。変調回 50

路 5 0 5 は該信号に従ってアンテナ 5 0 1 が受信している電波を変調する。アンテナ 5 0 1 において変調された電波は質問器で受け取られる。そして R F タグ 5 0 0 から出力された情報を知ることができる。

#### 【 0 1 8 5 】

このように R F タグ 5 0 0 と質問器との通信は、キャリア（搬送波）として用いる電波を変調することで行われる。キャリアは、1 2 5 k H z 、1 3 . 5 6 M H z 、9 5 0 M H z など規格により様々である。また変調の方式も規格により振幅変調、周波数変調、位相変調など様々な方式があるが、規格に即した変調方式であればどの変調方式を用いてもよい。

#### 【 0 1 8 6 】

信号の伝送方式は、キャリアの波長によって電磁結合方式、電磁誘導方式、マイクロ波方式など様々な種類に分類することができる。

#### 【 0 1 8 7 】

メモリ 5 0 9 は不揮発性メモリであっても揮発性メモリであってもどちらでもよい。メモリ 5 0 9 として、例えば S R A M 、D R A M 、フラッシュメモリ、E E P R O M 、F e R A M などを用いることができる。

#### 【 0 1 8 8 】

本実施例では、アンテナ 5 0 1 を有する R F タグ 5 0 0 の構成について説明しているが、本発明の R F タグは必ずしもアンテナを有していないともよい。また図 1 6 ( A ) に示した R F タグに、発振回路または二次電池を設けてもよい。

#### 【 0 1 8 9 】

また図 1 6 ( A ) では、アンテナを 1 つだけ有する R F タグの構成について説明したが、本発明はこの構成に限定されない。電力を受信するためのアンテナと、信号を受信するためのアンテナとの、2 つのアンテナを有していてもよい。アンテナが 1 つだと、例えば 9 5 0 M H z の電波で電力の供給と信号の伝送を両方行う場合、遠方まで大電力が伝送され、他の無線機器の受信妨害を起こす可能性がある。そのため、電力の供給は電波の周波数を下げる近距離にて行う方が望ましいが、この場合通信距離は必然的に短くなってしまう。しかしアンテナが 2 つあると、電力を供給する電波の周波数と、信号を送るための電波の周波数とを使い分けることができる。例えば電力を送る際は電波の周波数を 1 3 . 5 6 M H z として電磁誘導方式を用い、信号を送る際は電波の周波数を 9 5 0 M H z として電波方式を用いることができる。このように機能合わせてアンテナを使い分けることによって、電力の供給は近距離のみの通信とし、信号の伝送は遠距離も可能なものとすることができる。

#### 【 0 1 9 0 】

本発明の半導体装置の 1 つである R F タグは、絶縁表面を有する基板もしくは絶縁基板上に接合された単結晶半導体膜によって集積回路 5 0 2 が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。また、大型のベース基板に対しても高スループットで処理を行うことができ、コストを抑えることができる。R F タグ 1 つあたりの価格を抑えることが可能となる。

#### 【 0 1 9 1 】

本実施例は、上記実施の形態または実施例と適宜組み合わせて実施することが可能である。

#### 【 0 1 9 2 】

次に、本発明の半導体装置の 1 つである C P U ( C e n t r a l P r o c e s s i n g U n i t ) の構成について説明する。

#### 【 0 1 9 3 】

図 1 6 ( B ) に、本実施例の C P U の構成をブロック図で示す。図 1 6 ( B ) に示す C P U は、基板上に、演算回路 ( A L U : A r i t h m e t i c L o g i c U n i t ) 8 0 1 、演算回路用制御部 ( A L U C o n t r o l l e r ) 8 0 2 、命令解析部 ( I n s t r u c t i o n D e c o d e r ) 8 0 3 、割り込み制御部 ( I n t e r r u p t C

10

20

30

40

50

ontroller) 804、タイミング制御部(Timing Controller)805、レジスタ(Register)806、レジスタ制御部(Register Controller)807、バスインターフェース(Bus I/F)808、メモリ809、メモリ用インターフェース820を主に有している。メモリ809およびメモリ用インターフェース820は、別チップに設けてもよい。勿論、図16(B)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

#### 【0194】

バスインターフェース808を介してCPUに入力された命令は、命令解析部803においてデコードされた後、演算回路用制御部802、割り込み制御部804、レジスタ制御部807、タイミング制御部805に入力される。演算回路用制御部802、割り込み制御部804、レジスタ制御部807、タイミング制御部805は、デコードされた命令にもとづき、各種制御を行なう。具体的に演算回路用制御部802は、演算回路801の動作を制御するための信号を生成する。また、割り込み制御部804は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタ制御部807は、レジスタ806のアドレスを生成し、CPUの状態に応じてレジスタ806の読み出しや書き込みを行なう。

10

#### 【0195】

またタイミング制御部805は、演算回路801、演算回路用制御部802、命令解析部803、割り込み制御部804、レジスタ制御部807の動作のタイミングを制御する信号を生成する。例えばタイミング制御部805は、基準クロック信号をもとに、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

20

#### 【0196】

本発明の半導体装置の1つであるCPUは、絶縁表面を有する基板もしくは絶縁基板上に接合された単結晶半導体膜によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。また、大型のベース基板に対しても高スループットで処理を行うことができ、コストを抑えることができるので、CPU1つあたりの価格を抑えることが可能となる。

#### 【0197】

30

本実施例は、上記実施の形態または実施例と適宜組み合わせて実施することが可能である。

#### 【実施例5】

#### 【0198】

本実施例では、本発明で作製される半導体装置の1つである、アクティブマトリクス型の半導体表示装置の構成について説明する。

#### 【0199】

アクティブマトリクス型の発光装置は、各画素に表示素子に相当する発光素子が設けられている。発光素子は自ら発光するため視認性が高く、液晶表示装置で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。本実施例では、発光素子の1つである有機発光素子(OLED:Organic Light Emission Diode)を用いた発光装置について説明するが、本発明で作製される半導体表示装置は、他の発光素子を用いた発光装置であってもよい。

40

#### 【0200】

OLEDは、電場を加えることで発生するルミネッセンス(Electroluminescence)が得られる材料を含む層(以下、電界発光層と記す)と、陽極層と、陰極層とを有している。エレクトロルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明で作製される発光装置は、上述した発光のうちの、いずれか一方の発光を用いていてもよいし、または両方の発光を用いていてもよい。

50

**【0201】**

図17(A)に、本実施例の発光装置の断面図を示す。図17(A)に示す発光装置は、駆動回路に用いられるトランジスタ1601、トランジスタ1602と、画素に用いられる駆動用トランジスタ1604、スイッチング用トランジスタ1603とを素子基板1600上に有している。また図17(A)に示す発光装置は、素子基板1600上において、画素に発光素子1605を有している。

**【0202】**

発光素子1605は、画素電極1606と、電界発光層1607と、対向電極1608とを有している。画素電極1606と対向電極1608は、いずれか一方が陽極であり、他方が陰極である。

10

**【0203】**

陽極は、酸化珪素を含むインジウム錫酸化物(ITO)、インジウム錫酸化物(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)などの透光性酸化物導電材料を用いることができる。また陽極は、透光性酸化物導電材料の他に、例えば窒化チタン、窒化ジルコニウム、Ti、W、Ni、Pt、Cr、Ag、Al等の1つまたは複数からなる単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との三層構造等を用いることができる。ただし透光性酸化物導電材料以外の材料で陽極側から光を取り出す場合、光が透過する程度の膜厚(好ましくは、5nm~30nm程度)で形成する。

20

**【0204】**

なお、陽極として導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いることもできる。導電性組成物は、陽極となる導電膜のシート抵抗が10000 /以下、波長550nmにおける透光率が70%以上であることが好ましい。また、含まれる導電性高分子の抵抗率が0.1 · cm以下であることが好ましい。

**【0205】**

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば電子共役系導電性高分子として、ポリアニリンおよび/またはその誘導体、ポリピロールおよび/またはその誘導体、ポリチオフェンおよび/またはその誘導体、これらの2種以上の共重合体などがあげられる。

30

**【0206】**

共役導電性高分子の具体例としては、ポリピロール、ポリ(3-メチルピロール)、ポリ(3-ブチルピロール)、ポリ(3-オクチルピロール)、ポリ(3-デシルピロール)、ポリ(3,4-ジメチルピロール)、ポリ(3,4-ジブチルピロール)、ポリ(3-ヒドロキシピロール)、ポリ(3-メチル-4-ヒドロキシピロール)、ポリ(3-メトキシピロール)、ポリ(3-エトキシピロール)、ポリ(3-オクトキシピロール)、ポリ(3-カルボキシルピロール)、ポリ(3-メチル-4-カルボキシルピロール)、ポリN-メチルピロール、ポリチオフェン、ポリ(3-メチルチオフェン)、ポリ(3-ブチルチオフェン)、ポリ(3-オクチルチオフェン)、ポリ(3-デシルチオフェン)、ポリ(3-ドデシルチオフェン)、ポリ(3-メトキシチオフェン)、ポリ(3-エトキシチオフェン)、ポリ(3-オクトキシチオフェン)、ポリ(3-カルボキシルチオフェン)、ポリ(3-メチル-4-カルボキシルチオフェン)、ポリ(3,4-エチレンジオキシチオフェン)、ポリアニリン、ポリ(2-メチルアニリン)、ポリ(2-オクチルアニリン)、ポリ(2-イソブチルアニリン)、ポリ(3-イソブチルアニリン)、ポリ(2-アニリンスルホン酸)、ポリ(3-アニリンスルホン酸)等が挙げられる。

40

**【0207】**

上記導電性高分子を、単独で導電性組成物として陽極に使用してもよいし、導電性組成物の膜の厚さの均一性、膜強度等の膜特性を調整するために有機樹脂を添加して使用することができる。

**【0208】**

50

有機樹脂としては、導電性高分子と相溶または混合分散可能であれば熱硬化性樹脂であってもよく、熱可塑性樹脂であってもよく、光硬化性樹脂であってもよい。例えば、ポリエチレンテレフタレート、ポリブチレンテレフタレート、ポリエチレンナフタレート等のポリエステル系樹脂、ポリイミド、ポリアミドイミド等のポリイミド系樹脂、ポリアミド6、ポリアミド6,6、ポリアミド12、ポリアミド11等のポリアミド樹脂、ポリフッ化ビニリデン、ポリフッ化ビニル、ポリテトラフルオロエチレン、エチレンテトラフルオロエチレンコポリマー、ポリクロロトリフルオロエチレン等のフッ素樹脂、ポリビニルアルコール、ポリビニルエーテル、ポリビニルブチラール、ポリ酢酸ビニル、ポリ塩化ビニル等のビニル樹脂、エポキシ樹脂、キシレン樹脂、アラミド樹脂、ポリウレタン系樹脂、ポリウレア系樹脂、メラミン樹脂、フェノール系樹脂、ポリエーテル、アクリル系樹脂およびこれらの共重合体等が挙げられる。

#### 【0209】

さらに、導電性組成物の電気伝導度を調整するために、導電性組成物にアクセプタ性またはドナー性ドーパントをドーピングすることにより、共役導電性高分子の共役電子の酸化還元電位を変化させてもよい。

#### 【0210】

アクセプタ性ドーパントとしては、ハロゲン化合物、ルイス酸、プロトン酸、有機シアノ化合物、有機金属化合物等を使用することができる。ハロゲン化合物としては、塩素、臭素、ヨウ素、塩化ヨウ素、臭化ヨウ素、フッ化ヨウ素等が挙げられる。ルイス酸としては五フッ化燐、五フッ化ヒ素、五フッ化アンチモン、三フッ化硼素、三塩化硼素、三臭化硼素等が挙げられる。プロトン酸としては、塩酸、硫酸、硝酸、リン酸、ホウフッ化水素酸、フッ化水素酸、過塩素酸等の無機酸と、有機カルボン酸、有機スルホン酸等の有機酸を挙げることができる。有機カルボン酸および有機スルホン酸としては、前記カルボン酸化合物およびスルホン酸化合物を使用することができる。有機シアノ化合物としては、共役結合に二つ以上のシアノ基を含む化合物が使用できる。例えば、テトラシアノエチレン、テトラシアノエチレンオキサイド、テトラシアノベンゼン、テトラシアノキノジメタン、テトラシアノアザナフタレン等を挙げられる。

#### 【0211】

ドナー性ドーパントとしては、アルカリ金属、アルカリ土類金属、3級アミン化合物等を挙げることができる。

#### 【0212】

導電性組成物を、水または有機溶剤（アルコール系溶剤、ケトン系溶剤、エステル系溶剤、炭化水素系溶剤、芳香族系溶剤など）に溶解させて、湿式法により陽極となる薄膜を形成することができる。

#### 【0213】

導電性組成物を溶解する溶媒としては、特に限定することではなく、上記した導電性高分子および有機樹脂などの高分子樹脂化合物を溶解するものを用いればよく、例えば、水、メタノール、エタノール、プロピレンカーボネート、N-メチルピロリドン、ジメチルホルムアミド、ジメチルアセトアミド、シクロヘキサン、アセトン、メチルエチルケトン、メチルイソブチルケトン、トルエンなどの単独もしくは混合溶剤に溶解すればよい。

#### 【0214】

導電性組成物の成膜は上述のように溶媒に溶解した後、塗布法、コーティング法、液滴吐出法（インクジェット法ともいう）、印刷法等の湿式法を用いて成膜することができる。溶媒の乾燥は、熱処理を行ってもよいし、減圧下で行ってもよい。また、有機樹脂が熱硬化性の場合は、さらに加熱処理を行い、光硬化性の場合は、光照射処理を行えばよい。

#### 【0215】

陰極は、一般的に仕事関数の小さい金属、合金、電気伝導性化合物、およびこれらの混合物などを用いることができる。具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金（Mg：Ag、Al：Liなど）の他、YbやEr等の希土類金属を用いて形成することもできる。また、電子注入性

10

20

30

40

50

の高い材料を含む層を陰極に接するように形成することで、アルミニウムや、透光性酸化物導電材料等を用いた、通常の導電膜も用いることができる。

#### 【0216】

電界発光層 1607 は、単数の層で構成されていても、複数の層が積層されるように構成されてもどちらでもよく、各層には有機材料のみならず無機材料が含まれていてもよい。電界発光層 1607 におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。複数の層で構成されている場合、画素電極 1606 が陰極だとすると、画素電極 1606 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお画素電極 1606 が陽極に相当する場合は、電界発光層 1607 を、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層して形成する。10

#### 【0217】

また電界発光層 1607 は、高分子系有機化合物、中分子系有機化合物（昇華性を有さず、連鎖する分子の長さが 10 μm 以下の有機化合物）、低分子系有機化合物、無機化合物のいずれを用いていても、液滴吐出法で形成することが可能である。また中分子系有機化合物、低分子系有機化合物、無機化合物は蒸着法で形成してもよい。

#### 【0218】

なお、スイッチング用トランジスタ 1603、駆動用トランジスタ 1604 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していてもよい。20

#### 【0219】

次に図 17 (B) に、本実施例の液晶表示装置の断面図を示す。図 17 (B) に示す液晶表示装置は、駆動回路に用いられるトランジスタ 1611、トランジスタ 1612 と、画素においてスイッチング素子として機能するトランジスタ 1613 とを素子基板 1610 上に有している。また図 17 (B) に示す液晶表示装置は、素子基板 1610 と対向基板 1614 の間に液晶セル 1615 を有している。

#### 【0220】

液晶セル 1615 は、素子基板 1610 に形成された画素電極 1616 と、対向基板 1614 に形成された対向電極 1617 と、画素電極 1616 と対向電極 1617 の間に設けられた液晶 1618 とを有している。画素電極 1616 には、例えば酸化珪素を含む酸化インジウムスズ (ITO)、酸化インジウムスズ (ITSO)、酸化亜鉛 (ZnO)、酸化インジウム亜鉛 (IZO)、ガリウムを添加した酸化亜鉛 (GZO) などを用いることができる。30

#### 【0221】

本実施例は、上記実施の形態または実施例と適宜組み合わせて実施することが可能である。

#### 【実施例 6】

#### 【0222】

本実施例では、本発明で作製される半導体表示装置の全体的な構成について説明する。図 18 に、本発明で作製される半導体表示装置のブロック図を、一例として示す。40

#### 【0223】

図 18 に示す半導体表示装置は、画素を複数有する画素部 400 と、各画素をラインごとに選択する走査線駆動回路 410 と、選択されたラインの画素へのビデオ信号の入力を制御する信号線駆動回路 420 とを有する。

#### 【0224】

図 18 において信号線駆動回路 420 は、シフトレジスタ 421、第 1 のラッチ 422、第 2 のラッチ 423、DA (Digital to Analog) 変換回路 424 を有している。シフトレジスタ 421 には、クロック信号 S - CLK、スタートパルス信号 S - SP が入力される。シフトレジスタ 421 は、これらクロック信号 S - CLK およびスタートパルス信号 S - SP に従って、パルスが順次シフトするタイミング信号を生成し、50

第1のラッチ422に出力する。タイミング信号のパルスの出現する順序は、走査方向切り替え信号に従って切り替えるようにしてもよい。

#### 【0225】

第1のラッチ422にタイミング信号が入力されると、該タイミング信号のパルスに従つて、ビデオ信号が順に第1のラッチ422に書き込まれ、保持される。なお、第1のラッチ422が有する複数の記憶回路に順にビデオ信号を書き込んでもよいが、第1のラッチ422が有する複数の記憶回路をいくつかのグループに分け、該グループごとに並行してビデオ信号を入力する、いわゆる分割駆動を行ってもよい。なおこのときのグループ数を分割数と呼ぶ。例えば第1のラッチ422が有する複数の記憶回路を4つのグループに分けた場合、4分割で分割駆動することができる。

10

#### 【0226】

第1のラッチ422の全ての記憶回路への、ビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた時間をライン期間に含むことがある。

#### 【0227】

1ライン期間が終了すると、第2のラッチ423に入力されるラッチ信号S-LSのパルスに従つて、第1のラッチ422に保持されているビデオ信号が、第2のラッチ423に一斉に書き込まれ、保持される。ビデオ信号を第2のラッチ423に送出し終えた第1のラッチ422には、再びシフトレジスタ421からのタイミング信号に従つて、次のビデオ信号の書き込みが順次行われる。この2順目の1ライン期間中には、第2のラッチ423に書き込まれ、保持されているビデオ信号が、DA変換回路424に入力される。

20

#### 【0228】

そしてDA変換回路424は、入力されたデジタルのビデオ信号をアナログのビデオ信号に変換し、信号線を介して画素部400内の各画素に入力する。

#### 【0229】

なお信号線駆動回路420は、シフトレジスタ421の代わりに、パルスが順次シフトする信号を出力することができる別の回路を用いてもよい。

#### 【0230】

なお図18ではDA変換回路424の後段に画素部400が直接接続されているが、本発明はこの構成に限定されない。画素部400の前段に、DA変換回路424から出力されたビデオ信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えば波形を整形することができるバッファなどが挙げられる。

30

#### 【0231】

次に、走査線駆動回路410の動作について説明する。本発明で作製される半導体表示装置では、画素部400の各画素に走査線が複数設けられている。走査線駆動回路410は選択信号を生成し、該選択信号を複数の各走査線に入力することで、画素をラインごとに選択する。選択信号により画素が選択されると、走査線の1つにゲートが接続されたトランジスタがオンになり、画素へのビデオ信号の入力が行われる。

#### 【0232】

本発明では、形成される複数の半導体膜間の間隔を小さく抑えることができるので、画素部400、走査線駆動回路410、信号線駆動回路420を全て同じベース基板に形成することができる。

40

#### 【0233】

本実施例は、上記実施の形態または実施例と適宜組み合わせて実施することが可能である。

#### 【実施例7】

#### 【0234】

本実施例では、本発明で作製された半導体表示装置の外観について、図19を用いて説明する。図19(A)は、ベース基板上に形成されたトランジスタおよび発光素子を、ベース基板と封止用基板の間にシール材で封止したパネルの上面図であり、図19(B)は、

50

図19(A)のA-A'における断面図に相当する。

【0235】

ベース基板4001上に設けられた画素部4002と、信号線駆動回路4003と、走査線駆動回路4004とを囲むように、シール材4020が設けられている。また画素部4002、信号線駆動回路4003および走査線駆動回路4004の上に、封止用基板4006が設けられている。よって画素部4002、信号線駆動回路4003および走査線駆動回路4004は、ベース基板4001と封止用基板4006の間ににおいて、シール材4020により、充填材4007と共に密封されている。

【0236】

またベース基板4001上に設けられた画素部4002、信号線駆動回路4003および走査線駆動回路4004は、それぞれトランジスタを複数有している。図19(B)では、信号線駆動回路4003に含まれるトランジスタ4008と、画素部4002に含まれる駆動用トランジスタ4009およびスイッチング用トランジスタ4010とを例示している。

10

【0237】

また発光素子4011は、駆動用トランジスタ4009のソース領域またはドレイン領域と接続されている配線4017の一部を、その画素電極として用いている。また発光素子4011は、画素電極の他に対向電極4012と電界発光層4013を有している。なお発光素子4011の構成は、本実施例に示した構成に限定されない。発光素子4011から取り出す光の方向や、駆動用トランジスタ4009の極性などに合わせて、発光素子4011の構成は適宜変えることができる。

20

【0238】

また信号線駆動回路4003、走査線駆動回路4004または画素部4002に与えられる各種信号および電圧は、図19(B)に示す断面図では図示されていないが、引き出し配線4014および4015を介して、接続端子4016から供給されている。

【0239】

本実施例では、接続端子4016が、発光素子4011が有する対向電極4012と同じ導電膜から形成されている。また、引き出し配線4014は、配線4017と同じ導電膜から形成されている。また引き出し配線4015は、駆動用トランジスタ4009、スイッチング用トランジスタ4010、トランジスタ4008がそれぞれ有するゲート電極と、同じ導電膜から形成されている。

30

【0240】

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電気的に接続されている。

【0241】

なお、封止用基板4006として、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。ただし、発光素子4011からの光の取り出し方向に位置する封止用基板4006は、透光性を有していなければならない。よって封止用基板4006は、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いることが望ましい。

40

【0242】

また、充填材4007としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができる。本実施例では充填材4007として窒素を用いる例を示している。

【0243】

本実施例は、上記実施の形態または実施例と適宜組み合わせて実施することが可能である。

【実施例8】

【0244】

本発明では、より画面サイズの大きい半導体表示装置を低コストで作製することができる

50

。よって、本発明で作製された半導体表示装置は、表示装置、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることが好ましい。その他に、本発明で作製された半導体装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機または電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、などが挙げられる。これら電子機器の具体例を図20に示す。

**【0245】**

図20(A)は表示装置であり、筐体5001、表示部5002、スピーカー部5003等を含む。本発明で作製された半導体表示装置は、表示部5002に用いることができる。なお、表示装置には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。また本発明で作製された半導体装置を、信号処理用の回路として用いてもよい。

10

**【0246】**

図20(B)はノート型パーソナルコンピュータであり、本体5201、筐体5202、表示部5203、キーボード5204、マウス5205等を含む。本発明で作製された半導体表示装置は、表示部5203に用いることができる。また本発明で作製された半導体装置を、信号処理用の回路として用いてもよい。

20

**【0247】**

図20(C)は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体5401、筐体5402、表示部5403、記録媒体(DVD等)読み込み部5404、操作キー5405、スピーカー部5406等を含む。記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明で作製された半導体表示装置は、表示部5403に用いることができる。また本発明で作製された半導体装置を、信号処理用の回路として用いてもよい。

20

**【0248】**

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

**【0249】**

30

本実施例は、上記実施の形態または上記実施例と適宜組み合わせて実施することができる。

**【図面の簡単な説明】**

**【0250】**

【図1】本発明の半導体装置の作製方法を示す図。

40

【図2】本発明の半導体装置の作製方法を示す図。

【図3】本発明の半導体装置の作製方法を示す図。

【図4】複数のボンド基板からそれぞれ形成された半導体膜をベース基板上に貼り合っている様子を示す図。

【図5】本発明の半導体装置の作製方法を示す図。

40

【図6】本発明の半導体装置の作製方法を示す図。

【図7】本発明の半導体装置の作製方法を示す図。

【図8】本発明の半導体装置の作製方法を示す図。

【図9】本発明の半導体装置の製造装置の構成を示す図。

【図10】本発明の半導体装置の製造装置の構成を示す図。

【図11】本発明の半導体装置の作製方法を用いて形成されるインバータの構成を示す図。

【図12】本発明の半導体装置の作製方法を用いて形成されるNAND回路の構成を示す図。

【図13】本発明の半導体装置の作製方法を示す図。

50

【図14】本発明の半導体装置の作製方法を示す図。

【図15】本発明の半導体装置の作製方法を示す図。

【図16】本発明の作製方法を用いて形成される半導体装置の構成を示す図。

【図17】本発明の作製方法を用いて形成される半導体装置の構成を示す図。

【図18】本発明の作製方法を用いて形成される半導体装置の構成を示す図。

【図19】本発明の作製方法を用いて形成される半導体装置の構成を示す図。

【図20】本発明の作製方法を用いて形成される半導体装置を用いた電子機器の図。

【符号の説明】

【0251】

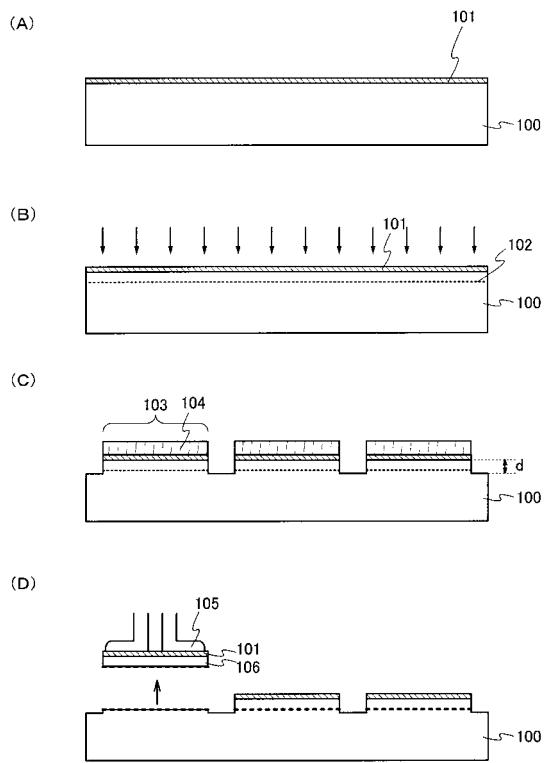
100	ボンド基板	10
101	絶縁膜	
102	欠陥層	
103	凸部	
104	マスク	
105	コレット	
106	半導体膜	
107	ベース基板	
108	半導体膜	
109	半導体膜	
110	半導体膜	20
111	トランジスタ	
114	絶縁膜	
160	ボンド基板	
161	ボンド基板	
162	ベース基板	
163	半導体膜	
164	半導体膜	
200	ボンド基板	
201	絶縁膜	
202	欠陥層	30
205	コレット	
206	半導体膜	
210	マスク	
211	欠陥層	
300	ボンド基板	
301	絶縁膜	
302	欠陥層	
303	凸部	
304	マスク	
305	コレット	40
306	半導体膜	
307	ベース基板	
308	半導体膜	
309	半導体膜	
310	半導体膜	
311	トランジスタ	
314	絶縁膜	
320	絶縁膜	
321	保持手段	
400	画素部	50

4 1 0	走査線駆動回路	
4 2 0	信号線駆動回路	
4 2 1	シフトレジスタ	
4 2 2	ラッチ	
4 2 3	ラッチ	
4 2 4	D A 変換回路	
5 0 0	R F タグ	
5 0 1	アンテナ	
5 0 2	集積回路	10
5 0 3	電源回路	
5 0 4	復調回路	
5 0 5	変調回路	
5 0 6	レギュレータ	
5 0 7	制御回路	
5 0 9	メモリ	
6 0 1	ベース基板	
6 0 2	絶縁膜	
6 0 3	半導体膜	
6 0 4	半導体膜	
6 0 6	ゲート絶縁膜	20
6 0 7	電極	
6 0 8	不純物領域	
6 0 9	不純物領域	
6 1 0	サイドウォール	
6 1 1	高濃度不純物領域	
6 1 2	低濃度不純物領域	
6 1 3	チャネル形成領域	
6 1 4	高濃度不純物領域	
6 1 5	低濃度不純物領域	
6 1 6	チャネル形成領域	30
6 1 7	トランジスタ	
6 1 8	トランジスタ	
6 1 9	絶縁膜	
6 2 0	絶縁膜	
6 2 1	導電膜	
6 2 2	導電膜	
8 0 1	演算回路	
8 0 2	演算回路用制御部	
8 0 3	命令解析部	
8 0 4	制御部	40
8 0 5	タイミング制御部	
8 0 6	レジスタ	
8 0 7	レジスタ制御部	
8 0 8	バスインターフェース	
8 0 9	メモリ	
8 2 0	メモリ用インターフェース	
9 0 1	ボンド基板	
9 0 2	ステージ	
9 0 3	ベース基板	
9 0 4	ステージ	50

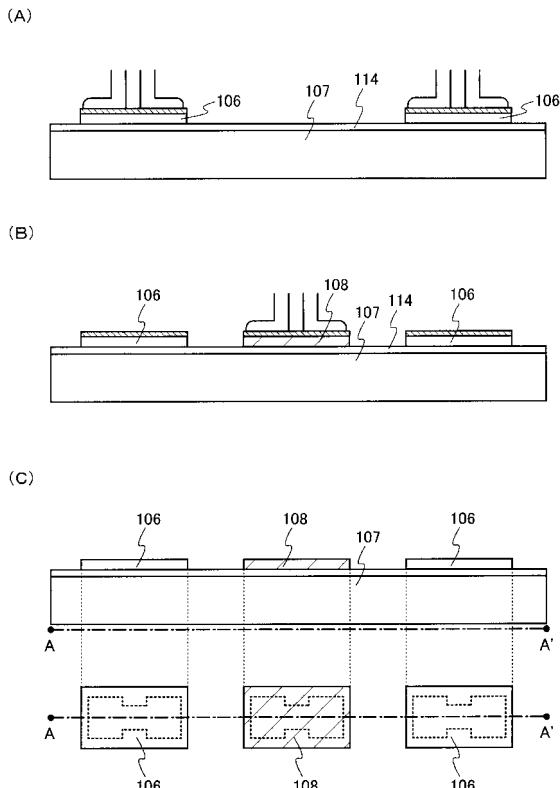
9 0 5	コレット	
9 0 6	コレット駆動部	
9 0 7	ステージ駆動部	
9 0 8	C P U	
9 2 0	レーザ発振器	
9 2 1	光学系	
9 2 3	ガルバノミラー	
9 2 4	f レンズ	
9 2 5	ヒートシンク	
1 6 0 0	素子基板	10
1 6 0 1	トランジスタ	
1 6 0 2	トランジスタ	
1 6 0 3	スイッチング用トランジスタ	
1 6 0 4	駆動用トランジスタ	
1 6 0 5	発光素子	
1 6 0 6	画素電極	
1 6 0 7	電界発光層	
1 6 0 8	対向電極	
1 6 1 0	素子基板	
1 6 1 1	トランジスタ	20
1 6 1 2	トランジスタ	
1 6 1 3	トランジスタ	
1 6 1 4	対向基板	
1 6 1 5	液晶セル	
1 6 1 6	画素電極	
1 6 1 7	対向電極	
1 6 1 8	液晶	
2 0 0 1	トランジスタ	
2 0 0 2	トランジスタ	
2 0 0 3	配線	30
2 0 0 4	配線	
2 0 0 5	配線	
2 0 0 6	配線	
2 0 0 7	配線	
2 0 0 8	半導体膜	
2 0 1 0	半導体膜	
2 0 3 0	半導体膜	
2 0 3 1	半導体膜	
3 0 0 1	トランジスタ	40
3 0 0 2	トランジスタ	
3 0 0 3	トランジスタ	
3 0 0 4	トランジスタ	
3 0 0 5	半導体膜	
3 0 0 6	半導体膜	
3 0 0 7	配線	
3 0 0 8	配線	
3 0 0 9	配線	
3 0 1 0	配線	
3 0 1 1	配線	
3 0 1 2	配線	50

3 0 3 0	半導体膜	
3 0 3 1	半導体膜	
4 0 0 1	ベース基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 6	封止用基板	
4 0 0 7	充填材	
4 0 0 8	トランジスタ	
4 0 0 9	駆動用トランジスタ	10
4 0 1 0	スイッチング用トランジスタ	
4 0 1 1	発光素子	
4 0 1 2	対向電極	
4 0 1 3	電界発光層	
4 0 1 4	配線	
4 0 1 5	配線	
4 0 1 6	接続端子	
4 0 1 7	配線	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	20
4 0 2 0	シール材	
5 0 0 1	筐体	
5 0 0 2	表示部	
5 0 0 3	スピーカー部	
5 2 0 1	本体	
5 2 0 2	筐体	
5 2 0 3	表示部	
5 2 0 4	キー ボード	
5 2 0 5	マウス	
5 4 0 1	本体	30
5 4 0 2	筐体	
5 4 0 3	表示部	
5 4 0 4	部	
5 4 0 5	操作キー	
5 4 0 6	スピーカー部	

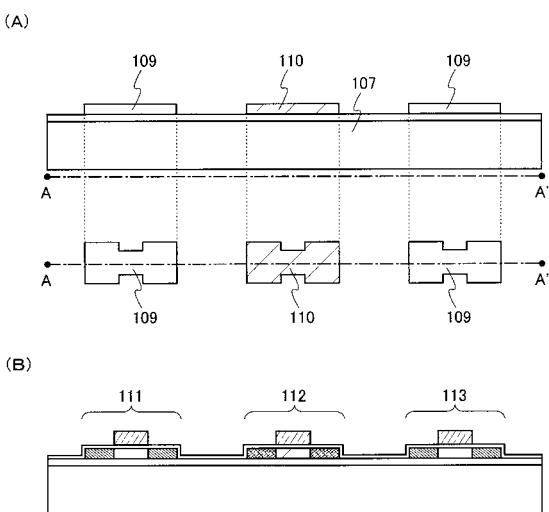
【図1】



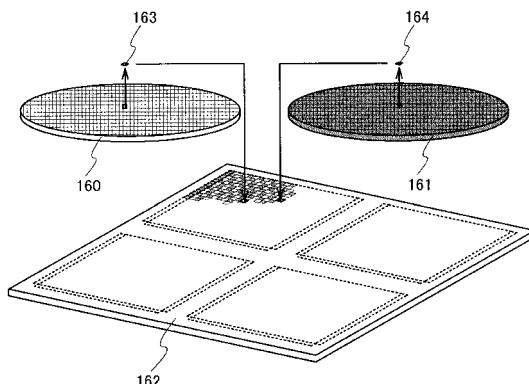
【図2】



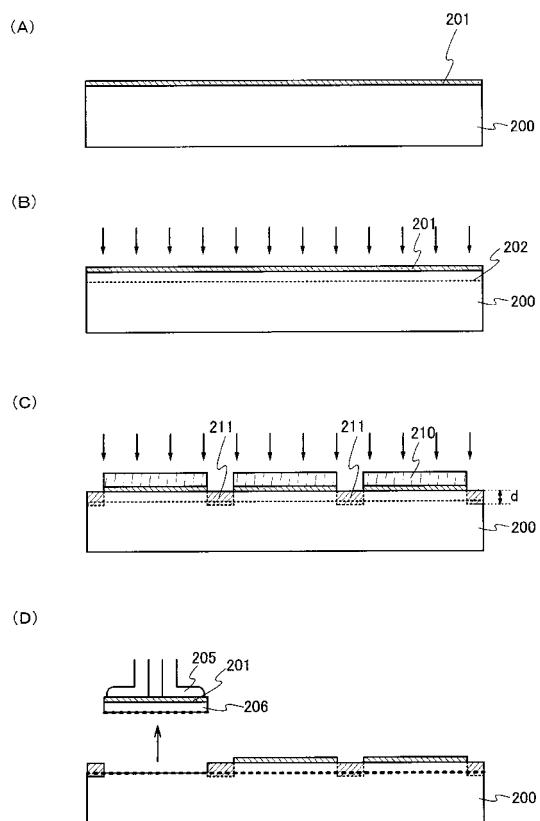
【図3】



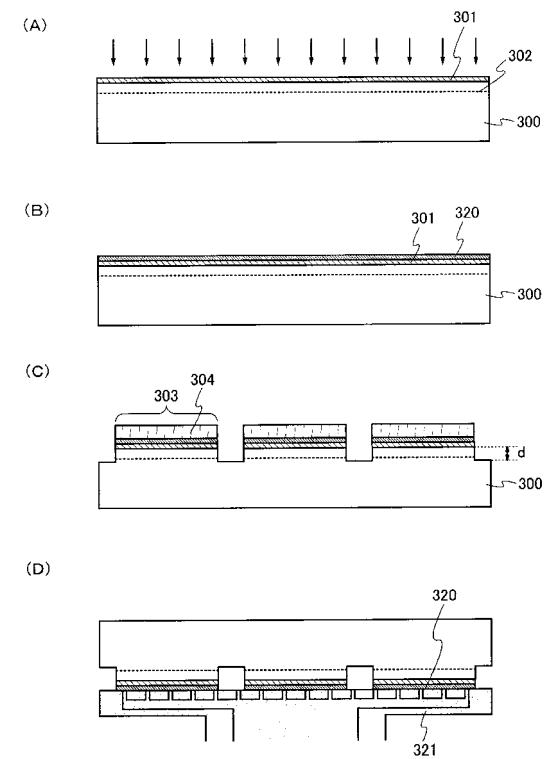
【図4】



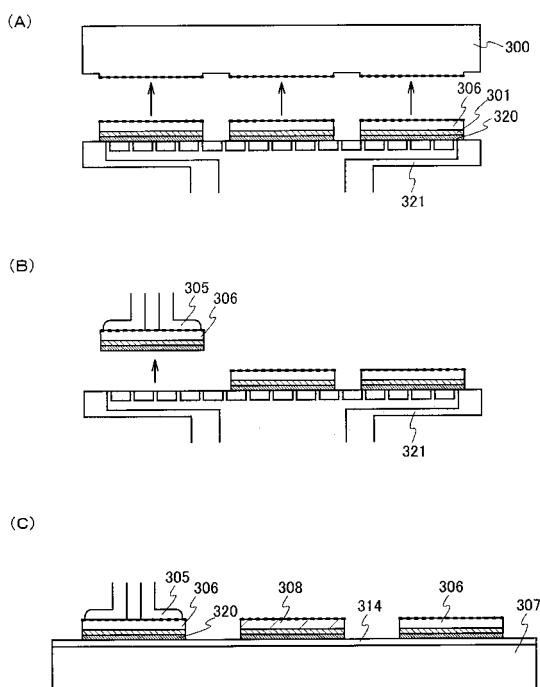
【図5】



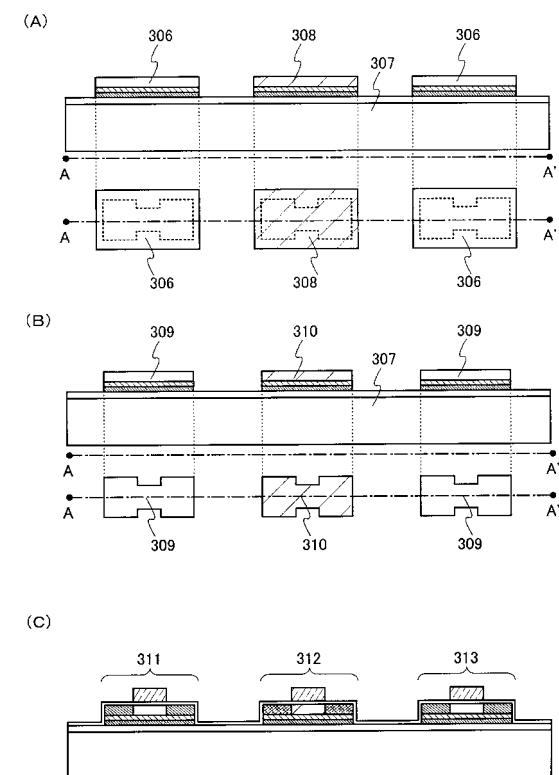
【図6】



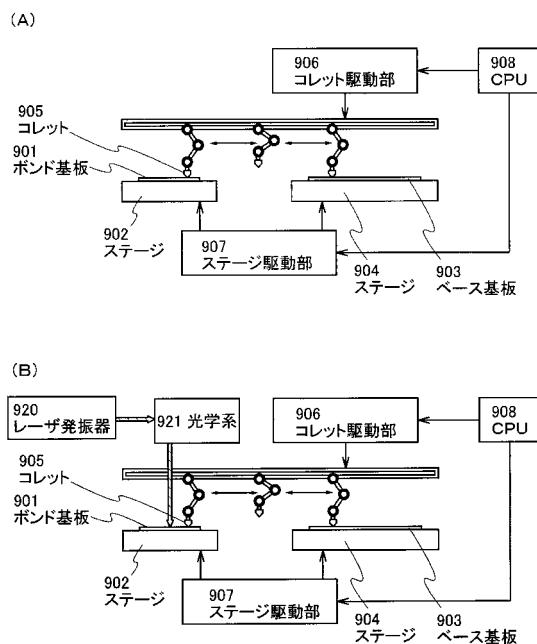
【図7】



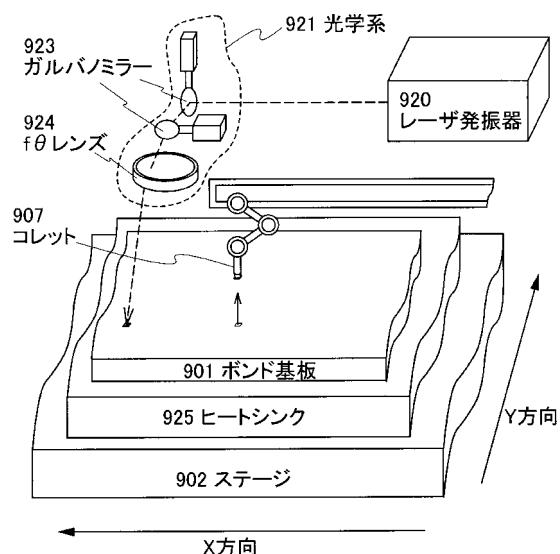
【図8】



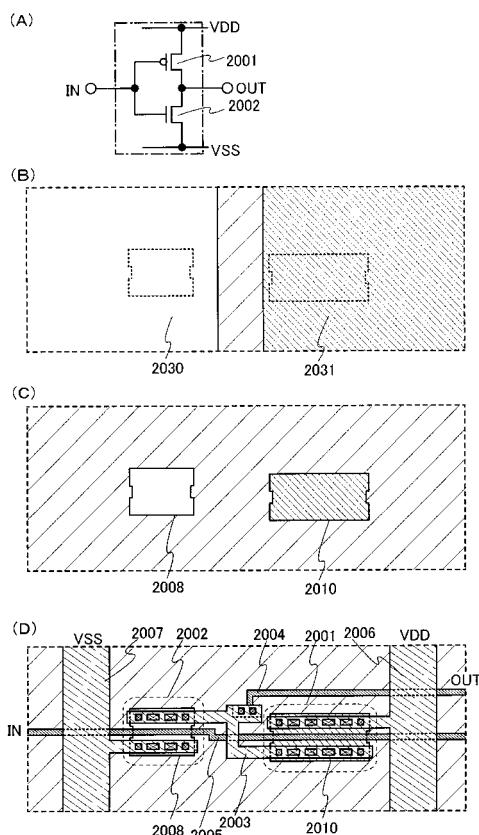
【図9】



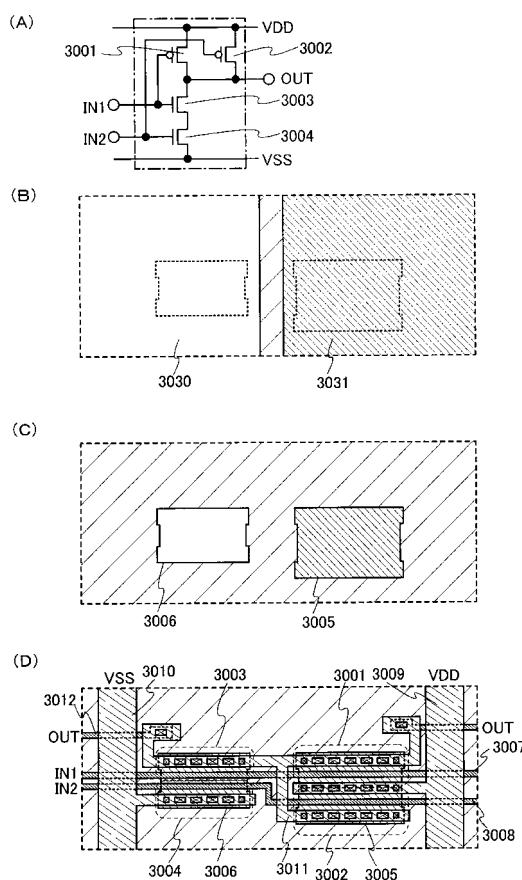
【図10】



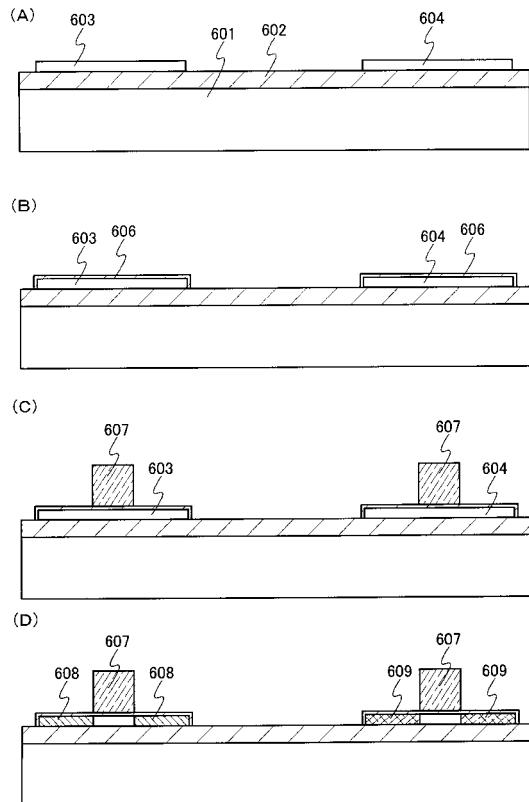
【図11】



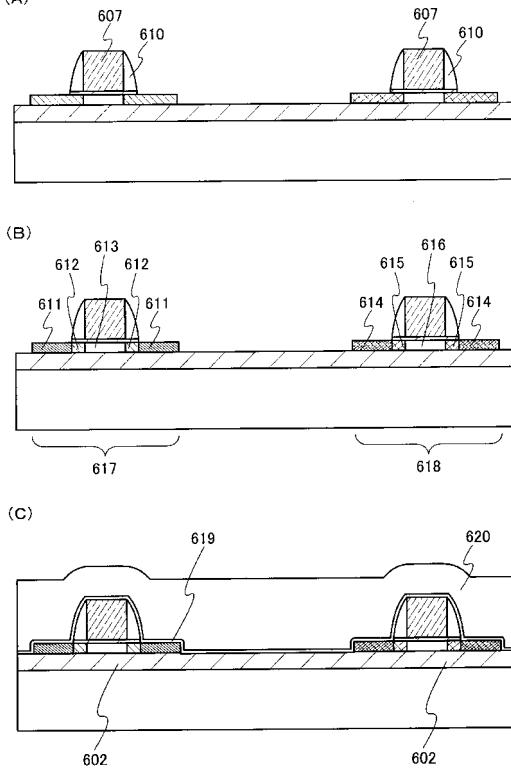
【図12】



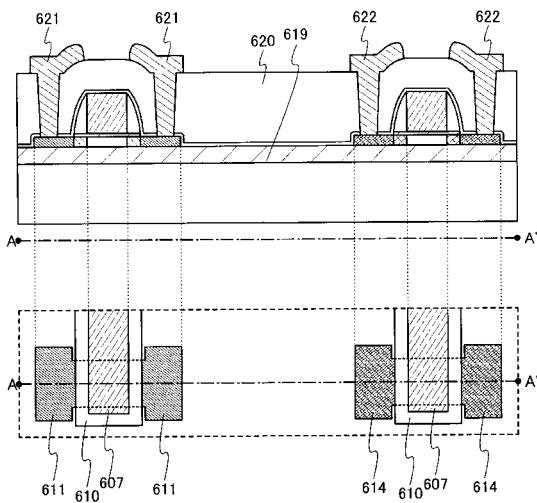
【図13】



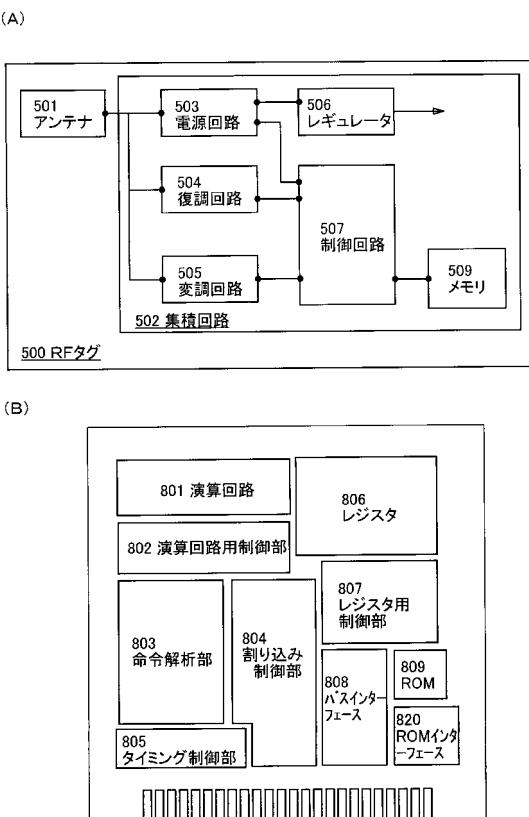
【図14】



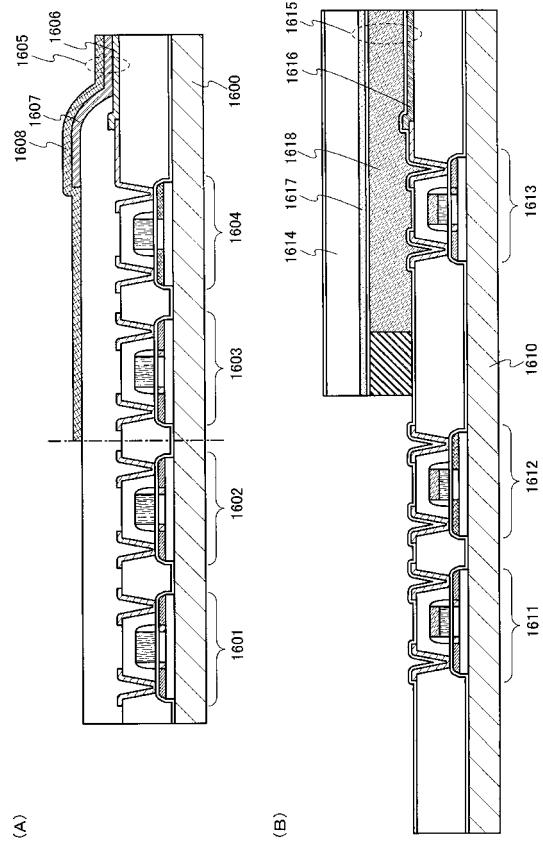
【図15】



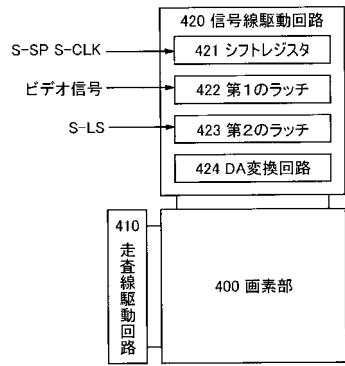
【図16】



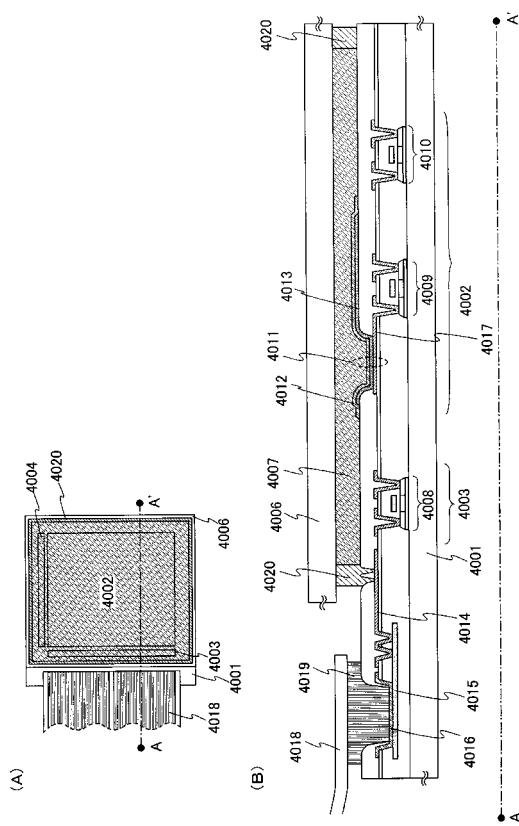
【図17】



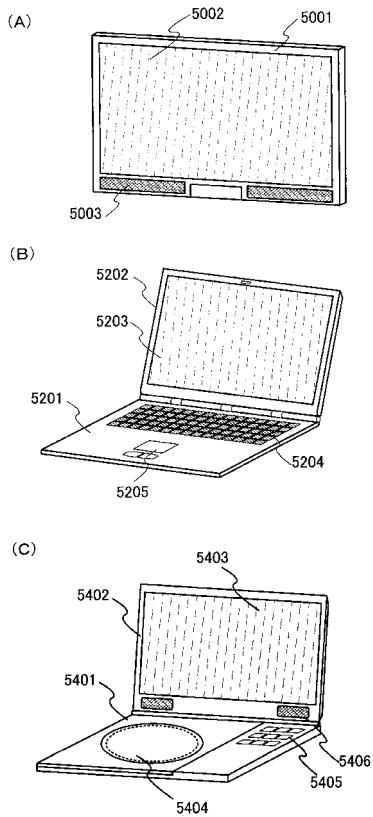
【図18】



【図19】



【図20】



---

フロントページの続き

(56)参考文献 特開2006-040911(JP,A)  
特開2006-041430(JP,A)  
特表2005-539259(JP,A)  
特開平11-074208(JP,A)  
特開平11-045862(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 02  
H 01 L 21 / 336  
H 01 L 21 / 76  
H 01 L 27 / 12  
H 01 L 29 / 786