

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4439154号
(P4439154)

(45) 発行日 平成22年3月24日(2010.3.24)

(24) 登録日 平成22年1月15日(2010.1.15)

(51) Int.Cl.

F I

H04L 12/56 (2006.01)

H04L 12/56

E

請求項の数 30 (全 25 頁)

(21) 出願番号 特願2001-521004 (P2001-521004)
 (86) (22) 出願日 平成12年8月21日(2000.8.21)
 (65) 公表番号 特表2003-508966 (P2003-508966A)
 (43) 公表日 平成15年3月4日(2003.3.4)
 (86) 国際出願番号 PCT/CA2000/000946
 (87) 国際公開番号 W02001/017178
 (87) 国際公開日 平成13年3月8日(2001.3.8)
 審査請求日 平成19年8月7日(2007.8.7)
 (31) 優先権主張番号 09/386,589
 (32) 優先日 平成11年8月31日(1999.8.31)
 (33) 優先権主張国 米国(US)

(73) 特許権者 500400227
 モサイド・テクノロジーズ・インコーポレ
 イテッド
 カナダ、ケイ・2・ケイ 2・エックス・
 1 オンタリオ州、オタワ、ハインズ・ロ
 ード、11、スイート・203
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100091409
 弁理士 伊藤 英彦

最終頁に続く

(54) 【発明の名称】 インタリーブされた非ブロッキングパケットバッファのための方法および装置

(57) 【特許請求の範囲】

【請求項1】

スイッチであって、
 複数の入力ポートと、
 複数の出力ポートと、

複数の入力ポートと複数の出力ポートとによって共有され、複数の入力ポートのいずれかから受取った入力データストリームを記憶し、複数の出力ポートのいずれかに出力データストリームを与えるメモリと、

複数の出力ポートの1つに対するメモリ読出動作をスケジュールし、並行して複数の入力ポートの1つに対するメモリ書込動作をスケジュールするパケットストレージマネージャとを含み、メモリ読出動作およびメモリ書込動作は単一のポートサイクルでメモリの異なった部分に対してスケジュールされ、

パケットストレージマネージャは、

ポートサイクルに依存して、メモリ読出動作のためのメモリにおける第1の場所に対する読出アドレスを選択する読出アドレス論理を含み、読出アドレス論理は、

複数の出力ポートの各々に対するポート待ち行列を含み、ポート待ち行列は入来パケット内のネットワークデスティネーションに依存して、パケットストレージマネージャによってメモリに書込まれたデータの場所のメモリアドレスを記憶し、読出アドレス論理はさらに、

ポートサイクルに依存して、メモリ読出アドレスを取除くべきポート待ち行列を選択す

10

20

るポート待ち行列選択論理を含み、読出すべきメモリ部分は、選択されたポート待ち行列の先頭から取除かれたメモリ読出アドレスに依存し、パケットストレージマネージャはさらに、

読出アドレス論理によって選択された読出アドレスに依存して、メモリ書込動作のためのメモリにおける第2の場所に対する書込アドレスを選択する書込アドレス論理を含む、スイッチ。

【請求項2】

書込アドレス論理は、

アドレスの空きリストと、

空きリストから書込アドレスを取除くことにより、メモリにおける書込アドレスを与える書込選択論理とを含み、

読出アドレス論理は、書込アドレスをパケットセグメントが方向付けられる各ポート待ち行列の最後に記憶し、

パケットストレージマネージャは、書込アドレスによって指定されるメモリの別の部分にパケットセグメントを書込む、請求項1に記載のスイッチ。

【請求項3】

メモリは物理的に複数のバンクに分けられる、請求項2に記載のスイッチ。

【請求項4】

バンクの数は2個である、請求項3に記載のスイッチ。

【請求項5】

バンクの数は4個である、請求項3に記載のスイッチ。

【請求項6】

書込アドレス論理は各バンクに対する空きリストをさらに含み、書込選択論理は書込アドレスを取除くべき空きリストの1つを選択する、請求項3に記載のスイッチ。

【請求項7】

書込アドレス論理は読出アドレスに依存して、空きリストを選択する、請求項6に記載のスイッチ。

【請求項8】

書込アドレス論理は、データパケットの順次セグメントがメモリの交互の奇数バンクおよび偶数バンクに書込まれるよう、空きリストを選択する、請求項6に記載のスイッチ。

【請求項9】

書込アドレス論理は

複数のバンクの各々に対する空きリストカウンタをさらに含み、空きリストカウンタはバンクにおける利用可能な場所のカウンタを記憶し、書込選択論理はこのカウンタに依存して空きリストの1つを選択する、請求項6に記載のスイッチ。

【請求項10】

入力ポートの1つおよび出力ポートの1つは、同じポートであるか、または異なるポートである、請求項1に記載のスイッチ。

【請求項11】

スイッチであって、

複数の入力ポートと、

複数の出力ポートと、

複数の入力ポートと複数の出力ポートとによって共有され、複数の入力ポートのいずれかから受取った入力データストリームを記憶し、複数の出力ポートのいずれかに出力データストリームを与えるメモリと、

複数の出力ポートの1つに対するメモリ読出動作をスケジュールし、並行して複数の入力ポートの1つに対するメモリ書込動作をスケジュールするための手段とを含み、メモリ読出動作およびメモリ書込動作は単一のポートサイクルでメモリの異なった部分に対してスケジュールされ、

スケジュールするための手段は、

10

20

30

40

50

ポートサイクルに依存して、メモリ読出動作のためのメモリにおける読出アドレスを選択するための手段を含み、読出アドレスを選択するための手段は、

複数の出力ポートの各々に対するポート待ち行列を含み、ポート待ち行列は入来パケット内のネットワークデスティネーションに依存して、スケジュールするための手段によってメモリに書込まれたデータの場所のメモリアドレスを記憶し、読出アドレスを選択するための手段はさらに、

ポートサイクルに依存して、読出アドレスを取除くべきポート待ち行列を選択するための手段を含み、読出すべきメモリ部分は、選択されたポート待ち行列の先頭から取除かれた読出アドレスに依存し、スケジュールするための手段はさらに、

読出アドレスを選択するための手段によって選択された読出アドレスに依存して、メモリ書込動作のためのメモリにおける書込アドレスを選択するための手段とを含む、スイッチ。

10

【請求項 1 2】

書込アドレスを選択するための手段は、

アドレスの空きリストと、

空きリストから書込アドレスを取除くための手段とを含み、

読出アドレスを選択するための手段は、セグメントが方向付けられている各ポート待ち行列の最後に書込アドレスを記憶し、

取除くための手段は、スケジュールするための手段にパケットを書込むための書込アドレスを与え、スケジュールするための手段は、書込アドレスによって指定されたメモリの別の部分にセグメントを書込む、請求項 1 1 に記載のスイッチ。

20

【請求項 1 3】

メモリは物理的に複数のバンクに分けられている、請求項 1 2 に記載のスイッチ。

【請求項 1 4】

バンクの数は 2 個である、請求項 1 3 に記載のスイッチ。

【請求項 1 5】

バンクの数は 4 個である、請求項 1 3 に記載のスイッチ。

【請求項 1 6】

書込アドレスを選択するための手段は各バンクに対する空きリストをさらに含み、取除くための手段は書込アドレスを取除くべき空きリストの 1 つを選択する、請求項 1 3 に記載のスイッチ。

30

【請求項 1 7】

書込アドレスを選択するための手段は、読出アドレスに依存して空きリストを選択する、請求項 1 6 に記載のスイッチ。

【請求項 1 8】

読出アドレスを選択するための手段は、

複数のバンクの各々に対する空きリストカウンタをさらに含み、空きリストカウンタはバンクにおける利用可能な場所のカウントを記憶し、書込アドレスを選択するための手段は空きリストカウンタにおけるカウントに依存して空きリストの 1 つを選択する、請求項 1 7 に記載のスイッチ。

40

【請求項 1 9】

書込アドレスを選択するための手段は、データパケットの順次セグメントがメモリの交互の奇数バンクおよび偶数バンクに書込まれるよう、空きリストを選択する、請求項 1 6 に記載のスイッチ。

【請求項 2 0】

入力ポートの 1 つおよび出力ポートの 1 つは、同じポートであるか、または異なるポートである、請求項 1 1 に記載のスイッチ。

【請求項 2 1】

スイッチにおける共通メモリのバンド幅を増大させるための方法であって、

複数の入力ポートのいずれか 1 つからメモリにおける入力データストリームを受取るス

50

テップと、

メモリからの出力データストリームを複数の出力ポートのいずれか 1 つに与えるステップと、

複数の出力ポートの 1 つに対するメモリ読出動作をスケジュールし、並行して複数の入力ポートの 1 つに対するメモリ書込動作をスケジュールするステップとを含み、メモリ読出動作およびメモリ書込動作は単一のポートサイクルでメモリの異なった部分に対してスケジュールされ、メモリ読出動作およびメモリ書込動作をスケジュールするステップは、

ポートサイクルに依存して、メモリ読出動作のためのメモリにおける読出アドレスを選択するステップを含み、読出アドレスを選択するステップは、

複数の出力ポートの各々に対するポート待ち行列におけるメモリに書込まれたデータの場所のメモリアドレスを記憶するステップを含み、ポート待ち行列は入来パケット内のネットワークデスティネーションに依存し、読出アドレスを選択するステップはさらに、

ポートサイクルに依存して、読出アドレスを取除くべきポート待ち行列を選択するステップを含み、読出すべきメモリ部分は、選択されたポート待ち行列の先頭から取除かれた読出アドレスに依存し、メモリ読出動作およびメモリ書込動作をスケジュールするステップはさらに、

読出アドレスを選択するステップによって選択された読出アドレスに依存して、メモリ書込動作のためのメモリにおける書込アドレスを選択するステップと、

メモリ読出動作とメモリ書込動作とを、単一のポートサイクルでメモリの異なる部分にスケジュールするステップとを含む、方法。

【請求項 2 2】

書込アドレスを選択するステップは、

アドレスの空きリストを与えるステップと、

空きリストから書込アドレスを取除くステップと、

セグメントが方向付けられている各ポート待ち行列の最後に書込アドレスを記憶するステップと、

書込アドレスによって指定されたメモリの別の部分にパケットセグメントを書込むためのアドレスを与えるステップとを含む、請求項 2 1 に記載の方法。

【請求項 2 3】

メモリは物理的に複数のバンクに分けられている、請求項 2 2 に記載の方法。

【請求項 2 4】

バンクの数は 2 個である、請求項 2 2 に記載の方法。

【請求項 2 5】

バンクの数は 4 個である、請求項 2 2 に記載の方法。

【請求項 2 6】

空きリストは読出アドレスに依存して選択される、請求項 2 5 に記載の方法。

【請求項 2 7】

書込アドレスを選択するステップは、

複数のバンクの各々に対して、利用可能な場所のカウントを空きリストカウンタに記憶するステップと、

空きリストカウンタにおけるカウントに依存して、空きリストのうちの 1 つを選択するステップとをさらに含む、請求項 2 6 に記載の方法。

【請求項 2 8】

データパケットの順次セグメントがメモリの交互の奇数バンクおよび偶数バンクに書込まれるよう、バンク空きリストが選択される、請求項 2 5 に記載のスイッチ。

【請求項 2 9】

書込アドレスを選択するステップは、

複数のバンクの各々に対する空きリストに利用可能な場所のアドレスを記憶するステップと、

複数の空きリストの 1 つを選択するステップと、

選択された空きリストから書込アドレスを取除くステップとをさらに含む、請求項 2 2 に記載の方法。

【請求項 3 0】

入力ポートのうちのいずれか 1 つおよび出力ポートのうちのいずれか 1 つは、同じポートであるか、または異なるポートである、請求項 2 1 に記載の方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の背景】

ネットワークスイッチは、スイッチに接続されたいくつかの入力ポートからデータパケットを受取り、データパケットをスイッチに接続されたいくつかの出力ポートに与える。スイッチは、データパケットに含まれるデスティネーションアドレスに依存して、データパケットを与えるべき出力ポートを判断する。入力ポートから受取られたデータパケットは、出力ポートに与えられる前にスイッチ内のメモリに記憶される。

10

【0 0 0 2】

スイッチ内のメモリは、すべての入力ポートから受取られたすべてのデータパケットが出力ポートに与えられる前に記憶される共通メモリであり得る。非ブロッキングスイッチは、すべての入力ポートで受取られたすべてのデータが、出力ポートに与えられることを可能にする。非ブロッキングスイッチは、典型的にはポートごとに最大量のメモリを利用可能にするための共通メモリを含む。

【0 0 0 3】

共通メモリスイッチの速度は、メモリバンド幅に依存する。メモリバンド幅はメモリアクセスタイムおよびメモリの幅に依存するが、これはすなわち、メモリアクセス時間ごとにアクセスされるバイトの数である。たとえば、もし共通メモリが 6 4 バイト幅であり、かつ 8 0 ナノ秒 (n s) のアクセス時間を有していれば、6 4 バイトを書込または読出するために 8 0 n s かかる。スイッチに接続される入力ポートが 1 0 0 メガビット (M) b p s (秒当たりのビット) でデータを受取ると、1 ビットは 1 0 n s ごとに受取られ、8 ビットバイトは 8 0 n s ごとに受取られ、かつ 6 4 バイトは 5 1 2 0 n s ごとに受取られる。6 4 バイトのデータが受取られた後で、書込メモリサイクルが行なわれて 6 4 バイト幅メモリへの単一のアクセスで 6 4 バイトを書込む。入力ポートは、5 1 2 0 n s ごとにメモリバンド幅を 8 0 n s 使用して、受取ったデータをメモリに書込む。こうして、8 0 n s のアクセス時間を備えた 6 4 バイト幅メモリは、6 4 (5 1 2 0 n s / 8 0 n s) の 1 0 0 M b p s のポートをサポートできる。6 4 ポートがスイッチに接続されていると、各ポートサイクルは 8 0 n s である。8 0 n s ポートサイクルは、各ポートに、ポートサイクルごとに 1 つのメモリアクセスを提供する。

20

30

【0 0 0 4】

各ポートサイクルで利用可能であるメモリバンド幅を増大させると、以下のうちの 1 つ以上が必要となる：メモリアクセス時間の減少、メモリの幅 (すなわち、メモリサイクルごとに読出 / 書込されるビット数) の増大、または、ポートの数の減少。メモリの幅の増大は、最小データパケットサイズによって制限される。メモリアクセス時間の減少は、メモリに対する最小メモリアクセス時間によって制限される。

40

【0 0 0 5】

メモリバンド幅は、たとえば第 1 のデータパケットを第 1 のメモリバンクに書込み、第 2 のデータパケットを第 2 のデータバンクに書込むためのメモリバンクをインターリーブさせることによって増大させることができる。しかしながら、スイッチ内のデータをインターリーブさせると、たとえばもしポート A およびポート B の両方が同時に第 1 のメモリバンクへのアクセスを要求している場合、ブロッキングをまねくおそれがある。入力ポートと出力ポートとの間でのデータ転送のブロッキングは、パケットの脱落をもたらすおそれがある。よって、非ブロッキングスイッチにおいては、メモリバンド幅を増大させるために用いることはできない。

【0 0 0 6】

50

【発明の要約】

スイッチにおけるパケットストレージマネージャは、スイッチに接続される入力ポートおよび出力ポートによって共有されるメモリのメモリバンド幅を増大させる。パケットストレージマネージャは、先行技術のシステムが逐次的な読出および書込サイクルを必要としたところを、単一のポートサイクルで、入力ポートのうちの1つに対する書込動作および出力ポートのうちの1つに対する読出動作の両方を行なう。書込および読出動作は、単一のメモリアクセスサイクルにおいて、メモリ内の異なったメモリに対して並行に行なわれる。メモリは、物理的にいくつかのバンクに分割される。バンクの数は、好ましくは2つまたは4つである。読出および書込動作は異なったバンクに対して行なわれる。

【0007】

パケットストレージマネージャは、ポートサイクルに依存して読出動作のためにメモリにおける読出アドレスを選択する読出アドレス論理と、読出アドレス論理によって選択された読出アドレスに依存して、書込動作のための書込アドレスを選択する書込アドレス論理とを含む。書込アドレスは、読出アドレスに依存して書込アドレスを選択して、読出および書込動作が単一のメモリアクセスで並行して行なわれるようにする。パケットストレージマネージャは、出力ポートごとのポート待ち行列と、ポート待ち行列には記憶されていないアドレスの空きリストとに依拠する。入来するパケットから、マネージャはネットワークデスティネーションを読出し、パケットが記憶されるべき適切な出力ポートを判断する。マネージャは、空きリストからメモリセグメントアドレスを除去することによりパケットセグメントをメモリに書込み、パケットが向けられるべき各ポート待ち行列の最後にセグメントアドレスを記憶し、セグメントアドレスによって特定されるメモリ内の場所にパケットセグメントを書込む。同時に、各ポート待ち行列の先頭でのアドレスは、マネージャによって読出されるべきパケットセグメントを識別する。

【0008】

パケットストレージマネージャ内の読出アドレス論理は、各出力ポートに対するポート待ち行列を含む。ポート待ち行列は、各入力ポートによってメモリに書込まれるデータのメモリ場所を記憶する。ポート待ち行列選択論理は、ポートサイクルに依存して、メモリアドレスが除去されるべきポート待ち行列を選択する。読出選択論理は、ポート待ち行列から除去されたメモリアドレスに依存して、読出されるべきメモリ場所を選択する。

【0009】

メモリは物理的にいくつかのバンクに分割される。バンクの数は好ましくは2つまたは4つである。パケットストレージマネージャ内の書込アドレス論理は、バンクごとのバンク空きリストを含む。各バンク空きリストは、メモリのバンク内の利用可能な場所のアドレスを記憶する。書込アドレス論理内の書込選択論理は、書込アドレスを除去すべきバンク空きリストのうちの1つを選択する。書込選択論理は、バンク空きリストを選択して、それによりデータパケットの順次的セグメントが、メモリの交互の奇数および偶数バンクに書込まれるようにする。

【0010】

書込アドレス論理はまた、バンクごとのバンク空きリストカウンタを含む。バンク空きリストカウンタは、バンク内の利用可能な場所のカウントを記憶する。書込選択論理は、バンク空きリストカウンタにおけるカウントに依存して、バンク空きリストを選択し得る。並行的な読出および書込動作は、同じポートに対するものであっても、または異なったポートに対するものであってもよい。

【0011】

上述の目的ならびに他の目的、およびこの発明の特徴ならびに利点は、添付の図面に示されるこの発明の好ましい実施例のより特定の説明から明らかとなるであろうが、図面においては同様の要素には同様の参照符号が異なる図面を通して付与される。図面は必ずしも実物と同じスケールである必要はなく、この発明の原理を例示することが重視される。

【0012】

【発明の説明】

図 1 A は、共通メモリスイッチ 1 0 0 のブロック図である。入力ポート 1 0 2 で受取られたすべてのデータは、セグメントバッファメモリ 1 0 8 に記憶されて、その後 1 つ以上の出力ポート 1 1 2 にスイッチされる。パケットストレージマネージャ 1 0 6 は、セグメントバッファメモリ 1 0 8 に対する書込および読出アクセスを制御する。パケットストレージマネージャ 1 0 6 を介して、入力ポート 1 0 2 に到着するデータパケットセグメントはセグメントバッファメモリ 1 0 8 に書込まれ、同じメモリアクセスサイクルにおいて、出力ポート 1 1 2 に対する別のデータパケットセグメントがセグメントバッファメモリ 1 0 8 から読出される。

【 0 0 1 3 】

スイッチ 1 0 0 は、入力ポートエンジン 1 0 4 および出力ポートエンジン 1 1 0 を含む。データパケットは入力ポート 1 0 2 で順次的に受取られる。入力エンジン 1 0 4 は、受取ったデータパケット内のヘッダを検出して処理し、検出したヘッダからどの出力ポート 1 1 2 にデータパケットを転送するべきかを判断し、データパケットに対する転送ベクトル 1 1 4 を生成する。転送ベクトル 1 1 4 はビットマップであり、1 つのビットが複数の出力ポート 1 1 2 の各々に対応し、データパケットがその出力ポート 1 1 2 に転送されるべきどうかを示す。転送ベクトル 1 1 4 は、パケットストレージマネージャ 1 0 6 に転送される。

【 0 0 1 4 】

パケットストレージマネージャ 1 0 6 は、セグメントバッファメモリ 1 0 8 へのアクセスを提供する。パケットストレージマネージャ 1 0 6 は、セグメントバッファ 1 0 8 への読出および書込動作に対するセグメントバッファメモリアドレス 1 2 2 を提供し、マネージャ 1 0 6 内に記憶された各データパケットのセグメントバッファメモリ 1 0 8 における場所を記憶する。出力エンジン 1 1 0 は、選択制御信号 1 2 0 を介して、データパケットを転送するべき複数の出力ポート 1 1 2 のうちの 1 つを選択し、選択された出力ポート 1 1 2 に記憶されたデータパケットを与える。

【 0 0 1 5 】

セグメントバッファメモリ 1 0 8 は、すべての入力ポート 1 0 2 および出力ポート 1 1 2 によって共有される共通メモリである。スイッチ 1 0 0 は非ブロッキング、すなわち、入力ポート 1 0 2 のいずれかに到着するデータパケットが出力ポート 1 1 2 のいずれかに転送されることをブロックされないものである。スイッチ 1 0 0 は、入力ポート 1 0 2 で受取られたデータパケットの入力ポートエンジン 1 0 4 による並行処理を提供し、かつ出力ポートエンジン 1 1 0 による出力ポート 1 1 2 に対する記憶されたデータパケットの処理を提供する。

【 0 0 1 6 】

データパケットは入力ポート 1 0 2 のうちの 1 つで順次的に受取られるにつれて、シリアルデータはデータセグメントにグループ化される。データセグメントはバッファセグメントメモリ 1 0 8 に書込まれる。データセグメントの幅は、入力ポート 1 0 2 および出力ポート 1 1 2 によって用いられるネットワークングプロトコルに依存して、予め定められる。たとえば、イーサネット (R) ネットワークングプロトコルに対しては、データセグメントの幅は 6 4 バイトであるが、これはイーサネット (R) データパケットに対する最小データパケットサイズが 6 4 バイトであるためである。

【 0 0 1 7 】

図 1 B は、入力ポート 1 0 2 で受取られる先行技術のイーサネット (R) データパケット 1 2 0 を示すブロック図である。イーサネット (R) データパケットは、ヘッダ 1 2 2、データフィールド 1 3 4、およびフレームチェックシーケンス 1 3 2 を含む。ヘッダ 1 2 2 は、デスティネーションアドレス 1 2 4、ソースアドレス 1 2 6、および長さまたはタイプフィールド 1 3 0 を含む。データパケット 1 2 0 のサイズは、データフィールド 1 3 4 のサイズに依存し、これは 6 4 バイトから 1 5 0 0 バイトにわたり得る。

【 0 0 1 8 】

図 2 は、スイッチ 1 0 0 におけるセグメントバッファメモリ 1 0 8 による入力ポート 1 0

10

20

30

40

50

8で受取られたデータの出力ポート112へのスイッチングを示すタイミング図である。タイミング図は、3ポートスイッチ(N=2)に対する図1Aにおけるブロック図に関連して説明され、すなわち、3つの入力ポート102および3つの出力ポート112が示される。

【0019】

時間200から時間202の間で、データセグメントは3つの入力ポート102の各々において順次的に受取られる。時間200および時間202の間のデータセグメントタイムスロット204は、入力ポート102でデータセグメントを受取るためにとられる時間である。データセグメントが受取られる間に、入力ポートエンジン104はデータパケットのヘッダ内のデスティネーションアドレス124から、どの出力ポート112にデータセグメントを転送するべきを判断する。時間202において、すべてのデータセグメントが受取られており、パケットストレージマネージャ106によってセグメントバッファメモリ108に書込まれることができる。パケットストレージマネージャ106は、時間206の前にすべての受取ったデータセグメントをセグメントバッファメモリ108に書込むが、このときに次のデータセグメントが受取られる。

【0020】

データセグメントタイムスロット204はポートサイクルタイムスロット208に分割され、データセグメントタイムスロット204ごとの1つのポートサイクルタイムスロット208が、スイッチ100に接続される各ポートに割当てられる。ポートサイクル時間208はメモリアクセスサイクルであり、すなわち、セグメントバッファメモリ108にアクセスするためのポートごとに提供される時間である。時間210で、パケットストレージマネージャ106は、入力ポート0102において受取られたデータセグメントを、セグメントバッファメモリ108に書込む。時間212から時間214においては、パケットストレージマネージャ106は入力ポート1102で受取られたデータセグメントをセグメントバッファメモリ108に書込む。時間214において、入力ポート0で受取られたデータセグメントはメモリにおいて利用可能であり、出力ポートエンジンによって読出されて出力ポート1に転送されることができる。時間214では、パケットストレージマネージャ106は入力ポート2102で受取られたデータをセグメントバッファメモリ108に書込む。時間216において、入力ポート1で受取られたデータセグメントはメモリにおいて利用可能であり、出力ポートエンジンによって読出されて出力ポート2に転送されることができる。時間216では、パケットストレージマネージャ106が入力ポート0102で受取られた次のデータセグメントをセグメントバッファメモリ108に書込む。時間218においては、入力ポート2で受取られたデータセグメントがバッファセグメントメモリ108において利用可能であり、出力ポートエンジン110によって読出されて出力ポート0112に転送されることができる。

【0021】

こうして、データセグメントは入力ポート102で受取られると、パケットストレージマネージャ106によってセグメントバッファメモリ108に書込まれる。データセグメントは、受取られたデータセグメントが書込まれる間に、セグメントバッファメモリ108から読出されることができる。入力ポート102はセグメントバッファメモリ108への書込がブロックされることはなく、出力ポート112はセグメントバッファメモリ108からの読出をブロックされることはない。

【0022】

図3は、図1Aに示されるパケットストレージマネージャ106を示すブロック図である。パケットマネージャ106は、入力ポートエンジン104(図1A)からのセグメントバッファメモリ108への書込要求と、出力ポートエンジン110(図1A)からのセグメントバッファメモリ108からの読出要求とを、並行して扱う。

【0023】

パケットストレージマネージャ106は、読出アドレス論理300、読出アドレス論理302、ポートタイミング論理304およびアドレス選択論理312を含む。書込アドレス

10

20

30

40

50

論理 3 0 0 は、入力ポート 1 0 2 (図 1 A) からのデータセグメントが記憶されるバッファセグメントメモリ 1 0 8 内の場所を提供する。読出アドレス論理 3 0 0 は、出力ポート 1 1 2 に対するデータパケットが記憶されているバッファセグメントメモリ 1 0 8 内の場所を提供する。

【 0 0 2 4 】

アドレス選択論理 3 1 2 は、読出アドレス 3 1 0 および書込アドレス 3 0 8 をバッファセグメントメモリアドレス 1 2 2 に転送する。ポートタイミング論理 3 0 4 は、クロック 3 0 6 入力に応じてポートサイクル 3 1 4 を生成する。ポートタイミング論理 3 0 4 は、予め定められた数のクロック周期のポートサイクル時間 2 0 8 に対しポートサイクル 3 1 4 を生成し、予め定められたデータセグメントサイクル時間 2 0 4 ごとに各ポート 1 0 2 、 1 1 2 に対するポートサイクル 3 1 4 を生成する。データセグメントサイクル時間 2 0 4 は、入力ポート 1 0 2 (図 1 A) のいずれかで順次的にデータセグメントを受取るための時間に依存する。読出アドレス 3 1 0 および書込アドレス 3 0 8 は、ポートサイクル 3 1 4 に依存してポート 1 0 2 、 1 1 2 に対して選択される。ポートタイミング論理 3 0 4 によって、示されるように同じポートサイクル 3 1 4 が、書込アドレス論理 3 0 0 読出アドレス論理 3 0 2 に与えられるか、またはポートタイミング論理 3 0 4 によって、異なったポートサイクル 3 1 4 が、書込アドレス論理 3 0 0 および読出アドレス論理 3 0 2 に与られてもよい。

【 0 0 2 5 】

各ポートサイクル 3 1 4 の開始時に、読出アドレス論理 3 0 2 はポートサイクル 3 1 4 に依存して、ポートに対する読出アドレス論理 3 0 2 におけるポート待ち行列の先頭での先行して待ち行列に入れられた読出アドレス 3 1 0 を選択する。書込アドレス論理 3 0 0 は、読出アドレス論理 3 0 2 によって選択された読出アドレス 3 1 0 に依存して、ポートサイクル 3 1 4 に対する書込アドレスを選択する。

【 0 0 2 6 】

アドレス選択論理 3 1 2 は、セグメントバッファメモリアドレス 1 2 2 を介して書込アドレス 3 0 8 および読出アドレス 3 1 0 をバッファセグメントメモリ 1 0 8 に転送する。セグメントバッファメモリ 1 0 8 に書込まれるべきデータパケットの書込アドレス 3 0 8 は、読出アドレス論理 3 0 2 内の待ち行列に入れられる。バッファセグメントメモリ 1 0 8 から読出されるべきデータパケットの読出アドレス 3 0 2 は、読出アドレス論理 3 0 2 内の待ち行列から外される。書込アドレス論理 3 0 0 および読出アドレス論理 3 0 2 は、図 5、図 6、図 1 0 および図 1 1 により詳細に示される。

【 0 0 2 7 】

図 4 は、物理的に 2 つのバンク 1 0 8 A および 1 0 8 B に分割された、図 1 に示されたセグメントバッファメモリ 1 0 8 を示すブロック図である。セグメントバッファメモリ 1 0 8 の各バンクは関連のメモリアドレスであるアドレス__A 4 0 0 およびアドレス__B 4 0 2 を有する。二バンクアドレス選択論理 4 0 4 は、書込アドレス 3 0 8 に符号化されたセグメントバッファメモリ 1 0 8 のバンクに依存して、書込アドレス 3 0 8 をアドレス__A 4 0 0 またはアドレス__B 4 0 2 に転送する。二バンクアドレス選択論理 4 0 4 は、読出アドレス 3 1 0 に符号化されたバッファセグメントメモリ 1 0 8 のバンクに依存して、読出アドレス 3 1 0 をアドレス__A 4 0 0 またはアドレス__B 4 0 2 に転送する。たとえば、読出アドレス 3 1 0 および書込アドレス 3 0 8 の最上位のビット (「 M S B 」) を、セグメントバッファメモリ 1 0 8 A および 1 0 8 B のバンクを判断するために用いることができ、書込アドレス 3 0 8 および読出アドレス 3 1 0 は二バンクアドレス選択論理 4 0 4 によって転送される。書込アドレス論理 3 0 0 (図 3) および読出アドレス論理 3 0 4 (図 3) は、同じポートサイクル 3 1 4 (図 2) の間に生成された読出アドレス 3 0 8 および書込アドレス 3 1 0 がセグメントバッファメモリ 1 0 8 A、B の異なったバンクに対するものであることを確実にする。セグメントバッファメモリ 1 0 8 の一方のバンクに対する読出アクセスは、バッファセグメントメモリ 1 0 8 の他のバンクへの書込アクセスと並行して生じる。

【 0 0 2 8 】

図 5 は、図 4 に示される 2 つのバンクのセグメントバッファメモリ 1 0 8 に対する図 3 に示される読出アドレス論理 3 0 2 を示すブロック図である。読出アドレス論理 3 0 2 は、ポート待ち行列選択論理 5 1 2、ポート待ち行列 5 1 0、および読出アドレス選択論理 5 0 6 を含む。ポート待ち行列 5 1 0 は、出力ポート 1 1 2 に与えられるべきデータパケットのセグメントバッファメモリにおけるアドレス場所を記憶する。出力ポート 1 1 2 ごとに別々のポート待ち行列 5 1 0 が与えられる。データセグメントがセグメントバッファメモリ 1 0 8 に書込まれるにつれて、データセグメントが書込まれた場所である書込アドレス 3 0 8 が 1 つ以上のポート待ち行列 5 1 0 に記憶される（または待ち行列に入れられる）。書込アドレス 3 0 8 が書込まれるべきポート待ち行列 5 1 0 は、ポート待ち行列選択論理 5 1 2 によって判断される。ポート待ち行列選択論理 5 1 2 は、転送ベクトル 1 1 4 に依存してポート待ち行列 5 1 0 を選択する。転送ベクトル 1 1 4 の生成は、図 1 A を参照して説明した。

10

【 0 0 2 9 】

ポート待ち行列 5 1 0 に記憶された書込アドレス 3 0 8 でのデータセグメントが、コピーが送られるべきすべての出力ポートによってセグメントバッファメモリ 1 0 8 から読出された後で、記憶された書込アドレス 3 0 8 はポート待ち行列 5 1 0 から外される。

【 0 0 3 0 】

図 6 は、図 3 に示される 2 つのバンクのセグメントバッファメモリ 1 0 8 A、1 0 8 B に対する図 2 に示される書込アドレス論理 3 0 0 を示すブロック図である。2 つのバンクのセグメントバッファメモリ 1 0 8 A、1 0 8 B に対する書込アドレス論理は、二バンク書込選択論理 6 0 0、バンク__A に対する空きリスト 6 0 6、バンク__B に対する空きリスト 6 0 8、バンク__A に対する空きリストに対するカウント 6 0 4、バンク__B に対する空きリストに対するカウント 6 1 0、および書込アドレス選択論理 6 0 2 を含む。

20

【 0 0 3 1 】

各空きリスト 6 0 6、6 0 8 は、データセグメントが書込まれるであろうセグメントバッファメモリのそれぞれのバンク 1 0 8 A、1 0 8 B における利用可能な場所を記憶する。バンク__A に対する空きリスト 6 0 6 は、セグメントバッファメモリ 1 0 8 A のバンク__A における利用可能な場所を記憶し、バンク__B 1 0 8 B に対する空きリストは、セグメントバッファメモリ 1 0 8 B のバンク__B における利用可能な場所を記憶する。

30

【 0 0 3 2 】

二バンク書込選択論理 6 0 0 は、ポートサイクル時間 3 1 4 の間に、読出アドレス 3 1 0 に依存して書込アドレス 3 0 8 が抽出されるべき空きリスト 6 0 6、6 0 8 を判断する。セグメントバッファメモリのバンク 1 0 8 A、1 0 8 B は、読出アドレス 3 1 0 の MSB、または読出アドレス 3 1 0 の他のビットに依存して選択され得る。たとえば、もし二バンク書込選択論理 6 0 0 が、読出アドレス 3 1 0 から、読出アドレス 3 1 0 はセグメントバッファメモリのバンク__A 1 0 8 A に対するものであると判断すると、書込アドレスはバンク__B に対する空きリスト 6 0 8 から抽出される。もし読出アドレス 3 1 0 が、バッファセグメントメモリのバンク__B 1 0 8 B に対するものであれば、書込アドレスはバンク__A に対する空きリスト 6 0 6 から抽出される。こうして、データセグメントがセグメントバッファメモリ 1 0 8 の一方のバンクから読出されることができるよう、別のデータセグメントがセグメントバッファメモリ 1 0 8 の他方のバンクに書込まれる。

40

【 0 0 3 3 】

もし二バンク書込選択論理 6 0 0 が、読出アドレスがバッファセグメントメモリのバンク__A 1 0 8 A に対するものであると判断すると、これは EN A__B 信号 6 1 8 によってバンク__B 空きリスト 6 0 8 をイネーブルし、それによりバンク__B 空きリスト 6 0 8 は書込アドレス選択論理 6 0 2 にバンク__B アドレス 6 1 4 を提供することができる。アドレスがバンク__B 空きリスト 6 0 8 から除去されると、二バンク書込選択論理 6 0 0 は獲得/更新カウント B 信号 6 1 6 に更新カウント__B 信号を生成し、バンク__B に対する空きリストカウント 6 1 0 をデクリメントする。

50

【 0 0 3 4 】

データセグメントが、書込アドレス 3 0 8 によって特定される場所でセグメントバッファメモリ 1 0 8 に書込まれる一方、書込アドレス 3 0 8 はそれぞれの空きリスト 6 0 6、6 0 8 から除去され、書込アドレス 3 0 8 は転送ベクトル 1 1 4 に依存して 1 つ以上のポート待ち行列 3 0 6 の最後に書込まれる。コピーカウンタ 6 2 6 が書込アドレス 3 0 8 に対してコピーカウンタ論理 6 2 4 に記憶される。コピーカウンタは、マルチキャストパケット、すなわち 1 つ以上の出力ポート 1 1 2 に対して待ち行列に入れられるパケットを追跡するために用いられる。書込アドレス 3 0 8 は、読出アドレス 3 0 8 によって特定された場所が読出アドレス論理 3 0 2 (図 3) によってすべて読出され、かつ書込アドレス 3 0 8 に関連のコピーカウンタが 0 になった後で、それぞれの空きリスト 6 0 6、6 0 8 に返される。

10

【 0 0 3 5 】

現在のポートサイクル 3 1 4 に対して読出されるべきデータセグメントがなく、書込まれるべきデータセグメントがあれば、二バンク書込選択論理 6 0 0 は空きリストカウンタ 6 0 4、6 1 0 に依存して書込アドレス 3 0 8 を抽出するべき空きリスト 6 0 6、6 0 8 を決定する。二バンク書込選択論理 6 0 0 は、獲得 / 更新カウンタ __ A 信号 6 2 2 および獲得 / 更新カウンタ __ B 信号 6 1 6 によって、バンク __ A に対する空きリストカウンタ 6 0 4 およびバンク __ B に対する空きリストカウンタ 6 1 0 から現在のカウンタを獲得する。バンク __ A に対する空きリストカウンタ 6 3 2 およびバンク __ B に対する空きリストカウンタ 6 3 0 は、二バンク書込アドレス論理 6 0 0 に転送される。最大のカウンタを備えた空きリストカウンタ 6 0 4、6 1 0 は、セグメントバッファメモリ 1 0 8 A、1 0 8 B の最も空いているバンクを示す。二バンク書込アドレス論理 6 0 0 はカウンタを比較して、バンク __ A カウンタ 6 3 2 またはバンク __ B カウンタ 6 3 0 がより大きいかどうかによって、E N A __ A 信号 6 2 0 または E N A __ B 信号 6 1 8 を生成する。最大カウンタ 6 0 4、6 1 0 を備えた空きリスト 6 0 6、6 0 8 が選択される。書込アドレス 3 0 8 は選択された空きリスト 6 0 6、6 0 8 から選択される。こうして、データセグメントがセグメントバッファメモリ 1 0 8 に書込まれるにつれて、これらは均等に 2 つのバンクのセグメントバッファメモリ 1 0 8 A、1 0 8 B に分散される。

20

【 0 0 3 6 】

図 7 は、図 4 に示される 2 つのバンクのセグメントバッファメモリ 1 0 8 に対する読出および書込アドレスに対するタイミングを示すタイミング図である。各データセグメントタイムスロット 2 0 4 において、スイッチ 1 0 0 に接続された 6 4 ポートごとにセグメントバッファメモリへの 2 つのアクセスが提供される。データセグメントタイムスロット 2 0 4 は、6 4 ポートのいずれかでパケットセグメントを受取るための時間である。よって、データセグメント時間 2 0 4 は、スイッチ 1 0 0 に接続されるポートごとの、セグメントバッファメモリ 1 0 8 にパケットセグメントを記憶するために利用可能である最大の時間である。

30

【 0 0 3 7 】

データセグメントタイムスロット 2 0 4 は、入力ポート 1 1 2 でデータが受取られる速度と、データ送信のために実現されるネットワークプロトコルとに依存する。たとえば、もし用いられるネットワークプロトコルが 1 0 0 メガヘルツイーサネット (R) であれば、1 ビットは各ポートで 1 0 n s ごとに受取られ、1 バイトは 8 0 n s ごとに受取られ、最小パケットサイズである 6 4 バイトは 5 1 2 0 n s ごとに受取られる。こうして、8 0 n s のポートサイクル時間で、最小パケットサイズを、スイッチ 1 0 0 (図 1 A) に接続される各 6 4 1 0 0 M H z イーサネット (R) ポートで 5 1 2 0 n s ごとに記憶することができる。

40

【 0 0 3 8 】

各ポートは、セグメントバッファメモリ 1 0 8 にアクセスするべきポートサイクル時間 2 0 8 を割り当てられる。データセグメントは、ポートサイクル時間 2 0 8 ごとにセグメントバッファメモリ 1 0 8 における異なったアドレスに読出および書込を行なうことができる

50

。ポートサイクル時間 208 は、データセグメントタイムスロット 204 およびスイッチ 100 に接続されるポートの数に依存する。

【0039】

時間 700 において、データセグメントタイムスロット 208 の開始で、フレームパルスはフレームパルス信号を発生させることにより生成される。フレームパルス信号は、ポートタイミング論理 304 (図 3) を初期化するために用い得る。700 で、ポート 0 に対するポートサイクル 208 が開始する。入力ポート 0 に対する書込アドレスは、バッファセグメントメモリ 108 A に発信され得る一方、出力ポート 0 に対する読出アドレスはバッファセグメントメモリの B バンク 108 B に送信され得る。

【0040】

時間 702 で、ポート 1 に対するポートサイクル 208 が開始する。入力ポート 1 に対する読出アドレスは、バッファセグメントメモリ 108 A に発信され得る一方、出力ポート 1 に対する書込アドレスはバッファセグメントメモリの B バンク 108 B に発信される。

【0041】

時間 704 で、データセグメントタイムスロット 204 の終了時に、フレームパルス信号を発生させることによりフレームパルスが生成される。ポートサイクルは、データセグメントタイムスロット 204 の間にスイッチに接続される 64 ポートごとに生成されている。

【0042】

図 8 は、図 4 に示される 2 つのバンクのセグメントバッファメモリ 108 A、108 B に対する読出および書込アドレスを選択するためのパケットストレージマネージャ 106 によって実行されるステップを示すフロー図である。図 7 に示されるようにポートサイクル 208 ごとに、読出および書込アドレスは同じポートに対するものであり、すなわち、入力ポート 102 および出力ポート 112 は同じポートである。しかしながら、入力ポート 102 および出力ポート 112 は示されるように同じポートである必要はなく、読出アドレスおよび書込アドレスは異なったポートに対するものであってもよい。図 8 は、図 4 から図 7 に関連して説明される。

【0043】

ステップ 800 において、二バンク書込選択論理 600 は、出力ポート 112 に対して保留された読出があるかどうかを判断する。もし保留された読出があれば、処理はステップ 802 に進む。もし保留された読出がなければ、処理はステップ 822 に続く。

【0044】

ステップ 802 において、二バンク書込選択論理 600 は、読出アドレスがどちらのセグメントバッファメモリのバンク 108 A、108 B に発信されるべきかをメモリアクセス論理 312 により判断する。もし読出アドレス 310 がバンク__A 108 A に対するものであれば、処理はステップ 812 に進む。もし読出アドレス 310 がバンク__B 108 B に対するものであれば、処理はステップ 804 に続く。

【0045】

ステップ 804 において、二バンク書込選択論理 600 がポートサイクル 314 に依存して保留された書込があるかどうかを判断する。もしポートに対して保留された書込があれば、処理はステップ 810 に進む。もしなければ、プロセスはステップ 806 に進む。

【0046】

ステップ 810 において、二バンク書込選択論理 600 は、バンク__A に対する空きリスト 606 から、セグメントバッファメモリのバンク__A 108 A 内の利用可能な場所のアドレスを抽出する。バンク__A に対する空きリスト 606 からのバンク__A アドレス 612 は、書込アドレス選択論理 602 によって書込アドレス 308 として選択される。バンク__A に対する空きリストカウンタ 604 はデクリメントされる。書込アドレス 308 および読出アドレス 310 は、メモリアクセス論理 312 によってセグメントバッファメモリのそれぞれのバンク 108 A、108 B に転送される。プロセスはステップ 808 に進む。

10

20

30

40

50

【 0 0 4 7 】

ステップ 8 0 6 において、読出アドレスがメモリアクセス論理 3 1 2 によってセグメントバッファメモリのバンク__B 1 0 8 B に転送される。処理はステップ 8 0 8 に進む。

【 0 0 4 8 】

ステップ 8 0 8 において、読出動作が完了した後で、コピーカウンタ論理 6 2 4 によって読出アドレスに対するコピーカウンタ 6 2 6 がデクリメントされる。読出アドレス 3 1 0 はバンク__B に対する空きリスト 6 0 8 に返され、コピーカウンタ 6 2 6 が 0 であればバンク__B に対する空きリストカウンタ 6 1 0 がインクリメントされる。処理はステップ 8 2 0 に進む。

【 0 0 4 9 】

ステップ 8 2 2 において、書込選択論理 6 0 0 はポートに対して保留された書込があるかどうかを判断する。もしそのポートに対して書込が保留されていれば、処理はステップ 8 2 4 に続く。そうでなければ、処理はステップ 8 2 0 に続く。

【 0 0 5 0 】

ステップ 8 2 4 において、書込選択論理 6 0 0 はセグメントバッファメモリのどちらのバンク 1 0 8 A、1 0 8 B が最も空いているかを、バンク__A に対する空きリストカウンタ 6 0 4 に記憶されているカウンタおよびバンク__B に対する空きリストカウンタ 6 1 0 に記憶されているカウンタから判断する。書込選択論理がセグメントバッファメモリのバンク__A 1 0 8 A が最も空いていると判断すると、処理はステップ 8 2 8 に続く。二バンク書込選択論理 6 0 0 がセグメントバッファメモリのバンク__B 1 0 8 B が最も空いていると判断すると、処理はステップ 8 3 0 に続く。

【 0 0 5 1 】

ステップ 8 2 8 において、書込選択論理 6 0 0 は、バンク__A に対する空きリスト 6 0 6 からセグメントバッファメモリのバンク__A 1 0 8 A における利用可能な場所のアドレスを除去する。バンク__A に対する空きリスト 6 0 6 からのバンク__A アドレス 6 1 2 は、書込アドレス選択論理 6 0 2 によって書込アドレス 3 0 8 として選択される。バンク__A アドレス 6 1 2 がバンク__A に対する空きリスト 6 0 6 から除去されると、バンク__A に対する空きリストカウンタ 6 0 4 がデクリメントされる。書込アドレス 3 0 8 は、メモリアクセス論理 3 1 2 (図 3) によってバッファセグメントメモリのバンク__A 1 0 8 A に転送される。

【 0 0 5 2 】

ステップ 8 3 0 において、書込選択論理 6 0 0 は、バンク__B に対する空きリスト 6 0 8 から、セグメントバッファメモリのバンク__B 1 0 8 B の利用可能な場所のアドレスを除去する。バンク__B に対する空きリスト 6 0 8 からのバンク__B アドレス 6 1 4 は、書込アドレス選択論理 6 0 2 によって書込アドレス 3 0 8 として選択される。バンク__B に対する空きリスト 6 0 8 からバンク__B アドレス 6 1 4 が除去されると、バンク__B に対する空きリストカウンタ 6 1 0 はデクリメントされる。書込アドレス 3 0 8 は、アドレス選択論理 3 1 2 (図 3) によってバッファセグメントメモリのバンク__B 1 0 8 B に転送される。

【 0 0 5 3 】

ステップ 8 1 2 において、書込論理 6 0 0 は、ポートに対して保留された書込動作があるかどうかを判断する。もし保留された書込があれば、処理はステップ 8 1 6 に進む。なければ、処理はステップ 8 1 4 に進む。

【 0 0 5 4 】

ステップ 8 1 6 において、書込選択論理 6 0 0 は、バンク__B に対する空きリスト 6 0 8 から、セグメントバッファメモリのバンク__B 1 0 8 B の利用可能な場所のアドレスを除去する。バンク__B に対する空きリスト 6 0 8 からのバンク__B アドレス 6 1 4 は、書込アドレス選択論理 6 0 2 によって書込アドレス 3 0 8 として選択される。バンク__B に対する空きリスト 6 0 8 からバンク__B アドレス 6 1 4 が除去されると、バンク__B に対する空きリストカウンタ 6 1 0 がデクリメントされる。書込アドレス 3 0 8 および読出アド

10

20

30

40

50

レス 3 1 0 は、メモリアクセス論理 3 1 2 (図 3) によってバッファセグメントメモリのそれぞれのバンク 1 0 8 A、1 0 8 B に転送される。処理はステップ 8 1 8 に進む。

【 0 0 5 5 】

ステップ 8 1 4 において、読出アドレス 3 1 0 は、アドレス選択論理 3 1 2 (図 3) によってセグメントバッファメモリのバンク __ A 1 0 8 A に転送される。処理はステップ 8 1 8 に続く。

【 0 0 5 6 】

ステップ 8 1 8 では、読出動作が終了すると、読出アドレスのコピーカウンタはコピーカウンタ論理 6 2 4 によって減分される。読出アドレス 3 1 0 はバンク __ A に対する空きリスト 6 0 6 に返され、バンク __ A の空きリストカウンタ 6 0 4 はコピーカウンタがゼロであるのなら増分される。処理はステップ 8 2 0 に続く。

【 0 0 5 7 】

ステップ 8 2 0 では、ポートタイミング論理 3 0 4 (図 2) は次のポートサイクル 3 1 4 に増分される。処理は次のポートサイクルに対してステップ 8 0 0 で続く。

【 0 0 5 8 】

図 9 は図 1 A に示されるセグメントバッファメモリを示すブロック図であり、セグメントバッファメモリは物理的に 4 個のバンク、すなわちセグメントバッファメモリ (バンク __ A (偶数)) (A e) 1 0 8 A e、セグメントバッファメモリ (バンク __ A (奇数)) (A o) 1 0 8 A o、セグメントバッファメモリ (バンク B (偶数)) (B e) 1 0 8 B e、およびセグメントバッファメモリ (バンク B (奇数)) (B o) 1 0 8 B o に分けられる。メモリアドレスの 2 つの M S B に依存して、たとえば A または B のバンクを選択する M S B ビットおよび奇数または偶数バンクを選択する M S B - 1 メモリアドレスに依存して、メモリは物理的に 4 個のバンクに分けられる。

【 0 0 5 9 】

セグメントバッファメモリ 1 0 8 の各バンクは関連するメモリアドレス、すなわちアドレス __ A e 9 0 0、アドレス __ A o 9 0 2、アドレス __ B e 9 0 4、およびアドレス __ B o 9 0 6 を有する。メモリアクセス論理 1 2 は、書込アドレス 3 0 8 に符号化されるセグメントバッファメモリ 1 0 8 のバンクおよびポートサイクルに依存して、書込アドレス 3 0 8 をアドレス __ A e 9 0 0、アドレス __ A o 9 0 2、アドレス __ B e 9 0 4 またはアドレス __ B o 9 0 6 に送る。メモリアドレス論理 3 1 2 は、読出アドレス 3 1 0 に符号化されるセグメントバッファメモリ 1 0 8 のバンクおよびポートサイクルに依存して、読出アドレス 3 1 0 をアドレス __ A e 9 0 0、アドレス __ A o 9 0 2、アドレス __ B e 9 0 4 またはアドレス __ B o 9 0 6 に送る。

【 0 0 6 0 】

データセグメント時間当り各ポートに与えられるメモリバンド幅は、各データセグメント時間において各ポートに対して 2 つのポートサイクル 3 1 4、すなわち偶数ポートサイクルおよび奇数ポートサイクルを実施することにより、2 倍に増加する。偶数バンク 1 0 8 A e および 1 0 8 B e は偶数サイクルでアクセスされ、奇数バンク 1 0 8 A o および 1 0 8 B o は奇数サイクルでアクセスされる。書込アドレス論理 3 0 0 (図 2) および読出アドレス論理 3 0 4 (図 2) は、各ポートサイクルで発行された読出アドレス 3 0 8 および書込アドレス 3 1 0 がバッファセグメントメモリ 1 0 8 A e、1 0 8 A o、1 0 8 B e、および 1 0 8 B o の異なるバンク用であることを確実にする。したがって、偶数サイクルの際、バンク __ A e 1 0 8 A e への読出アクセスは、バンク B e 1 0 8 B への書込アクセスと並行に起こる。

【 0 0 6 1 】

データセグメント時間ごとに、各ポートに対して 2 つのポートサイクルを与え、かつ各ポートサイクルに並行な読出および書込アクセスを与えることにより、セグメントバッファメモリ 1 0 8 のバンド幅は、スイッチ 1 0 0 に接続される各ポートに対して 4 倍になる。したがって、各データセグメント時間において、各ポートに対して 4 回セグメントバッファメモリ 1 0 8 をアクセスすることができる。メモリアクセスは対で与えられ、1 つの偶

10

20

30

40

50

数バンクの読出動作がほかの偶数バンクへの書込動作と並行に行なわれる。

【 0 0 6 2 】

図 1 0 は図 9 に示される四バンクセグメントバッファメモリ 1 0 8 に対する、図 3 に示される読出アドレス論理 3 0 2 を示すブロック図である。読出アクセス論理 3 0 2 (図 3) は偶数 / 奇数ポート待ち行列選択論理 1 0 0 0、各出力ポート 1 1 2 に対するポート待ち行列 5 1 0、および偶数 / 奇数読出アドレス選択論理 1 0 0 4 を含む。四バンクセグメントバッファメモリ 1 0 8 に対して、ポートタイミング論理 3 0 4 (図 3) は所定の数のクロック周期に偶数ポートサイクル 1 0 6 および奇数ポートサイクル 1 0 8 をそれぞれ生成し、各データセグメントタイムスロット 2 0 4 (図 2) において偶数 / 奇数信号 1 0 1 0 を生成する。偶数ポートサイクル 1 0 0 6 および奇数ポートサイクル 1 0 0 8 のタイミング図の例は図 1 0 と関連して説明される。

10

【 0 0 6 3 】

ポート待ち行列 5 1 0 は既に図 5 と関連して記載されている。偶数 / 奇数ポート待ち行列選択論理 1 0 0 0 は、奇数ポートサイクル 1 0 0 6 および偶数ポートサイクル 1 0 0 8 の状態ならびにポートタイミング論理 3 0 4 (図 3) からの偶数 / 奇数信号 1 0 1 0 に依存して、読出すべきポート待ち行列 5 1 0 を選択する。ポートに対して奇数ポートサイクル 1 0 0 6 または偶数ポートサイクル 1 0 0 8 のどちらかが活性状態の場合、ポートに対して読出すべき次のデータセグメントの場所 5 0 4 はポート待ち行列 5 1 0 から選択され、偶数 / 奇数読出アドレス選択論理 1 0 0 4 に送られる。

【 0 0 6 4 】

20

偶数 / 奇数読出アドレス場所選択論理 1 0 0 4 は偶数ポートサイクル 1 0 0 6 および奇数ポートサイクル 1 0 0 8 の状態に依存して、ポート待ち行列 5 1 0 によって与えられるアドレス 5 0 4 を送る。場所 5 0 4 が奇数であり、かつ奇数ポートサイクル 1 0 0 8 が活性状態にある場合、場所 5 0 4 は偶数 / 奇数読出アドレス選択論理 1 0 0 4 に送られる。場所 5 0 4 が奇数でありかつ偶数ポートサイクル 1 0 0 6 が活性状態にある場合、場所 5 0 4 は偶数 / 奇数読出アドレス選択論理 1 0 0 4 に送られないが、場所 5 0 4 が偶数であるのなら場所 5 0 4 は送られる。したがって、データセグメント時間において、データセグメントがセグメントバッファメモリ 1 0 8 の奇数および偶数バンクに記憶されているのなら、ポートはセグメントバッファメモリ 1 0 8 からデータセグメントの 2 つの場所を読出し得る。

30

【 0 0 6 5 】

図 1 1 は、図 9 に示される四バンクセグメントバッファメモリ 1 0 8 のための、図 2 に示される書込アドレス論理を示すブロック図である。四バンク書込選択論理 1 1 0 0 はセグメントバッファメモリ 1 0 8 A o、1 0 8 A e、1 0 8 B o および 1 0 8 B e の 4 つのバンクの 1 つに対する書込アドレス 3 0 8 を選択する。バッファセグメントメモリ 1 0 8 A o、1 0 8 A e、1 0 8 B o および 1 0 8 B e の各バンクは、関連する空きリスト 1 1 1 2、1 1 1 4、1 1 1 6 および 1 1 1 8 ならびに空きリストカウンタ 1 1 0 2、1 1 0 4、1 1 0 6 および 1 1 0 8 を有する。

【 0 0 6 6 】

四バンク書込選択論理 1 1 0 0 は、読出アドレス 3 1 0 および偶数 / 奇数信号 9 1 0 に依存して、書込アドレスを抽出すべき空きリスト 1 1 1 2、1 1 1 4、1 1 1 6 および 1 1 1 8 を定める。四バンク書込選択論理 1 1 0 0 は、偶数 / 奇数信号 9 1 0 からメモリアクセスが偶数サイクル用でありかつ読出アドレス 3 1 0 はバッファセグメントメモリ 1 0 8 A e の A e バンク用であると定めたなら、書込アドレスは B e バンクの空きリスト 1 1 0 6 から抽出される。四バンク書込選択論理 1 1 0 0 は、偶数 / 奇数信号 9 1 0 からメモリアクセスは偶数サイクル用であり、かつ読出アドレス 3 1 0 はバッファセグメントメモリ 3 0 8 B e の B e バンク用であると定めたなら、書込アドレスは A e バンクの空きリスト 1 1 1 2 から抽出される。

40

【 0 0 6 7 】

四バンク書込選択論理 1 1 0 0 は読出アドレスがバッファセグメントメモリ 1 0 8 A e の

50

A eバンク用であると定めるのなら、E N A __ 3 信号 1 1 3 4 を通して B eバンクの空きリスト 1 1 1 6 を能動化し、それにより B eバンクの空きリスト 1 1 1 6 は四バンク書込アドレス選択論理 1 1 2 0 に対して B eバンクアドレス 1 1 2 6 を与えることができる。B eバンク用の空きリストからアドレスが取除かれると、四バンク書込選択論理 1 1 0 0 は獲得 / 更新カウンタ B e 信号 1 1 4 0 に更新カウンタ B e 信号を生成して、バンク __ B e の空きリストカウンタ 1 1 4 0 を減分することにより、B eバンクの空きリスト 1 1 1 6 を更新する。

【 0 0 6 8 】

有効な読出アドレスがない場合、四バンク書込選択論理 1 1 0 0 は空きリストカウンタ 1 1 0 2、1 1 0 4、1 1 0 6、および 1 1 0 8 に依存して、書込アドレス 3 0 8 を抽出するべき空きリスト 1 1 1 2、1 1 1 4、1 1 1 6 および 1 1 1 8 を定める。最も大きい値を有する空きリストカウンタ 1 1 0 2、1 1 0 4、1 1 0 6 および 1 1 0 8 は、最大の利用可能な場所を有するセグメントバッファメモリ 1 0 8 A e、1 0 8 A o、1 0 8 B e、1 0 8 B o のバンクを示す。空きリストカウンタ 1 1 0 2、1 1 0 4、1 1 0 6 および 1 1 0 8 における最大の利用可能な場所に関連する空きリスト 1 1 1 2、1 1 1 4、1 1 1 6 および 1 1 1 8 は選択されて、書込まれるべきセグメントバッファメモリ 1 0 8 の次の場所を与える。こうして、データが書込まれる際に、バッファセグメントメモリ 1 0 8 A e、1 0 8 A o、1 0 8 B o および 1 0 8 B e のバンク間で均等に配分される。

【 0 0 6 9 】

たとえば、偶数のポートサイクルに対して読出アドレス 3 1 0 がなければ、四バンク書込選択論理 1 1 0 0 は獲得 / 更新カウンタ A e 信号 1 1 4 4 および獲得 / 更新カウンタ B e 1 1 4 0 信号を通して、A eバンク用の空きリストカウンタ 1 1 0 2 および B eバンク用の空きリストカウンタ 1 1 0 6 から現行のカウンタを得る。バンク __ A e 用の空きリストカウンタ 1 1 0 2 およびバンク __ B e 用の空きリストカウンタ 1 1 0 6 は四バンク書込アドレス論理 1 1 0 0 に送られる。四バンク書込アドレス論理 1 0 0 0 はカウンタ値を比較し、バンク __ A e のカウンタ 1 1 0 2 およびバンク __ B e のカウンタ 1 1 0 6 のどちらが大きいかに依存して、E N A __ 1 信号 1 1 3 0 または E N A __ 3 信号 1 1 3 4 を生成する。

【 0 0 7 0 】

空きリスト書込アドレス 1 1 2 2、1 1 2 4、1 1 2 6 および 1 1 2 8 のうち 1 つが選択されると、書込アドレス 3 0 8 は四バンク書込アドレス選択論理 1 1 2 0 によってセグメントバッファメモリ 1 0 8 に送られる。コピーカウンタ 6 2 6 は書込アドレス 3 0 8 用のコピーカウンタ論理 6 2 4 に記憶される。コピーカウンタ 6 2 6 はマルチキャストパケットを管理するために用いられる、すなわちパケットが 2 つ以上の出力ポート 1 1 2 に対して待ち行列に入れられる。

【 0 0 7 1 】

図 1 2 は図 9 に示される四バンクセグメントバッファメモリ 1 0 8 の読出および書込アドレスのタイミングを示すタイミング図である。各データセグメントタイムスロット 2 0 4 において、スイッチ 1 0 0 に接続される 6 4 個のポートの各々に対して、セグメントバッファメモリへのアクセスが 4 回与えられる。データセグメントタイムスロット 2 0 4 は 6 4 個のポートのうちのいずれかのポートでデータセグメントを受取る時間である。したがって、データセグメント時間 2 0 4 は、スイッチ 1 0 0 に接続される各ポートに対して、セグメントバッファメモリ 1 0 8 にデータセグメントを記憶するのに利用できる最長の時間である。

【 0 0 7 2 】

各ポートは、セグメントバッファメモリ 1 0 8 をアクセスするべきポートサイクル時間 2 0 8 が割当てられている。データセグメントはポートサイクル時間 2 0 8 の間に、ポート用のデータセグメントメモリのバンクに対して読出または書込される。ポートサイクル時間 2 0 8 はデータセグメントタイムスロット 2 0 4 およびスイッチ 1 0 0 に接続されるポートの数に依存する。セグメントバッファメモリ 1 0 8 (図 1 A) のアクセス時間はポー

10

20

30

40

50

トサイクル時間 208 に依存する。

【0073】

1204において、各データセグメントタイムスロット204が開始されるとき、フレームパルス信号をパルス化することによりフレームパルスが生成される。フレームパルス信号はポートタイミング論理304(図3)を初期化するために用いることができる。1206において、ポート0用の偶数サイクルが開始される。ポート0用の書込アドレスはバッファセグメントメモリ108AeのAeバンクに送られ、ポート0の読出アドレスはバッファセグメントメモリ108BeのBeバンクに送られる。時間1214において、ポート32の奇数サイクルが開始され、ポート32の書込アドレスはバッファセグメントメモリ108BoのAoバンクに送られ、ポート32の読出アドレスはバッファセグメントメモリ108BoのBoバンクに送られる。ポート32の奇数サイクルの開始1214は、ポート0の偶数サイクルの開始1206後、ポートサイクル時間208の半分の時間から始まる。この偶数サイクルの開始および奇数サイクルの開始間の遅れにより、奇数サイクルおよび偶数サイクルにおいてバッファセグメントメモリ108に共通論理を使用することができる。共通論理が用いられないのなら、奇数サイクルの開始および偶数サイクルの開始は同じ時間にスケジュールされ得る。

10

【0074】

1218において、ポート0の奇数サイクルの開始は、データセグメントタイムスロット204の半分の時間に、ポート0の偶数サイクルの開始からポートタイムスロット208の半分の時間を加えた時間としてスケジュールされる。この時間は図12における遅延時間1220である。たとえば、データセグメントタイムスロット204が5120ns(64バイト、バイト当り8ビット、バイト当り10ns)であり、ポート0の偶数ポートサイクルの開始1206が0で始まるのなら、ポート0の奇数ポートサイクルの開始は、ポート0の偶数ポートサイクルの開始1206から2200ns($5120/2 + 40$)にスケジュールされる。

20

【0075】

データセグメントタイムスロット204において、スイッチ100はデータセグメントサイズの倍数でないバイトカウンタのデータパケットを受取ることができる。これらのデータパケットは最小のデータパケットとして受取られる時間とほぼ同じ時間をとる。たとえば、データセグメントタイムスロット204内で入力ポート0で受取られた65バイトのデータパケットを記憶するのに、ポート0の偶数サイクルの間最初の64バイトがセグメントバッファメモリ108に書込まれ、最後のバイトはポート0の奇数サイクルの際にセグメントバッファメモリ108に書込まれる。

30

【0076】

スイッチ100は1データセグメントより大きいデータパケットを受取ることができる。同じデータパケットのデータを受けながら、四バンク書込選択論理1100はパケット信号1138を通して、同じパケットの順次データセグメント用の書込アドレス208が交互の偶数および奇数空きリストから選択されることを確実にする。たとえば、最初のセグメントが偶数バンク__Bの空きリスト1116から選択された書込アドレス308に書込まれるのなら、次の順次セグメントはバンク__A 108Aoまたはバンク__B 108Boからの読出があるかどうかによって依存して、奇数バンク__Bの空きリスト1108または奇数バンク__Aの空きリスト1114から選択された書込アドレス308に書込まれる。

40

【0077】

図13は図9に示される四バンクセグメントバッファメモリの偶数バンク用の読出および書込アドレスを選択するステップを示すフロー図である。

【0078】

図13は図9に示される四バンクセグメントバッファメモリの偶数バンク用の読出および書込アドレスを選択するステップを示すフロー図である。

セグメントバッファメモリ108Aeおよび108Beの偶数バンクは偶数ポートタイムスロットで選択される。同じステップは奇数ポートタイムスロットにおいてセグメントバ

50

ッファメモリ 108A および 108Ae の奇数バンク用に読出および書込アドレスを選択するために行なわれる。図 12 に示されるように、偶数ポートタイムスロットの際の読出および書込動作は同じポートに対して発行される、すなわち入力ポート 102 および出力ポート 112 は同じポートである。入力ポート 102 および出力ポート 112 は示されているように同じポートである必要はなく、読出動作および書込動作は並行に異なるポートに対して発行され得る。図 13 は図 9 - 図 12 に関連して記載される。

【0079】

ステップ 1300 において、4 バンク書込選択論理 1100 は出力ポート 112 用の保留読出を示す、読出選択論理 1004 からの有効な読出アドレス 310 があるかどうかを定める。保留の読出があるのなら、処理はステップ 1304 で続けられる。なければ、処理はステップ 1328 に続く。

10

【0080】

ステップ 1304 において、4 バンク読出選択論理 1004 はメモリアクセス論理 312 によって読出アドレスがセグメントバッファメモリ 108A および 108Be のどの偶数バンクに発行されるのかを定める。読出アドレス 310 が偶数バンク __A 108Ae 用であるのなら、処理はステップ 108 に進む。読出アドレス 310 が偶数バンク __B 108Be 用であるのなら、処理はステップ 1306 に進む。

【0081】

ステップ 1308 において、4 バンク書込選択論理 1100 は入力ポート 102 に対して保留の書込があるかどうかを定める。入力ポートに対して保留書込があるのなら、処理はステップ 1320 に進む。なければ、処理はステップ 1318 に進む。

20

【0082】

ステップ 1320 において、4 バンク書込選択論理 1100 は ENA __3 信号 1134 を通して偶数バンク __B の空きリスト 1116 からセグメントバッファメモリ 108Be の偶数バンク __B に対する利用可能なアドレスを抽出する。バンク __B の偶数バンク __B 空きリスト 1116 からの偶数バンク __B アドレス 1126 は 4 バンク書込アドレス選択論理 1120 によって書込アドレス 308 として選択される。偶数バンク __B 空きリストカウンタ 1106 は獲得 / 更新カウンタ Be 信号 1140 によって減分される。書込アドレス 308 および読出アドレス 310 は 4 バンク読出 / 書込アドレス選択論理 908 (図 9) を通してセグメントバッファメモリ 108A および 108Be のそれぞれの偶数バンクに送られる。処理はステップ 1324 に進む。

30

【0083】

ステップ 1318 において、読出アドレス 310 は 4 バンク読出 / 書込アドレス選択論理 908 によって、セグメントバッファメモリ 108Ae の偶数バンク __A に送られる。処理はステップ 1324 に進む。

【0084】

ステップ 1324 において、読出動作が終了すると、読出アドレス 310 は偶数バンク __A の空きリスト 1112 に返され、コピーカウンタ 626 (図 6) がゼロであれば偶数バンク __A の空きリストカウンタ 1102 は増分される。処理はステップ 1326 に進む。

【0085】

40

ステップ 1328 において、4 バンク書込選択論理 1100 はポートに対して書込の保留があるかどうか定める。ポートに対して書込保留があるのなら、処理はステップ 1330 に進む。なければ、処理はステップ 1326 に進む。

【0086】

ステップ 1330 において、4 バンク書込選択論理 1100 は、偶数バンク __A の空きリストカウンタ 1102 に記憶されるカウンタおよび偶数バンク __B の空きリストカウンタ 1106 に記憶されるカウンタから、バッファセグメントメモリ 108A および 108Be のどの偶数バンクが最も空いているかを定める。書込選択論理はセグメントバッファメモリ 108Ae の偶数バンク __A が最も空いていることを定めると、処理はステップ 1334 に進む。4 バンク書込選択論理 1100 はセグメントメモリ 108Be の偶数バン

50

ク__Bが最も空いていると定めると、処理はステップ1336に続く。

【0087】

ステップ1334において、四バンク書込選択論理1100は偶数バンク__Aの空きリスト1112から、セグメントバッファメモリ108Aeの偶数バンク__Aの利用可能な場所のアドレスを取除く。偶数バンク__Aの空きリスト1112からのバンク__Aアドレス1122が、四バンク書込アドレス選択論理1120によって書込アドレス308として選択される。偶数バンク__Aアドレス1122が偶数バンク__Aの空きリスト1112から取除かれる際、偶数バンク__Aの空きリストカウンタ1102は減分される。書込アドレス308は四バンク読出/書込アドレス選択論理908(図9)によって、セグメントバッファセグメントメモリ108Aeの偶数バンク__Aに送られる。

10

【0088】

ステップ1336において、四バンク書込選択論理1100は偶数バンク__Bの空きリスト1116から、セグメントバッファメモリ108Beの偶数バンク__Bから利用可能なアドレスを取除く。偶数バンク__Bの空きリスト1116からの偶数バンク__Bアドレス1126は、四バンク書込アドレス選択論理1120によって書込アドレス308として選択される。偶数バンク__Bアドレス1126が偶数バンク__Bの空きリスト1106から取除かれる際、偶数バンク__Bの空きリストカウンタ1106が減分される。書込アドレス308は四バンク読出/書込アドレス選択論理908(図9)によって、バッファセグメントメモリ108Beの偶数バンク__Bに送られる。

20

【0089】

ステップ1306において、四バンク書込選択論理1100はポートに対して書込動作が保留であるかどうか定める。書込保留があるのなら、処理はステップ1316に進む。なければ、処理はステップ1312に続く。

【0090】

ステップ1316において、四バンク書込選択論理1100は偶数バンク__Aの空きリスト1112から、セグメントバッファメモリ108Aeの偶数バンク__Aにおける利用可能なアドレスを取除く。偶数バンク__Bの空きリスト1116からの偶数バンクAアドレス1122は、四バンク書込アドレス選択論理1120によって、書込アドレス308として選択される。偶数バンク__Aアドレス1122が偶数バンク__Aの空きリスト1112から取除かれる際、偶数バンク__Aの空きリストカウンタ1102は減分される。書込アドレス308および読出アドレス310は、四バンク読出/書込アドレス選択論理908(図9)によって、セグメントバッファメモリ108Aeおよび108Beのそれぞれのバンクに送られる。処理はステップ1322に進む。

30

【0091】

ステップ1312において、読出アドレス310は、四バンク読出/書込アドレス選択論理908(図9)によって、セグメントバッファメモリ108Beの偶数バンク__Aに送られる。処理はステップ1322に進む。

【0092】

ステップ1322において、読出動作が終了すると、読出アドレス310は偶数バンク__Aの空きリスト1112に返され、コピーカウンタ626(図6)がゼロであれば偶数バンク__Aの空きリストカウンタ1102が増分される。処理はステップ1326に進む。

40

【0093】

ステップ1326において、次の偶数ポートタイムスロットの処理が始まる。次の偶数ポートサイクルはポートタイミング論理304(図3)によって定められる。

【0094】

本発明は、図4 - 図6に関連して記載されている2つのバンクまたは図9 - 図13に関連して記載される4つのバンクに分けられる、バッファセグメントメモリ108(図1A)に限定されない。バッファセグメントメモリ108は 2^N (ここで $N = 1, 2, 3, 4 \dots$)個の任意の数のバンクに分けられ得る。

【0095】

50

本発明は特定の示されかつ好ましい実施例を参照して記載されているが、前掲の特許請求の範囲によって含まれる発明の範囲から逸脱することなく、形および詳細においてさまざまな変形が可能であることは理解されるであろう。

【図面の簡単な説明】

【図 1 A】 非ブロッキング共通メモリスイッチのブロック図である。

【図 1 B】 入力ポートで受取られるべき先行技術のイーサネット（R）データパケットのブロック図である。

【図 2】 スイッチ内の共通メモリによる入力ポートから出力ポートへの転送を示すタイミング図である。

【図 3】 図 1 A に示される、パケットストレージマネージャ 106 を示すブロック図である。

10

【図 4】 物理的に 2 つのバンクに分割された、図 1 A に示されるセグメントバッファメモリ 108 を示すブロック図である。

【図 5】 図 4 に示される二バンクセグメントバッファメモリに対する図 3 に示される読出アドレス論理 302 を示すブロック図である。

【図 6】 図 4 に示される二バンクセグメントバッファメモリに対する図 3 に示される書込アドレス論理を示すブロック図である。

【図 7】 図 4 に示される二バンクセグメントバッファメモリに対する読出および書込アドレスのタイミングを示すタイミング図である。

【図 8】 図 4 に示される二バンクセグメントバッファメモリに対する読出および書込アドレスを選択するためのステップを示すフロー図である。

20

【図 9】 物理的に 4 つのバンクに分割された、図 1 A に示されるセグメントバッファメモリを示すブロック図である。

【図 10】 図 9 に示される四バンクセグメントバッファメモリに対する図 3 に示される読出アドレス論理を示すブロック図である。

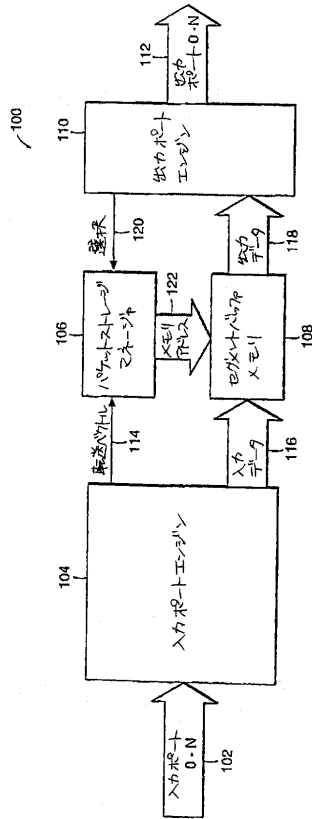
【図 11】 図 9 に示される四バンクセグメントバッファメモリに対する図 3 に示される書込アドレス論理を示すブロック図である。

【図 12】 図 9 に示される四バンクセグメントバッファメモリに対する読出および書込アドレスのタイミングを示すタイミング図である。

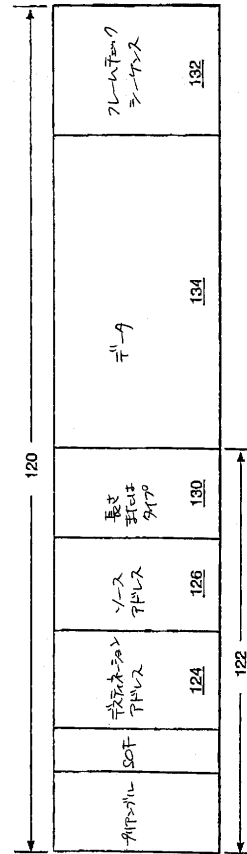
【図 13】 図 9 に示される四バンクセグメントバッファメモリの偶数のバッファに対する読出および書込アドレスを選択するためのステップを示すフロー図である。

30

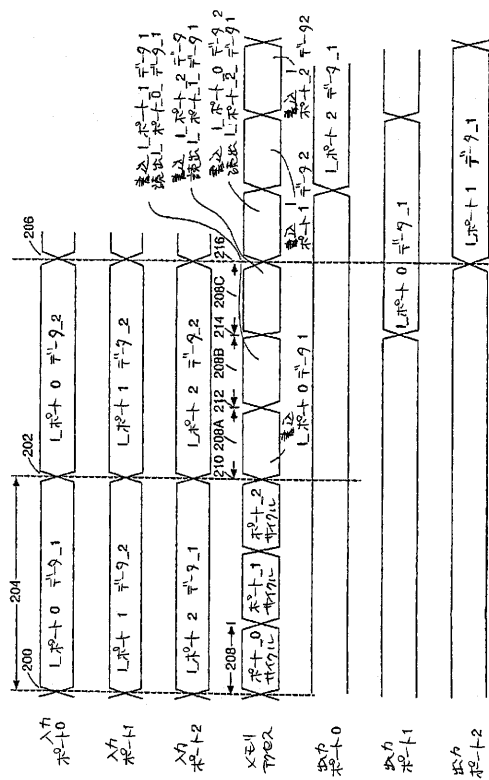
【図 1 A】



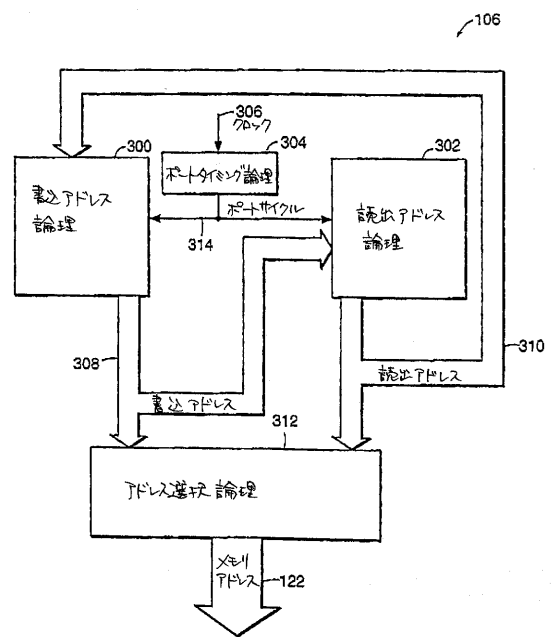
【図 1 B】



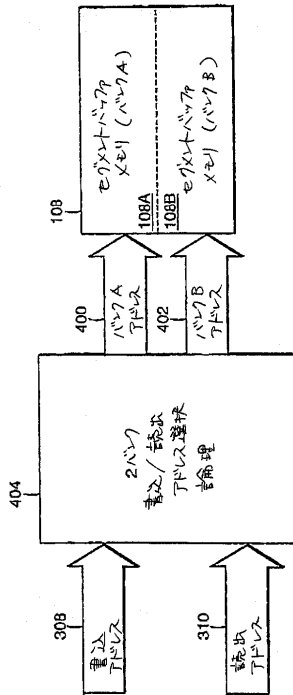
【図 2】



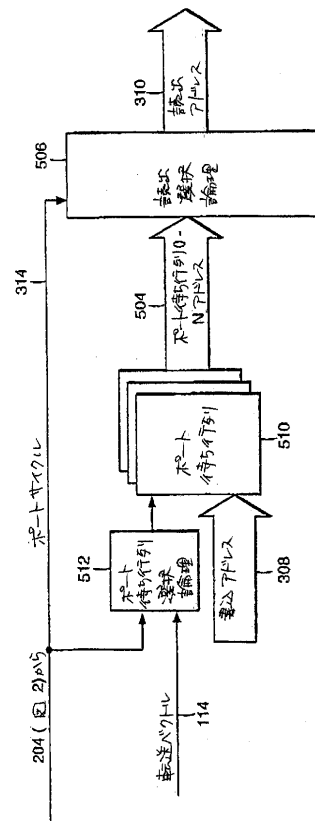
【図 3】



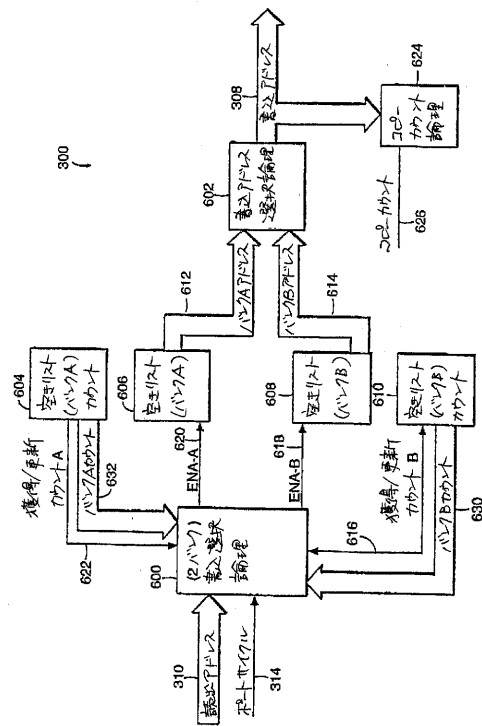
【 図 4 】



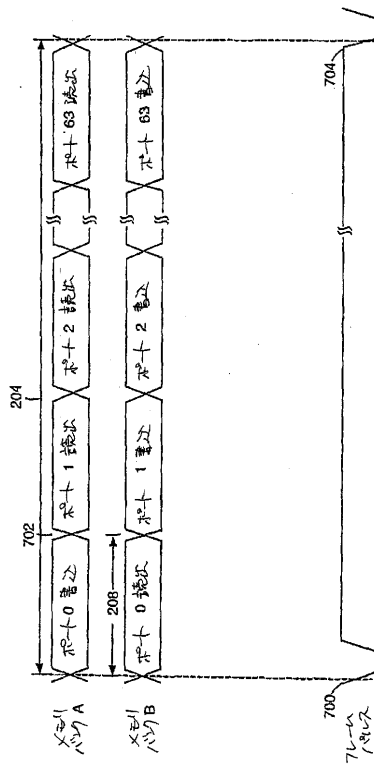
【 図 5 】



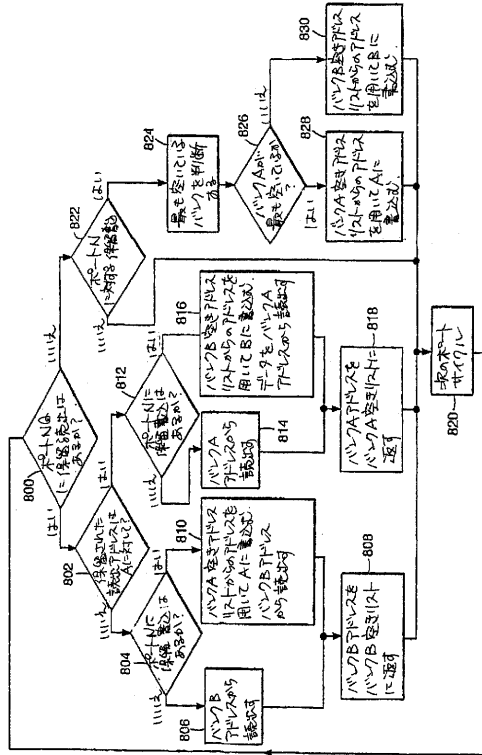
【 図 6 】



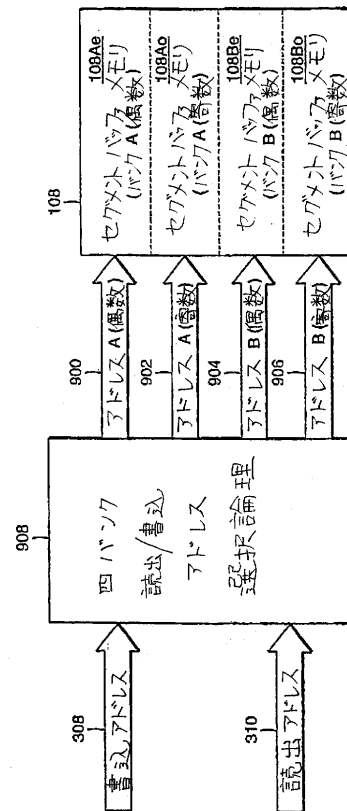
【 図 7 】



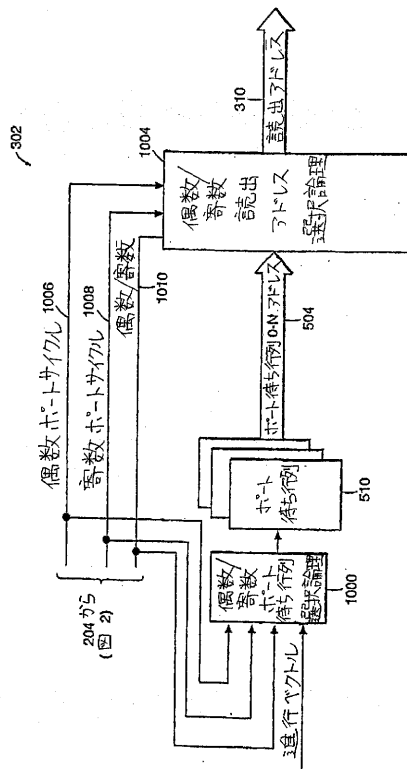
【図 8】



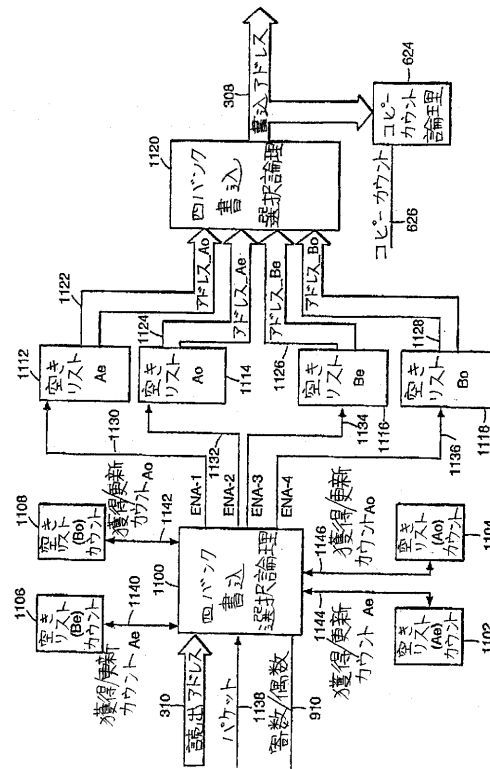
【図 9】



【図 10】



【図 11】



フロントページの続き

(74)代理人 100096781

弁理士 堀井 豊

(74)代理人 100096792

弁理士 森下 八郎

(72)発明者 ブラウン, デイビッド・エイ

カナダ、ケイ・０・エイ １・エル・０ オンタリオ州、カーブ、アリーシャ・クレセント、１１
０

審査官 矢頭 尚之

(56)参考文献 特開平１１－１７７０６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)

H04L 12/56