

필링 유전층(72)이 형성된다. 일 실시예에서, 하지의 도전성 영역들(44, 48a, 48b)이 공극들(74)로부터 침투되는 것으로부터 보호하기 위해서 무전해 증착에 의해 패시베이션층들(32, 54)이 형성된다. 또한, 패시베이션층들(32, 54)이 하지의 도전성 영역들(44, 48a, 48b) 위에 돌출하여 놓여 있어, 더미 피쳐들(65a, 65b, 67)은 도전성 영역들(48a, 44, 48b)에 인접하여 형성된다. 패시베이션층들(32, 54)은 추가의 패터닝 단계들 없이 형성될 수 있어 오정렬된 비아들이 공극들로 구멍을 내는 것을 최소화할 수 있다.

대표도

도 7

색인어

도전성 영역, 패시베이션층, 무-간극 필링 유전층, 더미 피쳐, 공극, 패터닝

명세서

기술분야

본 발명은 일반적으로 반도체 가공에 관한 것으로, 특히 바람직하게는 공극 형성 공정(air gap formation process)에서 사용되는 패시베이션층(passivation layer)을 형성하는 것에 관한 것이다.

배경기술

금속 상호 접속들의 정전 용량(capacitance)을 감소시키기 위해서, 이산화실리콘(SiO_2)은 층간 유전(ILD)층으로서 저 유전 상수(로우(low)-k) 물질들로 대체할 수 있다. 여기서 사용되는 로우-k 물질은 SiO_2 미만(즉 대략 4.0 미만)의 유전 상수를 갖는다. 한 바람직한 로우-k 물질은 저압 가스 또는 진공이며 이들을 일반적으로 에어(air) 또는 공극(air gap)이라 한다.

절연물질이 반도체 웨이퍼의 표면 상에 증착될 때, 이 절연물질이 두 금속 상호 접속들 사이의 공간을 완전히 채우지 않고, 따라서, 이 공간에 공극이 형성되도록 공극들은 두 개의 금속 상호 접속들을 서로 가깝게 놓아두어 형성된다. 그러나, 공극이 형성될 때에도, 서로 근접성(proximity) 때문에 두 개의 상호 접속들 사이에 어떤 용량 결합(두 금속 간에)이 존재한다. 두 금속 상호 접속들간의 간격(spacing)을 증가시키는 것이 공극들을 형성하는 것보다 용량 결합을 더 감소시키기 때문에, 설계 규칙들에서는 용량 결합에 민감한 금속 상호 접속들에 대해선 이들간 거리가 너무 커 공극들을 형성할 수 없는 거리로 분리시켜 둘 것을 요한다. 그러나, 이것은 반도체 디바이스 또는 다이(die)의 크기를 바람직하지 못하게 증가시킨다. 공기보다는 덜 바람직한 로우-k 물질(즉, 공기보다 큰 유전 상수를 갖는 물질)이, 정전 용량에 민감한 금속 상호 접속들 사이에 증착된다. 금속 라인들 간에 정전 용량을 더욱 감소시키는 것이 극히 바람직한 것이다.

공극들을 형성하는 많은 방법들이 있다. 대부분이, 후속하여 형성되는 오정렬된 비아들(vias)이 밑에 있는 공극으로 구멍이 나게 하지 않게 하도록 한다. 비아를 채울 때, 화학물들이 공극을 둘러싼 유전체와 반응하여 오염된(poisoned) 비아들이 되게 할 수도 있다. 한 방법은 하드 마스크(hard mask)를 형성하는 것을 포함하고, 또 다른 방법은 랜딩 패드(landing pad)를 형성하는 것을 포함한다. 바람직하지 못하게도, 이들 두 공정들은 추가의 패터닝 단계를 요구한다. 또한, 하드 마스크는 고 유전 상수의 물질이므로 바람직하지 못하게 금속 상호 접속들간에 전체적인 유전 상수를 증가시킨다. 이에 따라, 공극들을 형성할 때, 특히 금속 상호 접속들이 너무 이격되어 있어 이들 사이에 통상적인 공극들을 형성시킬 수 없는 이들 금속 상호 접속들 간에 비아 오정렬을 허용하는 공정이 필요하다.

본 발명은 예로서 예시되며, 동일 구성 요소들에 동일 참조 부호들을 사용한 첨부한 도면들에 의해 한정되지 않는다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 따라 제 1 상호 접속 상에 형성된 제 1 패시베이션층과의 제 1 상호 접속 및 트랜지스터를 구비한 반도체 디바이스의 부분의 단면도.

도 2는 본 발명의 바람직한 실시예에 따라 패시베이션층을 형성하는데 사용되는 무전해 장벽 증착 흐름(electroless barrier deposition flow)을 도시한 도면.

도 3은 제 2 상호 접속 및 도전성 더미 피쳐들을 형성한 후에 도 1의 반도체 디바이스를 도시한 도면.

도 4는 제 2 상호 접속 및 도전성 더미 피쳐들 상에 제 2 패시베이션층들을 형성한 후에 도 2의 반도체 디바이스를 도시한 도면.

도 5는 패터닝된 포토레지스트 층을 형성한 후에 도 4의 반도체 디바이스를 도시한 도면.

도 6은 절연 더미 피쳐들(insulating dummy features)을 형성한 후에 도 5의 반도체 디바이스를 도시한 도면.

도 7은 본 발명의 일 실시예에 따라 보이드들(voids)을 형성한 후에 도 6의 반도체 디바이스를 도시한 도면.

도 8은 본 발명의 또 다른 실시예에 따른 보이드들을 형성하는 것을 도시한 도면.

도 9는 도 7 및 도 8에서 보이드들의 평면도.

도 10은 본 발명에 따른 보이드들의 또 다른 실시예의 평면도이다.

도 11은 본 발명의 일 실시예에 따라 서로 다른 더미 피쳐들을 갖는 영역들을 구비한 반도체 다이의 부분의 평면도.

도 12는 본 발명의 실시예에 따라 공극 형성을 위한 더미 피쳐들을 제공하기 위한 컴퓨터 자동 설계(CAD) 툴 방법의 순서도이다.

당업자는 도면들의 구성 요소들이 간략성(simplicity)과 명료성(clarity)을 위해 예시된 것이고 반드시 스케일에 맞게 도시되지 않은 것임을 안다. 예를 들면, 도면들에서 일부 구성 요소들의 크기들은 본 발명의 실시예들의 이해를 돕기 위해서 다른 구성 요소들에 대해 확대되어 있을 수도 있다.

실시예

오정렬되는 비아들이 공극들로의 구멍이 날 위험을 최소화하고 고 유전 상수의 유전 장벽을 사용하지 않는 공극들을 형성하는 공정 형태를 논한다. 구리와 같은 패시베이션층은 추가의 패터닝 단계를 필요로 함이 없이 도전성 영역의 양측을 따라 스페이서들(spacers)을 규정하기 위해 도전성 영역 상에 바람직하게 무전해 증착된다. 무전해 증착은 자기 정렬 공정(self-aligned process)의 등방성 성장(isotropic growth)을 이용한다.

여기서 사용되는, 도전성 더미 피쳐들(conductive region feature)은, 도전성 물질로 만들어지고 디바이스 동작 중에 전류를 흘릴 수 있는 비트 라인(bit line) 및 게이트 전극과 비교해 볼 때, 도전성 물질로부터 만들어지긴 하나 동작중에 이들을 통해 전류가 흐르지 않게 하는 피쳐들이다. 일 실시예에서, 도전성 더미 피쳐들은 아마도 다른 도전성 더미 피쳐들에 의한 것은 제외하고, 다른 도전성 피쳐에는 결합되지 않는다. 보이드들은 가스(예를 들면, 공기)를 포함하거나 진공인 폐쇄된 영역들이다. 보이드들은 구형, 주상(columnar) 또는 어떤 특별한 피쳐로 한정되는 것은 아니다. 여기서 사용되는, 공극은 보이드 형태이다.

여기서 사용되는, 두 개의 구조들 사이에 어떠한 피쳐들도 없이 서로 간에 이격될 수 있고 또한 두 구조들 상에 어떤 물질의 증착시 이들 사이에 보이드가 형성되게 할 수 있게 하는 이들 두 구조들간 최대 거리는 보이드 간격이다. 그러므로, 두 금속 상호 접속들간 거리가 보이드 간격 이하이면, 후속하여 물질층이 증착될 때 이들 두 금속 상호 접속들 사이에 보이드가 형성될 것이다. 일 실시예에서, 보이드 간격은 대략 0.4 마이크로미터이지만, 이것은 증착되는 물질의 유형과 이를 증착하는데 사용되는 공정에 따라 달라질 것이다. 도전성 상호 접속들은, 보이드 간격 또는 그 미만으로 도전성 상호 접속들을 이격시키는 것에 의해 달성될 수 없는 레벨로 정전 용량을 감소시키는 보이드 간격보다 큰 거리들로 서로 간에 이격된다. 본 발명에 따라서, 보이드는 특히, 보이드 간격보다 큰 거리로 이격되는 금속 상호 접속들 간에 정전 용량을 더욱 감소시키기 위해서 도전성 상호 접속들 사이에 형성된다. 이들 보이드들은 더미 피쳐를 사용하여 생성된다.

도전성 또는 절연성일 수 있는 더미 피쳐들은 더미 피쳐들 사이, 도전성 상호 접속들 사이 및 더미 피쳐들 자체들 사이의 간격들이 보이드 간격 이하이도록 도전성 상호 접속들 사이에 형성된다. 따라서, 보이드들은 어떤 층이 후속하여 형성될 때 도전성 상호 접속들 사이의 두 개의 더미 피쳐들 사이 뿐만 아니라 더미 피쳐와 도전성 상호 접속 사이에 형성된다. 이것은 공극들을 형성하는 것에 의한 것보다 이들 도전성 상호 접속들 사이의 정전 용량을 더욱 감소시킨다.

도 1은 반도체 기판(12)의 일부 상에 형성된 트랜지스터(15)를 형성한 반도체 디바이스(10)의 부분을 도시한 것이다. 트랜지스터(15)는 게이트 유전체(13) 상에 형성된 게이트 전극(14), 및 게이트 전극(14)과 게이트 유전체(13)에 인접한 측벽 스페이서들(16;sidewall spacers)을 포함한다. 트랜지스터의 소스 및 드레인 영역들(도시생략)은 측벽 스페이서들(16) 밑에 반도체 기판(12) 내에 형성된다. 일 실시예에서, 게이트 전극(14)은 폴리실리콘(polysilicon)이고, 게이트 유전체(13)는 이산화실리콘이고, 스페이서들은 질화실리콘이며, 반도체 기판(12)은 단결정질 실리콘(microcrystalline silicon)이다. 트랜지스터(15)는 어떤 종래의 공정을 사용하여 임의의 공지의 물질들로 형성될 수 있다.

일 실시예에서, 제 1 유전체(절연)층(20)(예를 들면, 이산화실리콘, 또는 로우-k 물질)은 화학 기상 증착(CVD;chemical vapor deposition) 및 스핀-온-증착(SOD;spin-on-deposition)과 같은 임의의 방법에 의해 트랜지스터(15) 상에 형성되고, 콘택 개구(contact opening)를 형성하도록 패터닝된다. 도전성 물질은 임의의 통상의 방법에 의해 콘택 개구 내 및 제 1 유전층(20) 상에 증착되고, 도전성 물질의 상면이 제 1 유전층(20)에 거의 동일 평면이 되도록 연마된다. 콘택 개구 내 남은 도전성 물질은 제 1 전류 수송(current carrying) 영역(또는 콘택)(18)을 형성한다. 바람직한 실시예에서, 제 1 전류 수송 영역(18)은 텅스텐, 구리 또는 구리 합금(copper alloy)이며, 이외 어떤 다른 도전성 물질 또는 도전성 물질들의 어떤 조합이 사용될 수도 있다.

제 1 전류 수송 영역(18)을 형성한 후에, 제 2 유전층(34)이 제 1 유전층(20) 및 제 1 전류 수송 영역(18) 상에 증착된다. 제 2 전류 수송 영역(30)은 제 1 전류 수송 영역(18)을 형성하는데 사용되는 것과 유사한 공정들을 사용하여 형성된다. 특히, 개구는 제 2 유전층(34) 내에 형성되고, 구리 또는 구리 합금과 같은 도전성 물질이 제 2 유전층(34) 상에 그리고 개구 내에 증착된다. 일 실시예에서, TaN, Ta, WCN 등과 같은 장벽 물질(barrier material), 및 상기의 조합들은 확산 장벽(diffusion barrier) 또는 글루층(glue layer)으로서 작용하는 개구 내 도전성 물질을 형성하기 전에 CVD, 물리 기상 증착(PVD), 원자층 증착(ALD) 등, 및 이들의 조합들에 의해 증착된다. 연마 공정(polishing process)은 도전성 물질의 상면을 제 2 유전층(34)과 실질적으로 동일 평면으로 만들기 위해 형성되어 제 2 전류 수송 영역(30)이 된다. 장벽 물질이 있다면, 연마 공정은 개구 내에 없는 장벽 물질의 부분들을 또한 제거할 것이다.

당업자는 앞에 기술된 단일 인레이드(inlaid) 공정 대신에 이중 인레이드 공정을 제 1 전류 수송 영역(18) 및 제 2 전류 수송 영역(30)을 형성하는데 사용할 수도 있음을 알 것이다. 이중 인레이드 공정을 사용하여, 제 1 유전층(20) 및 제 2 유전층(34)은 하나의 유전층으로서 증착되고 제 1 전류 수송 영역(18) 및 제 2 전류 수송 영역(30)을 위한 개구들은 리소그래피(lithography)를 사용하여 형성된다. 이어서, 도전성 물질은 개구를 채우기 위해 유전층 상에 증착된다. 제 2 전류 수송 영역(30)을 형성하는 개구 내 물질의 상면이 하나의 유전층의 상면과 실질적으로 동일 평면이 되도록 연마된다.

위의 구조들에 관하여 다양한 물질들 및 일부 가공이 기술되었으나, 당업자는 반도체 기판 상에 트랜지스터, 및 유전층(들) 내에 제 1 및 제 2 전류 수송 영역들(18, 30)을 형성하는 방법을 안다. 이에 따라, 임의의 통상의 공정들 및 물질들이 전술한 구조들을 형성하는데 사용될 수 있고, 본 발명은 지금까지 기술된 물질들의 공정들로 한정되는 것은 아니다.

제 2 전류 수송 영역(30)을 형성한 후에, 제 1 패시베이션 층(32)이 제 2 전류 수송 영역(30) 상에 형성된다. 제 1 패시베이션 층(32)의 부분들은 도 1에 도시된 바와 같이, 제 2 유전층(34)의 부분들 위로 연장할 수 있다. 제 2 전류 수송 영역(30)이 구리를 포함한다면, 제 1 패시베이션층(32)은 Ta, TaN, WCN, CoWP, CoP, NiWP, NiB, CoWB, NiReP, CoReP, Ni 등 및 상기의 조합들과 같은 임의의 구리 확산 장벽 물질일 수 있다. 즉, 패시베이션층(32)은 구리, 니켈, 인, 텅스텐 또는 레늄을 포함하는 물질이다. 제 2 전류 수송 영역이 바람직하지 못하게 확산할 수 있을 다른 또는 추가의 원소들을 포함한다면, 패시베이션층(32)용으로 선택된 물질은 추가의 또는 다른 원소들의 확산을 방지할 것이다.

바람직한 실시예에서, 패시베이션층(32)은 무전해 증착에 의해 형성된다. 제 1 패시베이션층(32)의 무전해 증착은 금속 이온들을 환원시키기 위한 환원제를 구비한 용액의 사용을 포함한다. 그 반응에 의해, 표면의 촉매 활동도와 무전해 용액에 의존하여 금속들이 제 2 전류 수송 영역(30)의 표면 상에 선택적으로 증착된다. (전술한 바와 같이, 제 1 패시베이션층(32)의 부분들은 제 2 유전층(34)의 부분들 위로 연장할 수 있다. 제 2 유전층(34) 상에 제 1 패시베이션층(32)의 이러한 증착은 제 2 전류 수송 영역(30)의 에지 또는 그 근처의 제 1 패시베이션층(32)의 증착의 산물이므로, 패시베이션층은 제 2 패시베이션층(32)이 제 2 유전층(34) 상에 증착되지 않을지라도 제 2 유전층(34)의 부분들 위에 효과적으로 놓여지게 된다.) 반응이 기판의 원하는 표면들 상에 촉매 작용이면(이를테면 환원제로서 디메틸라민 보란(dimethylamine borane)

을 포함하는 무전해 용액으로부터 Cu에 CoWB와 같이), 별도의 촉매(catalyst)의 적용은 필요하지 않다. 반응이 제 2 전류 수송 영역(30)의 표면에서 촉매 작용이 아니면(이러한 환원제로서 암모늄 하이포포스파이트(ammonium hypophosphite)를 포함하는 중성 무전해 용액으로부터 Cu에 CoWP와 같은), 표면은 Pd나 Pt와 같은 별도의 촉매를 적용함으로써 촉매 작용이 되게 할 수도 있다. 촉매는 무전해 증착에 앞서 분사(spraying), 침지(immersing), 또는 촉매를 함유한 용액을 기판의 전체 표면 상에 적용함으로써 표면에 적용될 수 있다. 촉매는 제 2 전류 수송 영역(30)과의 교환 반응이 일어난다면 기판의 원하는 표면들 상에 선택적으로 증착될 수 있다. 교환 반응은 촉매의 환원 구동력(예를 들면, $Pd^{++} + 2e^- \rightarrow Pd^0$)이 제 2 전류 수송 영역(30)의 산화에 의해 제공될 때(예를 들면, $Cu^0 \rightarrow Cu^{++} + 2e^-$) 일어난다. 이러한 반응에서, 제 2 전류 수송 영역(30)의 일부는 산화되고 일부 환원된 촉매를 남긴다. 일반적으로, 무전해 증착 반응을 개시하기 위해선 촉매의 최소 표면 피복이 필요하다. 예를 들면, 환원제로서 암모늄 하이포포스파이트(ammonium hypophosphite)를 함유한 중성 무전해 용액으로부터 CoWP의 증착을 개시하기 위해선 10^{16} atoms/cm²의 Pd⁰ 농도가 필요할 수도 있다. 교환 반응에 관여되지 않은 표면의 부분들(예를 들면, SiO₂)에 흡수될 수 있는 어떤 잔류 촉매 이온들(Pd⁺⁺)은 표면으로부터 촉매 이온들을 제거하기 위해 킬레이팅(chelating) 또는 킴플렉싱제들(complexing agents)을 포함하는 또 다른 용액에 반도체 기판을 접촉시켜 됨으로써 제거될 수도 있다. 이에 따라, 환원된 촉매(예를 들면, Pd⁰)가 제 2 전류 수송 영역(30) 상에 남게 되고 촉매 이온들(예를 들면, Pd⁺⁺)은 원하지 않는 증착 표면들(SiO₂)로부터 제거되어, 반응은 제 2 전류 수송 영역(30)에 대해 선택적이게 된다. 어느 한 실시예에서, (촉매 활성도가 필요하든 필요하지 않든 간에), 무전해 환원 반응은 통상적으로 환원된 제 2 전류 수송 영역(30)의 표면에서 자체 촉매 작용(autocatalytic)이 된다. 예를 들면, 초기 CoWP 금속층이 일단 증착되면, 후속의 CoWP 증착은 CoWP 표면에서 자체 촉매 작용이 된다.

패시베이션층(32)을 형성하기 위한 일반적인 무전해 증착 흐름(300)을 도 2에 도시하였다. 먼저, 단계 302와 같이, 제 2 전류 수송 영역(30)의 에치-백(etch-back)을 수행하여 어떠한 산화물들이든 제거하고 제 2 전류 수송 영역(30)에 홈을 낸다. 다음에, 단계 304와 같이, 팔라듐 기반의 용액(예를 들면, 팔라듐과 물)과 같은 촉매 용액을 분사하여 제 2 전류 수송 영역(30)을 촉매적으로 활성이 되게 한다. 과잉의 촉매 용액을 제거하기 위해서, 단계 306과 같이, 구연산염 및 주석산염과 같은 킬레이트 용액을 제 2 전류 수송 영역(30) 상에 분사한다. 패시베이션층(32)을 형성하기 위해서, 단계 308과 같이, 무전해 증착이 수행된다.

무전해 증착은 반도체 기판을, 이를테면 Co⁺⁺, Ni⁺⁺, W³⁺과 같은 금속 이온들, 또는 이외 Re, Rd, Pt, Ir, Sn이나 Cu 등과 같은 용해가능한 종들, 및 나트륨 하이포포스파이트, 암모늄 하이포포스파이트, 디메칠아민 보란, 포름알데히드, 흡수액(oxidic acid), 글리콜산(glycolic acid) 등과 같은 환원제를 함유한 전해질 내에 놓아둠으로써 행해진다. 무전해 도금 공정(electrolessly plating)은 제 2 전류 수송 영역(30)을 형성하는데 사용되는 도전성 물질에 대해 선택적이며 촉방향 및 수직으로 제 1 패시베이션층(32)이 성장되게 한다. 이에 따라, 제 1 패시베이션층(32)은 제 2 전류 수송 영역(30)의 폭을 넘어 연장한다. 달리 말하면, 제 1 패시베이션층(32)은 제 2 유전층(34) 위에 돌출하여 놓여있게 된다. 제 1 패시베이션층(32)의 등방성 성장은 자기-정렬로 성장되어, 후술하는 바와 같이, 추가의 패터닝 단계들을 필요로 함이 없이, 제 2 전류 수송 영역(30)의 양측을 따라 스페이서들을 형성한다. 무전해로 패시베이션층(32)을 증착한 후에, 패시베이션층(32)의 표면은 단계 310과 같이 무전해 증착으로부터 발생할 수 있는 잔류 이온들 및 결합들을 제거하기 위해 DI(이온을 제거한) 물로 세정된다.

단계들 302, 304, 306, 308, 310은 각 단계 사이에 세정하여 용액들을 차례대로 사용함으로써 한 챔버 내에서, 또는 각 단계마다 다른 챔버들에서 수행될 있다. 또 다른 실시예에서, 일부 단계들 302 내지 310은 한 챔버에서 결합되고 다른 단계들은 다른 챔버(들)에서 수행될 수도 있다. 이 실시예에서, 반도체 디바이스(10)는 한 챔버에서 다른 챔버로 수동으로 또는 로봇에 의해 이송된다. 모든 실시예들에서, 서로 다른 챔버들은 사이클 시간을 증가시키기 위해 동일 톨 상의 챔버들인 것이 바람직하고, 서로 다른 챔버들은 서로 다른 톨들의 부분들일 수도 있다. 또한, 각 단계 전 후에 세정이 있을 수 있다. 반도체 디바이스(10)는 단계들 302, 304, 306, 308, 310 중 어느 한 단계에 앞서 가열될 수도 있고, 마찬가지로 용액들이 가열될 수도 있다. 일 실시예에서, 무전해 CoWP 용액은 통상적으로 70°C 내지 95°C도 유지된다. 다른 단계들 302, 304, 306, 310 중 어느 한 단계를 수행함이 없이 패시베이션층(32)의 무전해 증착의 단계 308만으로도, 제 2 전류 수송 영역(30)의 도전성 물질이 무전해 용액에서 촉매적으로 활성이면 패시베이션층(32)을 충분히 형성하게 된다.

대안적으로는, 제 1 패시베이션층(32)은 화학 기상 증착(CVD), 물리 기상 증착(PVD), 원자층 증착(ALD) 등 또는 이들의 조합들에 의해 형성될 수도 있다. 이들 방법들을 사용하여, 패시베이션층(32)은 마스크 또는 특별한 증착 공정이 사용되지 않는다면, 제 2 전류 수송 영역(30) 및 전체 제 2 유전층(34) 상에 형성된다. 그러면, 제 1 패시베이션층(32)은 등각

(conformal)층으로서 증착될 것이다. 제 1 패시베이션층(32)용으로 사용되는 물질의 유전 상수가 제 2 유전층(34)보다 크다면, 남게 되는 물질의 양을 최소로 하기 위해서 제 1 패시베이션층(32)을 패터닝하는 것이 바람직하다. 이러한 패터닝 단계는 바람직하지 못하게 제조 복잡도, 사이클 시간, 및 비용을 바람직하지 못하게 증가시킬 것이다.

제 1 패시베이션층(32)을 형성한 후에, 일 실시예에서, 에칭 스톱층(도시생략)이 제 1 패시베이션층(32) 및 제 2 유전층(34) 상에 옵션으로 형성된다. 에칭 스톱층은 탄화규소, 유기 물질, 또는 이외, 나중에 CVD, PVD, SOD(스핀 온 유전체) 등 및 이들의 조합들에 의해 형성된 에칭 스톱층 상에 형성될 제 4 유전층(36)과는 다른 에칭율(etch rate)을 갖는 어떤 물질일 수 있다.

제 1 패시베이션층(32) 및 선택적 에칭 스톱층을 형성한 후에, 제 4 유전층(36)이 반도체 기판 상에 형성되고 도전성 더미 피쳐 개구들 및 상호 접속 개구를 제 2 전류 수송 영역(30) 상에 형성하기 위해 통상의 처리를 사용하여 패터닝된다. 또한, 제 1 패시베이션층(32)은 상호 접속 개구가 제 2 전류 수송 영역(30)의 부분을 노출하도록 패터닝된다. 제 2 전류 수송 영역을 노출시키는 것은 저항에 의해 감소하기 때문에 바람직하나, 제 1 패시베이션층(32)이 도전성(예를 들면, CoWP)이면 필요하지 않다. 패시베이션층(32)이 CoWP이면 패시베이션은 제 2 전류 수송 영역(30) 상에 선택적으로 증착된다.

이어서, 상호 접속 개구 및 도전성 더미 피쳐 개구들 내에 이들을 채우고 제 4 유전층(36) 상에 증착하도록 도전성 물질을 CVD, PVD, ALD 등 또는 이들의 조합들을 사용하여 증착된다. 일 실시예에서, 도 3에 도시된 바와 같이, 과잉의 도전성 물질(즉, 상호 접속 및 도전성 더미 피쳐 개구들 내에 있지 않은 도전성 물질)을 제거하기 위해 화학 기계식(CMP) 공정이 수행되어 제 2 전류 수송 영역(30), 제 1 도전성 더미 피쳐(48a) 및 제 2 도전성 더미 피쳐(48b)에 전기적으로 결합되는 전류 수송 영역(44)을 형성한다. 또 다른 실시예에서, 과잉의 도전성 물질을 제거하기 위해 에치-백 공정이 사용될 수 있다. 도시된 실시예에서, 제 1 도전성 더미 피쳐(48a)는 보이드 간격 이하의 폭을 갖는 제 1 절연 영역(37)에 의해 전류 수송 영역(44)으로부터 분리되고, 제 2 도전성 더미 피쳐(48b)는 보이드 간격보다 큰 폭을 갖는 제 2 절연 영역(39)에 의해 제 1 도전성 더미 피쳐(48a)으로부터 이격된다.

도 4에 도시된 바와 같이, 제 2 패시베이션층들(캡)(54)이 전류 수송 영역(44), 제 1 도전성 더미 피쳐(48a) 및 제 2 도전성 더미 피쳐(48b) 상에 형성된다. 바람직하게는, 제 2 패시베이션층들(54)은 제 1 패시베이션층(32)을 형성하는 것에 관하여 기술된 무전해 증착을 사용하여 형성되고, 그럼으로써 제 2 패시베이션층들(54)은 전류 수송 영역(44) 및 각각의 도전성 더미 피쳐들(48a, 48b)을 넘어 확장되고, 이에 의해 제 4 유전층(36) 위에 돌출하여 놓여있게 된다. 동일 물질들 및 가공 흐름이 이용될 수 있는데, 제 1 패시베이션층(32) 및 제 2 패시베이션층들(54)이 동일 물질들 또는 동일 공정들을 사용하여 형성될 필요는 없다. 대안적으로는, 제 1 패시베이션층(32)을 형성하기 위해 전술의 어떤 다른 방법이 사용될 수도 있다.

도 5에 도시된 바와 같이, (포토)레지스트 층(58)은 반도체 디바이스(10) 상에 증착되고 전류 수송 영역(44) 및 제 1 도전성 더미 피쳐(48a) 상에 형성된 제 1 절연 영역(37) 및 제 2 패시베이션층들(54)을 노출시키는 제 1 개구(60)를 형성하기 위해 패터닝된다. 또한, 포토레지스트층(58)은 제 2 절연 영역(39) 및 제 2 도전성 더미 피쳐(48b)의 부분 상에 복수의 더미 개구들(62)을 형성하도록 패터닝된다. 후술하는 바와 같이, 전류 수송 영역(44)과 제 1 도전성 더미 피쳐(48a) 사이의 제 1 절연 영역(37)이 제 2 패시베이션층(54)이 있으므로 인해서 전류 수송 영역(44) 또는 제 1 도전성 더미 피쳐(48a)에 손상 또는 에칭되지 않게 후속하여 에칭된다. 그러므로, 제 1 개구(60)의 폭은 달라질 수 있고 절연 영역(37)의 폭만큼 작을 수 있으며 또는 전류 수송 영역(44) 및 제 1 도전성 더미 피쳐(48a) 위로 확장할 수 있다. 즉, 제 1 개구(60)는 에칭될 제 4 유전층(36)의 부분들 및 제 3 패시베이션층들(54)의 부분들을 노출시킨다. 그러므로, 제 1 개구(60)는 후속하여 에칭될 영역(즉, 제 1 절연 영역(37))보다 넓어질 수 있다.

작은 폭들은 대부분 패터닝하기가 어렵기 때문에, 전류 수송 영역(44) 또는 제 1 도전성 더미 피쳐(48a)에 손상을 가함이 없이 제 1 개구(60)의 폭을 증가시키는 능력이 바람직하다. 더미 개구들(62)에 관하여, 이들 또한 도전성 영역들 위로 연장하는데, 이는 제 2 패시베이션층들(54)이 에칭시 도전성 더미 피쳐들(48a, 48b) 및 전류 수송 영역(44)(즉, 모든 도전성 영역들)을 보호하는 작용을 하기 때문이다. 제 1 개구(60) 및 더미 개구들(62)을 형성하는 데에 있어 어떠한 레지스트 물질 또는 리소그래픽 공정이든 사용될 수 있다.

제 4 유전층(36)은 포토레지스트층(58)을 마스크로서 사용하여 에chant 화학물(etchant chemistry)을 함유한 불소를 사용하여 에칭되어, 도 6에 도시된 일 실시예에서, 제 1 절연 더미 피쳐들(64) 및 제 2 절연 더미 피쳐들(65) 사이에 있는 산화물 더미 간격들(68), 및 제 1 도전성 더미 피쳐(48a)에 인접한 도전성 더미 간격(66)을 형성한다. 도전성 더미 간격(66)은 전류 수송 영역(44)과 제 1 도전성 더미 피쳐(48a) 사이 및 이들에 인접하여 있다. 또 다른 실시예에서, 도전성 더미 간

격(66)은 두 개의 도전성 더미 피쳐들 사이에 있다. 일 실시예에서, 더미 간격들(68, 66)의 폭은 대략 보이드 간격 이하이다. 더미 간격들(68, 66)을 형성한 후에, 포토레지스트층(58)은 통상의 애시(ash) 공정(산소 환경에서 수행되는 에칭)을 사용하여 제거된다.

제 1 절연 더미 피쳐들(64)은 이하 설명 후 더 잘 이해되는 바와 같이, 절연 더미 간격들(58)이 있음으로 해서 형성되고, 공극들을 형성하는 공정의 일부로서 형성된다. 제 2 절연 더미 피쳐들(65a, 65b)은 도 6에 도시된 실시예에서 제 1 및 제 2 도전성 더미 피쳐들(48a, 48b)에 인접하여 이들과 물리적으로 접촉한 제 4 유전층(36)의 부분들인데, 상호 접속들 또는 도전성 더미 피쳐들과 물리적으로 접촉할 수 있다. 제 2 절연 더미 피쳐들(65a, 65b)은 일 실시예에서 제 1 및 제 2 도전성 더미 피쳐들(48a, 48b)을 절연시키기 위해 형성되며, 따라서 모든 실시예들에서 필요로 되는 것은 아니다. 도 6에 도시된 바와 같이, 제 2 절연 더미 피쳐(65a)은 제 2 패시베이션층(54)을 넘어 수평으로 연장하며, 제 2 절연 더미 피쳐(65b) (및 제 3 절연 더미 피쳐들(67))은 패시베이션층(54)의 돌출량과 대략 동일한 폭들을 갖는다. 각각의 절연 더미 피쳐들은, 특히 이들이 서로 다른 정전 용량 민감도들 또는 요건들을 갖는 반도체 디바이스(10)의 서로 다른 영역들에 놓여진다면, 서로간에 동일한 폭들을 가질 필요는 없다. 패시베이션층(54)의 돌출에 기인하여, 제 4 유전층(36)의 부분은 도전성 영역들(44, 48a, 48b)에 인접한 상태에 있게 되어 전류 수송 영역(44, 48a, 또는 48b)을 보호하는 제 2 절연 더미 피쳐들(65b) 및 제 3 절연 더미 피쳐들(67)을 형성한다. 전술한 바와 같이 제 2 패시베이션층(54)은 제 4 유전층(36)을 에칭시 제거되지 않기 때문에, 제 4 유전층(36)을 에칭하는데 사용되는 마스크 패턴 및 포토레지스트 패턴은 패시베이션층(54)을 노출시키는 개구들을 가질 수 있다. 그러므로, 마스크 패턴 및 포토레지스트 패턴의 개구들의 공차(tolerance)는 중요하지 않아, 가공은 더욱 쉽게 된다.

도 7에 도시된 바와 같이, 더미 간격들에 공극들(74)을 형성하기 위해 반도체 기판(12) 상에 절연물질(72)이 형성된다. 절연물질은 무-간극(non-gap) 충전물질이고, 이를테면 CVD, 고밀도 플라즈마(HDP), 스피ن-온, 등 및 이들의 조합들에 의해 형성되는, TEOS를 사용하여 형성된 이산화실리콘, 불소화-TEOS를 사용하여 형성된 불소 첨가 이산화실리콘, 유기 스피ن-온-글래스, 등 또는 이들의 조합들 등의 유기 또는 무기물질일 수 있다. 물질이 무-간극 충전인지를 판정하는 파라미터들은 물질을 증착하는데 사용되는 방법 및 공극들(74)이 형성되는 (절연 및 도전성) 더미 간격들(66, 68)의 폭과 깊이에 따른다. 예를 들면, CVD가 사용된다면, 물질의 단차 피복성에 따라 물질이 특정의 더미 간격 내에 공극을 형성할 것인지가 결정된다. 예를 들면, 더 등각성의 물질(conformal material)은, 보다 작은 공극을 형성하거나 공극들을 전혀 형성하지 않게 될 것이다. 스피ن-온 물질들의 경우, 점도 및 표면 특성들은 공극의 형성에 영향을 미친다. 물질들 간의 표면 에너지 상호작용들은 특히 스피ن-온 되는 물질들에 있어선 공극 형성에 영향을 미칠 수도 있다. 일 실시예에서, 절연물질(72)의 높이는 더미 간격들(66, 68)의 가장 큰 폭의 적어도 반이고 따라서 공극들(74)은 핀치 오프(pinch off)하여 절연물질(72)을 형성시 완전하게 수립된다. 동일하거나 상이한 또 다른 절연물질이 절연물질(72) 상에 증착되어 보다 두꺼운 절연층을 전류 수송 영역(44), 제 1 및 제 2 도전성 더미 피쳐들(48a, 48b), 원한다면, 공극들(74) 상에 형성할 수 있다. 일 실시예에서, 공극들(74)의 폭은 대략 보이드 간격 이하이다.

공극들(74)을 형성하기 위해서, 더미 간격들(66, 68)의 폭은 적합하게 선택될 필요가 있다. 더미 간격들(66, 68a, 68b)의 폭이 너무 크다면, 무-간극 충전물질은 실제로 이들을 충전할 수도 있다. 이에 따라, 보이드가 형성될지의 여부는 더미 간격들(66, 68a, 68b)의 폭과, 절연물질(72)의 물질 특성들에 달려있다. 일 실시예에서, TEOS는 CVD에 의해 증착되어 폭이 대략 0.4 마이크로미터인 더미 간격들(66, 68)을 형성한다.

도 7에 도시된 실시예에서, 공극들(74)은 제 4 유전층(36) 내에만 형성되고, 따라서, 제 4 유전층(36)의 바닥면까지 또는 이를 지나 연장하지 않는다. 즉, 공극들(74)은 하나의 상호 접속층 내에 형성된다. 도 8에 도시된 또 다른 실시예에서, 공극(106)은 제 3 유전층(ILD)(104) 및 제 2 유전층(94)을 지나 제 1 유전층(89)으로 연장한다. 그러므로, 공극들(106)은 복수의 상호 접속층들 내에 형성된다. 도 8에서 공극(105)은 하나의 상호 접속 레벨을 지나 연장하므로 도 7에 공극들(74)과 유사하다. 공극(105)은 또한 제 2 전류 수송 영역(92) 상에 형성된 패시베이션층(96) 상에서 멈춘다.

도 8에 도시된 반도체 디바이스(80)는 두 가지로 도 7에 도시된 반도체 디바이스(10)와는 다르다: 1) 제 1 트랜지스터(85) 및 제 2 트랜지스터(87)가 도 8에서는 있으며(도 7에 도시된 바와 같이 단지 하나의 트랜지스터인 것과는 반대로), 2) 공극(105, 106)은 도 8에서 제 3 유전층(36)을 지나 연장한다(즉, 공극(105, 106)이 반도체 디바이스(80)의 복수층들 내에 있다). 반도체 기판(81) 상에 형성된 제 1 트랜지스터(85)는 제 1 게이트 유전체(83), 제 1 게이트 전극(84) 및 제 1 측벽 스페이서들(86)을 구비한다. 제 2 트랜지스터(87)는 제 2 게이트 유전체, 제 2 게이트 전극(107) 및 제 2 측벽 스페이서들(91)을 구비한다. 이들 제 1 및 제 2 트랜지스터들(85, 87)용의 소스 및 드레인 영역들(도시생략)은 각각 제 1 측벽 스페이서들(86) 및 제 2 측벽 스페이서들(91) 밑에 반도체 기판(81) 내에 있다.

제 1 컨택(88)은 제 1 트랜지스터(85)를 제 1 전류 수송 영역(90)에 결합하며 제 2 컨택(93)은 제 2 트랜지스터(87)를 제 2 전류 수송 영역(92)에 결합한다. 제 1 패시베이션층(캡)(96)은 제 1 및 제 2 전류 수송 영역들(88, 82) 상에 무전해 도금에 의해 형성되는 것이 바람직하나, 도 1 및 도 3 내지 도 7에 형성된 패시베이션 층들에 대해 앞에 논한 어떤 다른 수단에 의해 형성될 수도 있다.

도 7에 전류 수송 영역(44)과 유사한 제 3 전류 수송 영역(98)은 제 2 전류 수송 영역(88)에 전기적으로 결합되고 도전성 더미 피쳐들은 도 7의 도전성 더미 피쳐들(48a, 48b)과 유사하다. 도 7에 도시된 실시예에서 제 1 패시베이션층(96)과 유사한 제 2 패시베이션층(102)은 제 3 전류 수송 영역(98) 및 도전성 더미 피쳐들(100) 상에 형성된다. 도 8에서 반도체 디바이스(80)의 구성 요소들에 사용되는 공정들 및 물질들은 도 1 및 도 3 내지 도 7에 반도체 디바이스(10)의 동등 구성 요소들에 대해 앞서 논한 것들일 수 있다.

공극(105)은 제 2 전류 수송 영역(92) 상에 형성된 제 1 패시베이션층(96) 상에서 멈춘다. 제 1 패시베이션층(96)이 있으므로, 제 2 전류 수송 영역(92)은 손상받거나 에칭되지 않으며 따라서 보호된다. 반대로, 공극들(106)은, 공극들(106) 밑에 이들을 저지하는 도전성 피쳐들이 전혀 없기 때문에, 제 3 유전층(104)(즉, 제 1 상호 접속 레벨) 및 제 2 유전층(94)(즉, 제 2 상호 접속 레벨)을 지나 제 1 유전층(98)(즉, 제 3 상호 접속 레벨)으로 연장한다. 즉, 공극들(106)은 복수의 상호 접속 레벨들 내에 있게 된다.

두 유형들의 더미 피쳐들로서 도전성 더미 피쳐들 및 절연 더미 피쳐들 위에 기술하였다. 도전성 더미 피쳐들은 상호 접속들(트렌치들 및/또는 비아들)을 형성시 형성되나, 도전성일지라도 이들은 트랜지스터들 또는 이외 다른 전기적 디바이스들에 결합되지 않기 때문에 전류를 흘리지 않는다. 절연 더미 피쳐들은 도전성 더미 피쳐들 및 상호 접속들이 형성된 것과 동일 유전층인 제 3 유전층(36 또는 104) 내에 형성된다. 그러나, 절연 더미 피쳐들은 상호 접속 및 도전성 더미 피쳐들(있다면)이 제 3 유전층(34 또는 104) 내에 형성된 후에 형성된다. 이어서, 유전층(72 또는 108)은 더미 간격들 내에 보이드들을 형성하기 위해 절연 더미 피쳐들 상에 증착된다.

절연 및 도전성 더미 피쳐들(64, 48a, 48b)은 후속하여 증착되는 층들에 대한 지지 구조체들일 수 있다. 일 실시예에서, 절연물질(72)은 절연막(membrane) 층일 수 있다. 절연막 층은 더미 피쳐들(64, 48a, 48b) 및 전류 수송 영역(44) 상에 증착 또는 놓여질 수 있고 그럼으로써 더미 간격들 내에 공극들을 형성할 수 있다. 절연막이 더미 피쳐들을 충전할 위험은 없기 때문에, 이 실시예에서는 더미 간격들에 관한 폭 제약은 없다. 즉, 더미 간격은, 이론적으로, 무한히 넓을 수 있다. 절연막을 무한히 넓은 더미 간격 상에 배치함으로써 공극이 생성된다. 이에 따라, 더미 간격들은 보이드들이 이들 내에 형성되게 하기 위해서 보이드 간격들 이하인 폭들을 필요로 하지 않는다. 이 실시예에서, 더미 간격들은 절연막을 위한 지지 구조체들이기도 하다.

이들 도전성 더미 피쳐들 및 절연 더미 피쳐들을 함께 기술하였지만, 동일 반도체 디바이스 내에 이들 유형의 더미 피쳐들을 다 사용할 필요는 없다. 대신에, 상호 접속들에 인접한 공극들 및 원한다면, 정전 용량에 민감한 다른 도전성 피쳐들을 형성하는 데에 있어 도전성 더미 피쳐들 또는 절연 더미 피쳐들이 사용될 수 있다. 또한, 절연 더미 피쳐들은 서로 인접한다거나 도전성 더미 피쳐들일 필요는 없다. 절연 더미 피쳐는 도 7에서 제 1 도전성 더미 피쳐들(48a) 대신에 사용될 수도 있을 것이다. 즉, 절연 더미 피쳐는 공극을 그 자신과 상호 접속 또는 이외 어떤 다른 피쳐에 인접하여 형성할 수 있다. 또한, 더미 피쳐들은 도면들에 관하여 도시 및 기술된 금속 레벨만이 아니라, 보이드들이 요망되는 가공의 어떤 레벨에서 사용될 수 있다.

당업자는 반도체 웨이퍼 평면에서 보아 공극들은 연속한 선들이고, 미로(maze)의 폐쇄된 루프들처럼 보이거나 이외 어떤 다른 패턴들 또는 형태들일 수 있음을 알 것이다. 도 9는 도 7에서 선으로 나타낸 위치에 도시된 반도체 디바이스(10)의 단면도이다. 따라서, 도 9는 공극들 및 도전성 영역들(44, 48a, 48b)의 패턴이 명백하게 보여질 수 있게 제 2 패시베이션층(54) 및 절연물질(72)은 나타내지 않고 도 1 및 도 3 내지 도 7에 형성된 공극들(74) 및 도전성 영역들(44, 48a, 48b)의 평면도이다. 도 9에 도시된 실시예에서, 공극들(74)은 인접 도전성 영역들(44, 48a, 48b)에 평행하고 이들과 거의 동일한 길이이다. 대안적으로는, 공극들(74) 또는 도전성 영역들(44, 48a, 48b)은 도 9에 도시된 것과는 다른 크기들을 가질 수 있다. 예를 들면, 공극들(74) 또는 인접한 도전성 영역들(44, 48a, 48b) 중 어느 하나의 길이는 도시된 것보다 길 수도 있다. 공극들(74)은 도전성 영역들(44, 48a, 48b)과 동일한 길이 또는 폭을 가질 필요는 없다. 이에 따라, 평면도로부터 보아 공극들(74)은 도전성 영역들(44, 48a, 48b) 중 적어도 하나 또는 전부의 길이보다 작거나 큰 길이를 갖는다. 마찬가지로, 도전성 더미 피쳐들(48, 48b)은 전류 수송 영역(44) 또는 공극들(74)과는 다른 길이들을 가질 수도 있다.

도 10에 도시된 또 다른 실시예에서, 공극들을 형성하는데 사용된 것과 동일한 방법들로 형성된 공극들(290)은 패턴, 또는 이를테면 정사각형이나 직사각형과 같은 미리 결정된 형태들, 미리 결정된 수의 행들 및 미리 결정된 수의 열들의 어레

이다. 공극들(290)은 상호 접속 또는 도전성 더미 피쳐일 수 있는 제 1 도전성 영역(294), 및 제 1 도전성 영역(294)과 동일한 또는 다른 피쳐일 수 있는 제 2 도전성 영역(292) 사이에 있다. 또한, 제 1 도전성 영역(294) 또는 제 2 전류 수송 영역(292)이 도전성 더미 피쳐들이라면, 이들은 직사각형들 또는 정사각형들과 같은 미리 결정된 형태의 반복적인 패턴일 수도 있을 것이다. 이에 따라, 일 실시예에서, 공극(290)은 실질적으로 도전성 영역(상호 접속 또는 도전성 더미 피쳐) 미만의 길이를 가지며, 또 다른 실시예에서, 공극들(290) 및 도전성 더미 피쳐들은 상호 접속 미만이 동일 길이이다. 또 다른 실시예에서, 공극들은 프링징 전계효과들(fringing field effects)을 감소시키기 위해 도전성 영역보다 크다. 하나 또는 소수의 큰 더미 피쳐가 아닌 다수의 보다 작은 더미 피쳐들을 사용하는 것이 더미 피쳐들 사이에 유전층 일부를 남기게 되며, 이는 후속의 연마 공정 및 패키징에 대한 증가된 기계적 지지를 제공한다.

도 11은 각각이 바람직한 파라미터들에 근거한 서로 다른 더미 피쳐들의 레이아웃들을 갖는 제 1 영역(418), 제 2 영역(420), 및 제 3 영역(422)과 어떠한 더미 피쳐들도 포함하지 않는 제 4 영역(424)을 구비한 반도체 다이(400)의 부분을 도시한 것이다. 각각의 영역(418, 420, 422, 424)은 유전층(428)을 포함한다. 유전물질(428)이 모든 영역들에서 동일한 것으로 도시되어 있을지라도, 각 영역 내 유전물질은 원한다면 다를 수도 있다.

도 11에 도시된 실시예에서, 더미 피쳐들(406, 408, 410)은 각각 절연 영역들(405, 407, 409)에 의해 둘러싸인 도전성 더미 피쳐들이다. 또 다른 실시예에서, 더미 피쳐들(406, 408, 410)은 절연 더미 피쳐들이고 이 실시예에서는 각각 절연 영역들(405, 407, 409)에 의해 둘러싸여 있지 않다. 그러나, 동일 반도체 다이(400) 상의 또는 동일 영역 내의 모든 더미 피쳐들은 동일할 필요는 없다. 즉, 더미 피쳐들(406, 408, 410)은 산화물 또는 도전성 더미 피쳐들의 어떤 조합일 수 있다.

제 1 영역(418)은 클럭 분배 회로(clock distribution circuitry)일 수 있는 필수 회로(402a), 긴 신호 라인들, 긴 평행한 데이터 라인들, 전송 라인들, 등 및 이들의 조합들을 포함한다. 전류 수송 피쳐 또는 일군의 전류 수송 피쳐들인 필수 회로, 및 필수 회로일 수도 있고 아닐 수도 있는 또 다른 피쳐 또는 일군의 피쳐들 간의 용량 결합을 제어하는 것이 바람직하다. 용량 결합이 제어되는 필수 회로 및 이와 다른 피쳐들 또는 일군의 피쳐들은 서로에 인접하여 또는 대각으로, 서로 다른 평면 또는 동일 평면 내에 있을 수 있다. 제 1 영역(418)은 필수 회로(402a)에 인접하여 배치된 인접 더미 피쳐들(411)을 또한 포함한다. 인접 더미 피쳐들이 필수 회로(402a)에 근접한 것에 기인하여 더미 피쳐들(406) 전부가 형성되지 않을 수도 있을 것이고 대신에 전체 더미 피쳐들(406) 중 일부만이 형성되어 인접 더미 피쳐들(411)로 될 수도 있다.

제 2 영역(420) 및 제 3 영역(422)은 제 2 필수 회로(402b) 및 제 3 필수 회로(402c)를 각각 포함한다. 필수 회로(402a, 402b, 402c)는 이들이 서로 다른 정전 용량 요건을 갖고 있는 점에서 서로간에 다르다. 제 1 영역(418)에서, 더미 피쳐들(406)은 제 1 피쳐, 밀도, 크기, 간격, 및 패턴을 갖고 형성된다. 더미 피쳐들(406)에 대해 선택되는 형태, 크기, 밀도, 간격 및 패턴과 물질은 제 1 필수 회로(402a) 사이의 요구되는 용량 결합에 근거하여 결정된다. 제 2 영역(412) 및 제 3 영역(413)은 각 영역에서 형태, 크기, 밀도, 간격 및 패턴이 서로 다르고 필수 회로(402a 내지 402c)간의 상이한 용량 결합 요건들에 기인하여 더미 피쳐들(406)과는 다른 더미 피쳐들(408, 410)을 갖는다. 제 1 영역(418) 및 제 2 영역(420)은 더미 피쳐들(406, 408)이 이들과 필수 회로(402a 내지 402c) 간의 간격들이 다른 점에서 서로 다르다. 이에 따라, 상이한 유효 유전 상수에 기인하여 필수 회로(402a 내지 402b)간에 용량 결합이 다르게 된다. 상이한 유효 유전 상수는 더미 피쳐들(406, 408) 자체들과 필수 회로(402a 내지 402b) 간에 형성되는 빗금친 영역들(425 내지 426)로서 도시된 공극들의 면적들이 서로 다른 것에 기인한다. (402a 내지 402b)는 필수 회로이기 때문에, 이들간에 결합을 최소화하고 따라서 더미 피쳐들(406) 자체들 간에 그리고 더미 피쳐들(406)과 필수 회로(402) 간에 공극들을 형성하는 것이 바람직하다. 이에 따라, 더미 피쳐들(406, 408) 자체들간의 간격과 더미 피쳐들(406, 408)과 필수 회로(402a 내지 402b)간의 간격은 반도체 다이(400)의 다른 영역들 내 유사 피쳐들간의 간격들보다 클지라도, 공극들이 그들 내에 형성될 만큼 충분히 작다. 공극들의 면적은 제 2 영역(420)에서보다 제 1 영역(418)에서 더 크기 때문에, 용량 결합은 제 1 영역(418)에서 덜 하다(더미 피쳐들(406, 408)은 동일 물질들이라고 가정하면). 용량 결합은 더미 피쳐들이 절연성에 비해 도전성이라면 실제로 증가할 수 있기 때문에, 더미 피쳐들(406, 408)에 대해 선택되는 물질은 용량 결합에 영향을 미칠 수 있다. 이것은 디바이스 성능이 제 2 영역(420)에서보다는 제 1 영역(418)에 용량 결합을 최소화하는 것을 바람직하게 하기 때문에 발생한다.

제 2 영역(420) 및 제 3 영역(422) 내 더미 피쳐 패턴들은 서로 간에 동일한 간격을 갖지만 더미 피쳐들(408, 410)의 크기는 다르다. 도 11에 도시된 바와 같이, 더미 피쳐들(410)은 더미 피쳐들(410)의 부분의 폭이 더미 피쳐(408)보다는 커서 필수 회로(402b, 402c) 사이의 기계적 안정성(mechanical stability) 및 용량 결합을 변경하기 때문에 더미 피쳐들(408)보다는 크다. 도 11에 도시된 바와 같이, 제 3 영역(422)간에 용량 결합은 공극들(426, 427)이 형성될 수 있는 적은 면적에 기인하여 제 2 영역(420)에서보다 크다(더미 피쳐들(410, 406)이 동일 물질이라면). 이러한 용량 결합 차이는 디바이스 수행에 의해 구동된다. 또한, 제 3 영역(414) 내 모든 더미 피쳐들(410)의 면적은 제 2 영역(412)에서보다 크기 때문에, 제 3 영역은 더미 피쳐들(408, 41)용으로 어떤 물질이 사용되는지와 관계없이 제 2 영역(412)보다 큰 기계적 안정성을 갖는다.

제 4 영역(424)은 비-필수 전류 수송 피쳐들(404)을 포함한다. 비-필수 전류 수송 피쳐들(404)은 본드 패드들(bond pads), 스크라이브 격자들(scribe grids), 임의의 계측적 피쳐들(metrology features), 디커플링 커패시터들 등일 수 있다. (비-필수 전류 수송 피쳐는 필수 회로가 아닌 임의의 피쳐 또는 일군의 피쳐들이다.) 제 4 영역(424)은 선택된 유전물질(428) 및 더미 피쳐 물질들에 따라 제공되는 공극들이 없기 때문에 제 1, 제 2, 및 제 3 영역들(418, 420, 422)보다 큰 기계적 안정성을 가질 수 있다. (도전성 피쳐들이 사용된다면, 더미 피쳐들을 가진 면적들은 유전물질(425)용으로 사용될 수 있는 2.0 미만의 유전 상수들을 갖는 메조포로스(mesoporous) SOD 물질들보다 일반적으로 큰, 구리와 같은 금속들의 영률에 기인하여 기계적 안정성이 더 클 수 있다). 공극들이 없음으로 인해서, 제 4 영역(424)은, 다른 영역들내 더미 피쳐들이 산화물 더미 피쳐들이라면 비-필수 전류 수송 피쳐들(404)간에 가장 큰 용량 결함을 또한 가질 수 있다. 일반적으로, 비-필수 전류 수송 피쳐들(404)은 이들 사이에 공극들이 형성되지 않을 것이다.

도 11에 4 개의 영역 각각에 도시된 두 개의 필수의 면적들이 서로 같을지라도, 이것은 필요한 것은 아니다. 예를 들면, 제 1 영역(418)내 한 면적은 필수 회로일 수 있고 다른 곳은 비-필수 전류 수송 피쳐들일 수 있다. 이 실시예에서, 인접 더미 피쳐들은 필수 회로에 인접하여 있을 뿐이다. 비-필수의 전류 수송 영역들에선 용량 결함이 공극을 요구하지 않기 때문에 공극들은 바람직하지 않을 수 있다. 그러므로, 기계적 안정성이 증가될 수 있다. 일 실시예에서, 모든 4 개의 영역들은 동일 반도체 다이(400) 상에 존재한다. 또 다른 실시예에서, 영역들의 어떤 조합이 반도체 다이 상에 존재한다. 유사하게, 도 11에 도시된 4 개의 영역들 모두가 도 9 또는 도 10에 도시된 반도체 다이의 부분들을 가진 동일 반도체 다이 상에 존재하는 것이 가능하다. 앞서 설명된 바와 같이, 더미 피쳐들은 이들 모두가 반도체 다이 상에 동일 형태일 필요는 없다.

도 11에 도시된 더미 피쳐들의 형태는 도 9 내지 도 10에 도시된 것들에 비해서, 반도체 다이를 패키징 하기 위해서 이를 소잉(sawing) 또는 단일화(singulating)할 때 반도체 다이들을 통한 크랙 전파(crack propagation) 감소는 더 낫다. 더미 피쳐들(406, 408, 410) 사이에 곧바른 선이 없기 때문에 유전물질(428)과 공극들(425 내지 427)을 통해 크랙이 전파하기가 더욱 어렵다. (크랙들은 일반적으로 단지 한 축으로만 전파하며 충분히 큰 장애물에 접하게 되었을 때 멈춘다). 더미 피쳐들 간 간격이 제 1 영역(418)에서 더 크기 때문에 크랙들은 제 2 영역(420) 또는 제 3 영역(422)에서보다 이 영역에 더 멀리 보다 쉽게 전파할 수 있다. 그러나, 제 4 영역(424)에는 더미 피쳐들이 전혀 없기 때문에, 크랙들은 도 11에 도시된 반도체 다이(400)의 부분 내 어떤 다른 영역보다 이 영역에서 가장 쉽게 더 멀리 전파할 수 있다.

지형적으로 보아 피쳐들이 서로 다른 공극들의 어떤 조합이든 사용될 수 있다. 예를 들면, 반도체 웨이퍼의 한 영역에, 레이아웃의 공간 한계와 라인들의 정전 용량에 대한 민감도에 따라, 정사각형들로서 공극들을 형성하고 또 다른 부분에 다양한 길이 또는 모두가 동일 길이의 선들로서 형성하는 것이 바람직할 수 있다. 공극들을 형성에 사용가능한 레이아웃 내 면적이 클수록, 공극들의 크기는 더 커지고 또는 공극들이 회로성능(circuit performance)에 바람직하다면 형성되는 공극들의 수는 더 많아진다. 또한, 전류 수송 영역이 정전 용량에 민감할수록, 전류 수송 영역에 인접한 공간의 크기는 공극들이 있음으로 인해서 감소하는 유전층의 총 유전 상수를 최소화하기 위해 공극들이 더 크게 차지해야 한다.

도 12는 레이아웃에 더미 피쳐들을 제공하기 위한 방법(110)을 도시한 것이다. 일 형태에서, 방법(110)은 회로 물리적 레이아웃(circuit physical layout)을 구현할 목적으로 설계 자동화 툴로서 소프트웨어로 구현될 수도 있다. 툴은 전류 수송 영역을 따라 미리 결정된 지점들에 주어진 정전 용량 기준에 대해 상호 접속 레벨에 더미 피쳐 밀도를 계산하기 위한 어떤 기준을 사용함으로써 가능하다. 단계 112에서, 사용자는 상호 접속에 대한 정전 용량 기준들을 정의한다. 다양한 기준들 및 기준의 조합들 또는 서열들이 사용될 수 있다. 예를 들면, 종래의 회로 설계들은 상호 접속의 확장을 따라 미리 결정된 지점들에서 구동기들로서 두 개의 인버터들을 사용한다. 도체의 크기의 폭 뿐만 아니라 인버터들의 면적 또는 크기가 기준들에 포함될 수 있다. 또한, 상호 접속에 접속되는 부하의 크기 및 성질(저항성, 리액티브 등)은 관련된 기준들이다. 설계 규칙들, 노이즈 레벨들 및 최대 도체 지연은 단계 112에 있어 관련된 기준들일 수 있는 그 외 다른 파라미터들이다. 즉, 정전 용량 기준들은 적어도 전력 요건, 면적 요건, 노이즈 요건 또는 속도 요건을 포함할 수도 있다.

단계 114에서, 전류 수송 영역들 간 상호 접속 간격의 효과를 결정하기 위한 분석이 수행된다. 예를 들면, 특정의 한 세트의 기준들로서, 이를테면 전력 소비 또는 상호 접속에서 우세 RC 지연들, 상호 접속을 따른 미리 결정된 지점들에서의 정전 용량이 계산된다. 분석하는 단계 114는 저항 및 정전 용량을 계산하는 것을 포함할 수 있다. 단계 115에서, 더미 피쳐 밀도를 갖는 더미 피쳐들은 상호 접속 레벨에서 형성된다. 더미 피쳐들은 상기의 도전성 더미 피쳐들, 절연 더미 피쳐들, 또는 이들의 조합일 수 있다. 단계 116에서, 더미 피쳐들의 밀도는 단계 112에서 제공되었던 상호 접속에 대해 정의된 정전 용량 기준을 충족시키기 위해 달라진다. 다양한 더미 피쳐들 밀도들의 반복적인 계산들은 미리 결정된 수락가능한 정전 용량 문턱값이 얻어질 때까지 사용될 수 있다. 방법(110)은 회로 설계에서 단지 미리 결정된 그룹들의 최적의 더미 피쳐 밀도를 결정하기 위해 설계 툴에서 자동으로 행해질 수도 있고 또는 설계에서 사용되는 모든 전류 수송 영역에 대해 자동으로 행해질 수도 있다. 노이즈 또는 방사성 도체들에의 근접과 같은 추가의 기준들은 분석에서 하나의 요인으로 포함될 수

있고 어떤 유형의 더미 피쳐들(즉, 산화물 또는 도전성)인지를 결정할 수 있다. 예를 들면, 잡음을 감소시키기 위해서 도전성 더미 피쳐에 비해 산화물 더미 피쳐가 바람직하다. 이에 따라, 상호 접속층의 더미 피쳐 밀도의 효율적이고 자동 계산이 신속하게 행해질 수 있다.

지금까지 상호 접속층들에 공극들을 형성하는 방법이 제공되었음을 알 것이다. 즉, 공극들은 공극 간격보다 큰 거리로 서로 이격된 두 개의 전류 수송 라인들 사이에 형성될 수 있다. 공극들은 층간 또는 레벨간 유전층의 유전 상수를 감소시키는 로우-k 공극들일 수도 있다. 상호 접속들 또는 임의의 도전성 영역 상의 패시베이션층들이 있으므로 인해서, 공극들은 도전성 영역에 손상을 가함이 없이 패시베이션층 또는 이외 전류 수송 영역들까지 옵션으로 연장할 수 있다. 절연 더미 피쳐들을 형성하기 위해 별도의 포토리소그래픽 공정이 필요할지라도, 도전성 더미 피쳐들은 전류 수송 영역들을 형성하기 위한 마스크 패턴을 변경함으로써 형성될 수 있다. 이에 따라, 제조에 필요한 필수 포토리소그래픽 단계들의 수가 증가되지 않는다. 추가의 이점은 패시베이션층들이 있으므로 인해서 더미 피쳐들의 형성을 위한 마스크 공차(mask tolerance)의 완화이다.

패시베이션층들이 있으므로 인해서, 더미 간격들의 폭들은 패시베이션층들이 전류 수송 영역들을 넘어 연장하고 이들 밑의 모든 물질들을 보호하므로 패시베이션층들이 없는 것보다 더욱 다양할 수 있다. 또한, 패시베이션층들은 패시베이션층이 금속 상호 접속보다 큰 폭을 갖기 때문에 공극들을 갖는 유전층 상에 유전층에 형성될 수 있는 어떤 비아들에 대해서 증가된 오정렬 공차(misalignment tolerance)를 가능하게 한다. 마스크의 이러한 증가된 공차는 마스크 제작에 덜 엄격한 가공을 요하므로 마스크 제조 비용을 감소시킨다.

전술한 명세서에서, 본 발명은 구체적인 실시예들을 참조로 기술되었다. 그러나, 당업자는 이하 청구항들에 개시된 본 발명의 범위 내에서 다양한 수정 및 변경들이 행해질 수 있음을 안다. 예를 들면, 선 비아, 후 트렌치(VFTL)의 이중 인레이드 방법, 선 트렌치, 후 비아(TFVL) 이중 인레이드 방법, 또는 단일 인레이드 방법과 같은 상호 접속들(컨택들을 포함)을 형성하기 위해 종래의 공정이 사용될 수 있다. 또한, 하드마스크 또는 에칭 스톱이 제거된 또는 개방이 된 영역들에만 비아가 패터닝되도록 자기-정렬 이중 하드마스크 일체 또는 자기-정렬 에칭 스톱 일체가 사용될 수 있다. 또한, 제 1 전류 수송 영역(18)은 도면들에 도시된 바와 같이, 단일 인레이드 공정만이 아니고 이중 인레이드 방법을 사용하여 형성될 수 있다. 그러므로, 전술한 비아들, 트렌치들, 컨택들 및 이외 상호 접속들을 형성하는데 사용되는 공정들은 당업자가 아는 바와 같이, 기술된 것으로 한정되는 것은 아니다. 따라서, 본 명세서 및 도면들은 제한하는 것이 아니라 예시하는 것으로 간주되어야 하고, 모든 이러한 수정들은 본 발명의 범위 내에 포함되도록 의도된다.

이익들, 이외 다른 이점, 및 문제들에 대한 해결책을 구체적인 실시예들에 관하여 위에 기술하였다. 그러나, 이익, 이점, 문제들에 대한 해결책, 및 어떤 이익, 이점, 또는 해결책이 발생하게 하는 또는 더욱 두드러지게 할 수 있는 임의의 요소(들)은 청구항 중 어느 하나 또는 전부의 필수 특징 또는 구성 요소인 것으로 해석되는 것은 아니다. 여기서 사용되는, "포함하다" 라는 용어는 열거된 구성 요소들을 포함하는 공정, 방법, 물품 또는 장치가 이들 요소들만을 포함하는 것이 아니라 이러한 공정, 방법, 물품, 또는 장치에 열거되지 않은 또는 본연의 다른 요소들을 포함하도록, 비-배타적 포함을 포괄한다.

(57) 청구의 범위

청구항 1.

반도체 디바이스(10)를 형성하는 방법에 있어서,

반도체 기관(12)을 제공하는 단계;

제 1 유전층(34 또는 36)을 형성하는 단계;

제 1 개구를 형성하기 위해 상기 제 1 유전층을 패터닝하는 단계;

상기 제 1 개구에 도전성 영역(conductive region; 30 또는 44)을 형성하는 단계; 및

상기 도전성 영역상에 패시베이션층(32 또는 54; passivation layer)을 무전해 도금(electrolessly plating)하는 단계를 포함하는, 반도체 디바이스 형성 방법.

청구항 2.

제 1 항에 있어서, 상기 패시베이션층(32) 상에 유전층(36)을 형성하고 상기 제 2 유전층 내에 보이드(66 또는 68; void)를 형성하는 단계를 더 포함하는, 반도체 디바이스 형성 방법.

청구항 3.

반도체 디바이스(10)를 형성하는 방법에 있어서,

반도체 기판(12)을 제공하는 단계;

제 1 유전층(36)을 형성하는 단계;

제 1 개구 및 제 2 개구를 형성하기 위해 제 1 유전층을 패터닝하는 단계로서, 상기 제 1 개구 및 상기 제 2 개구는 서로 인접하지만 서로 분리되어 있는, 상기 패터닝 단계;

상기 제 1 개구에 제 1 전류 수송 영역(44 또는 48a 또는 48b)을 형성하는 단계;

상기 제 2 개구에 제 2 전류 수송 영역(48a 또는 48a 또는 44)을 형성하는 단계; 및

제 1 캡(54) 및 제 2 캡(54)을 형성하기 위해 상기 제 1 개구 및 상기 제 2 개구 상에 제 2 도전층(54)을 도금하는 단계를 포함하고, 상기 제 1 캡(54) 및 상기 제 2 캡(54)은 서로 물리적으로 이격되어 있는, 반도체 디바이스 형성 방법.

청구항 4.

반도체 디바이스(10)를 형성하는 방법(300)에 있어서,

반도체 기판(12)을 제공하는 단계;

상기 반도체 기판 상에 제 1 유전층을 형성하는 단계;

상기 제 1 유전층 내에 전류 수송 영역을 형성하는 단계;

상기 전류 수송 영역에 오목부를 형성하기 위해 상기 전류 수송 영역을 에칭(302)하는 단계;

상기 전류 수송 영역을 촉매적으로 활성화하기 위해 상기 전류 수송 영역 상에 촉매 용액(catalyst solution)을 제공하는 단계(304);

상기 촉매 용액의 일부를 제거하기 위해 킬레이트 용액(chelating solution)을 제공하는 단계(306); 및

상기 전류 수송 영역 상에 패시베이션층을 무전해 증착하는 단계(308)를 포함하는, 반도체 디바이스 형성 방법.

청구항 5.

반도체 디바이스(10)에 있어서,

반도체 기판(12);

상기 반도체 기판 상의 제 1 유전층(36);

상기 제 1 유전층 내의 제 1 전류 수송 영역(44, 48a 또는 48b);

상기 제 1 유전층을 갖는 제 2 전류 수송 영역(44, 48a 또는 48b)으로서, 상기 제 2 전류 수송 영역 및 상기 제 1 전류 수송 영역은 서로 분리되어 있는, 상기 제 2 전류 수송 영역;

상기 제 1 전류 수송 영역 상의 제 1 무전해 도금된 패시베이션층(54);

상기 제 2 전류 수송 영역 상의 제 2 무전해 도금된 패시베이션(54)층으로서, 상기 제 2 무전해 도금된 패시베이션층은 상기 제 1 무전해 도금된 패시베이션층과는 물리적으로 이격되어 있는, 상기 제 2 무전해 도금된 패시베이션층;

상기 제 1 무전해 도금된 패시베이션층 및 상기 제 2 무전해 도금된 패시베이션층 상에 형성된 제 2 유전층(72)을 포함하는, 반도체 디바이스.

청구항 6.

반도체 디바이스(10)를 형성하는 방법에 있어서,

반도체 기판(12)을 제공하는 단계;

상기 반도체 기판 상에 제 1 유전층(36)을 형성하는 단계;

상기 제 1 유전층 내에 전류 수송 영역(44)을 형성하는 단계;

상기 제 1 유전층 내에 복수의 도전성 더미 피쳐들(dummy features;48a, 48b)을 형성하는 단계로서, 상기 복수의 도전성 더미 피쳐들은 더미 간격들(68;dummy spacings)에 의해 서로 이격되어 있는, 상기 복수의 도전성 더미 피쳐들을 형성하는 단계;

상기 전류 수송 영역 및 상기 복수의 도전성 더미 피쳐들 상에 무-간극 필링층(non-gap filling layer;72)을 형성하는 단계; 및

상기 더미 간격들 내에 보이드들(voids;74)을 형성하는 단계를 포함하는, 반도체 디바이스 형성 방법.

청구항 7.

제 1 항에 있어서, 상기 무-간극 필링층(72)은 상기 더미 간격들 내에 보이드들을 형성할 때 같이 형성되는, 반도체 디바이스 형성 방법.

청구항 8.

반도체 디바이스(10)를 형성하는 방법에 있어서,

반도체 기판(12)을 형성하는 단계;

상기 반도체 기판 상에 유전층(36)을 형성하는 단계;

상기 유전층 내에 제 1 도전성 더미 피쳐(48a)를 형성하는 단계;

상기 유전층 내 및 상기 제 1 도전성 더미 피쳐에 인접하여 제 2 더미 피쳐(48b)을 형성하는 단계; 및

상기 유전층 내의 상기 제 1 도전성 더미 피쳐와 상기 제 2 더미 피쳐 사이에 보이드(74)를 형성하는 단계를 포함하는, 반도체 디바이스 형성 방법.

청구항 9.

반도체 디바이스(10)에 있어서,

반도체 기판(12);

상기 반도체 기판 상의 제 1 유전층(36);

상기 제 1 유전층 내의 제 1 도전성 더미 피쳐(48a 또는 48b);

상기 제 1 유전층 내의 제 1 피쳐(44 또는 48a 또는 48b); 및

상기 제 1 도전성 더미 피쳐와 상기 제 1 피쳐 사이 및 상기 제 1 유전층 내의 보이드(74)를 포함하는, 반도체 디바이스.

청구항 10.

반도체 디바이스(10)를 형성하는 방법에 있어서,

제 1 영역(418, 420 또는 422)과 제 2 영역(418, 420, 422 또는 424)을 구비하는 반도체 디바이스를 제공하는 단계;

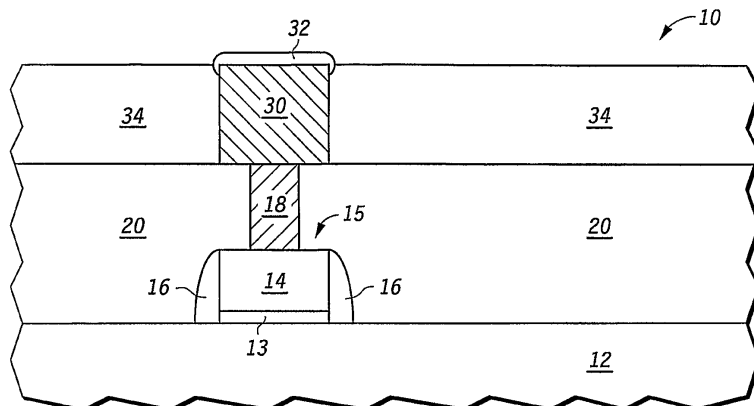
상기 제 1 영역에서 제 1 회로(402a 내지 402c) 및 제 1 더미 피쳐들(406, 408 또는 410)을 형성하는 단계로서, 상기 제 1 회로는 제 1 용량 결합값(capacitance coupling value)을 갖는, 상기 제 1 회로 및 상기 제 1 더미 피쳐들 형성 단계;

상기 제 2 영역에서 제 2 회로(402a 내지 402c 또는 404)를 형성하는 단계로서, 상기 제 2 회로는 제 2 용량 결합값을 갖는, 상기 제 2 회로 형성 단계; 및

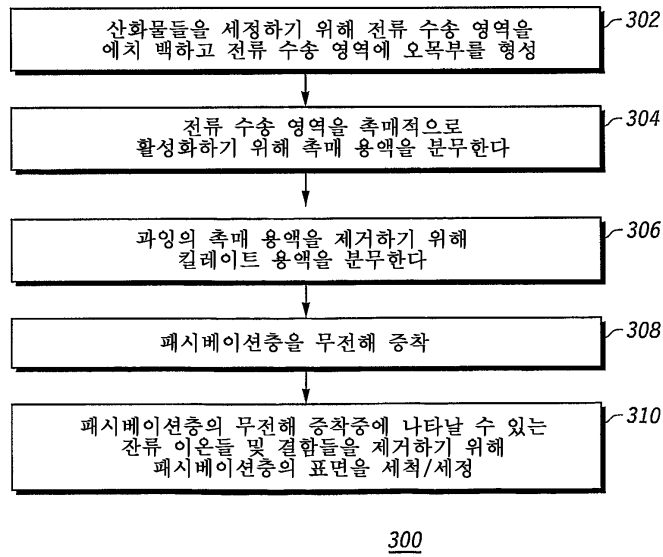
상기 제 1 더미 피쳐들 사이에 제 1 보이드들(425 내지 427)을 형성함으로써 상기 제 1 용량 결합값을 제 3 용량 결합값으로 조정하는 단계(116)를 포함하고, 상기 제 3 용량 결합값은 제 1 용량 결합값보다 작고 상기 제 2 용량 결합값과는 다른, 반도체 디바이스 형성 방법.

도면

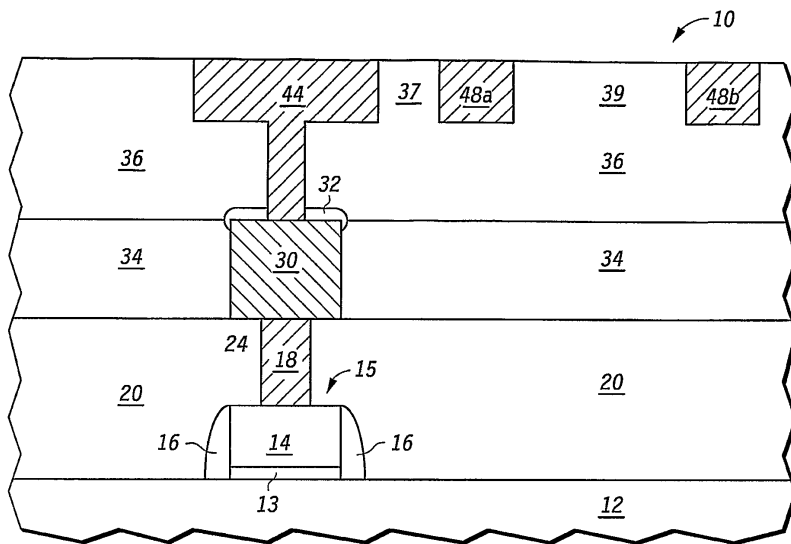
도면1



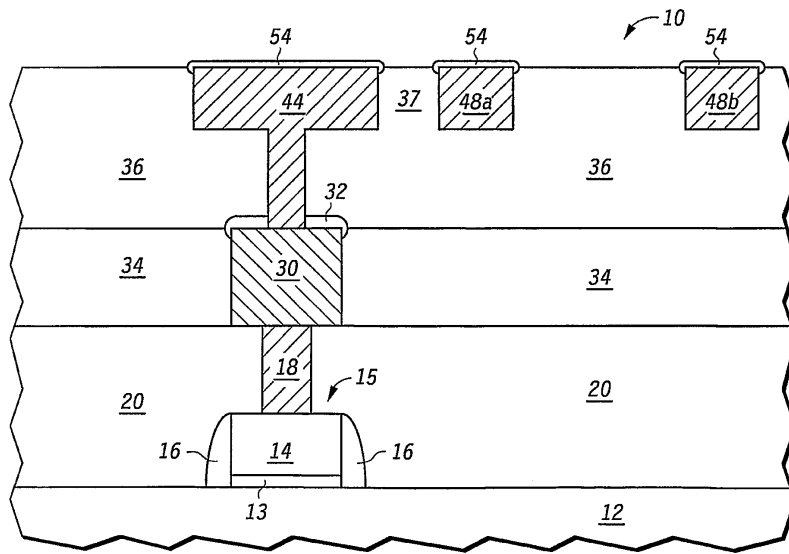
도면2



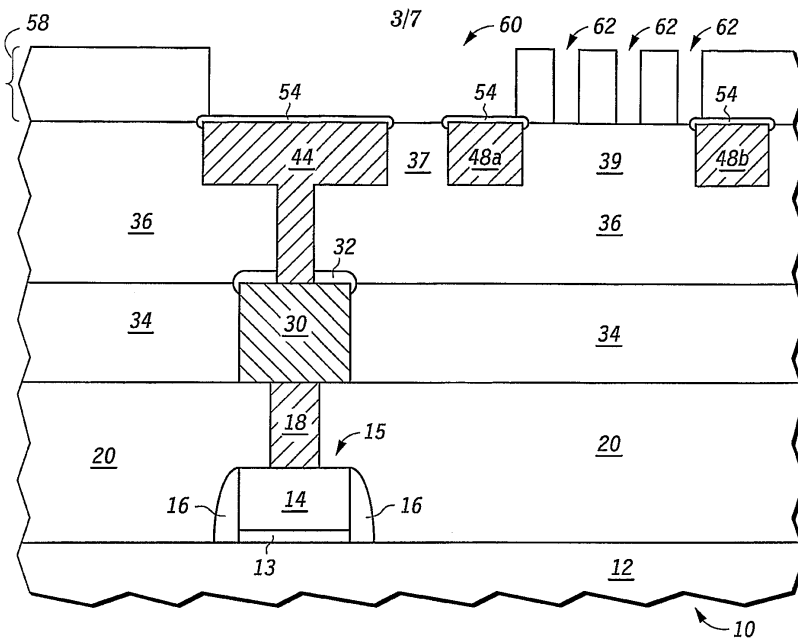
도면3



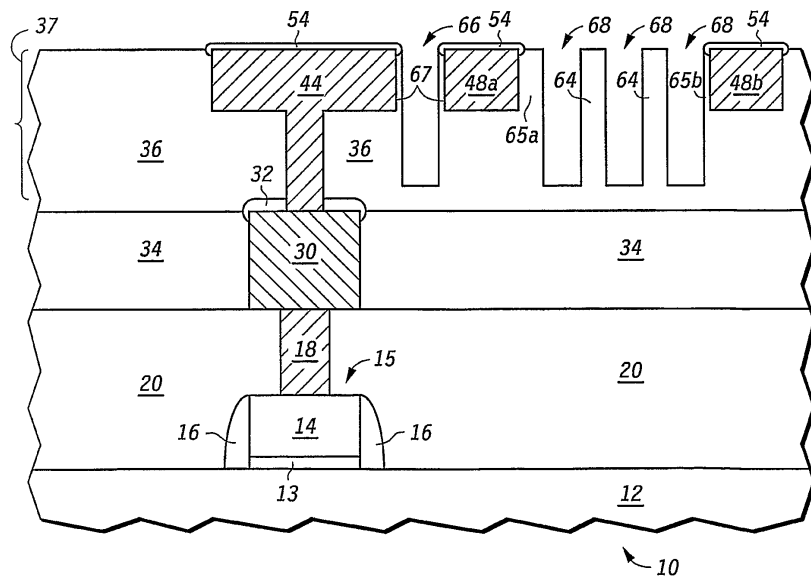
도면4



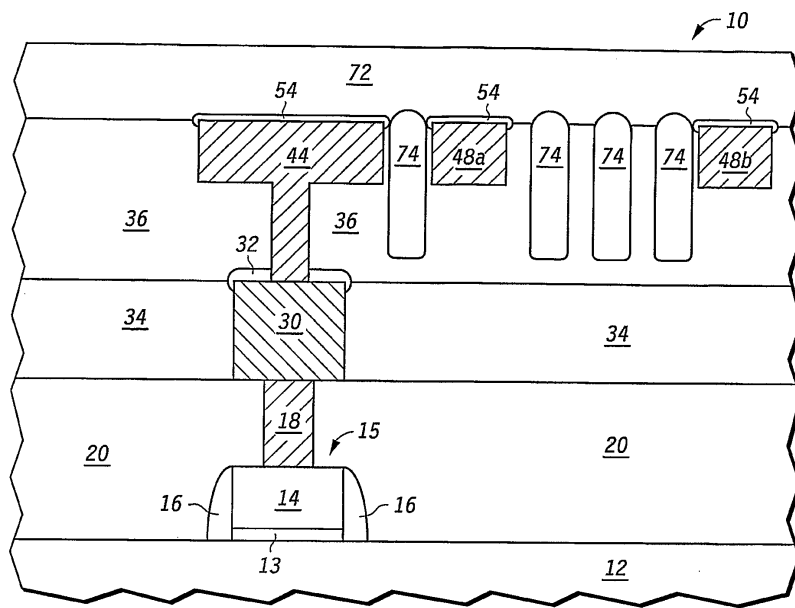
도면5



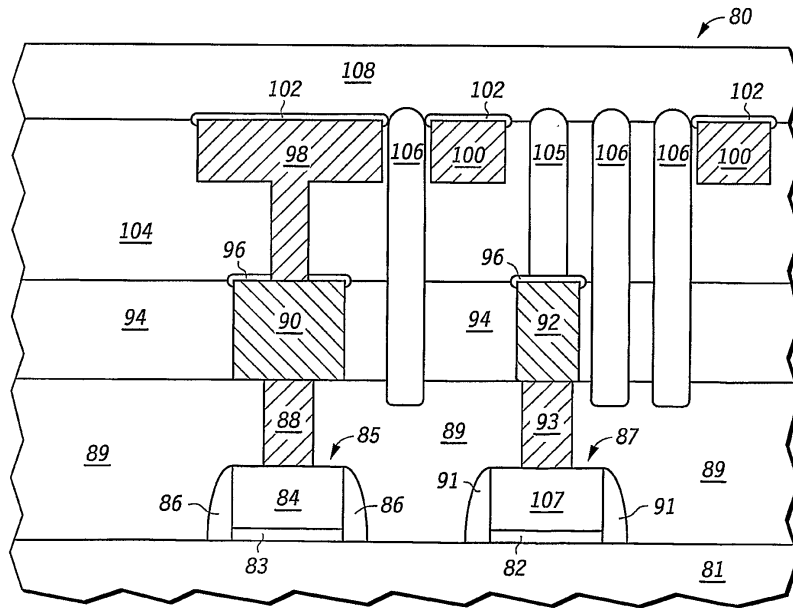
도면6



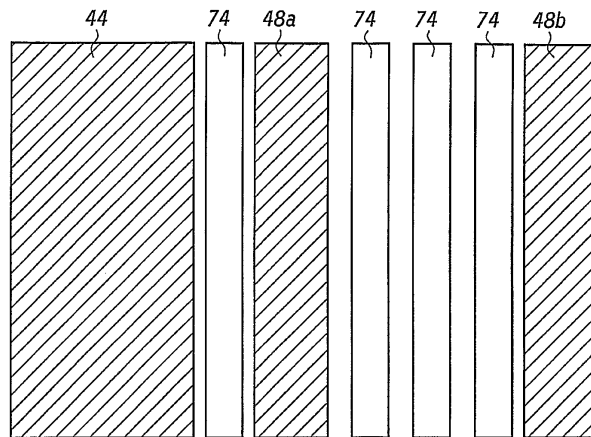
도면7



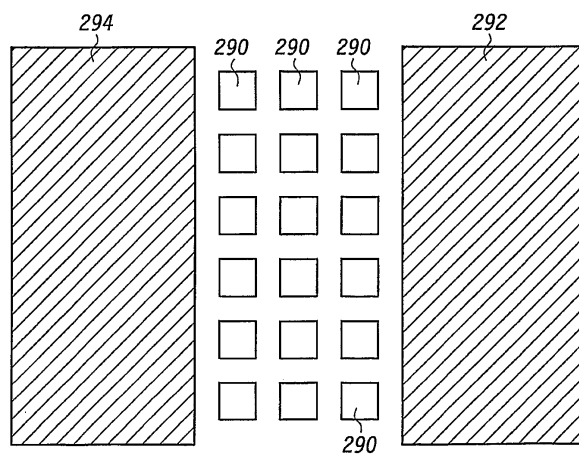
도면8



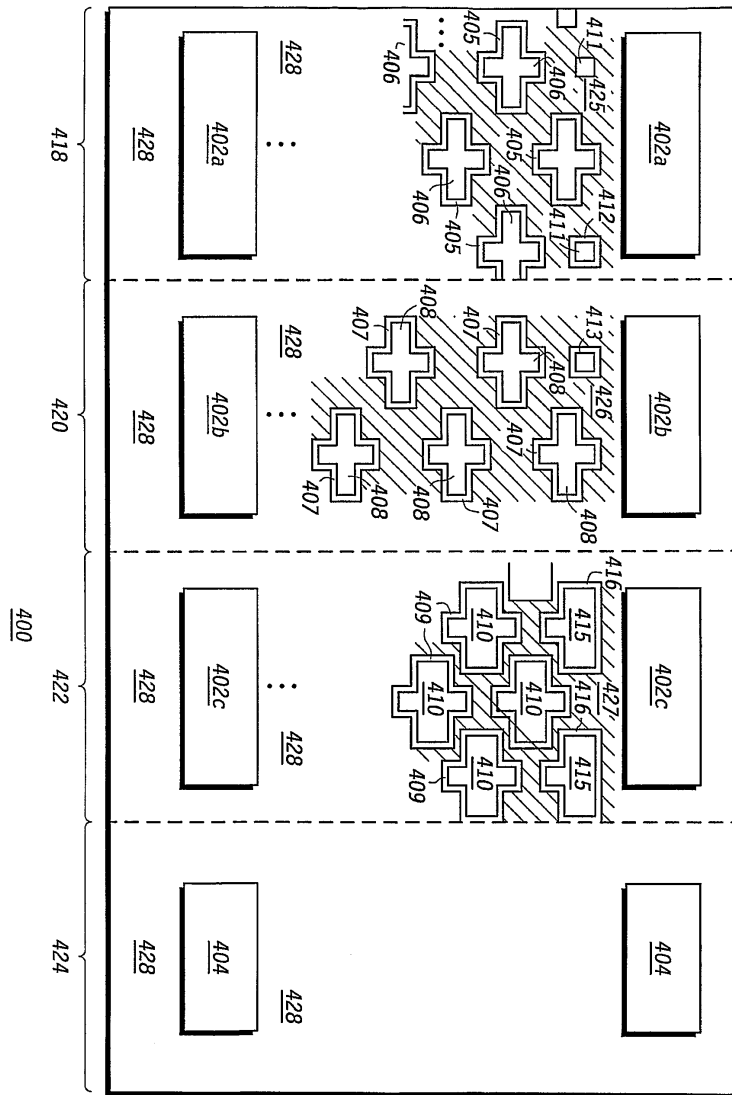
도면9



도면10



도면11



도면12

