

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-129565

(P2007-129565A)

(43) 公開日 平成19年5月24日(2007.5.24)

(51) Int. Cl. F I テーマコード (参考)
 H03H 7/075 (2006.01) H03H 7/075 Z 5J024

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2005-321074 (P2005-321074)
 (22) 出願日 平成17年11月4日(2005.11.4)

(71) 出願人 000010098
 アルプス電気株式会社
 東京都大田区雪谷大塚町1番7号
 (74) 代理人 100121083
 弁理士 青木 宏義
 (72) 発明者 石綿 宏行
 東京都大田区雪谷大塚町1番7号 アルプ
 ス電気株式会社内
 Fターム(参考) 5J024 AA01 BA04 BA11 CA02 DA04
 DA29 DA33 EA01 KA02

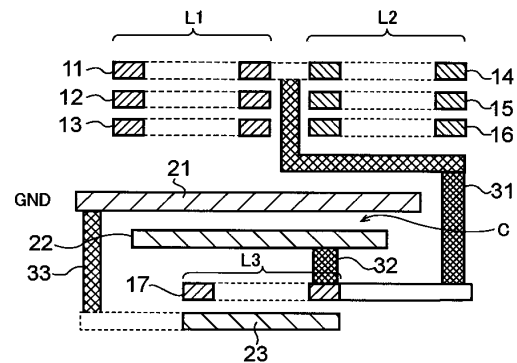
(54) 【発明の名称】 ローパスフィルタ

(57) 【要約】

【課題】 ローパスフィルタの高域阻止特性を実現するための第1のインダクタとトラップ特性を実現するための第2インダクタとの電磁結合を防止してトラップ位置の変動を防止すること。

【解決手段】 多層配線板内にインダクタL1, L2, L3を形成する複数の導体パターン11~17を形成すると共に、インダクタL1を形成する誘電体層(40b~40d)とインダクタL3を形成する誘電体層40gとの間の誘電体層40eを挟んで第1及び第2の電極層21, 22を対向配置してキャパシタCを形成する。インダクタL1, L2とインダクタL3との間にキャパシタCを配置し、キャパシタCの一方の電極である第1の電極層21をグラウンド層とした。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の配線板が積層された多層配線板と、

前記配線板のいずれかに設けられ前記多層配線板に少なくとも第 1 及び第 2 のインダクタを形成する複数の導体パターンと、

前記第 1 のインダクタを形成する導体パターンが設けられた配線板と前記第 2 のインダクタを形成する導体パターンが設けられた配線板との間に配置された配線板を挟んで対向配置され当該配線板と共にキャパシタを形成する第 1 及び第 2 の電極と、
を具備し、

前記多層配線板において前記第 1 のインダクタと前記第 2 のインダクタとの間に前記キャパシタを配置したことを特徴とするローパスフィルタ。

10

【請求項 2】

前記キャパシタの一方の電極を形成する第 1 の電極又は第 2 の電極がグラウンド層であることを特徴とする請求項 1 記載のローパスフィルタ。

【請求項 3】

前記第 1 のインダクタを形成する導体パターンを入力端子から入力された高周波信号を出力端子から出力する信号線路の一部に直列に接続し、前記信号線路とグラウンドとの間に前記第 2 のインダクタと前記キャパシタとを前記キャパシタの一方の電極をグラウンド側に直列に接続したことを特徴とする請求項 1 又は請求項 2 記載のローパスフィルタ。

20

【請求項 4】

前記導体パターンが第 3 のインダクタを形成し、

前記第 1 のインダクタを形成する導体パターンの端部と前記第 3 のインダクタを形成する導体パターンの端部とを接続し、前記第 3 のインダクタを信号線路に直列に接続したことを特徴とする請求項 1 から請求項 3 のいずれかに記載のローパスフィルタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インダクタとキャパシタを多層配線板内に構成した電子機器に係り、特に高周波側にトラップを設けたローパスフィルタに関する。

30

【背景技術】

【0002】

ローパスフィルタは、所要周波数帯域よりも高域側に発生する不要な周波数成分を除去するために用いることができる。例えば、携帯電話機の送信回路において、パワーアンプで電力増幅してアンテナから送信する場合、データ送信に用いる希望周波数に対して 2 倍、3 倍の周波数にも不要周波数成分が発生する。図 4 に示すように、希望周波数よりも高域側を阻止帯域に設定したローパスフィルタにおいて、不要周波数成分に相当する周波数位置にトラップを設けることにより、非常に効率良く不要周波数成分を除去することができる。

【0003】

図 5 はトラップを設けた LC ローパスフィルタの構成例を示す図である。同図に示す LC ローパスフィルタは、入力端子 V_{in} と出力端子 V_{out} との間に形成された信号線路上にインダクタ L_1 とインダクタ L_2 とが直列に接続され、インダクタ L_1 とインダクタ L_2 との接続点がキャパシタ C を介してグラウンドに接続された T 型フィルタを構成している。そして、インダクタ L_1 及びインダクタ L_2 の接続点とキャパシタ C との間にインダクタ L_3 を設け、信号線路とグラウンドとの間に LC 直列共振回路を構成している。かかる LC ローパスフィルタにおいて、LC 直列共振回路の共振周波数を図 4 に示すトラップ位置に設定することで、同図に示すトラップを設けることができる。

40

【0004】

ところで、最近では上記ローパスフィルタを備えた電子機器の小型化・高密度化を図るた

50

め、上記ローパスフィルタと他の回路素子を多層配線板内に構成する傾向にある。

【0005】

図6は上記ローパスフィルタを構成した多層配線板を横から見た概念図である。この多層配線板は、複数の誘電体層（不図示）を積層してなり各誘電体層上に導体パターンなどを形成して構成される。第1～第3の導体パターン101～103を、多層配線板において隣接した各誘電体層上に形成している。また、第1～第3の導体パターン101～103と同一誘電体層上にそれぞれ隣接して第4～第6の導体パターン104～106を形成している。複数の誘電体層に互って形成された第1～第3の導体パターン101～103でインダクタL1を構成し、第4～第6の導体パターン104～106でインダクタL2を構成している。インダクタL2（第4～第6の導体パターン104～106）の形成領域の下方に、インダクタL3となる第7及び第8の導体パターン107及び108を形成している。第6の導体パターン106の端部と第7の導体パターン107の一部とをビアホール110を介して導通接続している。また、多層配線板の最下層の基板上に形成したグラウンドとなる電極層120と、その上の誘電体層上に形成された電極109とでキャパシタCを構成している。キャパシタCの一方の電極となる電極109と第8の導体パターン108とをビアホール111を介して導通接続している。

10

【0006】

以上のように、インダクタL1、L2、L3及びキャパシタCを多層配線板内に構成することにより、図4に示すようなトラップを有する周波数特性のローパスフィルタを構成することができる。

20

【特許文献1】特開平7-312568号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、図6に示す多層配線板では、信号線路上に直列に接続されたインダクタL2とLC直列共振回路のインダクタ成分を構成しているインダクタL3とが上下に近接して配置されるので、インダクタL2とインダクタL3とが電磁結合してインダクタL3のインダクタ値が変化する可能性がある。インダクタL3のインダクタ値はトラップ位置を決める重要な要素であるので、インダクタ値が変化するとトラップ位置が変化して不要周波数成分を効果的に除去できなくなる問題がある。

30

【0008】

本発明は、かかる点に鑑みてなされたものであり、ローパスフィルタを構成する多層配線板において第1のインダクタと第2のインダクタとを上下に配置しても、インダクタ間の電磁結合を防止でき、所望の周波数位置に設けたトラップの変動を防止できるローパスフィルタ特性を実現できるローパスフィルタを提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明のローパスフィルタは、複数の配線板が積層された多層配線板と、前記配線板のいずれかに設けられ前記多層配線板に少なくとも第1及び第2のインダクタを形成する複数の導体パターンと、前記第1のインダクタを形成する導体パターンが設けられた配線板と前記第2のインダクタを形成する導体パターンが設けられた配線板との間に配置された配線板を挟んで対向配置され当該配線板と共にキャパシタを形成する第1及び第2の電極とを具備し、前記多層配線板において前記第1のインダクタと前記第2のインダクタとの間に前記キャパシタを配置したことを特徴とする。

40

【0010】

この構成によれば、多層配線板において、第1のインダクタと第2のインダクタとの間にキャパシタの第1及び第2の電極が配置されるので、キャパシタの電極面で磁束が遮断され、第1のインダクタと第2のインダクタとの電磁結合を抑制することができる。

【0011】

また本発明は、上記ローパスフィルタにおいて、前記キャパシタの一方の電極を形成す

50

る第1の電極又は第2の電極がグラウンド層であることを特徴とする。これにより、キャパシタの一方の電極をグラウンド層とするので、別にグラウンド層として1層設ける必要がなく、層数を増加することなくインダクタ間の電磁結合を防止することができる。

【0012】

また本発明は、上記ローパスフィルタにおいて、前記第1のインダクタを形成する導体パターンを入力端子から入力された高周波信号を出力端子から出力する信号線路の一部に直列に接続し、前記信号線路とグラウンドとの間に前記第2のインダクタと前記キャパシタとを前記キャパシタの一方の電極をグラウンド側にして直列に接続したことを特徴とする。

また本発明は、前記導体パターンが第3のインダクタを形成し、前記第1のインダクタの端部と前記第3のインダクタの端部とを接続し、前記第3のインダクタを信号線路に直列に接続したことを特徴とする。

10

【発明の効果】

【0013】

本発明によれば、ローパスフィルタを構成する多層配線板において第1のインダクタと第2のインダクタとを上下に配置しても、インダクタ間の電磁結合を防止でき、所望の周波数位置に設けたトラップの変動を防止できるローパスフィルタ特性を実現できる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の一実施の形態に係るローパスフィルタについて添付図面を参照して詳細に説明する。

20

【0015】

本実施の形態に係るローパスフィルタは、図5に示すローパスフィルタと同一の回路構成を有するものとして説明するが、本発明は図5に示す回路構成に限定されるものではない。

【0016】

図1は本実施の形態に係るローパスフィルタを構成する多層配線板を横から見た概念図である。同図には、主にインダクタL1、L2、L3を構成する導体パターン及びキャパシタを構成する電極層が抜き出されて概念的に図示されている。本実施の形態は、LTC（Low Temperature Co-fired Ceramic）内にローパスフィルタを構成しており、ローパスフィルタを構成する多層配線板は複数の誘電体層を積層して構成している。

30

【0017】

図1に示すように、第1のインダクタとなるインダクタL1を構成する第1～第3の導体パターン11～13が基板積層方向に対向配置され、第3のインダクタとなるインダクタL2を構成する第4～第6の導体パターン14～16が基板積層方向に対向配置されている。第1の導体パターン11と第4の導体パターン14、第2の導体パターン12と第5の導体パターン15、第3の導体パターン13と第6の導体パターン16は、それぞれ同一の誘電体層上に形成されている。インダクタL1及びインダクタL2の下方の誘電体層上に、第2のインダクタとなるインダクタL3を構成する第7の導体パターン17が形成されている。

40

【0018】

本実施の形態は、入力端子Vinと出力端子Vout間に形成される信号線路上に直列に接続されるインダクタL1及びL2と、LC直列共振回路のインダクタ成分となるインダクタL3との間に、グラウンドを構成する第1の電極層21と該第1の電極層21に誘電体層を挟んで対向配置される第2の電極層22とが配置されている。第1の電極層21と第2の電極層22とその間の誘電体層とでキャパシタCを構成している。

【0019】

第1の導体パターン11及び第1の導体パターン11と同一段にある第4の導体パターン14との接続点から第7の導体パターン17に掛けてビアホール31が形成されている。ビアホール31によってインダクタL1及びL2側とインダクタL3側とを導通接続す

50

る回路構成を実現している。また、第2の電極層22と第7の導体パターン17とがピアホール32を介して導通している。ピアホール32によってインダクタL3の他端がキャパシタCの一方の電極に接続された回路構成を実現している。

【0020】

なお、インダクタL1及びL2とインダクタL3との間に配置されたグラウンドを構成する第1の電極層21は、ピアホール33を介して基板最下段の基板面上に形成された第3の電極層23に導通している。さらに、図1では示されていないが、基板底面に形成されたグラウンド端子に対して第3の電極層23が導通している。また、基板底面に入力端子V_{in}及び出力端子V_{out}が形成されていて、入力端子V_{in}に対して第1の導体パターン11の一端がピアホールを介して導通し、出力端子V_{out}に対して第4の導体パターン14の一端がピアホールを介して導通している。また、図1においてピアホール31～33は接続関係の説明のために示したに過ぎず、正確な配置関係を示すものではない。

10

【0021】

図2は上記ローパスフィルタの多層配線板を構成する各誘電体層の平面図である。本実施の形態における多層配線板は、基板上面から基板底面に掛けて第1～第8の誘電体層40a～40hを積層して構成されている。

【0022】

第1の誘電体層40aは、一方の面が基板上面を形成しており各種回路素子を取り付けるランドを構成している。第2の誘電体層40bの上面には、第1及び第4の導体パターン11及び14が形成されている。第1の導体パターン11は、第2の誘電体層40bの上面の左半分に形成されており、その一端は第3の誘電体層40cに連通するピアホール41の先端に導通接続されている。第4の導体パターン14は、第2の誘電体層40bの上面の右半分に形成されており、その一端は第3の誘電体層40cに連通するピアホール42の先端に接続されている。第1の導体パターン11及び第4の導体パターン14の他端は互いに連結されており、当該連結点が第7の誘電体層40gに連通するピアホール31の先端に導通接続されている。

20

【0023】

第3の誘電体層40cの上面には、第2及び第5の導体パターン12及び15が形成されている。第2の導体パターン12は、第3の誘電体層40cの上面の左半分に形成されており、その一端はピアホール41を介して第1の導体パターン12の一端に導通接続している。第2の導体パターン12の他端は第4の誘電体層40dに連通するピアホール43の先端に導通接続している。第5の導体パターン15は、第3の誘電体層40cの上面の右半分に形成されており、その一端はピアホール42を介して第4の導体パターン14の一端に導通接続されている。第5の導体パターン15の他端は第4の誘電体層40dに連通するピアホール44の先端に導通接続している。

30

【0024】

第4の誘電体層40dの上面には、第3及び第6の導体パターン13及び16が形成されている。第3の導体パターン13は、第4の誘電体層40dの上面の左半分に形成されており、その一端はピアホール43を介して第2の導体パターン12の一端に導通接続している。第3の導体パターン13の他端は、第8の誘電体層40hの基板底面に連通したピアホール45を介して基板底面に形成した入力端子V_{in}に導通接続している。第6の導体パターン16は、第4の誘電体層40dの上面の右半分に形成されており、その一端はピアホール44を介して第5の導体パターン15の一端に導通接続している。第6の導体パターン16の他端は、第8の誘電体層40hの基板底面に連通したピアホール46を介して基板底面に形成した出力端子V_{out}に導通接続している。

40

【0025】

すなわち、第2～第4の誘電体層40b～40dに掛けて、直列接続された第1～第3の導体パターン11～13がコイル状に巡回形成されると共に直列接続された第4～第6の導体パターン14～16がコイル状に巡回形成されている。インダクタL1の入力側端部となる第3の導体パターン13の端部に基板底面の入力端子V_{in}が接続される一方、イ

50

インダクタL2の出力側端部となる第6の導体パターン16の端部に基板底面の出力端子Voutが接続される。最上段に位置する第1の導体パターン11と第4の導体パターン14とが接続されている。したがって、入力端子Vinから入力した高周波信号が第3、第2、第1の導体パターン13, 12, 11の順に通過し、さらに第4、第5、第6の導体パターン14, 15, 16の順に通過して出力端子Voutから出力される。

【0026】

第5の誘電体層40eの上には、グラウンドとなる第1の電極層21が形成されている。上記した通り第1～第3の導体パターン11～13は各誘電体層における左半分の領域に形成され、第4～第6の導体パターン14～16各誘電体層における右半分の領域に形成されている。グラウンドとなる第1の電極層21は、第5の誘電体層40eの上における左半分及び右半分の領域を含む範囲に亘って形成されている。すなわち、第1の電極層21は、第1～第3の導体パターン11～13からなるインダクタL1並びに第4～第6の導体パターン14～16により構成されるインダクタL2の下面全体を覆う面積を有している。なお、第1の電極層21の面積及び形状は、インダクタL1及びL2とインダクタL3との電磁結合を抑制できる面積及び形状であれば良く、図2に示すものに限定されない。例えば、少なくともインダクタL3を構成する導体パターン17の上面を覆う面積が確保されていれば、インダクタL1、L2の下面全体を覆っていなくても、インダクタL3との電磁結合を抑制する効果を得ることができる。また、第1の電極層21の一部は、第8の誘電体層40hに連通するビアホール33の先端に導通接続されている。

10

【0027】

第6の誘電体層40fの上には、グラウンドとなる電極層21との間にキャパシタCを構成する第2の電極層22が形成されている。すなわち、第5の誘電体層40eを挟んで、一方の側にキャパシタCの一方の電極となる第1の電極層21が形成され、他方の側にキャパシタCの他方の電極となる第2の電極層22が形成されている。第2の電極層22の一部は、第7の誘電体層40gに連通するビアホール32の先端に導通接続されている。

20

【0028】

第7の誘電体層40gの上には、第7の導体パターン17が形成されている。第7の導体パターン17の一端はビアホール31を介して第2の誘電体層40bに連通し第1及び第2の導体パターン11, 14の連結点に導通している。また、第7の導体パターン17の他端はビアホール32を介して第6の誘電体層40fの第2の電極層22に導通している。

30

【0029】

第8の誘電体層40hの上には、第3の電極層23が形成されており、第8の誘電体層40hの下面となる基板底面には入力端子Vin、出力端子Vout、第1のグラウンド端子24及び第2のグラウンド端子25が形成されている。第3の電極層23と第1及び第2のグラウンド端子24, 25とはビアホール47a～47cを介して導通している。

【0030】

なお、本実施の形態では、第1～第6の導体パターン11～16を銀の金属膜で形成しているが、その他の導電性材料で形成することもできる。

40

【0031】

以上のように構成されたローパスフィルタの多層配線板では、第2～第4の誘電体層40b～40dにおいてインダクタL1(導体パターン11～13)とインダクタL2(導体パターン14～16)を水平方向に並べて配置している。また、第2～第4の誘電体層40b～40dに対して下方(基板底面側)となる第7の誘電体層40gの上面にローパスフィルタの周波数特性にトラップを設けるLC直列共振回路のインダクタ成分であるインダクタL3(導体パターン17)を形成している。

【0032】

一方、キャパシタCの一方の電極を構成する第1の電極層21は、ビアホール33、第3の電極層23及びビアホール47a～47cを介してグラウンド端子24, 25に接続

50

されている。このため、第1～第6の導体パターン11～16と第7の導電パターン17との間に配置された第1の電極層21はグラウンドと同電位になる。

【0033】

多層配線板の基板底面に設けた入力端子 V_{in} に高周波信号を入力した場合、インダクタL1及びL2として機能する第1～第3の導体パターン11～13、並びに第4～第6の導体パターン14～16を高周波信号が通過する。このとき、第1～第3の導体パターン11～13からなるインダクタL1で発生した磁束の一部が第7の導体パターン17で構成されるインダクタL3の方向へ向かい、第4～第6の導体パターン14～16からなるインダクタL2で発生した磁束の一部がインダクタL3の方向へ向かうこととなる。第7の導体パターン17においても、一端部となるビアホール31から入力した高周波信号が他端部となるビアホール32から出力される。このとき、第7の導体パターン17から発生した磁束の一部がインダクタL1及びL2の配置された上方へ向かう。

10

【0034】

本実施の形態においてもインダクタL1及びL2とインダクタL3とが上下に配置されるが、インダクタL1及びL2からインダクタL3へ向かう磁束又はその逆方向の磁束が発生したとしても、その中間にグラウンドと同電位に保たれた第1の電極層21（グラウンド）が配置されている。このため、第1の電極層21によって磁束は遮断され、インダクタL1とインダクタL3との電磁結合、並びにインダクタL2とインダクタL3との電磁結合を防止することができる。

【0035】

このように、本実施の形態によればローパスフィルタの高帯域の減衰特性を実現するためのインダクタL1及びL2と所望の周波数位置にトラップを設けるためのインダクタ成分であるインダクタL3との電磁結合を防止できるので、所望の周波数位置にトラップを設けたローパスフィルタ特性を実現できる。

20

【0036】

また本実施の形態によれば、電磁結合を防止すべきインダクタ間に、キャパシタCの一方の電極であってグラウンド層となる第1の電極層を配置したので、インダクタの電磁結合防止のために別に電磁結合防止用の遮断層を設ける必要がなく、基板全体での層数を増大させること無く所望のフィルタ特性を実現できる。

【0037】

以上の説明では、入力端子 V_{in} と出力端子 V_{out} との間の信号線路に2つのインダクタL1及びL2を接続し、その接続点とグラウンドとの間にキャパシタCを挿入したローパスフィルタを例示したが、本発明はその他の回路構成を有するローパスフィルタにも適用可能である。

30

【0038】

例えば、図3に示すように入力端子 V_{in} と出力端子 V_{out} との間の信号線路に1つのインダクタL1を直列に接続し、インダクタL1の出力側端とグラウンドとの間にキャパシタCを挿入したローパスフィルタを構成し、インダクタL1の出力側端とキャパシタCとの間にインダクタL3を接続してLC直列共振回路を構成する。

【0039】

このようなローパスフィルタを構成する多層配線板において、インダクタL1を構成する導体パターンとインダクタL3を構成する導体パターンとの間にキャパシタCの電極層を配置する。キャパシタCの一方の電極はグラウンド電位にされるので、前述したようにグラウンド層をキャパシタCのグラウンド側の電極とすることが望ましい。このように、インダクタL1を構成する導体パターンとインダクタL3を構成する導体パターンとの間にキャパシタCの電極層を配置することにより、インダクタL1、L3間の電磁結合を防止することができる。

40

【産業上の利用可能性】

【0040】

本発明は、高域減衰特性を有すると共に所望の周波数位置にトラップを設けたローパス

50

フィルタに適用可能である。

【図面の簡単な説明】

【0041】

【図1】本発明の一実施の形態に係るローパスフィルタの素子断面構造を示す概念図

【図2】上記一実施の形態に係るローパスフィルタを構成する多層配線板を各層毎に分けた平面図

【図3】LCローパスフィルタの回路構成図

【図4】トラップを設けたローパスフィルタのフィルタ特性図

【図5】T型のローパスフィルタの回路構成図

【図6】図5に示すローパスフィルタの素子断面構造を示す概念図

10

【符号の説明】

【0042】

L1、L2、L3 インダクタ

C キャパシタ

Vin 入力端子

Vout 出力端子

11～16 第1～第6の導体パターン

17 第7の導体パターン

21 第1の電極層

22 第2の電極層

23 第3の電極層

24 第1のグラウンド端子

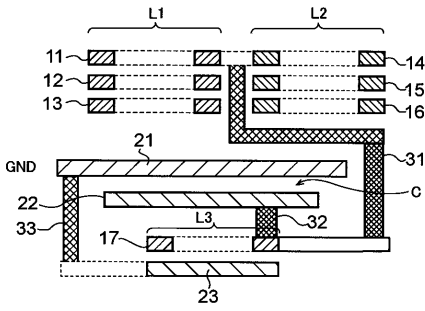
25 第2のグラウンド端子

31～33、41～46、47a～47c ビアホール

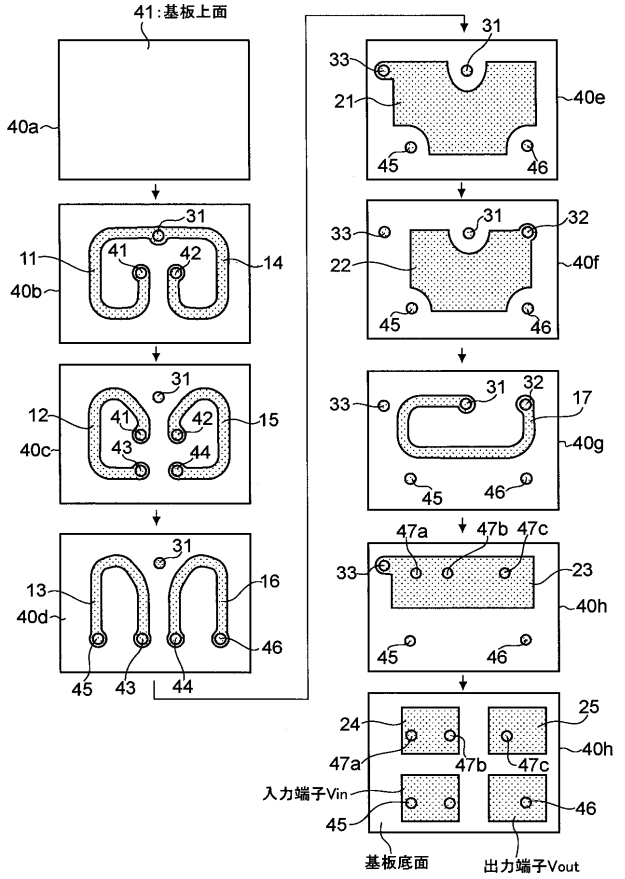
40a～40h 第1～第8の誘電体層

20

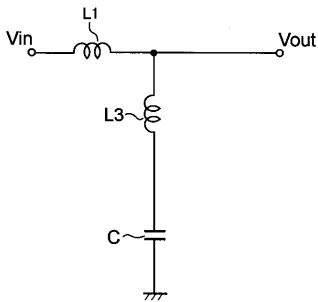
【図1】



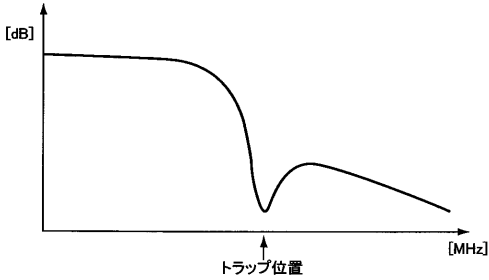
【図2】



【図3】



【図4】



【図5】

