

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成18年3月23日(2006.3.23)

【公開番号】特開2005-77992(P2005-77992A)

【公開日】平成17年3月24日(2005.3.24)

【年通号数】公開・登録公報2005-012

【出願番号】特願2003-311326(P2003-311326)

【国際特許分類】

G 09 G	3/20	(2006.01)
G 02 F	1/133	(2006.01)
G 09 G	3/30	(2006.01)
G 09 G	3/36	(2006.01)
H 01 L	51/50	(2006.01)

【F I】

G 09 G	3/20	6 2 3 F
G 09 G	3/20	6 1 2 F
G 09 G	3/20	6 2 1 J
G 09 G	3/20	6 2 1 M
G 09 G	3/20	6 2 4 B
G 09 G	3/20	6 4 1 C
G 09 G	3/20	6 4 1 D
G 09 G	3/20	6 8 0 G
G 02 F	1/133	5 5 0
G 02 F	1/133	5 7 5
G 09 G	3/30	J
G 09 G	3/36	
H 05 B	33/14	A

【手続補正書】

【提出日】平成18年2月8日(2006.2.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数ビットのデジタル信号に応じた階調表示を実行する表示装置であって、
段階的な複数の階調電圧がそれぞれ伝達される複数の電圧ノードと、
前記デジタル信号の前記複数ビットをそれぞれ伝達する複数の第1信号線と、
前記複数の第1信号線と同じ方向に沿って設けられ、前記複数ビットの逆相信号をそれ
ぞれ伝達する複数の第2信号線と、
前記複数の階調電圧の1つを前記デジタル信号に応じて選択し、選択した前記階調電圧
を表示電圧として出力ノードに出力するデコード回路と、
前記デコード回路によって選択された前記表示電圧に応じた輝度を表示するための画素
とを備え、
前記デコード回路は、前記複数の電圧ノードと前記出力ノードとの間に前記第1および
第2信号線と交差するようにそれぞれ形成される複数のデコード経路を含み、
前記複数のデコード経路の各々は、前記デジタル信号の前記複数ビットにそれぞれ対応

する複数の電界効果型トランジスタを含み、

前記複数の電界効果型トランジスタは、前記出力ノードと対応する前記電圧ノードとの間に直列に接続され、

前記複数の電界トランジスタの各ゲートは、対応のビットおよびその逆相信号を伝達する前記第1および第2信号線のうちの一方の信号線と接続され、

前記複数の電界効果トランジスタの各々において、前記第1および第2信号線のうちの前記ゲートと非接続とされた他方の信号線と、ソースまたはドレインと電気的に接続されたノードとの間には容量が形成されるように構成され、

前記複数のデコード経路のうちの前記デジタル信号に応じて選択された1つでは、前記複数の電界効果型トランジスタは全てオンし、残りのデコード経路では、前記複数の電界効果型トランジスタの少なくとも1つがオフする、表示装置。

【請求項2】

前記他方の信号線によって形成される容量は、前記電界効果型トランジスタのゲート容量と実質的に同じ容量値を有する、請求項1記載の表示装置。

【請求項3】

前記複数のデコード経路の各々は、前記出力ノードと対応する前記電圧ノードとの間に、前記複数の第1および第2信号線と交差するように連続的に形成された半導体配線を有し、

前記複数の第1および第2信号線は、前記半導体配線と絶縁層を挟んで形成される配線層に設けられ、

前記半導体配線のうちの前記一方の信号線と平面的に見て交差する第1の領域は、前記一方の信号線の電圧に応じて、チャネルが形成または非形成とされるような不純物濃度を有し、

前記半導体配線のうちの前記他方の信号線と平面的に見て交差する第2の領域は、前記他方の信号線の電圧とは独立に、常に電気的導通状態となるような不純物濃度を有する、請求項1記載の表示装置。

【請求項4】

前記第2の領域の不純物濃度は、前記第1の領域の不純物濃度よりも高い、請求項3記載の表示装置。

【請求項5】

前記第2の領域へ不純物を注入する工程は、前記第1および第2信号線を形成する工程よりも前に行なわれる、請求項3記載の表示装置。

【請求項6】

前記画素は、

画素ノードの電圧に応じた輝度を表示する表示素子と、

前記画素ノードの電圧を保持する電圧保持容量と、

前記表示電圧に応じた電圧が伝達されるノードと前記画素ノードとの間に接続されて所定の走査周期に応答してオンする画素スイッチ素子とを有する、請求項1に記載の表示装置。

【請求項7】

前記スイッチ素子および前記複数の電界効果型トランジスタは薄膜トランジスタで構成され、

前記複数の電界効果型トランジスタおよび前記画素スイッチ素子は、同一の絶縁体基板上に同一工程で作製される、請求項6記載の表示装置。

【請求項8】

前記画素は、

通過電流に応じた輝度を表示する表示素子と、

前記表示電圧に応じた電圧が伝達されるノードと画素ノードとの間に接続されて所定の走査周期に応答してオンする、薄膜トランジスタで構成された画素スイッチ素子と、

前記画素ノードの電圧を保持する電圧保持容量と、

前記画素ノードの電圧に応じた電流を前記表示素子へ供給する、薄膜トランジスタで構成された電流駆動素子とを有する、請求項1記載の表示装置。

【請求項9】

前記他方の信号線によって形成される容量は、前記電圧保持容量と同様の構造を有する、請求項6または8記載の表示装置。

【請求項10】

前記複数のデコード経路ごとに、前記複数の電界効果型トランジスタは独立に設けられる、請求項1記載の表示装置。

【請求項11】

前記複数の電界効果型トランジスタのうちの、前記複数ビットのうちの最下位ビットに對応する一部は、前記複数のデコード経路ごとに独立に設けられ、

前記複数の電界効果型トランジスタの残りは、前記複数のデコード経路のうちの少なくとも2つによって供給される、請求項1記載の表示装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0088

【補正方法】変更

【補正の内容】

【0088】

具体的には、表示信号ビットD0に対応するデコードトランジスタT0(1)～T0(16)がデコード経路DP(1)～DP(16)ごとに設けられる一方で、表示信号ビットD3に対応するデコードトランジスタT3(1)はデコード経路DP(1)～DP(8)によって共有され、デコードトランジスタT3(2)はデコード経路DP(9)～DP(16)によって共有される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0089

【補正方法】変更

【補正の内容】

【0089】

同様に、表示信号ビットD2に対応するデコードトランジスタT2(1)～T2(4)は、隣接する4つずつのデコード経路DPによって共有される。すなわち、デコードトランジスタT2(1)およびT2(2)は、デコード経路DP(1)～DP(4)およびデコード経路DP(5)～DP(8)によってそれぞれ共有され、デコードトランジスタT2(3)およびT2(4)は、デコード経路DP(9)～DP(12)およびデコード経路DP(13)～DP(16)によってそれぞれ共有される。また、表示信号ビットD1に対応するデコードトランジスタT1(1)～T1(8)の各々は、隣接する2つずつのデコード経路DPによって共有される。