

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5385496号
(P5385496)

(45) 発行日 平成26年1月8日 (2014.1.8)

(24) 登録日 平成25年10月11日 (2013.10.11)

(51) Int.Cl.

F I

H O 3 F 1/30 (2006.01)

H O 3 F 1/30 A

H O 3 F 3/195 (2006.01)

H O 3 F 3/195

請求項の数 9 (全 13 頁)

(21) 出願番号	特願2004-366956 (P2004-366956)	(73) 特許権者	500587067
(22) 出願日	平成16年12月20日 (2004.12.20)		アギア システムズ インコーポレーテッド
(65) 公開番号	特開2005-184838 (P2005-184838A)		アメリカ合衆国、18109 ペンシルヴァニア、アレントアウン、アメリカン パークウェイ エヌイー 1110
(43) 公開日	平成17年7月7日 (2005.7.7)		
審査請求日	平成19年7月3日 (2007.7.3)	(74) 代理人	100094112
審判番号	不服2012-19760 (P2012-19760/J1)		弁理士 岡部 譲
審判請求日	平成24年10月9日 (2012.10.9)	(74) 代理人	100106183
(31) 優先権主張番号	10/744563		弁理士 吉澤 弘司
(32) 優先日	平成15年12月23日 (2003.12.23)	(72) 発明者	オズヴァルド ロベツ
(33) 優先権主張国	米国 (US)		アメリカ合衆国 08833 ニュージャージー、レバノン、スクエア レーン 1

最終頁に続く

(54) 【発明の名称】 バイアス回路を一体化した金属酸化膜半導体デバイス

(57) 【特許請求の範囲】

【請求項 1】

パッケージ化されたパワー・トランジスタ集積回路（IC）デバイスであって、
ゲート端子、ソース端子、およびドレイン端子を備え、前記ゲート端子が前記ICデバイスの第1のパッケージリードに動作可能に結合され、前記ドレイン端子が前記ICデバイスの第2のパッケージリードに動作可能に結合され、前記ソース端子が負電圧供給源に接続されるように適合された、金属酸化膜半導体（MOS）トランジスタ・デバイス、及び

前記MOSデバイスの前記ゲート端子に動作可能に結合され、ほぼ一定の動作静止点で前記MOSデバイスにバイアスかけるバイアス出力を発生し、前記バイアス出力が前記MOSデバイスの接合温度の関数として変化するように構成された、バイアス発生器を備え、

前記ICデバイスが前記第1のパッケージリードで入力無線周波数（RF）及び直流電流（DC）基準電源信号を受信するように構成され、前記バイアス発生器が該基準電源信号を受信してその関数として前記バイアス出力を生成するように適合されている、ICデバイス。

【請求項 2】

前記バイアス発生器が、前記MOSトランジスタ・デバイスに動作可能に結合され、前記MOSトランジスタ・デバイス中の静止電流のある割合にほぼ一致する基準電流を発生するカレント・ミラーを備え、前記バイアス発生器は、前記基準電流が前記MOSトラン

10

20

ジスタ・デバイスの１つまたは複数の動作条件の変動に対してほぼ一定になるように、前記バイアス出力を調節するように構成された請求項1に記載のＩＣデバイス。

【請求項 3】

前記バイアス発生器が、前記ＭＯＳトランジスタ・デバイスに動作可能に結合された基準トランジスタを備え、前記基準トランジスタおよび前記ＭＯＳトランジスタ・デバイスがカレント・ミラー構成になされ、前記基準トランジスタ中の基準電流と前記ＭＯＳトランジスタ・デバイス中の静止電流の比がほぼ一定である、請求項1に記載のＩＣデバイス。

【請求項 4】

前記バイアス発生器が、前記基準トランジスタに動作可能に結合され、前記基準電流を発生するように構成された電流源をさらに備え、前記バイアス発生器が、ほぼ一定の基準電流を維持するために前記バイアス出力を変化させるように動作可能である、請求項3に記載のＩＣデバイス。

【請求項 5】

バイアス発生器が、

ゲート端子、ソース端子、ドレイン端子を備え、前記ゲート端子および前記ソース端子がそれぞれ前記ＭＯＳトランジスタ・デバイスのゲート端子およびソース端子に接続され、前記ドレイン端子がほぼ一定の電流源に接続されている第２トランジスタ、及び

ゲート端子、ソース端子、ドレイン端子を備え、前記ゲート端子が前記第２トランジスタの前記ドレイン端子に接続され、前記ソース端子が前記第２トランジスタの前記ゲート端子に接続され、前記ドレイン端子が正電圧供給源に接続された第３トランジスタであって、前記第２トランジスタおよびＭＯＳトランジスタ・デバイスのゲート端子でバイアス出力を供給するように構成され、それによって前記ＭＯＳトランジスタ・デバイスの１つまたは複数の動作条件の変動に対して前記ＭＯＳトランジスタ・デバイス中でほぼ一定の静止電流を維持するように前記バイアス出力を調節する第３トランジスタを備えた請求項1に記載のＩＣデバイス。

【請求項 6】

前記ＩＣデバイスの第１のパッケージリードと前記ＭＯＳトランジスタ・デバイスの前記ゲート端子の間に動作可能に結合された入力インピーダンス整合回路、

前記ＭＯＳトランジスタ・デバイスの前記ドレイン端子と前記ＩＣデバイスの第２のパッケージリードの間に動作可能に結合された出力インピーダンス整合回路の少なくとも一方をさらに備えた請求項1に記載のＩＣデバイス。

【請求項 7】

前記バイアス発生器と前記ＭＯＳトランジスタ・デバイスの前記ゲート端子の間に結合されたフィルタ回路であって、前記バイアス発生器によって発生され前記バイアス出力中に存在する可能性のある所望のカットオフ周波数より高い周波数成分をほぼ取り除くように構成され得るフィルタ回路をさらに備える請求項1に記載のＩＣデバイス。

【請求項 8】

前記バイアス発生器が、基準電圧または基準電流の少なくとも一方を受け取るための入力部を備え、前記基準電圧または前記基準電流の少なくとも一方に応答して前記ＭＯＳトランジスタ・デバイス中の静止電流を制御する、請求項2に記載のＩＣデバイス。

【請求項 9】

ほぼ一定の動作静止点を有する離散的トランジスタ・デバイスを形成する方法であって、

前記トランジスタ・デバイスの接合温度を検出する工程、

動作静止点で前記トランジスタ・デバイスをバイアスするためにバイアス出力を発生する工程であって、該動作静止点はトランジスタ・デバイスに供給される直流（ＤＣ）基準信号の関数である、工程、及び

前記トランジスタ・デバイスの検出された接合温度の関数として、前記トランジスタ・デバイスの１つまたは複数の動作条件の変動に対して前記トランジスタ・デバイス中でほ

10

20

30

40

50

ば一定の動作静止点を維持するように前記バイアス出力を変化させる工程を備え、

前記トランジスタ・デバイスによって受信される前記DC基準信号及び入力無線周波数(RF)信号が該トランジスタ・デバイスの同じパッケージリードに供給される、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、半導体デバイス、より詳細には、バイアス回路を一体化した金属酸化膜半導体(MOS)デバイスに関する。

【背景技術】

【0002】

増幅器(たとえば、AB級増幅器)を特定の設計基準に従って動作させるためには、外方拡散MOS(LDMOS)パワー・トランジスタを含めて、増幅器に使用されるMOSデバイスの静止バイアス電流が、温度変動および/またはプロセス変動においてほぼ一定に留まらなければならない。遺憾ながら、このバイアス電流は、他の諸パラメータのうちでもとりわけ、強い温度依存性を示すMOSデバイスの閾値電圧に大きく依存している。さらに、MOSデバイスのこの閾値電圧は、半導体のプロセス・パラメータの変動の影響を大きく受けるので、一般にデバイス間で大きく変動する。

【0003】

従来の増幅器では、増幅器内で使用される離散的MOSデバイスにバイアスをかけるための比較的溫度依存性のないバイアス電流を提供する溫度補償回路を有する外部バイアス発生器を使用することが知られている。たとえば、溫度変動を検出する溫度追跡ダイオードと共に、本質的にオペアンプであるバンドギャップ基準発生器を使用することはよく知られている。溫度を追跡する他の知られた方法には、ソフトウェアのルックアップ・テーブルの使用が含まれ得る。しかし、これらのバイアス回路は、パッケージ化されたMOSデバイスの外部にあるので、しばしば、デバイスの周囲の空気溫度またはデバイスのケースの溫度を感知することを利用するこのような従来の補償方法では、MOSデバイス自体の溫度特性および/またはプロセス特性を正確に追跡することができない。さらに、これらの追加の回路および/または方法は、しばしば非常に複雑であり、それぞれの使用される増幅器毎に(たとえば、プロセス変動を補償するために)手動でのバイアス電流調節が必要とされ得、したがってこのような回路構成の実施をコスト高にする。

【発明の開示】

【発明が解決しようとする課題】

【0004】

したがって、本発明は、従来の回路および方法に伴う1つまたは複数の問題を伴わず、少なくとも部分的にデバイスの溫度変動および/またはプロセス変動に起因するMOSデバイスのバイアス条件の変動を正確に補償できる技術を提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明の一態様に従えば、半導体デバイスが、第1のトランジスタ内のほぼ一定の動作静止点を維持するために第1トランジスタに結合可能である。この半導体デバイスは、第1トランジスタに動作可能に結合されそれに一体化されたバイアス発生器を備える。このバイアス発生器は、あるほぼ一定の動作静止点で第1トランジスタにバイアスをかけるバイアス出力を発生する。このバイアス発生器は、バイアス出力が第1トランジスタの接合溫度の関数として変化するように構成されている。

【0006】

本発明の別の態様によれば、集積回路(IC)デバイスは、このICデバイスの入力部に動作可能に結合されたゲート端子、このICデバイスの出力部に動作可能に結合されたドレイン端子、および負電圧供給源に結合されたソース端子を備える。さらに、ICデバイスは、MOSデバイスのゲート端子に動作可能に結合されるバイアス発生器を備える。

10

20

30

40

50

このバイアス発生器は、MOSデバイスにほぼ一定の動作静止点でバイアスをかけるバイアス電圧および/またはバイアス電流を発生する。バイアス発生器は、バイアス電圧および/またはバイアス電流がMOSデバイスの接合温度の関数として変化するように構成されている。このようにして、バイアス発生器はMOSデバイスの1つまたは複数の動作条件を正確に追跡し、それによってデバイスの性能を向上させる。

【0007】

本発明は、例示的な一実施形態において、離散的トランジスタ・デバイスと同じICパッケージ内にバイアス発生器を一体化させることにより、このパッケージ化された離散的トランジスタ・デバイス内の静止バイアス電流を自動的に調節する技法を提供する。このバイアス発生器は、その内部の基準トランジスタ内を流れる基準電流が離散的トランジスタ・デバイス内を流れる静止電流のほぼ一定割合になるように構成されている。この基準トランジスタは、少なくとも半導体プロセス特性（たとえば、閾値電圧）の点では、離散的トランジスタとほぼ同じであり、好ましくは、バイアス発生器は離散的トランジスタ・デバイスに関連する接合温度の変動および/またはプロセス・パラメータの変動をより正確に追跡するように離散的デバイスの比較的近傍に配置される。

本発明のこれらおよび他の特徴および利点は、その例示的实施形態についての以下の詳細な説明を添付の図面と共に読めば明らかになるであろう。

【発明を実施するための最良の形態】

【0008】

本明細書では、パッケージ化されたバイアス回路を備える、例示的な離散的パワーMOSトランジスタ・デバイスの状況で本発明を説明する。しかし、当然のことながら、本発明は、この回路構成および任意の具体的回路構成に限定されるものではない。そうではなくて、本発明は、一般に、デバイスの動作点への望まない影響を生じ得る、少なくとも温度変動および/または半導体プロセス・パラメータの変動を正確に補償する静止バイアス電圧および/または静止バイアス電流をトランジスタ・デバイスに与える向上した技法に適用できる。さらに、バイアス回路は、トランジスタ・デバイスと同じパッケージに一体化されているので、たとえば、パッケージ化デバイスを増幅回路と共に実装するのに必要な外部回路構成部品を有利に低減することができる。

【0009】

図1は、本発明の一実施形態に従って形成された例示的なICデバイス100の簡略化したブロック図を示す。この例示的なICデバイス100は、ゲート(G)端子、ドレイン(D)端子、およびソース(S)端子を有するMOSトランジスタ・デバイス102を備える。このMOSトランジスタ102は、たとえば、約400メガヘルツ(MHz)を超える周波数で動作可能な無線周波数(RF)パワー増幅回路の用途に適するn型パワーMOS(NMOS)トランジスタが好ましいが、当業者なら分かるように、本質的に、ICデバイス100への変更なしでまたは変更を伴って、(たとえば、p型MOSトランジスタ、バイポーラ接合トランジスタ(BJT)などの)任意のトランジスタ・デバイスを使用することができる。このようなパワー増幅回路は、たとえば、複数キャリアおよび/または単一キャリアの無線基地局で使用することができる。ICデバイス100の入力ゲートは、トランジスタ102のゲート端子に結合することが好ましく、ICデバイスの出力ドレインは、トランジスタのドレイン端子に結合される。トランジスタ102のソース端子は、グラウンドまたは代替電圧源であってもよい負電圧供給源に接続することができる。

【0010】

例示的なICデバイス100は、さらに、トランジスタ102のゲート端子に結合されたバイアス発生器104を備える。このバイアス発生器104は、ほぼ一定の動作静止点でトランジスタ102に自動的にバイアスをかけるように構成することが好ましい。バイアス発生器104は、基準電圧VREF、基準電流(図示せず)、または基準電圧と基準電流の任意の組み合わせを受け取る入力部を備えることができる。これらの基準電圧VREFおよび/または基準電流を、ICデバイス100の内部で発生させてもよく、代わり

に、図示するように、基準電圧および／または基準電流をＩＣデバイスの外部で発生させてもよい。

【００１１】

前述したように、トランジスタ・デバイスの静止バイアス電流は、このようなデバイスを使用した増幅回路に（たとえば、線形性、利得、効率などの）性能劣化がもたらされないように温度変動および／またはプロセス変動においてほぼ一定に留まらなければならない。トランジスタ・デバイスの静止バイアス電流（ I_{dq} ）は、他の諸パラメータの中でとりわけ、強い温度依存性を示すデバイスの閾値電圧に大きく依存しており、したがって固定されたゲート電圧でトランジスタ・デバイスにバイアスをかけることは適当ではない。このために、バイアス発生器が、トランジスタ・デバイスの接合温度を正確に感知し、このような温度変動の補償に従ってバイアス電流 I_{dq} を自動的に調節できることが重要である。温度変動に応答してバイアス電圧を調節可能な外部バイアス回路は知られているかもしれないが、このような回路は、本来、パッケージ化されたＩＣデバイスの外部にあることから、簡単にバイアス電圧を正確に調節してトランジスタ・デバイス自体の接合温度を正確に追跡することができない。

10

【００１２】

入力ＲＦ信号レベルは、一般に一定ではない、したがってトランジスタ・デバイスの接合温度は、時間とともにかなり変動することがある。従来のパワー増幅回路では、外部バイアス発生器がＩＣパッケージの周囲の空気温度またはＩＣパッケージのケース温度を感知し、この情報を用いて温度が変動したときにトランジスタに供給されるゲート電圧を調節するために構成されることがある。しかし、ＩＣパッケージの周囲の空気温度またはＩＣパッケージのケース温度は、一般にトランジスタ・デバイスの接合温度と等価ではない。ＩＣデバイスのケースは、一般にヒート・シンクとして働き、したがってケース温度は、せいぜいトランジスタ・デバイスの接合温度の時間平均を表すに過ぎない。したがって、従来のパワー増幅回路の構成は、トランジスタ・デバイスの静止バイアス電流を正確に調節してトランジスタの接合温度のリアルタイム変動を補償することができない。さらに、前述したように、従来のパワー増幅回路の実施には、しばしばデバイスに結合した複雑な外部温度補償回路が必要であり、増幅器設計および製造の全体的コストをかなり増加させる。

20

【００１３】

図２は、本発明の技法を使用した例示的な増幅回路２００のブロック図を示す。この増幅回路２００は、入力インピーダンス整合ネットワーク２０２に結合された入力部および出力インピーダンス整合ネットワーク２０６に結合された出力部を有する例示的なＩＣデバイス２０４を備えることが好ましい。入力信号ＲＦＩＮは、入力インピーダンス整合ネットワーク２０２の入力部に提示することが好ましく、出力インピーダンス整合ネットワーク２０６の出力部は、増幅回路２００の出力ＲＦＯＵＴを形成することが好ましい。図１に示したＩＣデバイス１００と類似のものでよい例示的なＩＣデバイス２０４は、ゲート（Ｇ）端子、ドレイン（Ｄ）端子、およびソース（Ｓ）端子を有するＭＯＳトランジスタ・デバイス２０８、ならびにこのＭＯＳトランジスタに動作可能に結合されたバイアス発生器２１４を備える。ＩＣデバイス２０４は、ＩＣデバイスの入力部とバイアス発生器２１４の入力部の間に結合されたロー・パス・フィルタ（ＬＰＦ）回路２１２、ならびにＩＣデバイスの入力部とＭＯＳトランジスタ２０８のゲート端子の間に結合されたハイ・パス・フィルタ（ＨＰＦ）回路２１０を備えることもできる。このＬＰＦ回路２１２は、少なくとも部分的には、ＩＣデバイス２０４に供給される基準電圧ＶＲＥＦ中に存在し得る、所望のカットオフ周波数より高い周波数成分をほぼ減衰させ、それによってほぼ直流（ＤＣ）の基準信号ＶＲＥＦをバイアス発生器２１４に渡す働きをする。このＨＰＦ回路２１４は、少なくとも部分的には、ＭＯＳトランジスタ２０８に供給される任意のＤＣ成分を含む入力信号ＲＦＩＮ中に存在する、所望のカットオフより低い任意の周波数成分をほぼ取り除く働きをする。

30

40

【００１４】

50

図3は、本発明の技法が実施された例示的な増幅回路300を示す概略図である。この増幅回路300は、入力インピーダンス整合ネットワーク302と出力インピーダンス整合ネットワーク306の間に動作可能に結合された例示的なICデバイス304を備える。この例示的なICデバイス304は、グラウンドでもよい負電圧供給源に接続されたソース(S)端子、ゲート(G)端子、およびドレイン(D)端子を有するNMOSトランジスタM1を備える。トランジスタM1は、それだけには限定されないが、RF LDMOSデバイスなどのパワー・デバイスであることが好ましい。M1のドレイン端子は、ほぼ一定の正電圧供給源VDDまたは代替電圧源に結合することが好ましい。この正電圧供給源は、LPF回路によってフィルタをかけることが好ましい。このLPF回路は、第1端部がノード336で電圧源VDDの正端子に結合され、第2端部がノード332でICデバイス304の出力部に結合されたインダクタL7、およびノード336と負電圧供給源の間に結合されたコンデンサC11を備えることができる。

10

【0015】

さらに、ICデバイス304は、NMOSトランジスタM1に動作可能に結合されたバイアス発生器308を備える。本発明の重要な一態様は、このバイアス発生器308がNMOSパワー・トランジスタM1と同じICパッケージ内に一体化されることである。バイアス発生器308は、トランジスタM1の接合温度の変動および/またはトランジスタM1に関連するプロセス・パラメータの変動をほぼ追跡するように構成されている。例示的なICデバイス304内のバイアス発生器308は、第1NMOSトランジスタM2、第2NMOSトランジスタM3、および第3NMOSトランジスタM4を備え、それぞれのトランジスタが、ゲート(G)端子、ドレイン(D)端子、およびソース(S)端子を有する、閾値参照ソースを備えることができる。この閾値参照ソースは、供給電圧の変動に少なくともほぼ無関係であり、かつ比較的溫度依存性がない、比較的一定の出力電圧および/または出力電流を提供する簡単な手段である。バイアス発生器308がトランジスタM1をより正確に追跡するために、トランジスタM2、M3、M4をトランジスタM1にほぼ一致させ、トランジスタM1の比較的近傍に設置することが好ましい。

20

【0016】

バイアス発生器308内のトランジスタM2を、そのソース端子を負電圧供給源に接続させ、そのドレイン端子を直列接続の抵抗器Rrefを介して基準電圧供給源に接続させて、利得段として構成することが好ましい。抵抗器Rrefは、第1端部がノード318でトランジスタM2のドレイン端子に接続され、第2端部がノード316で基準電圧供給源に接続される。トランジスタM3を、そのゲート端子をノード318でM2のドレイン端子に接続させ、そのドレイン端子をノード316で基準電圧に接続させ、そのソース端子をノード320でM2のゲート端子に接続させて、トランジスタM2の周りの負帰還ループを形成するソース・フォロアとして構成することが好ましい。トランジスタM4はトランジスタM3の負荷デバイスとして働くことが好ましく、そのドレイン端子をノード320でM3のソース端子に接続させ、そのソース端子を負電圧供給源に接続させ、そのゲート端子をノード322でバイアス電圧に接続させて構成することが好ましい。負電圧供給源とノード316での基準電圧供給源の間に接続された直列接続の抵抗器R2およびR3を備える単純な分圧器回路により、バイアス電圧を確立することができる。当然のことながら、代替バイアス回路構成も同様に本発明によって企図されている。

30

40

【0017】

ノード316でバイアス発生器308に提示される基準電圧を使用してノード320でバイアス発生器308からの出力電圧 V_{BIAS} を望むように制御することができる。この基準電圧を、ほぼ一定の基準電圧源VREFから供給することが好ましい。基準電圧を外部電圧源として図示したが、その代わりにICデバイス304の内部で発生させることもできる。基準電圧内に存在し得る、所望のカットオフ周波数より高い周波数成分をほぼ取り除くために、基準電圧源VREFを、ノード316でバイアス発生器308に接続する前に1つまたは複数のLPFネットワークでフィルタにかけることができる。

【0018】

50

たとえば、基準電圧源 V_{REF} を、ノード 338 と IC デバイス 304 へのノード 324 における入力部との間に接続された第 1 LPF 回路、およびノード 324 とノード 316 の間に接続された第 2 LPF 回路 310 を介してノード 316 でバイアス発生器に結合させることができる。第 1 LPF 回路は、第 1 端部で負電圧供給源に接続され、第 2 端部でノード 338 での基準電圧源 V_{REF} の正端子に接続されたコンデンサ C12、およびノード 338 とノード 324 の間に直列に接続されたインダクタ L11 を備える単純なインダクタンス・キャパシタンス (LC) フィルタとして構成することができる。同様に、第 2 LPF 回路 310 は、ノード 316 と負電圧供給源の間に接続されたコンデンサ C8、およびノード 324 とノード 316 の間に直列に接続されたインダクタ L9 を備える単純な LC フィルタとして構成することができる。当然のことながら、当業者なら分かるように、インダクタ L11、L9 を適当な抵抗で置き換えることにより、一方または両方の LPF 回路を単純な抵抗 - キャパシタンス (RC) 回路として構成することもできる。

10

【0019】

ノード 320 でのバイアス発生器 308 からの出力電圧 V_{BIAS} を、トランジスタ M1 のゲート端子に提示することが好ましい。この出力バイアス電圧を LPF 回路 314 中を通過させることにより、バイアス電圧内に存在し得る、所望のカットオフ周波数より高い周波数成分をほぼ減衰させるように、この出力バイアス電圧にフィルタをかけることができる。LPF 回路 314 の主な働きは、ノード 328 のトランジスタ M1 のゲート端子からノード 320 のバイアス発生器 308 を見て、動作周波数帯域 (たとえば、RF) 内で比較的高いインピーダンスを供給することである。このようにして、M1 のゲート端子は高周波ではバイアス発生器 308 によってそれほど負荷をかけられないようになっている。

20

【0020】

この LPF 回路 314 は、第 1 端部で負電圧供給源に接続され、第 2 端部でノード 320 におけるバイアス発生器の出力部に接続されたコンデンサ C4、およびノード 320 とノード 328 のトランジスタ M1 のゲート端子の間に直列に接続されたインダクタ L4 を備える。上述した LPF 回路 310 の場合と同様に、当業者なら分かるように、代わりに、インダクタ L4 を適当な抵抗で置き換えることにより、LPF 回路 314 を簡単な RC 回路として構成することもできる。

【0021】

30

さらに、IC デバイス 304 は、それと一体化した 1 つまたは複数のインピーダンス整合ネットワークを備えることができる。たとえば、例示的な IC デバイス 304 は、ノード 324 での IC デバイスに対する入力部とノード 328 でのトランジスタ M1 のゲート端子の間に直列に接続された入力インピーダンス整合回路 312 を備えることが好ましい。さらに、この IC デバイス 304 は、ノード 332 での IC デバイスに対する出力部とノード 330 でのトランジスタ M1 のドレイン端子の間に直列に接続された出力インピーダンス整合回路 342 を備えることができる。この入力インピーダンス整合回路 312 は、第 1 端部でノード 324 に接続され、第 2 端部でインダクタ L2 の第 1 端部に接続されたコンデンサ C2 を備えることが好ましい。さらに、入力インピーダンス整合回路 312 は、ノード 326 でのインダクタ L2 の第 2 端部とノード 328 での M1 のゲート端子の間に直列に接続された第 2 のインダクタ L3 を備える。コンデンサ C3 は、第 1 端部がノード 326 でインダクタ L2 と L3 の接合部に接続され、第 2 端部が負電圧供給源と接続されている。当然のことながら、当業者なら分かるように、本発明の使用に適した代替インピーダンス整合回路構成も同様に企図されている。

40

【0022】

出力インピーダンス整合回路 342 は、第 1 端部がノード 330 でトランジスタ M1 のドレイン端子に結合され、第 2 端部がノード 332 で IC デバイス 304 の出力部に結合された第 1 インダクタ L5 を備えることが好ましい。さらに、この出力インピーダンス整合回路 342 は、ノード 330 での M1 のドレイン端子と負電圧供給源の間に互いに直列に接続された第 2 インダクタ L6 およびコンデンサ C5 を備える。当然のことながら、本

50

発明の使用に適した代替インピーダンス整合回路構成も使用することができる。

【 0 0 2 3 】

上述のように、増幅回路 3 0 0 は、入力インピーダンス整合ネットワーク 3 0 2 および出力インピーダンス整合ネットワーク 3 0 6 を備えることができる。この入力インピーダンス整合ネットワークは、第 1 端部が増幅回路 3 0 0 の入力部 R F I N に接続され、第 2 端部がノード 3 4 0 でインダクタ L 1 0 の第 1 端部に接続されている第 1 コンデンサ C 1 0 を備えることができる。インダクタ L 1 0 を、第 2 端部でノード 3 2 4 における IC デバイス 3 0 4 の入力部に接続することが好ましい。さらに、入力インピーダンス整合ネットワーク 3 0 2 は、ノード 3 4 0 と負電圧供給源の間に接続された第 2 コンデンサ C 9 を備える。この出力インピーダンス整合ネットワーク 3 0 6 は、入力インピーダンス整合ネットワーク 3 0 2 とほぼ同様な構成にすることができる。出力インピーダンス整合ネットワーク 3 0 6 は、第 1 端部が増幅回路 3 0 0 の出力部 R F O U T に接続され、第 2 端部がノード 3 3 4 でインダクタ L 8 の第 1 端部に接続された第 1 コンデンサ C 7 を備えることができる。インダクタ L 8 は、第 2 端部をノード 3 3 2 で IC デバイス 3 0 4 の出力部に接続することが好ましい。さらに、出力インピーダンス整合ネットワーク 3 0 6 は、ノード 3 3 4 と負電圧供給源の間に接続された第 2 コンデンサ C 6 を備える。本発明の好ましい実施形態では、入力インピーダンス整合ネットワーク 3 0 2 および出力インピーダンス整合ネットワーク 3 0 6 は、約 2 . 1 4 ギガヘルツの周波数で、それぞれ入力部 R F I N 、出力部 R F O U T において回路を約 5 0 オームに整合させる。

【 0 0 2 4 】

IC デバイス 3 0 4 に使用されるインダクタの 1 つまたは複数のものは、一体化されたインダクタ（たとえば、スパイラル・インダクタなど）を含んでよい。当業者なら分かるように、代わりに、インダクタの 1 つまたは複数のものが、ボンド・ワイア・インダクタなどを含むこともできる。IC デバイス 3 0 4 に使用されるコンデンサの 1 つまたは複数のものは、それだけには限定されないが、MOS コンデンサ、金属酸化膜金属（MOM）コンデンサ、接合コンデンサなどを含むことができる。

【 0 0 2 5 】

下表 1 には、図 3 に示した例示的な増幅回路 3 0 0 に使用することができる例示的な構成部品の値が提供されている。当然のことながら、本発明では、代替の構成部品の値および/または回路構成も使用できることが企図されている。

【表 1】

参照記号	値	参照記号	値
Rref	17.5 Kilo (K) Ohms	C2	10 picofarad (pF)
R2	6.3K Ohms	C3	23 pF
R3	1K Ohms	C4	10 pF
L2	0.1 nanohenry (nH)	C5	230 pF
L3	0.15 nH	C6	3.9 pF
L4	5 nH	C7	20 pF
L5	0.275 nH	C8	10 pF
L6	0.28 nH	C9	5.5 pF
L7	100 nH	C10	20 pF
L8	0.9 nH	C11	20 pF
L9	10 nH	C12	10 pF
L10	0.2 nH	M2	LDMOS トランジスタ (289ミクロンのゲート)
L11	10 nH	M3-M4	LDMOS トランジスタ (1.8 mm のゲート)
M1	LDMOS パワー・ トランジスタ (83 mm のゲート)		

【 0 0 2 6 】

次に、ここで単なる例として図 3 を参照して例示的な IC デバイス 3 0 4 の動作のより詳細な説明を行う。基準電圧 V_{REF} を、インダクタ L_{11} を介してノード 3 2 4 において、IC デバイス 3 0 4 の入力部に印加することが好ましい。この基準信号は、増幅回路 3 0 0 の入力部 R_{FIN} に印加され、増幅される RF 信号と本質的に混合される。MOS パワー・トランジスタ M_1 は、この RF 信号を増幅し、増幅 RF 信号を発生し、この増幅 RF 信号は増幅回路 3 0 0 の出力部 R_{FOUT} に提供される。LPF 回路 3 1 0 は、インダクタ L_9 およびコンデンサ C_8 を備え、ノード 3 2 4 において IC デバイス 3 0 4 の入力部に提示される信号の DC 成分のみをほぼ抽出する。この DC 基準信号は、ほぼ V_{REF} と等価であり、次いで、抵抗 R_{ref} 、 R_2 、 R_3 、および NMOS トランジスタ M_2 、 M_3 、 M_4 を備えるバイアス発生器 3 0 8 に供給される。バイアス発生器 3 0 8 はゲート・バイアス電圧 V_{BIAS} を発生し、このゲート・バイアス電圧 V_{BIAS} はバイアス・デカップリング・ネットワークとして働く LPF 回路 3 1 4 を介してパワー NMOS トランジスタ M_1 のゲートに印加される。

【 0 0 2 7 】

少なくとも DC においては、トランジスタ M_1 、 M_2 のゲート・ソース電圧はほぼ同じ

になるので、抵抗 R_{ref} 中、したがってトランジスタ M_2 中を流れる電流 I_{ref} は、トランジスタ M_1 に流入する電流 I_{dq} に比例する。バイアス発生器の基準電流 I_{ref} は、その両端間に約 $V_{ref} - (V_{T2} + V_{T3})$ に等しいほぼ一定の電圧を有する抵抗 R_{ref} により設定される。なお、式中 V_{T2} はトランジスタ M_2 の閾値電圧、 V_{T3} はトランジスタ M_3 の閾値電圧である。トランジスタ M_2 、 M_3 がほぼ同一寸法だと仮定すると、抵抗 R_{ref} の両端間の電圧は、約 $V_{ref} - 2V_T$ になり、式中 V_T はトランジスタ M_2 またはトランジスタ M_3 の閾値電圧である。電流 I_{ref} は、パワー・トランジスタ M_1 内にミラーリングするのに適した単位ゲート幅当たりの電流で基準トランジスタ M_2 にバイアスをかける。

【0028】

基準トランジスタ M_2 の周りに、負帰還ループが、トランジスタ M_2 のゲート・バイアス電圧を動作可能に調節するソース・フォロア・トランジスタ M_3 を伴って設定される。トランジスタ M_4 は、このソース・フォロア・トランジスタ M_3 の定電流負荷として働く。バイアス発生器 308 内のトランジスタ M_2 、 M_3 、 M_4 は、幅をパワー・トランジスタ M_1 に比べてかなり小さくすることができる。本発明の好ましい実施形態では、トランジスタ M_2 は数百マイクロン（たとえば、約 289 ミクロン）の範囲のゲート幅、トランジスタ M_1 は数十または数百ミリメートル（たとえば、約 83 ミリメートル）の範囲のゲート幅であり、したがってトランジスタ M_1 とトランジスタ M_2 のカレント・ミラー比約 300 対 1 をもたらす。トランジスタ M_3 および M_4 は、ゲート幅が約 1.8 ミリメートルの寸法であることが好ましい。パワー・トランジスタ M_1 内に設定される静止バイアス電流は、約 $(W_1 / W_2) \times I_{ref}$ である。式中 W_1 はトランジスタ M_1 のゲート幅、 W_2 はトランジスタ M_2 のゲート幅であり、2 つのトランジスタ M_1 、 M_2 のゲート長が同一であると仮定している。

【0029】

抵抗 R_{ref} の両端間の電圧が温度変動の間ほぼ一定だと仮定すると、基準電流 I_{ref} も温度でほぼ一定になる。したがって、バイアス発生器 308 内のトランジスタ M_2 、 M_3 の帰還構成の結果として、バイアス発生器は温度変動の間ほぼ一定の基準電流 I_{ref} を維持するために必要に応じてノード 320 でゲート電圧 V_{BIAS} を動作可能に調節する。パワー・トランジスタ M_1 内のミラー電流 I_{dq} も同様に、温度変動の間、有利なことにほぼ一定に留まる。

【0030】

バイアス発生器 308 とパワー・トランジスタ M_1 の間の温度追跡の精度は、少なくとも部分的には、バイアス発生器 308 内のトランジスタ M_2 、 M_3 、 M_4 とパワー・トランジスタ M_1 の間の整合に依存している。したがって、トランジスタ M_1 、 M_2 、 M_3 、 M_4 は全て同一の特性であることが望ましい。バイアス発生器 308 をパワー・トランジスタ M_1 と同じ半導体チップ上に作製することは必要条件ではないが、バイアス発生器 308 とパワー・トランジスタ M_1 を互いに同じチップ上に作製する場合は、バイアス発生器 308 とパワー・トランジスタ M_1 間の温度追跡は、有利に向上するであろう。さらに、トランジスタ M_2 、 M_3 、 M_4 は、それらが全て同一チップ上に作製されているか否かによらず、トランジスタ M_1 の接合温度の変動がトランジスタ M_2 、 M_3 、 M_4 の対応する接合温度の変動に緊密に整合するように、トランジスタ M_2 、 M_3 、 M_4 をパワー・トランジスタ M_1 の近傍に設置することが好ましい。

【0031】

バイアス発生器 308 に印加される基準電圧 V_{ref} が、このバイアス発生器内のトランジスタ M_2 、 M_3 、 M_4 の閾値電圧の 2 倍よりいくらか高いと仮定すると、温度により閾値電圧が変動するにもかかわらず、基準電流 I_{ref} はほぼ一定に留まる。また、バイアス発生器 308 は、プロセス変動による閾値電圧の変動を許容する構成にすることも好ましい。すなわち、バイアス発生器 308 は、IC デバイス 304 内のプロセス変動を補償するようにトランジスタ M_1 のゲート・バイアス電圧を有利に調節する。このようにして、パワー・トランジスタ M_1 の動作静止点は、個々の IC デバイス間でほぼ一定になる

。

【 0 0 3 2 】

図 4 は、図 3 に示した例示的な IC デバイス 3 0 4 に対応する例示的なシミュレーション結果 4 0 0 を表すグラフである。このシミュレーション結果 4 0 0 は、トランジスタ M 1 の閾値電圧 (v_t) のいくつかの変動の場合について、パワー・トランジスタ M 1 の静止電流 I_{dq} とトランジスタの接合温度の関係を示している。たとえば、曲線 4 0 2 は、公称の閾値電圧より閾値電圧差で約 0 . 2 ボルト低い場合の、- 2 0 から 1 0 0 にわたる温度範囲でのシミュレートしたトランジスタ M 1 の約 7 8 9 ミリアンペア (mA) から約 7 9 9 mA の電流変動の範囲を示している。同様に、曲線 4 0 4 は、公称の閾値電圧より閾値電圧差で約 0 . 2 ボルト高い場合の、- 2 0 から 1 0 0 にわたる温度範囲でのシミュレートしたトランジスタ M 1 の約 8 0 7 . 5 mA から約 8 1 7 mA の電流変動の範囲を示している。全体的に見れば、閾値電圧が公称より約 0 . 2 ボルト低い値から公称より約 0 . 2 ボルト高い値まで変動すると、- 2 0 から 1 0 0 にわたる温度範囲で、トランジスタ M 1 の静止電流 I_{dq} は約 7 8 9 mA から約 8 1 7 mA まで変動する、すなわち約 3 . 5 % の差で変動する。

10

【 0 0 3 3 】

前記で説明したように、バイアス発生器 3 0 8 は、同一 IC パッケージ中でパワー・トランジスタ M 1 を一体化しているが、この 2 つの構成部品は、外部バイアス源を使用した従来の増幅回路構成以上の有利な性能向上をもたらすことができるようにするために同じ半導体チップ上に作製する必要はない。例示するためだけであるが、図 5 に離散的 MOS パワー・トランジスタ・デバイス 5 0 6 およびトランジスタに結合したバイアス発生器 5 0 8 を備える例示的な IC パッケージ 5 0 0 の上面図を示す。このパッケージ化された IC デバイスは、3 端子デバイスとして示され、ドレイン・リード 5 0 2 およびゲート・リード 5 0 4 を備え、パワー・トランジスタ 5 0 6 のソース端子は IC パッケージ (図示せず) の底部から利用できる。

20

【 0 0 3 4 】

ここでは、本発明の例示的な実施形態を添付の図面を参照して説明してきたが、本発明はこのとおりの実施形態に限定されるものではなく、当業者によって、添付の特許請求の範囲から逸脱することなく様々な他の変形および修正をそれに加え得ることを理解されたい。

30

【 図面の簡単な説明 】

【 0 0 3 5 】

【 図 1 】 本発明の一実施形態に従って形成された、バイアス発生器とパッケージ化された MOS トランジスタを備える例示的な IC デバイスを示す簡略ブロック図である。

【 図 2 】 本発明の技法が実施された例示的な増幅回路を示すブロック図である。

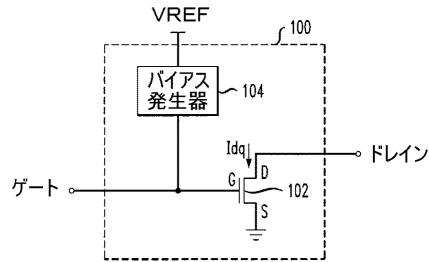
【 図 3 】 本発明の例示的な実施形態に従って形成された例示的な増幅回路を示す概略図である。

【 図 4 】 本発明による、図 3 に示すパワー・トランジスタ M 1 内の静止ドレイン電流についての特定の温度範囲にわたるシミュレーション結果を示すグラフである。

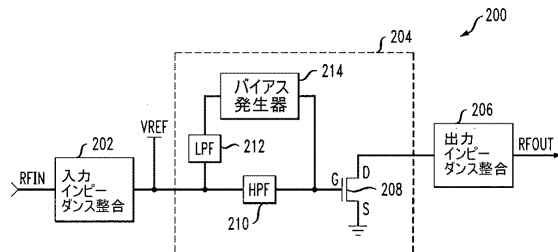
【 図 5 】 本発明の例示的な実施形態に従って形成された、バイアス発生器と一体化した MOS デバイスを備える例示的な IC パッケージを示す上面図である。

40

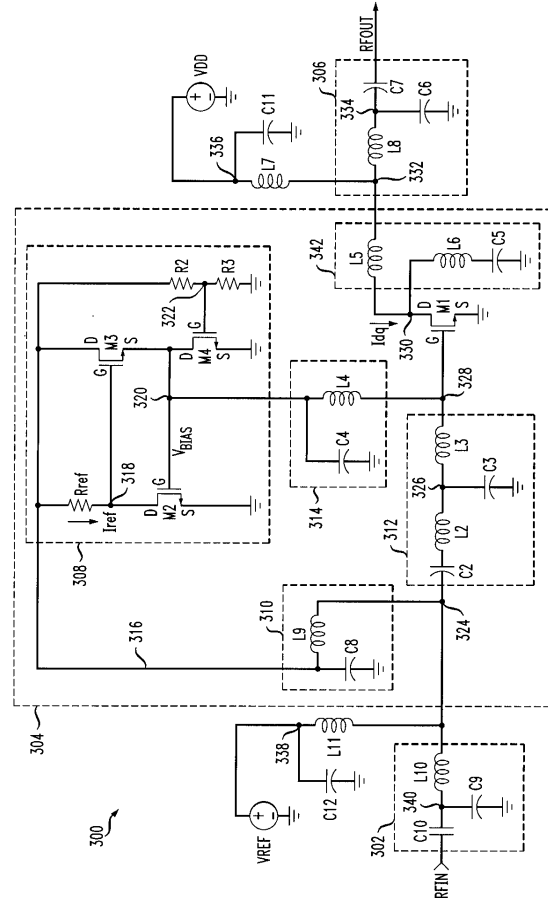
【図 1】



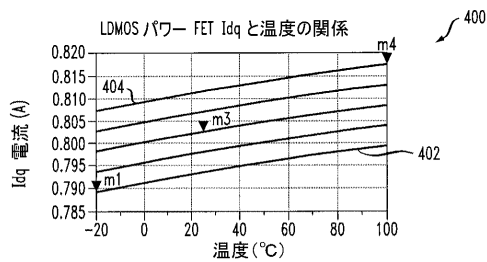
【図 2】



【図 3】

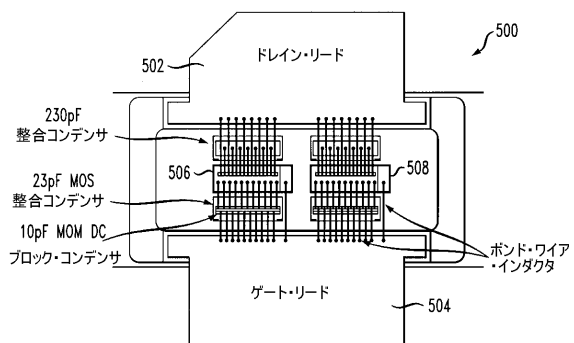


【図 4】



m1	m3	m4
tt = -20.000	tt = 25.000	tt = 100.000
vt = -0.200000	vt = 0.000000	vt = 0.200000
plot_vs(L_PA.i, tt) = 0.789	plot_vs(L_PA.i, tt) = 0.802	plot_vs(L_PA.i, tt) = 0.817

【図 5】



フロントページの続き

(72)発明者 ジョエル モリソン ロット
アメリカ合衆国 1 8 9 5 1 ペンシルヴァニア , クオーカートウン , ウエスト ザッチャー ロ
ード 9 1 1

合議体

審判長 加藤 恵一

審判官 吉田 隆之

審判官 佐藤 聡史

(56)参考文献 特表 2 0 0 2 - 5 3 5 9 0 7 (J P , A)
実開平 3 - 1 3 0 6 2 9 (J P , U)

(58)調査した分野(Int.Cl. , D B 名)

H03F

H03G