



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I769974 B

(45) 公告日：中華民國 111 (2022) 年 07 月 11 日

(21) 申請案號：105105617

(22) 申請日：中華民國 105 (2016) 年 02 月 25 日

(51) Int. Cl. : **H01L23/48 (2006.01)**

(30) 優先權：2015/02/25 南韓 10-2015-0026601  
 2016/02/24 美國 15/052,219

(71) 申請人：美商艾馬克科技公司 (美國) AMKOR TECHNOLOGY, INC. (US)  
 美國

(72) 發明人：金英侯 KIM, IN HO (KR)；金傑雲 KIM, JAE YUN (KR)；山坤書 SEONG, KYEONG SOOL (KR)

(74) 代理人：閻啓泰；林景郁

(56) 參考文獻：

KR 10-0858242 US 20130147033A1  
 US 20140045326A1

審查人員：林碧鴻

申請專利範圍項數：19 項 圖式數：9 共 45 頁

(54) 名稱

半導體封裝及其製造方法

(57) 摘要

本發明揭示半導體封裝以及製造半導體封裝的方法。作為非限制性的範例，本揭示的各種態樣提供各種半導體封裝以及製造半導體封裝的各種方法，其包括導體層，導體層包括延伸經由至少一個介電層的錨定部分。

A semiconductor package and a method of making a semiconductor package. As non-limiting examples, various aspects of this disclosure provide various semiconductor packages, and methods of making thereof, that comprise a conductive layer that comprises an anchor portion extending through at least one dielectric layer.

指定代表圖：

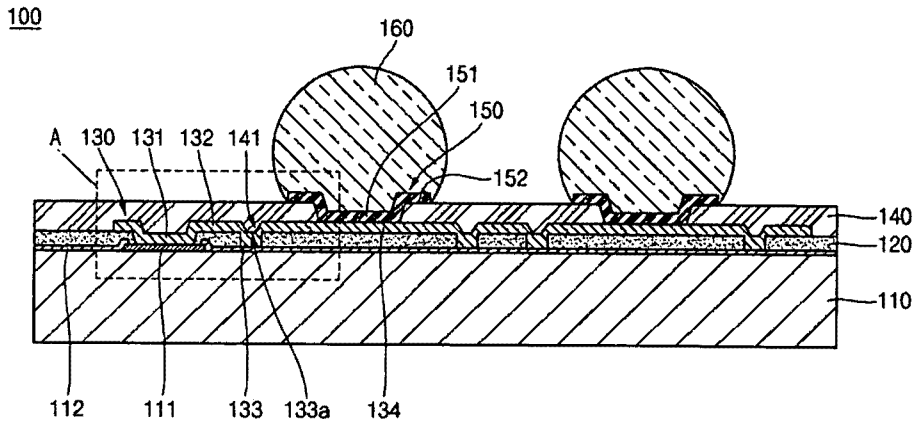


圖1A

符號簡單說明：

- 100 . . . 半導體裝置
- 110 . . . 半導體晶粒
- 111 . . . 導體接墊
- 112 . . . 晶粒鈍化層
- 120 . . . 第一介電層
- 130 . . . 導體層
- 131 . . . 接墊區域
- 132 . . . 延伸區域
- 133 . . . 錨定區域
- 133a . . . 凹坑
- 134 . . . 凸塊區域
- 140 . . . 第二介電層
- 141 . . . 突出物
- 150 . . . 凸塊下金屬 (UBM)結構
- 151 . . . 中心區域
- 152 . . . 末端區域
- 160 . . . 互連結構

# 公告本

I769974

## 發明摘要

※ 申請案號：105105617

※ 申請日：105年2月25日      ※IPC 分類：H01L 23/48 (2006.01)

### 【發明名稱】(中文/英文)

半導體封裝及其製造方法

SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD  
THEREOF

### 【中文】

本發明揭示半導體封裝以及製造半導體封裝的方法。作為非限制性的範例，本揭示的各種態樣提供各種半導體封裝以及製造半導體封裝的各種方法，其包括導體層，導體層包括延伸經由至少一個介電層的錨定部分。

### 【英文】

A semiconductor package and a method of making a semiconductor package. As non-limiting examples, various aspects of this disclosure provide various semiconductor packages, and methods of making thereof, that comprise a conductive layer that comprises an anchor portion extending through at least one dielectric layer.

**【代表圖】**

**【本案指定代表圖】**：第（ 1A ）圖。

**【本代表圖之符號簡單說明】**：

- 100：半導體裝置
- 110：半導體晶粒
- 111：導體接墊
- 112：晶粒鈍化層
- 120：第一介電層
- 130：導體層
- 131：接墊區域
- 132：延伸區域
- 133：錨定區域
- 133a：凹坑
- 134：凸塊區域
- 140：第二介電層
- 141：突出物
- 150：凸塊下金屬（UBM）結構
- 151：中心區域
- 152：末端區域
- 160：互連結構

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無

105年8月10日修正替換頁

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體封裝及其製造方法

SEMICONDUCTOR PACKAGE AND MANUFACTURING METHOD  
THEREOF

## 相關申請案之交互參考/併入之參照

【0001】 本申請案參考 2015 年 2 月 25 日提申的韓國專利申請案第 10-2015-0026601 號且名稱為「半導體裝置以及製造半導體裝置的方法」，並且主張其優先權與權利，本文以參照的方式將其內容完整併入。

## 【技術領域】

【0002】 本發明關於半導體封裝及其製造方法。

## 【先前技術】

【0003】 目前的半導體封裝以及形成半導體封裝的方法是不適當的，舉例而言導致多餘成本、低可靠度或太大的封裝尺寸。經由比較此些手段與參考圖式在本申請案之其餘部分中所提出的揭示內容，該領域中習知此技術者便會明白習知與傳統方式的進一步限制與缺點。

## 【發明內容】

【0004】 本揭示的各種態樣提供半導體封裝以及製造半導體封裝的方法。作為非限制性的範例，本揭示的各種態樣提供各種半導體封裝以及製造半導體封裝的各種方法，其包括導體層，導體層包括延伸通過至少一個介電層的錨定部分。

## 【圖式簡單說明】

105年8月10日修正替換頁

【0005】 圖 1A 例示根據本揭示之各種態樣的示範性半導體裝置的截面圖。

【0006】 圖 1B 是圖 1A 的示範性半導體裝置的部分 A 的放大視圖。

【0007】 圖 1C 是例示圖 1A 的示範性半導體裝置的示範性導體層的平面視圖。

【0008】 圖 2A 例示根據本揭示之各種態樣的示範性半導體裝置的截面圖。

【0009】 圖 2B 是圖 2A 的示範性半導體裝置的部分 B 的放大視圖。

【0010】 圖 3 例示根據本揭示之各種態樣的示範性半導體裝置的截面圖。

【0011】 圖 4 是例示根據本揭示之各種態樣的半導體裝置的示範性導體層的平面視圖。

【0012】 圖 5 是例示根據本揭示之各種態樣的半導體裝置的示範性導體層的平面視圖。

【0013】 圖 6 是例示根據本揭示之各種態樣的半導體裝置的示範性導體層的平面視圖。

【0014】 圖 7 是例示根據本揭示之各種態樣的半導體裝置的示範性導體層的平面視圖。

【0015】 圖 8 例示根據本揭示之各種態樣以製造半導體裝置之示範性方法的流程圖。

【0016】 圖 9A-9G 例示根據本揭示之各種態樣以說明示範性半導體裝置以及製造半導體裝置之示範性方法的截面圖。

**【實施方式】**

**【0017】** 以下的討論藉由提供其本身的範例而提出本揭示的各種態樣。此等範例係非限制性的，因此本揭示的各種態樣之範疇不應必然地被受限於所提供之範例的任何具體特性。在以下討論之中，「舉例而言」、「例如」、以及「示例性」等用詞皆係非限定性的，且大致上同義於「做為範例但不限於」、「舉例而言但不限於」、等等。

**【0018】** 當使用於本文之中，「及/或」一詞意味由「及/或」聯結的列表中的項目中的任意一或多者。做為一範例，「x 及/或 y」意味三元素集合{(x)、(y)、(x,y)}中的任一元素。換言之，「x 及/或 y」意味「x 與 y 的其中之一或二者」。做為另一範例，「x、y、及/或 z」意味七元素集合{(x)、(y)、(z)、(x,y)、(x,z)、(y,z)、(x,y,z)}中的任一元素。換言之，「x、y、及/或 z」意味「x、y、與 z 的其中之一或多者」。

**【0019】** 本文所使用的術語僅是做為描述特定範例之用途，並未預計限定本揭示。當使用於本文之中時，單數形式亦預計包含複數形式，除非文中另有清楚敘明。將進一步了解「包括」、「包含」、「含有」、「其含有」、「具有」、「擁有」、「有」和類似的詞當用於本說明書時指定存在了所述的特徵、整體、步驟、操作、元件及/或構件，但不排除存在或添加了一或更多個其他的特徵、整體、步驟、操作、元件、構件及/或其群組。

**【0020】** 將瞭解的是，雖然第一、第二……等詞可以在此用於描述各種元件，但是這些元件不應該受限於這些詞。這些詞只是用來區分某一元件與另一元件。因此，舉例而言，以下討論的第一元件、第一構件或第一區段或可稱為第二元件、第二構件或第二區段，而不偏離本揭示的教示。

類似而言，各種空間用語（譬如「上」、「下」、「側」和類似者）可以用於以相對方式來區分某一元件與另一元件。然而應該瞭解的是，構件可以採取不同的方式來指向；舉例而言半導體裝置可以轉向側邊，如此則其「頂部」表面面向水平方向並且其「側」面面向垂直方向，而不偏離本揭示的教導。

**【0021】** 注意到，一般而言在此處將利用相同的元件符號來代表相同及/或類似的構件。

**【0022】** 本揭示的各種態樣提供半導體封裝以及製造半導體封裝的方法，其可減少成本、增加可靠度及/或增加半導體裝置的可製造性。

**【0023】** 本揭示的各種態樣提供半導體裝置（其可防止或抑制裂痕及/或剝離發生於用以耦合導體層的結構）以及其製造方法。

**【0024】** 本揭示的各種態樣提供半導體裝置以及其製造方法，其包括半導體晶粒，半導體晶粒包括：在其頂部表面上的多個導體接墊（例如，接合墊）和鈍化層；在半導體晶粒的頂部表面上的第一介電層；在第一介電層上的導體層，導體層耦合至導體接墊並且包含通過第一介電層並且與半導體晶粒（例如，其鈍化層）接觸的錨定（或固定）區域；以及在導體層上的第二介電層。

**【0025】** 導體層的錨定（或固定）區域可舉例而言填充在第一介電層中的空隙（例如開口、孔隙、溝槽、溝渠等等）並且可被耦合至半導體晶粒的表面（例如，其鈍化層）。錨定區域可舉例而言包括延伸進入錨定區域的一側的凹坑（例如，與面對半導體晶粒之錨定區域的一側相反的一側）。

**【0026】** 導體層可舉例而言包括被連接至互連結構（例如，導體球或

凸塊、金屬柱或支柱、一般性裝置或封裝互連結構等等)的凸塊區域(例如,導體球或凸塊區塊、金屬柱或支柱區域等等),互連結構提供半導體裝置與外側的連接性。錨定(或固定)區域可舉例而言接近或鄰近凸塊區域而定位。

【0027】 半導體裝置可舉例而言包括在第二介電層上和在其孔隙中的凸塊下金屬(UBM)結構並且被連接至導體層的一部分(例如,連接至其凸塊區域)。錨定區域可舉例而言有其側向偏離於UBM結構的末端的中心(例如,UBM結構的覆蓋區外側及/或UBM結構的覆蓋區內側)。

【0028】 導體層可舉例而言包括彼此間隔開的多個圖案(例如,跡線、接墊等等)。第二介電層或其部分可舉例而言被定位在形成導體層的圖案(例如,跡線、接墊等等)之間。

【0029】 半導體裝置可舉例而言包括鍍料凸塊或球或其他互連結構,其被耦合至接近或鄰近錨定區域的導體層的位置(例如,被耦合至凸塊區域等等)。半導體裝置可舉例而言包括囊封物,囊封物囊封鍍料凸塊或球或其他互連結構的側(或側向)表面的至少部分。

【0030】 本揭示的各種態樣提供半導體裝置及其製造方法,其包括半導體晶粒,半導體晶粒包括:在其頂部表面上的多個導體接墊;在半導體晶粒的頂部表面上的第一介電層;在第一介電層上的導體層,導體層被耦合至導體接墊並且包含錨定(或固定)區域;以及在導體層上的第二介電層。第二介電層可舉例而言被耦合至導體層同時填充在導體層中的凹坑。錨定(或固定)區域可舉例而言通過在第一介電層中的孔隙(或開口)並且接觸半導體晶粒(例如,其鈍化層)。

【0031】 導體層可舉例而言包括被連接至互連結構（例如，裝置或封裝互連結構等等）的凸塊區域（例如，導體球或凸塊區域、導體柱或支柱區域、接合區域等等），互連結構提供半導體裝置與外側的連接性。錨定（或固定）區域可舉例而言接近或鄰近凸塊區域而定位。

【0032】 半導體裝置可舉例而言包括在第二介電層上和在其孔隙中的凸塊下金屬層（UBM）結構並且被連接至導體層的一部分（例如，凸塊區域）。錨定區域可舉例而言有其側向偏離於 UBM 結構的末端的中心（例如，UBM 結構的覆蓋區外側及/或 UBM 結構的覆蓋區內側）。

【0033】 本揭示的各種態樣提供製造半導體裝置的方法，其中該方法包括：提供半導體晶粒，半導體晶粒包括在其頂部表面上的多個導體接墊；在半導體晶粒的頂部表面上形成第一介電層；在第一介電層上形成導體層，導體層被耦合至導體接墊並且包含通過第一介電層並且與半導體晶粒（例如，其鈍化層）接觸的錨定（或固定）區域；以及在導體層上形成第二介電層。

【0034】 錨定區域可舉例而言包括延伸進入其上側的凹坑。第二介電層可舉例而言被形成以填充凹坑。導體層可舉例而言包括被連接至互連結構（例如，導體凸塊或球、金屬柱或支柱、一般裝置或封裝互連結構等等）的凸塊區域（例如，導體凸塊或球區域、金屬柱或支柱區域等等），互連結構提供半導體裝置與外側的連接性。錨定（或固定）區域可舉例而言接近或鄰近凸塊區域而定位。

【0035】 製造（或生產）方法可舉例而言包括形成凸塊下金屬層（UBM）結構於第二介電層上並且連接至導體層的一部分。錨定區域可舉

例而言有其側向偏離於 UBM 結構的末端的中心（例如，UBM 結構的覆蓋區外側及/或 UBM 結構的覆蓋區內側）。

【0036】 如同在此處所描述的，在根據本發明的各種態樣的半導體裝置和其製造方法中，導體層可被形成在第一介電層上同時垂直地通過在第一介電層中的一或多個孔隙。據此，與半導體晶粒的晶粒鈍化層接觸的錨定區域是被提供，錨定區域相對於半導體晶粒的頂部表面錨定（或固定）導體層的位置，從而防止或抑制導體層由於半導體裝置的翹曲、機械或熱衝擊等等而被扭曲，以及防止或抑制裂縫由於半導體裝置的翹曲、機械或熱衝擊等等而被產生。

【0037】 除此之外，錨定（或固定）區域可被形成以接近或鄰近將形成凸塊下金屬（UBM）結構和互連結構的區域（例如，凸塊區域），從而穩固地錨定（或固定）UBM 結構的位置並且防止或抑制 UBM 結構和互連結構被脫膜或裂縫被擴大。

【0038】 再者，在包括藉由鍍覆形成導體層的錨定區域的示範性實作中，所鍍覆的材料可填充第一介電層的孔洞，而留下被形成在導體層的頂側處的錨定區域上（例如，在所填充的孔洞上）的凹坑。第二介電層可舉例而言填充在錨定區域中的凹坑並且提供額外的結構穩定性。

【0039】 本揭示的上述和其他態樣將描述於以下各種示範性實作的敘述中，或者本揭示的上述和其他態樣將由於以下各種示範性實作的敘述而更為清楚。現在將參考隨附圖示以提出本揭示的各種態樣。

【0040】 圖 1A 例示根據本揭示之各種態樣的示範性半導體裝置 100 的截面圖。圖 1B 是圖 1A 的示範性半導體裝置 100 的部分 A 的放大視圖。

圖 1C 是圖 1A 的示範性半導體裝置 100 的示範性導體層 130 的平面視圖。現在將共同討論圖 1A-1C。

**【0041】** 根據本揭示之各種態樣的示範性半導體裝置 100 可包括：半導體晶粒 110；第一介電層 120，其在半導體晶粒 110 上；導體層 130，其在第一介電層 120 上；第二介電層 140，其大致上會覆蓋導體層 130 和第一介電層 120；凸塊下金屬 (UBM) 結構 150，其在經由第二介電層 140 中的開口所曝露之導體層 130 的一部分上以及在第二介電層 140 中的開口周圍附近處之介電層 140 的一部分上；以及互連結構 160，其在凸塊下金屬結構 150 上。

**【0042】** 半導體晶粒 110 舉例而言可包括功能性晶粒 (例如，處理器晶粒、記憶體晶粒、可程式邏輯晶粒、特殊應用積體電路晶粒、一般性邏輯晶粒等等)。並且舉例而言，半導體晶粒 110 可包括半導體晶粒，半導體晶粒僅包括訊號繞送結構 (例如，用於分佈或重新分配電訊號的一或多個介電層和一或多個導體層)。注意到，雖然此揭示大致上將項目 110 表示為半導體晶粒，但是此揭示的範疇不受限於此。舉例而言，項目 110 可包括多種其他結構 (例如，半導體層、介電層、玻璃層、層疊層、模製材料層、插入物層、印刷電路板層、它們的任何組合等等) 的任一者而不脫離此揭示的範疇。

**【0043】** 半導體晶粒 110 可舉例而言包括在其上側或表面上的導體接墊 111 (或其多者) (舉例而言，如同在此處圖示中所指向的)。導體接墊 111 可舉例而言包括接合墊。導體接墊 111 舉例而言可提供電訊號至半導體晶粒 110 的輸入及/或輸出及/或電訊號從半導體晶粒 110 的輸入及/或輸出。

導體接墊 111 (或其多者) 可包括多種材料 (例如, 銅、鋁、鎳、鐵、銀、金、鈦、鉻、鎢、它們的組合、它們的合金等等) 的任一者, 但是此揭示的範疇不受限於此。導體接墊 111 可以多種方式 (例如, 電解電鍍、無電解電鍍、化學氣相沉積 (CVD)、濺鍍或物理氣相沉積 (PVD)、電漿氣相沉積、印刷 (printing) 等等) 的任一者形成, 但是此揭示的範疇不受限於此。

**【0044】** 除此之外, 半導體晶粒 110 可包括晶粒鈍化層 112 (其亦可被稱為介電層), 其包圍及/或覆蓋導體接墊 111 的 (多個) 側邊及/或導體接墊 111 的上側或表面的週邊區域以及半導體晶粒 110 的上側或表面。晶粒鈍化層 112 可包括多種材料 (例如, 無機介電材料 (例如,  $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2$ 、 $\text{SiON}$ 、 $\text{SiN}$ 、氧化物、氮化物等等) 及/或有機介電材料 (例如, 聚合物、聚亞醯胺 (PI)、苯並環丁烯 (BCB)、光敏聚苯噁唑 (PBO)、雙馬來醯亞胺-三氮雜苯樹脂 (BT)、模製材料層、酚醛樹脂, 環氧樹脂等)) 的任一者或多者, 但是此揭示的範疇不受限於此。晶粒鈍化層 112 可舉例而言以多種方式 (例如, 旋轉塗覆、噴霧塗覆、印刷、燒結、熱氧化、物理氣相沉積 (PVD)、化學氣相沉積 (CVD)、金屬有機化學氣相沉積 (MOCVD)、原子層沉積 (ALD)、低壓化學氣相沉積 (LPCVD)、電漿增強化學氣相沉積 (PECVD)、電漿氣相沉積 (PVD)、薄片層壓等等) 的任一者形成, 但是此揭示的範疇不受限於此。晶粒鈍化層 112 可舉例而言保護半導體晶粒 110 的上側並且防止短路發生在導體接墊及/或半導體晶粒 110 的其他導體結構之間。

**【0045】** 第一介電層 120 可舉例而言覆蓋半導體晶粒 110 的上側或表面。第一介電層 120 亦可被稱為鈍化層。第一介電層 120 可包括多種材料 (例如, 無機介電材料 (例如,  $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2$ 、 $\text{SiON}$ 、 $\text{SiN}$ 、氧化物、氮化物等等)

及/或有機介電材料（例如，聚合物、聚亞醯胺（PI）、苯並環丁烯（BCB）、光敏聚苯噁唑（PBO）、雙馬來醯亞胺-三氮雜苯樹脂（BT）、模製材料層、酚醛樹脂，環氧樹脂等等）的任一者或多者，但是此揭示的範疇不受限於此。第一介電層 120 舉例而言可以多種方式（例如，旋轉塗覆、噴霧塗覆、印刷、燒結、熱氧化、物理氣相沉積（PVD）、化學氣相沉積（CVD）、金屬有機化學氣相沉積（MOCVD）、原子層沉積（ALD）、低壓化學氣相沉積（LPCVD）、電漿增強化學氣相沉積（PECVD）、電漿氣相沉積（PVD）、薄片層壓等等）的任一者形成，但是此揭示的範疇不受限於此。

【0046】 第一介電層 120 舉例而言可覆蓋（例如，完全地或部分地覆蓋）半導體晶粒 110 的晶粒鈍化層 112 的上表面。第一介電層 120 的下側或表面可舉例而言直接接觸晶粒鈍化層 112 的上側或表面。

【0047】 開口（例如，孔隙、溝槽、溝渠等等）可以多種方式的任一種形成在第一介電層中 120。舉例而言，此些開口可藉由從第一介電層 120 燒蝕或移除材料（例如，利用雷射燒蝕、機械燒蝕、化學蝕刻等等）而形成。並且舉例而言，此些開口可藉由避免在特定位置處沉積介電材料（例如，藉由遮蓋、選擇印刷（selecting printing）等）而形成。在示範性實作中，此些開口可利用遮罩和光蝕刻以在第一介電層 120 中形成開口的圖案而形成。

【0048】 第一介電層 120 亦可舉例而言包括孔隙 120a 或在其中的開口（或其多者），其經由第一介電層 120 曝露導體接墊 111（或其多者）。第一介電層 120 可舉例而言覆蓋導體接墊 111 的週邊區域，舉例而言包括由晶粒鈍化層 112 所覆蓋的導體接墊 111 的週邊區域及/或位於由晶粒鈍化層 112

所覆蓋的導體接墊 111 的週邊區域內。因此，導體接墊 111 的大致中心區域（或其多者的每一個）可藉由在第一介電層 120 中和在晶粒鈍化層 112 中的個自孔隙或開口而曝露。此曝露可舉例而言提供導體接墊 111 至在此處所討論的導體層 130 的連接。

【0049】 第一介電層 120 亦可包括孔隙 120b 或在其中的開口（例如，孔隙、溝槽、溝渠等等）（或其多者），其經由第一介電層 120 曝露半導體晶粒 110（例如，其晶粒鈍化層 120 或其他層）。在示範性實作中，第一介電層 120 可包括一或多個孔隙 120b，其沿著 UBM 結構 150 的週邊定位或定位在週邊附近。除此之外，一或多個孔隙 120b 可以為溝槽形狀（例如，圓形溝槽、方形溝槽等等），其具有比 UBM 結構 150（請見圖 9E 和圖 1A）還大的直徑（或寬度）、具有比接觸第一導體層 130 的接合區域 134 之 UBM 結構 150 的一部分（例如，中心區域 151）還大的直徑（或寬度）（請見圖 2A）等等。在示範性實作中，在一或多個孔隙 120b 中有溝槽形狀的導體層 130 的一部分可包圍（例如，側向地包圍）UBM 結構 150 的週邊或接觸導體層 130 的接合區域 134 之 UBM 結構 150 的部分（例如，中心區域 151）的週邊。因此，如在此處所討論的，導體層 130 可經由在第一介電層 120 中的（多個）孔隙 120b（例如，孔隙、溝槽、溝渠等等）接觸半導體晶粒 110 的頂部表面（例如，其晶粒鈍化層 112 或其他層）。據此，導體層 130 的位置可被錨定（舉例而言，它的位置被穩定地固定），從而提升將構件耦合至導體層 130 的可靠度。注意到，（多個）孔隙 120b 的一些或全部可不完全地延伸經由第一介電層 120。

【0050】 導體層 130 可舉例而言大致上覆蓋第一介電層 120 而延伸經

由在其中的多種孔隙（例如，孔隙、溝槽、溝渠等等）。導體層 130 亦可被稱為重新分佈層。導體層 130 可包括多種材料（例如，銅、鋁、鎳、鐵、銀、金、鈦、鉻、鎢、它們的組合、它們的合金等等）的任一種，但是此揭示的範疇不受限於此。導體層 130 可利用任何多種製程（例如，電解電鍍、無電解電鍍、化學氣相沉積（CVD）、濺鍍或物理氣相沉積（PVD）、電漿氣相沉積、印刷（printing）等等）的任一者或多者形成或沉積，但是此揭示的範疇不受限於此。

**【0051】** 導體層 130 可舉例而言在半導體晶粒 110 的導體接墊 111 和 UBM 結構 150 之間提供電路徑。導體層 130 可舉例而言包括：在半導體晶粒 110 的導體接墊 111 上的接墊區域 130；在凸塊下金屬結構 150 下的凸塊區域 134；大致上從接墊區域 131 延伸至凸塊區域 134 的延伸區域 132；以及被連接至延伸區域 132 和至少部分地通過第一介電層 120（例如，朝向晶粒鈍化層 112 等等）的錨定區域 133（或固定區域）。

**【0052】** 導體層 130 的接墊區域 131 大致上對應於半導體晶粒 110 的導體接墊 111。舉例而言，接墊區域 131 可形成在導體接墊 111 上或直接形成在導體接墊 111 上。舉例而言，多個此些接墊區域 131 的每一者可對應於半導體晶粒的個自導體接墊 111。接墊區域 131 可舉例而言經由在第一介電層 120 中的孔隙或開口、經由在晶粒鈍化層 112 中的孔隙或開口等等接觸半導體晶粒 110 的導體接墊 111。如在圖 1A 及 1B 中所示，導體層 130 的接墊區域 131 延伸經由在第一介電層 120 中的開口和經由在晶粒鈍化層 112 中的開口，以接觸半導體晶粒 110 的導體接墊 111。

**【0053】** 導體層 130 的延伸區域 132 沿著第一介電層 120 的頂部側或

表面從接墊區域 131 延伸。延伸區域 132 是被例示為直線形，但可根據設計而改變它的形狀，從而在接墊區域 131 和凸塊區域 134 之間提供電路徑。

【0054】 導體層 130 的錨定區域 133（或固定區域）是耦合至延伸區域 132 及/或接合區域 134。錨定區域 133 可舉例而言至少部分地垂直通過在第一介電層 120 中的一或多個孔隙 120b（例如，通過孔隙或多個孔隙、通過溝槽或多個溝槽等等）。據此，錨定區域 133 可在各種實作中經由這些孔隙 120b 接觸半導體晶粒 110 的晶粒鈍化層 112。錨定區域 133 因此使導體層 130 錨定（或固定）在適當位置上，舉例而言錨定至半導體晶粒 110 的頂部側或表面（例如，錨定至其晶粒鈍化層 112 或其他層）。因此，錨定區域 133 可防止或抑制導體層 130 由於半導體裝置 100 的翹曲、由於機械衝擊、由於溫度相關的應力等等而被扭曲，及/或防止或抑制裂縫由於半導體裝置 100 的翹曲、由於機械衝擊、由於溫度相關的應力等等而被產生。

【0055】 如圖 1C 中所示，導體層 130 的錨定區域 133（或固定區域）可被形成而接近或鄰近 UBM 結構 150 及互連結構 160 被定位於其中的凸塊區域 134。因為錨定區域 133 錨定（或固定）凸塊區域 134 的位置且因而 UBM 結構 150 被形成在其上，所以錨定區域 133 可防止或抑制 UBM 結構 150 和互連結構 160 被脫膜或裂縫被擴大。雖然錨定區域 133 及/或凸塊區域 134 被例示為大致上圓形，但是其他形狀也可被利用，如將在此處所討論的（例如，相關於圖 4-7）。

【0056】 在形成固定區域 133 期間（例如，利用鍍覆或利用相關於導體層 130 而在此處所討論的任何製程），因為所鍍覆或以其他方式沉積的導體材料填充在第一介電層 120 中的孔隙 120b（或孔隙、溝槽、溝渠、凹陷

等等)，所以凹坑 133a 可被形成在固定區域 133 上或上方。如在此處所討論的，諸如第二介電層 140 的另一材料可（例如，標號 141）突起至凹坑 133a 中，而提供導體層 130 及/或第二介電層 140 額外的結構穩定性。舉例而言，凹坑 133a 可增強在第二介電層 140 和導體層 130 之間的黏合。

【0057】 在示範性實作中，凸塊區域 134 可被錨定區域 133 包圍。如在此處所討論的，錨定區域 133 及/或凸塊區域 134 可包括多種形狀或配置的任一者，並且可包括任何數量的個別錨定區域 133（例如，在導體層 130 延伸進入及/或經由第一介電層 120 的錨定區域 133 處）。如在此處所解釋的，凸塊區域 134 可經由在第二介電層 140 中的開口所曝露。據此，UBM 結構 150 和互連結構 160 可被形成在凸塊區域 134 上。

【0058】 應該注意的是，雖然項目 134 是被稱為凸塊區域 134，並且項目 150 是被稱作凸塊下金屬，但是本揭示的範疇不受限於任何特定類型的互連結構或下方金屬化層（under metallization）。舉例而言，如在此處所討論的，互連結構 160 可包括多種不同材料及/或配置的任一者。

【0059】 第二介電層 140 可舉例而言覆蓋導體層 13 的上側並且亦可填充在導體層 130 的個別圖案或跡線之間的空間。第二介電層 140 亦可被稱為鈍化層。第二介電層 140 可包括多種材料（例如，無機介電材料（例如， $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2$ 、 $\text{SiON}$ 、 $\text{SiN}$ 、氧化物、氮化物等等）及/或有機介電材料（例如，聚合物、聚亞醯胺（PI）、苯並環丁烯（BCB）、光敏聚苯噁唑（PBO）、雙馬來醯亞胺-三氮雜苯樹脂（BT）、模製材料層、酚醛樹脂，環氧樹脂等等）的任一者或多者，但是此揭示的範疇不受限於此。第二介電層 140 舉例而言可以多種方式（例如，旋轉塗覆、噴霧塗覆、印刷、燒結、熱氧化、物

理氣相沉積 (PVD)、化學氣相沉積 (CVD)、金屬有機化學氣相沉積 (MOCVD)、原子層沉積 (ALD)、低壓化學氣相沉積 (LPCVD)、電漿增強化學氣相沉積 (PECVD)、電漿氣相沉積 (PVD)、薄片層壓等等) 的任一者形成，但是此揭示的範疇不受限於此。第二介電層 140 可舉例而言由與第一介電層 120 相同的材料所製成，或可由不同的材料所製成。並且，第二介電層 140 可利用與第一介電層 120 相同的製程所形成，或可由不同的製程所形成。

**【0060】** 舉例而言，開口 (例如，孔隙、溝槽、溝渠等等) 可以多種方式的任一者形成在第二介電層 140 中。舉例而言，此些開口可藉由從介電層燒蝕或移除材料 (例如，雷射燒蝕、機械燒蝕、化學蝕刻等等) 而形成。並且舉例而言，此些開口可藉由避免在特定位置處沉積介電材料 (例如，藉由遮蓋、選擇印刷 (selecting printing) 等等) 而形成。在示範性實作中，在第二介電層 140 中的開口可利用遮罩和光蝕刻以在第二介電層 140 中形成開口的圖案而形成。

**【0061】** 第二介電層 140 可舉例而言覆蓋及/或包圍導體層 130 的接墊區域 131、延伸區域 132 和錨定區域 133，同時曝露導體層 130 的凸塊區域 134 (例如，僅曝露凸塊區域 134)。

**【0062】** 舉例而言，凸塊區域 134 的上方部分或上側可經由通過第二介電層 140 的對應孔隙或開口而自第二介電層 140 曝露。除此之外，第二介電層 140 可包括突出物 141，其延伸進入在導體層 130 的錨定區域 133 中所提供的凹坑 133a，舉例而言和凹坑 133a 互鎖 (interlocking)。如在此處所討論的，第二介電層 140 的突出物 141 和在錨定區域 133 中的凹坑 133a 之間

的此耦合大致上增強裝置 100 的結構完整性，舉例而言增強第二介電層 140 至導體層 130 的黏合。

【0063】 雖然在此處所提供的示範性半導體裝置（例如，圖 1 的裝置 100、圖 2 的裝置 200、圖 3 的裝置 300 等等）是以第一和第二介電層和單一個導體層來表示，但是這些層亦可以任何數量來提供。在提供有許多介電層的示範性情形中，錨定區域（和錨定區域定位於其中的孔隙）可延伸經由單一個介電層而至下方介電層（例如，不需要延伸至半導體晶粒的晶粒鈍化層）。並且舉例而言，錨定區域（和錨定區域定位於其中的孔隙）可延伸經由多個介電層以到達下方層（例如，延伸到達晶粒鈍化層、另一介電層等等）。

【0064】 凸塊下金屬（UBM）結構 150 是被耦合至經由在第二介電層 140 中的孔隙所曝露的凸塊區域 134。UBM 結構 150 可能舉例而言被定位在導體層 130 和互連結構 160 之間。在示範性實作中，UBM 結構 150（其亦可被稱作凸塊下金屬層結構 150）可舉例而言包括一層的鈦鎢（titanium-tungsten, TiW）（其可被稱作一層或種晶層）。此層可舉例而言由濺鍍所形成。並且舉例而言，UBM 結構 150 可包括在該層的 TiW 上的一層銅（Cu）。此層亦可舉例而言由濺鍍所形成。在另一示範性實作中，形成 UBM 結構 150 可包括：(i) 藉由濺鍍形成一層的鈦(Ti)或鈦鎢(TiW)；(ii) 藉由濺鍍在鈦或鈦鎢層上形成一層的銅（Cu）；以及 (iii) 藉由電鍍在銅層上形成一層的鎳（Ni）。然而注意到，UBM 結構 150 及/或被利用以形成 UBM 結構 150 的製程是不限於所給予的範例。舉例而言，UBM 結構 150 可包括以下多層結構：鉻/鉻銅合金/銅(Cr/Cr-Cu/Cu)、鈦鎢合金/銅(TiW/Cu)、鋁/鎳/

銅(Al/Ni/Cu)、它們的類似者、它們的組合等等。

【0065】 被定位在導體層 130 的凸塊區域 134 和互連結構 160 之間的 UBM 結構 150 大致上經由 UBM 結構增強在互連結構 160 和導體層 130 之間連結的結構完整性。UBM 結構可舉例而言包括耦合至導體層 130 的凸塊區域 134 的中心區域 151 和從中心區域 151 的週邊延伸的末端區域 152 並且被設置在第二介電層 140 上。舉例而言，末端區域 152 可在中心區域 151 附近的第二介電層 140 的頂部上形成環。

【0066】 互連結構 160 是在 UBM 結構 150 上。互連結構 160 可包括多種特徵的任一者。舉例而言，互連結構 160 可包括導體球或錫料球、導體凸塊或錫料凸塊、晶圓凸塊、金屬柱或支柱、導線、引線等等。互連結構 160 可以多種方式的任一者形成。舉例而言，互連結構 160 可以落球製程 (ball dropping)、鍍覆 (plating)、印刷、貼覆 (pasting) 及回錫、導線接合等等來形成。互連結構 160 可舉例而言大致上提供在半導體裝置 100 和外部電路 (例如，模組基板、主機板、另一電子裝置等等) 之間的機械和電路連結。

【0067】 如在此處所討論的，錨定區域 133 (或固定區域) 可側向地包圍整個 UBM 結構 150 (例如包圍中心區域 151 和末端區域 152 兩者)，但可選擇性地在當被定位在末端區域 152 的全部或至少部分下時僅包圍中心區域 151。此配置的範例是在圖 2A 和 2B 提供。

【0068】 圖 2A 例示根據本揭示之各種態樣的示範性半導體裝置 200 的截面圖。圖 2B 是圖 2A 的示範性半導體裝置 200 的部分 B 的放大視圖。示範性半導體裝置 200 可舉例而言與在圖 1A-1C 中所示和在此處所討論的

示範性半導體裝置 100 共用任何或全部特性。現在將討論的焦點放在圖 2A-2B 的示範性半導體裝置 200 和圖 1A-1C 的示範性半導體裝置 100 之間的差異。在此處相同的構件大致上是由相同的元件符號來表示。

【0069】 根據本揭示之各種態樣的示範性半導體裝置 200 可包括半導體晶粒 110、第一介電層 120、導體層 230、第二介電層 240、UBM 結構 150 以及互連結構 160。

【0070】 導體層 230 可舉例而言與圖 1A-1C 的導體層 130 共用任何或全部特性，並且錨定區域 233 可舉例而言與圖 1A-1C 的錨定區域 133 共用任何或全部特性。導體層 230 可舉例而言被形成或被配置以使得錨定區域 233 或其部分被側向地定位在 UBM 結構 150 的覆蓋區內。舉例而言，如圖 2A-2B 所示的，錨定區域 233 是被定位在 UBM 結構 150 的末端區域 150 下。參考圖 1A 作為比較，其例示錨定區域 133 是在 UBM 結構 150 的覆蓋區外側（或側向地在 UBM 結構 150 的末端區域 152 外側）。與圖 1A-1C 中所示的示範性半導體裝置 100 相比，此配置提供更接近凸塊區域 134 和 UBM 結構 150 的中心區域 151 的錨定區域 233。雖然未在此處表示，但是錨定區域 133（或其部分）可在中心區域 151 的覆蓋區內（例如，在中心區域 151 下，或直接地在中心區域 151 和半導體晶粒 110 之間）。

【0071】 如同圖 1A-1C 的導體層 130 的錨定區域 133，錨定區域 233 亦可包括在其上（或頂部）側或表面的凹坑 233a。如同錨定區域 233，錨定區域 233 的凹坑 233a（或其部分）可舉例而言被定位在 UBM 結構 150 的覆蓋區內（例如，在末端區域 152 下）。

【0072】 第二介電層 240 可舉例而言與在此處所討論的任何介電層

共同任何或全部特性。第二介電層 240 可舉例而言包括對應（例如，延伸進入）凹坑 233a 的突出物 241。因此，示範性半導體裝置 200 的結構完整性（例如，在第二鈍化層 240 和導體層 230 之間的接合的結構完整性）是被增強。

【0073】 在此處所討論的任何示範性半導體裝置（例如，圖 1 的半導體裝置 100、圖 2 的半導體裝置 200 等等）可被囊封（例如，部分地囊封、全部地囊封等等）。舉例而言，半導體裝置具有互連結構 160 的一側可被囊封。在圖 3 處所表示的示範性半導體裝置 300 提供此囊封物的範例。

【0074】 圖 3 例示根據本揭示之各種態樣的示範性半導體裝置 300 的截面圖。示範性半導體裝置 300 可舉例而言與在此處所提供的任何其他半導體裝置（例如，圖 1 的半導體裝置 100、圖 2 的半導體裝置 200 等等）共用任何或全部特性。現在將討論的焦點各別地放在圖 3 的示範性半導體裝置 300 和圖 1A-1C 和圖 2A-2B 的示範性半導體裝置 100 和 200 之間的差異。在此處相同的構件大致上是由相同的元件符號來表示。

【0075】 根據本揭示之各種態樣的示範性半導體裝置 300 可包括半導體晶粒 110、第一介電層 120、導體層 130、第二介電層 140、UBM 結構 150、互連結構 160 以及囊封物 370。

【0076】 囊封物 370 可以多種方式（例如，壓縮模製、轉移模製、液態囊封模製、真空積層、鋅膏印刷（paste printing）、薄膜輔助模製等等）的任一者形成。囊封物 370 可包括多種囊封或模製材料（舉例而言，樹脂、聚合物、聚合物複合材料（舉例而言，具有填充物的環氧樹脂、具有填充物的環氧丙烯酸酯、或具有合適填充物的聚合物）等等）的任一者。

【0077】 囊封物 370 可舉例而言囊封互連結構 160 的週邊。在圖 3 中所示的範例中，囊封物 370 的高度小於互連結構 160（例如，導體凸塊或球等等）的高度，從而曝露互連結構 160 的頂部部分。因此，囊封物 370 可允許互連結構 160 被連接至外部電路，同時保護互連結構 160。在示範性半導體裝置 300 中，囊封物 370 覆蓋互連結構 160 超過一半的高度。在其他示範性實作中，囊封物 370 可覆蓋互連結構 160 的一半或少於互連結構 160 的一半。在示範性半導體裝置 300 中，囊封物 370 的一部分是垂直地在互連結構 160 的側向部分之上，舉例而言可藉由鎖定互連結構 160 而提供額外的結構穩定性。

【0078】 注意到，在此處所提供的任何示範性半導體裝置（例如，圖 1A-1C 的裝置 100、圖 2A-2B 的裝置 200、圖 3 的裝置 300 等等）中，半導體晶粒 100 的側向側表面、晶粒鈍化層 112、第一介電層、第二介電層及/或囊封物可為共平面。亦注意到，雖然所示的範例大致上僅呈現單一個半導體裝置的一部分，但是在此處所討論的態樣可輕易地延伸至全部的半導體裝置、全部晶圓的半導體裝置等等。

【0079】 如在此處所討論的，導體層 130 可包括多種形狀特徵的任一者。第一示範性導體層的平面視圖是在圖 1C 處提供並且在此處討論。現在將相對於圖 4-7 來討論導體層的另外範例。在此處所提供的任何或全部示範性導體層可共用在此處所提供的任何或全部的其他示範性導體層（例如，130、430、530、630 以及 730）的特徵。

【0080】 圖 4 為表示根據本揭示之各種態樣的半導體裝置的示範性導體層 430 的平面視圖。示範性導體層 430 包括其為環形（或圓形）的錨定

105年8月10日修正替換頁

區域 433 (或固定區域)。舉例而言，示範性錨定區域 433 環繞凸塊區域 134 並且包括其亦環繞凸塊區域 134 的凹坑 433a (例如，在其與面對晶粒的側反向的側上)。

【0081】 注意到，示範性錨定區域 433 (及/或凹坑 433a) 包括連續性的環，但是亦可包括多個區段而形成環。亦注意到，如在此處所討論的，錨定區域 433 可被定位在 UBM 結構 150 的覆蓋區外側、部分地或全部地定位在 UBM 結構 150 的末端區域 152 下方等等。

【0082】 圖 5 為例示根據本揭示之各種態樣的半導體裝置的示範性導體層 530 的平面視圖。示範性導體層 530 包括其為矩形 (或正方形) 的錨定區域 533 (或固定區域)。舉例而言，示範性錨定區域 533 包圍凸塊區域 134 並且包括其亦包圍凸塊區域 134 的一組凹坑 533a (例如，在其與面對晶粒的側反向的側上)。

【0083】 注意到，示範性錨定區域 533 (及/或凹坑 533a) 包括多個區段，但是亦可包括連續性的矩形。亦注意到，如在此處所討論的，錨定區域 533 可被定位在 UBM 結構 150 的覆蓋區外側、部分地或全部地定位在 UBM 結構 150 的末端區域 152 下方等等。

【0084】 圖 6 為表示根據本揭示之各種態樣的半導體裝置的示範性導體層 630 的平面視圖。示範性導體層 630 包括其為五邊形的錨定區域 633 (或固定區域)。舉例而言，示範性錨定區域 633 包圍凸塊區域 134 並且包括其亦包圍凸塊區域 134 的一組凹坑 633a (例如，在其與面對晶粒的側反向的側上)。凹坑 633a (如同在此處所討論的全部凹坑) 可舉例而言為圓形、橢圓形、多邊形等等。

105年8月10日修正替換頁

【0085】 注意到，示範性錨定區域 633（及/或凹坑 633a）包括多個區段，但是亦可包括連續性的五邊形。亦注意到，如在此處所討論的，錨定區域 633 可被定位在 UBM 結構 150 的覆蓋區外側、部分地或全部地定位在 UBM 結構 150 的末端區域 152 下方等等。

【0086】 圖 7 為例示根據本揭示之各種態樣的半導體裝置的示範性導體層 730 的平面視圖。示範性導體層 730 包括其為六邊形的錨定區域 733（或固定區域）。舉例而言，示範性錨定區域 733 包圍凸塊區域 134 並且包括其亦包圍凸塊區域 134 的一組凹坑 733a（例如，在其與面對晶粒的側反向的側上）。

【0087】 注意到，示範性錨定區域 733（及/或凹坑 733a）包括多個區段，但是亦可包括連續性的六邊形。亦注意到，如在此處所討論的，錨定區域 733 可被定位在 UBM 結構 150 的覆蓋區外側、部分地或全部地定位在 UBM 結構 150 的末端區域 152 下方等等。

【0088】 雖然在此處提供導體層及/或錨定區域形狀的許多範例，但是應該知道的是，多種其他形狀或配置（例如，圓形、橢圓形、N 邊的多邊形等等）的任一者亦是落在本揭示的範疇內。現在將討論轉向製造半導體裝置及/或其部分的示範性方法，舉例而言在此處所提供的各種示範性半導體裝置。

【0089】 圖 8 表示根據本揭示之各種態樣以製造半導體裝置之示範性方法 800 的流程圖。示範性方法 800 可舉例而言與在此處所討論的任何其他方法共同任何或全部特性。圖 9A-9G 例示根據本揭示之各種態樣以說明示範性半導體裝置以及製造半導體裝置之示範性方法的截面圖。在圖 9A-9G

105年8月10日修正替換頁

中所示例的結構可與圖 1-7 中所示的類似結構共用任何或全部特性。圖 9A-9G 可舉例而言說明在圖 8 的示範性方法 800 的各種階段（或區塊）的示範性半導體封裝。現在將共同討論圖 8 和圖 9A-9G。應該注意的是，示範性方法 800 的示範性區塊的次序可改變，而不偏離本揭示的範疇。

【0090】 在區塊 805，示範性方法 800 開始執行。示範性方法 800 可回應於多種原因或條件的任一者而開始執行。舉例而言，示範性方法 800 可回應於從示範性方法 800 的其他區塊的任一者或任何其他方法接收執行流程而開始執行。並且舉例而言，示範性方法 800 可回應於在製造地或站台處構件的抵達、回應於操作員的指令、回應於接收到客戶的要求等等而開始執行。本揭示的各種態樣的範疇不應被任何特定起始原因或條件的特徵所限制。

【0091】 在區塊 810，示範性方法 800 可包括提供半導體晶粒。所提供的晶粒可舉例而言與在此處所提供的任何半導體晶粒（例如，示範性半導體晶粒 110 等等）共用任何或全部特性。半導體晶粒可舉例而言包括處理器晶粒、記憶體晶粒、可程式邏輯晶粒、特殊應用積體電路晶粒、一般性邏輯晶粒等等。區塊 810 可舉例而言包括以晶圓形式（例如，呈包括多個晶粒之半導體晶圓的形式）或以單一晶粒形式提供晶粒（例如，提供晶粒至製造站台或生產線）。

【0092】 圖 9A 提供區塊 810 的各種態樣的示範性圖解，舉例而言提供晶粒的態樣。示範性半導體晶粒 110 可舉例而言包括在其上側或表面上的導體接墊 111（或其多者）。導體接墊 111 可舉例而言將電訊號的輸入及/或輸出提供至半導體晶粒，及/或從半導體晶粒提供電訊號的輸入及/或輸

105年8月10日修正替換頁

出。導體接墊 111（或其多者）可包括多種材料（例如，銅、鋁、鎳、鐵、銀、金、鈦、鉻、鎢、它們的組合、它們的合金等等）的任一種，但是此揭示的範疇不受限於此。導體接墊 111 可以各種方式（例如，電解電鍍、無電解電鍍、化學氣相沉積（CVD）、濺鍍或物理氣相沉積（PVD）、電漿氣相沉積、印刷（printing）等等）的任一者形成，但是此揭示的範疇不受限於此。

【0093】 除此之外，半導體晶粒 110 可包括晶粒鈍化層 112，其亦可被稱為介電層，其包圍及/或覆蓋導體接墊 111 的（多個）側邊及/或導體接墊 111 的上側或表面的週邊區域，以及半導體晶粒 110 的上側或表面。晶粒鈍化層 112 可包括多種材料（例如，無機介電材料（例如， $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2$ 、 $\text{SiON}$ 、 $\text{SiN}$ 、氧化物、氮化物等等）及/或有機介電材料（例如，聚合物、聚亞醯胺（PI）、苯並環丁烯（BCB）、光敏聚苯噁唑（PBO）、雙馬來醯亞胺-三氮雜苯樹脂（BT）、模製材料層、酚醛樹脂，環氧樹脂等等）的任一者或多者，但是此揭示的範疇不受限於此。晶粒鈍化層 112 舉例而言可以多種方式（例如，旋轉塗覆、噴霧塗覆、印刷、燒結、熱氧化、物理氣相沉積（PVD）、化學氣相沉積（CVD）、金屬有機化學氣相沉積（MOCVD）、原子層沉積（ALD）、低壓化學氣相沉積（LPCVD）、電漿增強化學氣相沉積（PECVD）、電漿氣相沉積（PVD）、薄片層壓等等）的任一者形成，但是此揭示的範疇不受限於此。晶粒鈍化層 112 可舉例而言保護半導體晶粒 110 的上側並且防止短路發生在導體之間。

【0094】 在區塊 820，示範性方法 800 可包括形成第一介電層在半導體晶粒 110 上（例如，在導體接墊 111 上、在晶粒鈍化層 112 上等等）。區

塊 820 可包括以多種方式的任一者形成第一介電層，其非限制性的範例是在此處提供。圖 9B 提供區塊 820 的各種態樣的示範性圖解 900B，舉例而言示範性形成介電層的態樣。區塊 820 可舉例而言包括形成第一介電層 120，如同此處在圖 1-8 的討論中所解釋的（例如，相對於示範性半導體裝置 100、200 和 300、相對於第一介電層 120 等等）。

**【0095】** 在區塊 830，示範性方法 800 可包括形成導體層於在區塊 810 所形成的第一介電層上（例如，在第一介電層的頂部表面上、在第一介電層中所形成的開口中等等）。區塊 830 可包括以多種方式的任一者形成導體層，其非限制性的範例是在此處提供。圖 9C 提供區塊 830 的各種態樣的示範性圖解 900C，舉例而言介電層 130 的形成。區塊 830 可舉例而言包括形成導體層 130，如同此處在圖 1-8 的討論中所解釋的（例如，相對於示範性半導體裝置 100、200 和 300、相對於導體層 130、430、530、630 和 730 等等）。

**【0096】** 在區塊 840，示範性方法 800 可包括形成第二介電層在導體層上及/或第一介電層上。區塊 840 可包括以多種方式的任一者形成第二介電層，其非限制性的範例是在此處提供。圖 9D 提供區塊 840 的各種態樣的示範性圖解 900D，舉例而言第二介電層 140 的形成。區塊 840 可舉例而言包括形成第二介電層，如同此處在圖 1-8 的討論中所解釋的（例如，相對於示範性半導體裝置 100、200 和 300、相對於第二介電層 140 和 240 等等）。

**【0097】** 在區塊 850，示範性方法 800 可包括形成凸塊下金屬 (UBM) 結構，舉例而言在形成在導體層的凸塊區域上。區塊 850 可包括以多種方式的任一者形成 UBM 結構，其非限制性的範例是在此處提供。圖 9E 提供

區塊 850 的各種態樣的示範性圖解 900E，舉例而言 UBM 結構 150 的形成(例如，包括中央區域 151、邊緣區域 152 等等)。區塊 850 可舉例而言包括形成 UBM 結構 150，如同此處在圖 1-8 的討論中所解釋的(例如，相對於示範性半導體裝置 100、200 和 300、相對於示範性 UBM 結構等等)。

**【0098】** 在區塊 860，示範性方法 800 包括形成互連結構，舉例而言形成在區塊 850 所形成的 UBM 結構上。區塊 860 可包括以多種方式的任一者形成互連結構，其非限制性的範例是在此處提供。圖 9F (或圖 1A) 提供區塊 860 的各種態樣的示範性圖解 900F，舉例而言互連結構 160 的形成。區塊 860 可舉例而言包括形成互連結構 160，如同此處在圖 1-8 的討論中所解釋的(例如，相對於示範性半導體裝置 100、200 和 300、相對於示範性互連結構等等)。

**【0099】** 在區塊 870，示範性方法 800 可包括將組件囊封。區塊 870 可包括以多種方式的任一者實行囊封，其非限制性的範例是在此處提供。圖 9G (或圖 3) 提供區塊 870 的各種態樣的示範性圖解 900G，舉例而言囊封物 370 的形成。區塊 870 可舉例而言包括實行囊封，如同此處在圖 1-8 的討論中所解釋的(例如，相對於示範性半導體裝置 300、相對於示範性囊封物 370 等等)。

**【0100】** 在區塊 895，示範性方法 800 可包括繼續處理半導體裝置。舉例而言，在其中有示範性方法 800 的各種區塊在晶圓或面板級(panel level)處執行的示範性實作中，區塊 895 可包括執行單一化操作(例如，切割)以分離個別封裝與晶圓或面板。並且舉例而言，區塊 895 可包括執行測試、取樣、封裝、出貨等等。另外舉例而言，區塊 895 可包括將示範性方法 800

的執行流程導引回至方法 800 的前面區塊或其他方法的其他區塊。

**【0101】** 總結來說，本揭示的各種態樣提供半導體封裝以及製造半導體封裝的方法。作為非限制性的範例，本揭示的各種態樣提供各種半導體封裝以及製造半導體封裝的各種方法，其包括導體層，導體層包括延伸通過至少一個介電層的錨定部分。雖然以上說明係參照特定的態樣與範例來描述，但是該領域中習知此技術者將瞭解，可以在未脫離本揭示的範疇下做出各種變更及置換等效項目。除此之外，其可以做出許多修改以將一特定情況或材料調適成符合本揭示之教示而未脫離其範疇。因此，其預計本揭示並未受限於所揭示的特定（多個）範例，而本揭示將包含所附申請專利範圍之範疇內所涵蓋的所有範例。

**【符號說明】**

**【0102】**

100：半導體裝置

110：半導體晶粒

111：導體接墊

112：晶粒鈍化層

120：第一介電層

120a：孔隙

120b：孔隙

130：導體層

131：接墊區域

132：延伸區域

- 133：錨定區域
- 133a：凹坑
- 134：凸塊區域
- 140：第二介電層
- 141：突出物
- 150：凸塊下金屬（UBM）結構
- 151：中心區域
- 152：末端區域
- 160：互連結構
- 200：半導體裝置
- 230：導體層
- 233：錨定區域
- 233a：凹坑
- 240：第二介電層
- 241：突出物
- 300：半導體裝置
- 370：囊封物
- 430：導體層
- 433：錨定區域
- 433a：凹坑
- 530：導體層
- 533：錨定區域

533a：凹坑

630：導體層

633：錨定區域

633a：凹坑

730：導體層

733：錨定區域

733a：凹坑

900A：示範性圖解

900B：示範性圖解

900C：示範性圖解

900D：示範性圖解

900E：示範性圖解

900F：示範性圖解

900G：示範性圖解

## 申請專利範圍

1. 一種半導體裝置，其包括：

半導體晶粒，其包括晶粒鈍化層和經由在所述晶粒鈍化層中的孔隙所曝露的導體接墊；

第一介電層（DL），其在所述晶粒鈍化層上並且包括：

第一 DL 孔隙，而所述導體接墊是經由所述第一 DL 孔隙所曝露；

以及

第二 DL 孔隙，而所述晶粒鈍化層是經由所述第二 DL 孔隙所曝露；

導體層（CL），其在所述第一介電層上並且包括：

第一 CL 部分，其在所述第一 DL 孔隙中；

第二 CL 部分，其在所述第二 DL 孔隙中且電連接至所述第一 CL 部分；以及

第三 CL 部分；

第二介電層（DL），其在所述導體層上並且包括第三 DL 孔隙，而所述第三 CL 部分是經由所述第三 DL 孔隙所曝露；以及

互連結構，其經由所述第三 DL 孔隙而電連接至所述第三 CL 部分，

其中所述第二 CL 部分被直接橫向地定位在所述第一 CL 部分和所述第三 CL 部分之間。

2. 如申請專利範圍第 1 項所述的半導體裝置，其中所述第一 CL 部分包括接墊區域，所述第二 CL 部分包括錨定區域，並且所述第三 CL 部分包括凸塊區域。

3. 如申請專利範圍第 1 項所述的半導體裝置，其包括在所述第三 CL

部分和所述互連結構之間的凸塊下金屬層（UBM）結構。

4. 如申請專利範圍第 3 項所述的半導體裝置，其中所述第二 CL 部分的至少一部分是定位於所述 UBM 結構的覆蓋區之外。

5. 如申請專利範圍第 1 項所述的半導體裝置，其中所述第二 CL 部分接觸所述晶粒鈍化層。

6. 如申請專利範圍第 1 項所述的半導體裝置，其中所述第二 CL 部分包圍所述第三 CL 部分。

7. 如申請專利範圍第 1 項所述的半導體裝置，其中：

所述第二 CL 部分包括凹坑，其在相對於所述半導體晶粒之所述第二 CL 部分的一側上；以及

所述第二介電層的一部分是在所述凹坑中。

8. 一種半導體裝置，其包括：

導體接墊；

第一介電層（DL），其包括第一 DL 孔隙，而所述導體接墊是經由所述第一 DL 孔隙所曝露；

第二介電層（DL），其在所述第一介電層上並且包括多個 DL 錨定孔隙，而所述第一介電層是經由所述多個 DL 錨定孔隙所曝露；

導體層（CL），其在所述第二介電層上並且包括多個 CL 錨定部分，其每一者皆在所述 DL 錨定孔隙的個自者中且電連接至所述導體接墊；以及

第三介電層（DL），其在所述導體層上並且包括 DL 孔隙，而所述導體層的一部分是通過所述 DL 孔隙所曝露，

其中所述多個 CL 錨定部分中的第一 CL 錨定部分被直接橫向地定位在

所述導體接墊和通過所述 DL 孔隙所曝露的所述導體層的所述部分之間。

9. 如申請專利範圍第 8 項所述的半導體裝置，其包括半導體晶粒，其中所述導體接墊是所述半導體晶粒的接墊，並且所述第一介電層是所述半導體晶粒的鈍化層。

10. 如申請專利範圍第 8 項所述的半導體裝置，其中所述多個 CL 錨定部分沒有一者經由其個自的 DL 錨定孔隙與半導體晶粒電接觸。

11. 如申請專利範圍第 8 項所述的半導體裝置，其包括在所述導體層的所述部分上的凸塊下金屬層（UBM）結構，所述凸塊下金屬層（UBM）結構經由在所述第三介電層中的所述孔隙所曝露。

12. 如申請專利範圍第 11 項所述的半導體裝置，其中所述多個 CL 錨定孔隙部分的每一者的至少一部分是定位於所述 UBM 結構的覆蓋區之外。

13. 如申請專利範圍第 8 項所述的半導體裝置，其中所述多個 CL 錨定部分包圍所述導體層的所述部分，所述導體層的所述部分是經由在所述第三介電層中的所述 DL 孔隙所曝露。

14. 如申請專利範圍第 11 項所述的半導體裝置，其中所述多個 CL 錨定部分的至少一部分被定位於所述 UBM 結構的覆蓋區之內。

15. 一種半導體裝置，其包括：

第一介電層（DL）；

第二介電層（DL），其包括曝露所述第一介電層的錨定孔隙；以及

導體層（CL），其在所述第二介電層上並且包括：

第一 CL 末端區域，其電接觸另一個導體層；

第二 CL 末端區域，其電接觸所述半導體裝置的互連結構；

延伸區域，其在所述第一 CL 末端區域以及所述第二 CL 末端區域之間延伸；以及

錨定區域，其在所述錨定孔隙中並且接觸所述第一 DL 且電連接至所述第一 CL 末端區域，

其中：

所述第二介電層包括曝露所述第一介電層的多個額外錨定孔隙；

所述導體層包括多個額外錨定區域，所述多個額外錨定區域每一者在所述多個額外錨定孔隙的各別額外錨定孔隙中；以及

所述錨定區域和所述多個額外錨定區域包圍所述第二 CL 末端區域。

16. 如申請專利範圍第 15 項所述的半導體裝置，其中所述第一介電層是半導體晶粒的鈍化層。

17. 如申請專利範圍第 15 項所述的半導體裝置，其包括在所述第二 CL 末端區域和所述互連結構之間的凸塊下金屬層（UBM）結構。

18. 如申請專利範圍第 15 項所述的半導體裝置，其中所述錨定區域被直接橫向地定位在所述第一 CL 末端區域和第二 CL 末端區域之間。

19. 如申請專利範圍第 17 項所述的半導體裝置，其中所述錨定區域的至少一部分被定位於所述 UBM 結構的覆蓋區之內。



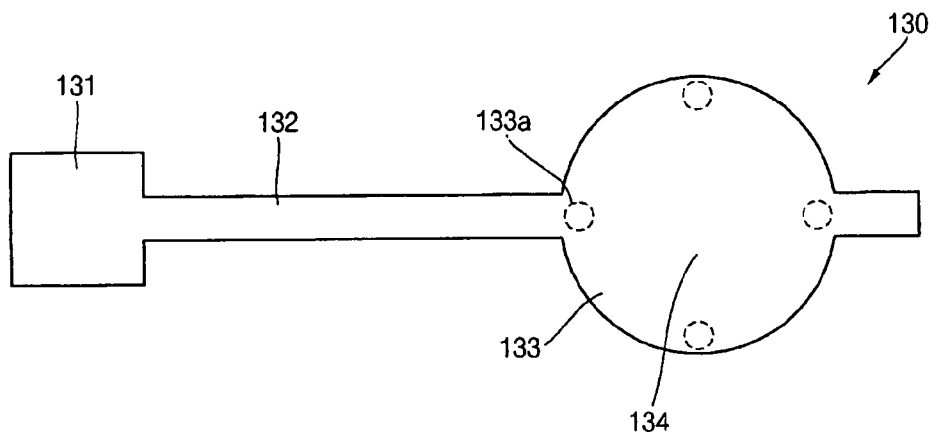


圖1C

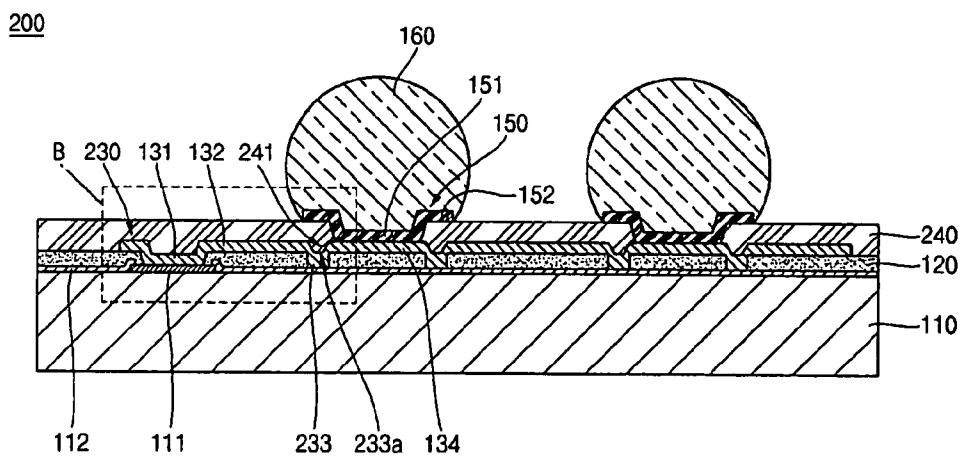


圖2A

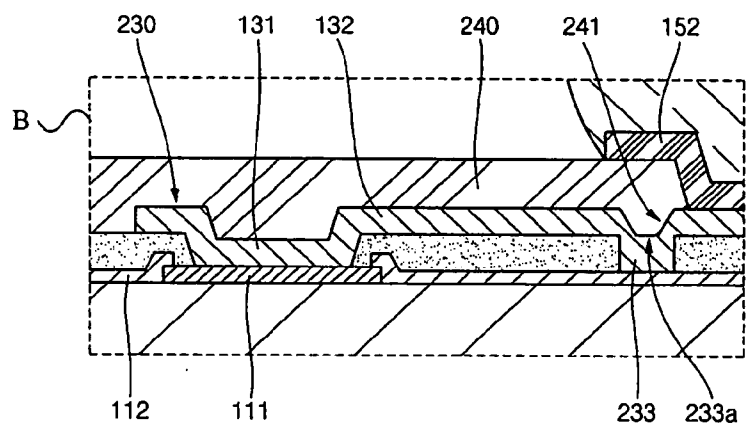


圖2B

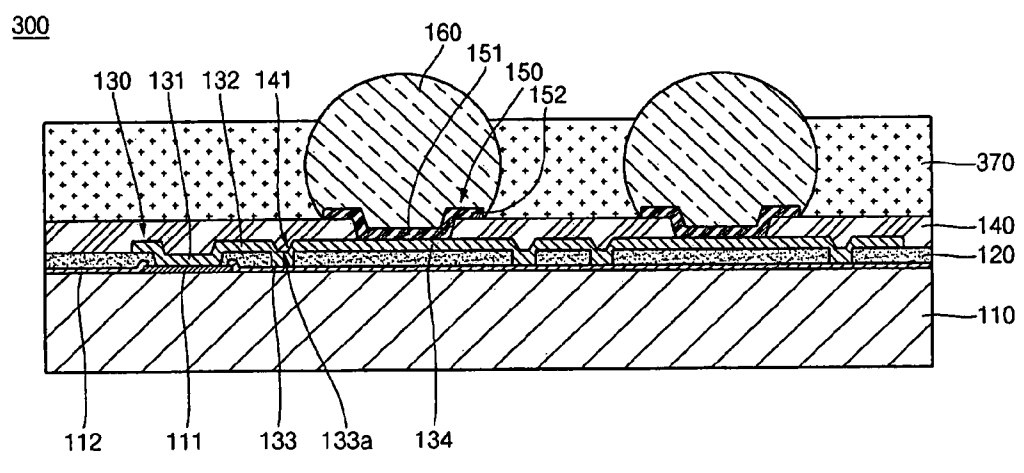


圖3

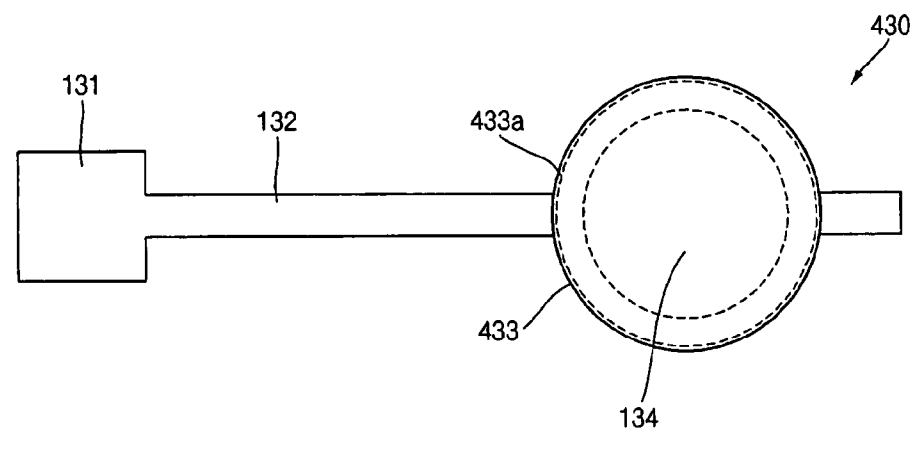


圖4

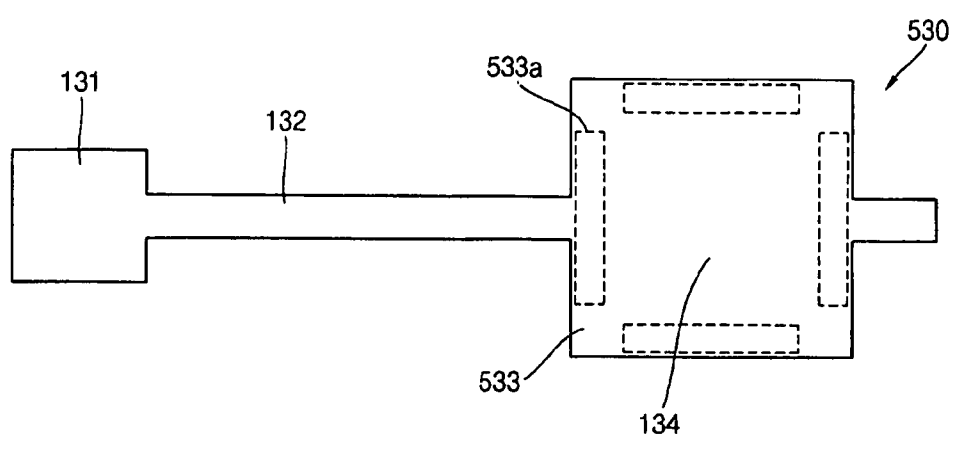


圖5

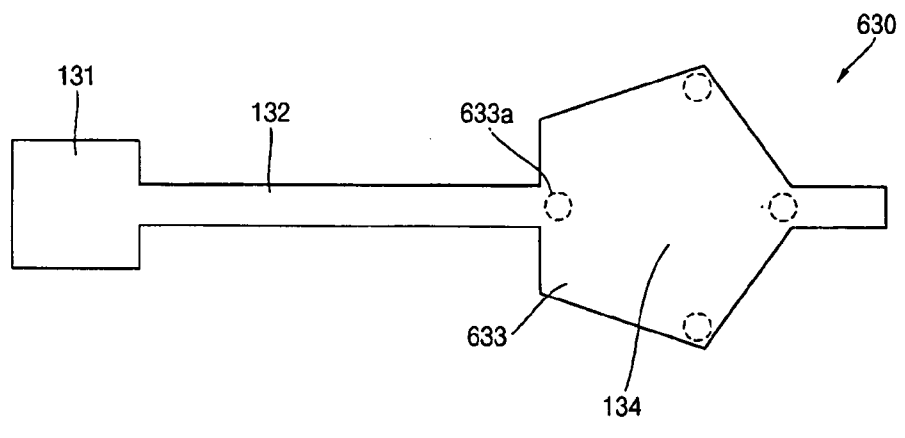


圖6

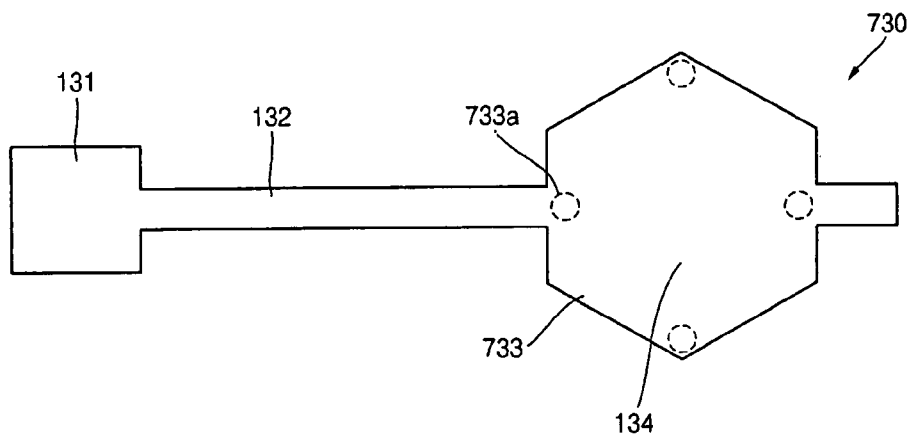


圖7

800  
↙

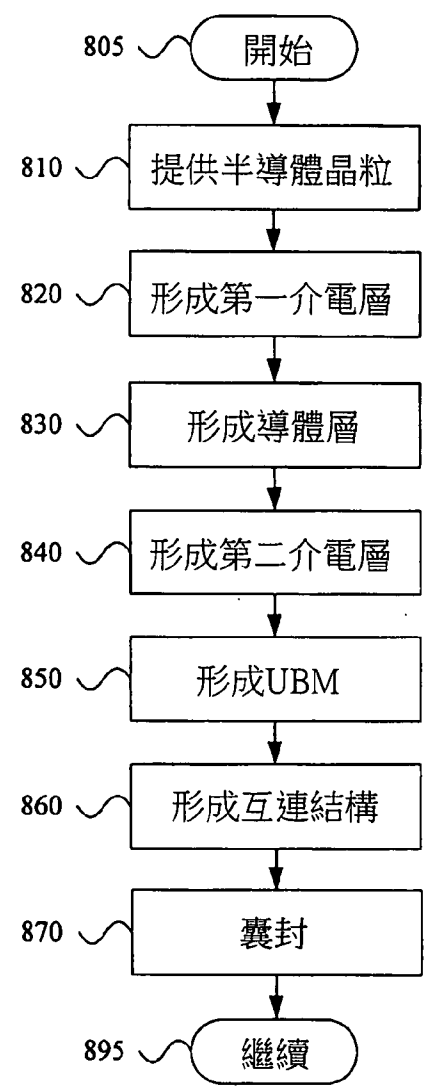


圖8

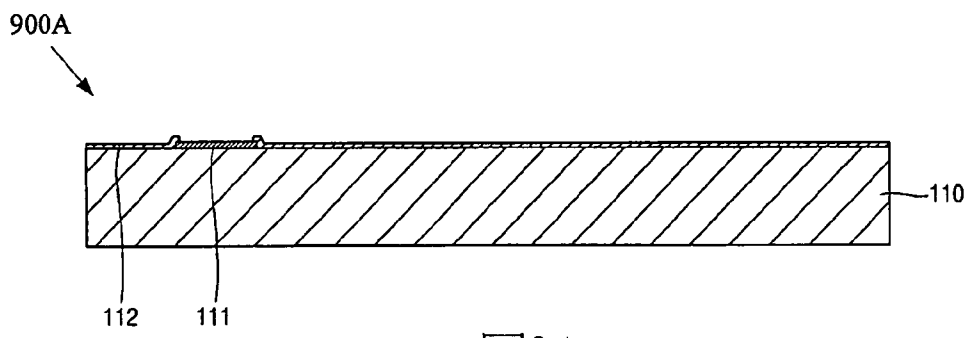


圖9A

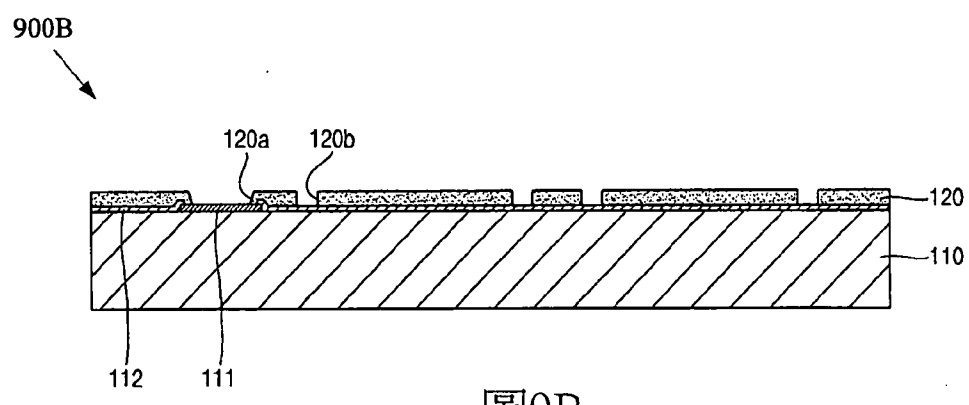


圖9B

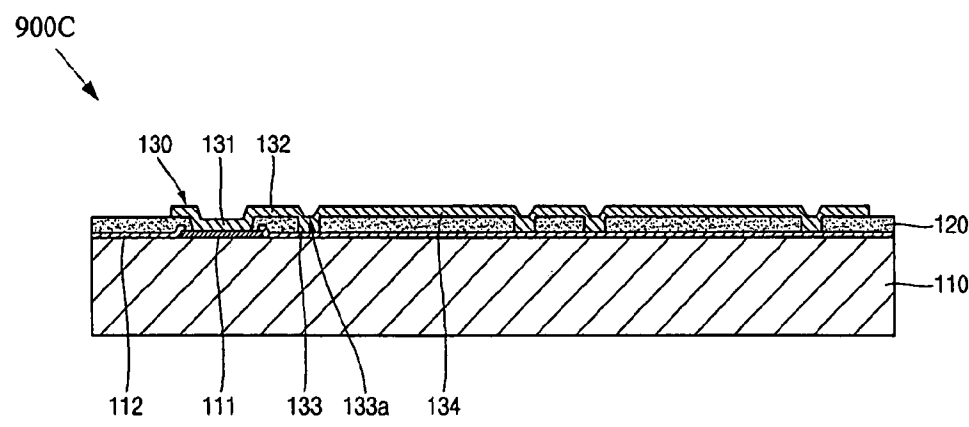


圖9C

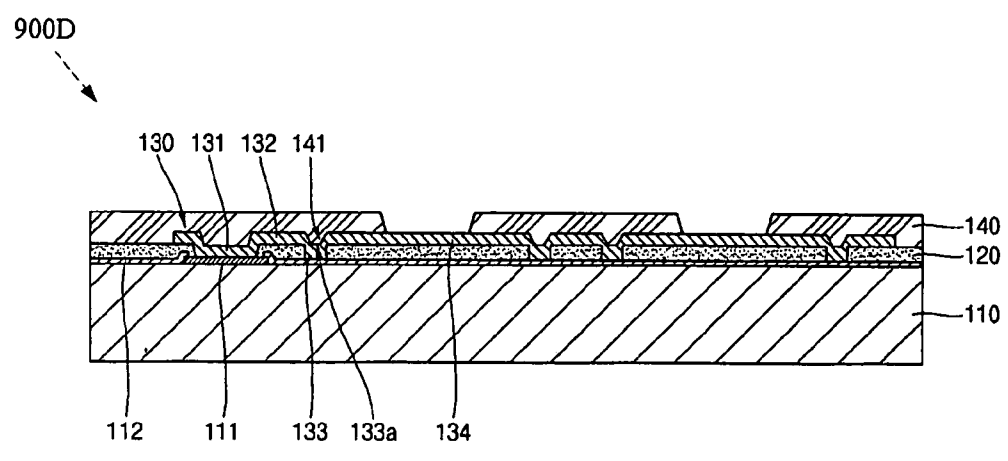


圖9D

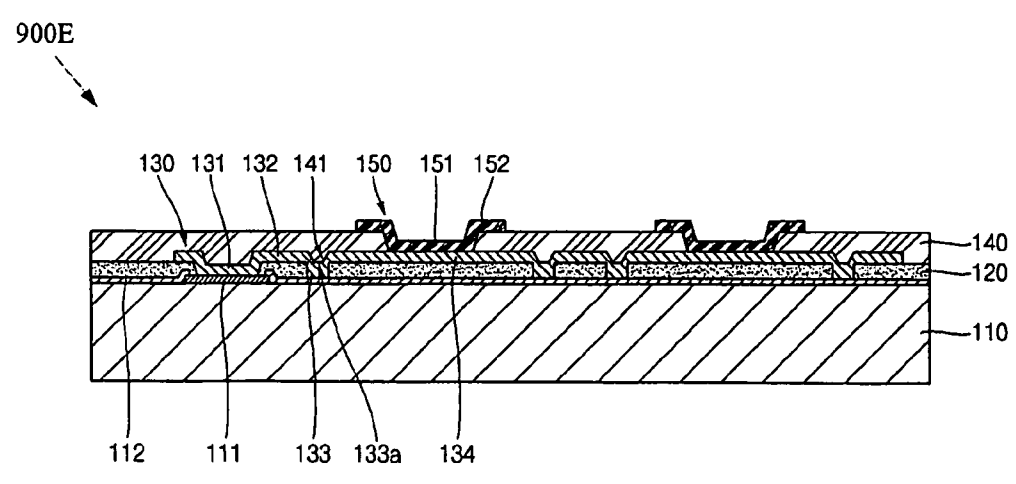


圖9E

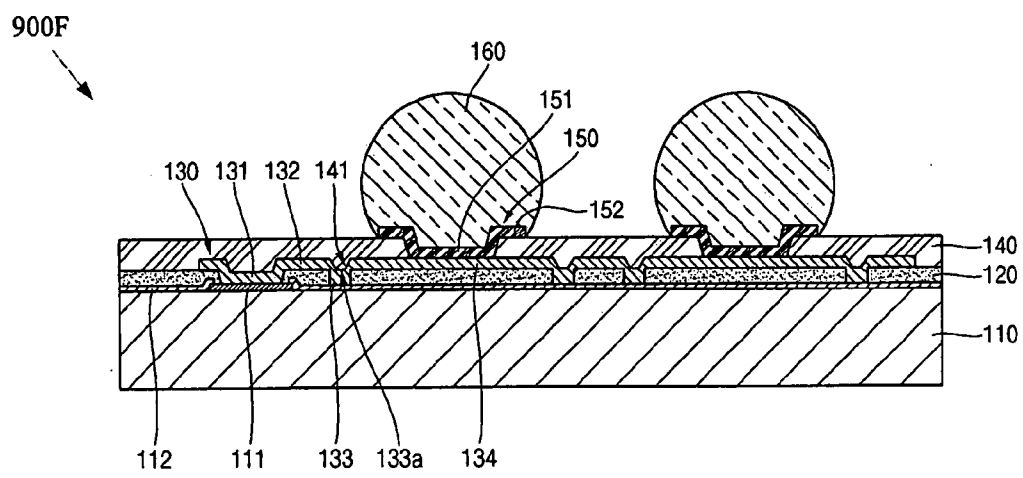


圖9F

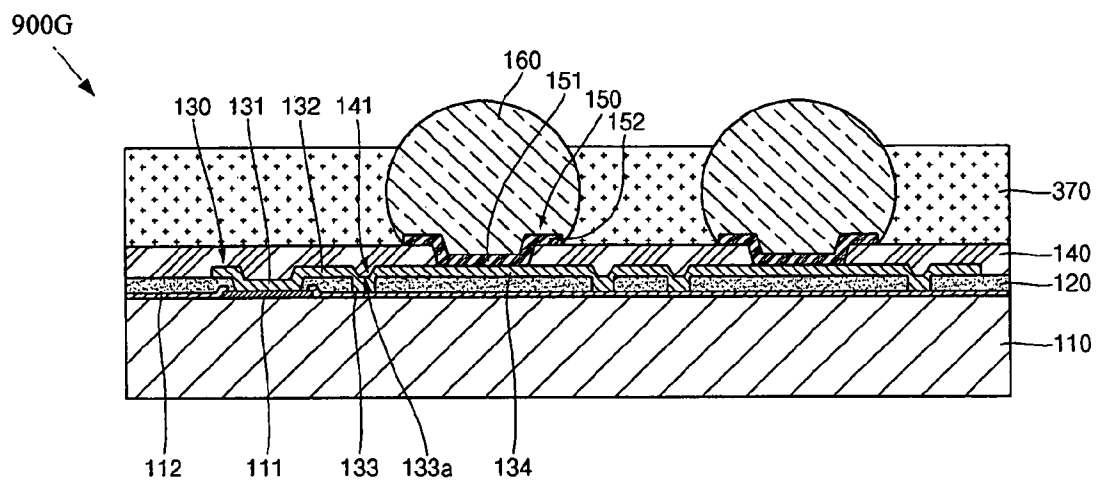


圖9G