

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4887346号
(P4887346)

(45) 発行日 平成24年2月29日(2012.2.29)

(24) 登録日 平成23年12月16日(2011.12.16)

(51) Int.Cl.	F I
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 L
HO 1 L 23/50 (2006.01)	HO 1 L 23/50 R

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2008-297134 (P2008-297134)
(22) 出願日	平成20年11月20日(2008.11.20)
(62) 分割の表示	特願2006-243624 (P2006-243624) の分割
原出願日	平成9年12月26日(1997.12.26)
(65) 公開番号	特開2009-49435 (P2009-49435A)
(43) 公開日	平成21年3月5日(2009.3.5)
審査請求日	平成20年12月12日(2008.12.12)

(73) 特許権者	311003743 オンセミコンダクター・トレーディング・ リミテッド 英国領バミューダ・エイチエム 11 ハ ミルトン・チャーチストリート2・クラレ ンドンハウス・コーダン サービスーズ リミテッド 気付
(74) 代理人	100091605 弁理士 岡田 敬
(74) 代理人	100147913 弁理士 岡田 義敬
(74) 代理人	100166833 弁理士 白石 直子

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

お互いが対向する第1の側辺および第2の側辺と、および前記第1の側辺および第2の側辺と角部を成し、お互いが対向する第3の側辺および第4の側辺から成るCuを主材料とした矩形のアイランドと、

前記第1の側辺および第2の側辺に設けられ、前記アイランドと一体で同一材料から成る第1の突起部および第2の突起部と、

前記第3の側辺から前記アイランドと一体で同一材料から成る第3の突起部と、

前記第4の側辺に一端が近接して設けられたCuを主材料とする複数のリード端子と、

前記アイランドに電氣的に接続されて設けられた半導体チップと、

前記半導体チップ表面に設けられた電極と前記リード端子とを電氣的に接続する金属細線と、

前記アイランド、前記第1～第3の突起部、前記半導体チップ、前記複数のリード端子を封止し、表面、前記表面と対向する裏面、前記表面と前記裏面の周囲から延在する4側面から成る6面体の封止樹脂と、

前記封止樹脂の側面に、前記第1～第3の突起部および前記複数のリード端子が延在され、前記アイランドは、前記封止樹脂の側面から内側に後退して成り、

前記第3の突起部及び前記リード端子は、前記封止樹脂の裏面から露出することなく、

前記封止樹脂は、前記第3の突起部が延在する前記側面と前記裏面との間であり、前記裏面に対して前記表面側に傾斜する第1の傾斜面と、前記リード端子が延在する前記側面

10

20

と前記裏面との間であり、前記裏面に対して前記表面側に傾斜する第 2 の傾斜面とを有し、

前記第 1 の傾斜面から露出する前記第 3 の突起部及び前記第 2 の傾斜面から露出する前記リード端子にはメッキ層が形成される事の特徴とした半導体装置。

【請求項 2】

前記アイランドは、前記封止樹脂の裏面から露出することなく、前記第 1 及び前記第 2 の突起部は、前記封止樹脂の側面から露出する請求項 1 に記載の半導体装置。

【請求項 3】

前記アイランドに搭載される半導体チップは、3 端子のトランジスタ、B I P 型の集積回路または M O S 型の集積回路である請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記アイランドには、複数の半導体チップが設けられる請求項 1 または請求項 2 に記載の半導体装置。

【請求項 5】

前記 3 端子のトランジスタは、前記アイランドと前記トランジスタの裏面が電氣的に接続され、電流が前記トランジスタの縦方向に流れる請求項 3 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関するものである。

【背景技術】

【0002】

I C、ディスクリット素子等の半導体素子を製造する際には、図 10 (A) に示すような封止技術が主に用いられる。即ち、半導体チップ 1 をアイランド 2 上に実装 (ダイボン ド) し、半導体チップ 1 の周辺に配置したリード端子 3 とトランジスタ素子のベース電極、エミッタ電極とをそれぞれボンディングワイヤー 4 で電氣的に接続 (ワイヤボン ド) し、半導体チップ 1 をエポキシ樹脂等の熱硬化型樹脂 4 によるトランスファーマールドによ って、半導体チップ 1 とリード端子 3 の一部を完全に被覆保護したものである。樹脂 5 の外部に導出されたリード端子 3 は Z 字型に折り曲げられて表面実装用途に適したものと してある。

【0003】

例えば N P N 型トランジスタ素子を形成した半導体チップ 1 を封止した場合は、アイラ ンド 2 をコレクタ電極として 3 端子構造の半導体装置が提供される。尚、6 は半導体チッ プ 1 を固着するための半田などの接着剤である。

【0004】

上記の半導体装置の製造工程にあっては、アイランド 2 とリード端子 3 は、銅素材また は鉄素材からなるフープ状あるいは短冊状のリードフレームの状態で供給され、該リード フレームには例えば半導体装置 20 個分のアイランド 2 とリード端子 3 が形成されている。

【0005】

また、上記の製造工程のトランスファーマールドにあっては、図 10 (B) を参照して、上金型 7 及び下金型 8 によって個々の半導体装置の外形形状に合致した空間であるキャ ビティ 9 を構成し、該キャビティの内部にダイボン ド及びワイヤボン ドを施したリードフ レームを設置し、この状態でキャビティ 9 内に樹脂を注入することによりトランスファーマールドが行われる。更に、樹脂封止した後に前記リードフレームからリード部分他を切 断することで半導体装置を個々の素子に分離している。

【発明の開示】

【発明が解決しようとする課題】

【0006】

第 1 の課題：

樹脂モールドされた半導体装置は、通常、ガラスエポキシ基板等のプリント基板に実装され、同じくプリント基板上に実装された他の素子と電氣的に接続することにより、所望の回路網を構成する。この時、リード端子 3 が樹脂 5 の外部に導出された半導体装置では、リード端子 3 の先端から先端までの距離 10 (図 10 (B) 図示) を実装面積として占有するので、実装面積が大きいという欠点がある。

【 0 0 0 7 】

第 2 の課題：

金型内に設置したときのリードフレームとキャビティ 9 との位置合わせ精度はプラス・マイナス 50 μ 程度が限界である。このため、アイランド 2 の大きさは前記合わせ精度を考慮した大きさに設計しなければならない。従って、合わせ精度の問題は、パッケージの外形寸法に対するアイランド 2 の寸法を小さくし、これがパッケージの外形寸法に対して収納可能な半導体チップ 1 の最大寸法に制限を与えていた。

10

【 0 0 0 8 】

第 3 の課題：

半導体装置を実装基板上に実装するときは、前記実装基板上に形成したプリント配線とリード端子 3 とを半田で固着するが、この時半田がどの程度まで盛り上がるか (半田フィレットがどこまで盛り上がるか) によって半導体装置の固着強度が大きく左右される。半導体装置を微細化した場合であっても、この固着強度は維持しなければならないという課題がある。

【課題を解決するための手段】

20

【 0 0 0 9 】

本発明は、以下の構成で解決するものである。つまり

お互いが対向する第 1 の側辺および第 2 の側辺と、および前記第 1 の側辺および第 2 の側辺と角部を成し、お互いが対向する第 3 の側辺および第 4 の側辺から成る Cu を主材料とした矩形のアイランドと、

前記第 1 の側辺および前記第 2 の側辺に設けられ、前記アイランドと一体で同一材料から成る第 1 の突起部および第 2 の突起部と、

前記第 3 の側辺から前記アイランドと一体で同一材料から成る第 3 の突起部と、

前記第 4 の側辺に一端が近接して設けられた Cu を主材料とする複数のリード端子と、

前記アイランドに電氣的に接続されて設けられた半導体チップと、

30

前記半導体チップ表面に設けられた電極と前記リード端子とを電氣的に接続する金属細線と、

前記アイランド、前記第 1 ~ 第 3 の突起部、前記半導体チップ、前記複数のリード端子を封止し、表面、前記表面と対向する裏面、前記表面と前記裏面の周囲から延在する 4 側面から成る 6 面体の封止樹脂と、

前記封止樹脂の側面には、前記第 1 ~ 第 3 の突起部および前記複数のリードが延在して成る半導体装置をもって解決するものである。

【発明の効果】

【 0 0 1 0 】

本発明によれば、リード端子 3 4 がパッケージから突出しない半導体装置を得ることができる。従って、半導体装置を実装したときのデッドスペースを削減し、高密度実装に適した半導体装置を得ることができる。

40

【発明を実施するための最良の形態】

【 0 0 1 1 】

以下に本発明の製造方法を詳細に説明する。

【 0 0 1 2 】

第 1 工程：(図 1)

まず、リードフレーム 30 を準備する。図 1 (A) はリードフレーム 30 の平面図であり、図 1 (B) は図 1 (A) の A A 断面図である。

【 0 0 1 3 】

50

本発明で用いられるリードフレーム 30 は、半導体チップを搭載するための多数の素子搭載部 31、31A・・・が行・列方向（又はそれらの一方方向にのみ）に複数個繰り返しパターンで配置されており、該多数個の素子搭載部 31 は、それらの周囲を取り囲む様に配置した枠体部 32 によって保持されている。

【0014】

素子搭載部 31 は、半導体チップを固着するアイランド 33 と、外部接続用電極となる複数のリード端子 34 を少なくとも具備する。アイランド 33 は連結バー 35 によって互いに連結され、同じく連結バー 35 によって枠体部 32 に連結されている。リード端子 34 はアイランド 33 に連結されている。この時、特定のアイランド 33 に対しては、その隣に隣接するアイランド 33A に連結保持されたリード端子 34 が対応して 1 つの素子搭載部 31 を構成する。アイランド 33 とリード端子 34 との連結部分近傍のリード端子 34 には、部分的に線幅を細く加工した凹部 36 を形成している。この様に素子搭載部 31 を行・列方向に複数配置することで、1 本の短冊状のリードフレーム 30 に例えば 100 個の素子搭載部 31 を配置する。

【0015】

素子搭載部 31 群を取り囲む枠体部 32 には、複数個の合わせマーク 37 を形成する。合わせマーク 37 は、貫通孔またはスタンピングによって部分的に凹ませたもの等、製造工程における自動認識機能が働くものであればよい。また、形状も正方形、長方形、矩形、円形等があげられる。そして、素子搭載部 31 毎に 1 個、または複数個毎に 1 個等間隔で配置する。

【0016】

上記のリードフレーム 30 は、例えば、約 0.2 mm 厚の銅系の金属材料で形成された帯状あるいは矩形状のリードフレーム用金属薄板を用意し、このリードフレーム用金属薄板をエッチング加工またはスタンピング加工によって図示したパターンに開口することにより得ることができる。尚、リードフレーム 30 の板厚は必要に応じて適宜に設定することができる。

【0017】

第 2 工程：（図 2）

次に、リードフレーム 30 に対してダイボンド工程とワイヤボンド工程を行う。図 2（B）は図 2（A）の AA 線断面図である。

【0018】

各アイランド 33、33A の一主面上に Ag ペースト、半田等の導電ペースト 38 を塗布し、その導電ペースト 38 を介して各アイランド 33、33A 上に半導体チップ 39 を固着する。各アイランド表面に金メッキを行い、そのメッキ上に半導体チップを共晶接続することも可能である。

【0019】

更に、半導体チップ 39 の表面に形成されたボンディングパッドと、これに対応するリード端子 34 とをワイヤ 40 でワイヤボンディングする。ワイヤ 40 は例えば直径が 20 μm の金線から成る。ここで、ワイヤ 40 は各アイランド 33 上に固着した半導体チップ 39 の表面電極と、その隣に隣接した他のアイランド 33A から延在するリード端子 34 とを接続する。

【0020】

半導体チップ 39 が固着されたアイランド 33 の裏面は、係る半導体チップ 39 の外部接続用の電極として用いることができる。アイランド 33 の裏面を接続用端子の 1 つとして用いる形態は、半導体チップ 39 として例えばトランジスタ、パワー MOSFET 等の、電流経路が垂直方向になる半導体デバイス素子に適している。

【0021】

半導体チップ 39 を固着するために塗布した導電性ペースト 38 は、図 2（A）から明らかなように、半導体チップ 39 が固着されるアイランド 33 上に選択的に塗布形成する。リード端子 34 上に導電性ペースト 38 が付着すると、ワイヤボンディングを行う場合

10

20

30

40

50

に、ボンディング装置のキャピラリーの先端部分に導電性ペーストがつまりボンディング不良が生じ生産性が低下する恐れがあるためである。このような問題がない場合には、導電性ペーストを素子搭載部 3 1 全面に塗布しても良い。

【 0 0 2 2 】

第 3 工程：（図 3）

次に、全体を樹脂モールドする。図 3（B）は図 3（A）の A A 線断面図である。

【 0 0 2 3 】

リードフレーム 3 0 上にエポキシ樹脂等の熱硬化性の封止用樹脂層 4 1 を形成し、各素子搭載部 3 1、3 1 A・・・、半導体チップ 3 9 及びワイヤ 4 0 を封止保護する。樹脂 4 1 は、各半導体チップ 3 9・・・を個別にパッケージングするものではなく、全ての半導体チップ 3 9 を共通に被うように形成する。また、リードフレーム 3 0 の裏面側にも 0 . 0 5 mm 程度の厚みで樹脂 4 1 を被着する。これで、アイランド 3 3 とリード端子 3 4 は完全に樹脂 4 1 内部に埋設されることになる。

【 0 0 2 4 】

この樹脂層 4 1 は、射出成形用の上下金型が形成する空間（キャビティ）内にリードフレーム 3 0 を設置し、該空間内にエポキシ樹脂を充填、成形する事によって形成する。あるいは、枠体 3 2 に高さ数 mm、幅数 mm の環状のダムを形成しておき、該ダムで囲まれた領域を満たすように液状の樹脂を充填し、これを熱処理で硬化したものであっても良い。

【 0 0 2 5 】

第 4 工程：（図 4）

次に、リードフレーム 3 0 の裏面側の樹脂 4 1 を部分的に除去してスリット孔 4 2 を形成する。図 4（B）は図 4（A）の A A 線断面図である。

【 0 0 2 6 】

スリット孔 4 1 は、後で外部接続端子を構成する為に形成するものである。約 0 . 5 mm の幅を有し、ダイシング装置のブレードによって樹脂 4 2 を切削することにより形成した。前記ブレードには様々な板厚のものが準備されており、用いるブレードの板厚に応じて、1 回であるいは複数回繰り返すことで所望の幅に形成する。この時、樹脂 4 1 を切削すると同時にリード端子 3 4 の裏面側も約 0 . 0 5 mm 程切削して、リードフレーム 3 0 の金属表面を露出させる。このスリット孔 4 2 は、各リード端子 3 4 にくさび状に形成した「凹部 3 6」の付近に形成する。この時、凹部 3 6 は樹脂 4 1 で被覆されて目視できないので、あらかじめ形成した合わせマーク 3 7 を位置基準として用いる。

【 0 0 2 7 】

第 5 工程：（図 5（A））

第 4 工程で形成したスリット孔 4 2 に沿って、第 2 のスリット孔 4 2 a を形成する。

【 0 0 2 8 】

第 2 のスリット孔 4 2 a の形成には、例えば切削面が山形の形状を持つ、板厚が 0 . 4 mm 程度のダイシングブレード 4 3 を用い、スリット孔 4 2 から更に 0 . 1 mm 程度深く掘り下げることによって第 2 のスリット孔 4 2 a の断面形状を V 字型に形成する。

【 0 0 2 9 】

第 2 のスリット孔 4 2 a の形成に用いたダイシングブレード 4 3 が端面山形の形状を持つのに対し、スリット孔 4 2 の形成には端面が直角の平坦面をもつものを用いた。平坦面のダイシングブレードは、山形のものよりは摩耗による寿命を長くすることができる。この様にダイシングを 2 回に分けることで、摩耗の激しい山形のダイシングブレード 4 3 の消耗を低減している。尚、断面形状は U 字型でも良い。また、1 回のダイシング工程で V 字型の第 2 のスリット孔 4 2 a を直接形成しても良い。更に、板厚の薄いダイシングブレードを用い、少なくとも 3 回のダイシング工程で 1 本のスリット孔 4 2 を形成すると共に、スリット孔 4 2 の中心部で切削深さを深くするような制御を行って大略 V 字型または U 字型の溝を形成してもよい。更に、選択なエッチング加工によっても形成が可能である。この様に第 2 のスリット孔 4 2 a を V 字型または U 字型に形成することによって、スリッ

10

20

30

40

50

ト孔 4 2 a の側壁を傾斜させることができる。

【 0 0 3 0 】

第 6 工程：（ 図 5 （ B ） ）

スリット孔 4 2、4 2 a を形成したことにより露出させたリード端子 3 4 の表面に半田メッキ等のメッキ層 4 5 を形成する。このメッキ層 4 5 は、リードフレーム 3 0 を電極の一方とする電解メッキ法により行われる。スリット孔 4 2、4 2 a はリード端子 3 4 の板厚の全部を切断していないので、アイランド 3 3 とリード端子 3 4 は未だ電氣的な導通が保たれている。更に各アイランド 3 3 が連結バー 3 5 によって枠体 3 2 に共通接続されている。このように露出した金属表面のすべてが電氣的に導通しているので、一回のメッキ工程でメッキ層 4 5 を形成することができる。

10

【 0 0 3 1 】

第 7 工程：（ 図 6 ）

次に、素子搭載部 3 1 毎に樹脂層 4 1 を切断して各々の素子 A、素子 B、素子 C・・・を分離する。即ち、アイランド 3 3 とこの上に固着された半導体チップ 3 9 に接続されたリード端子 3 4 を囲む領域（同図の切断ライン 4 6）で切断することにより、素子搭載部 3 1 毎に分割した半導体装置を形成する。切断にはダイシング装置が用いられ、ダイシング装置のブレード 4 7 によって樹脂層 4 1 とリードフレーム 3 0 とを同時に切断する。スリット孔 4 2 が位置する箇所では、少なくともスリット孔 4 2 a の傾斜した側壁に付着したメッキ層 4 5 を残すように形成する。この様に残存させたメッキ層 4 5 は、半導体装置をプリント基板上に実装する際に利用される。また、切断したリード端子 3 4 の他方はアイランド 3 3 に連続する突起部 3 3 a として残存し、切断した連結バー 3 5 はアイランド 3 3 に連続する突起部 3 3 b として残存する。切断されたリード端子 3 4 及び突起部 3 3 a、3 3 b の切断面は、樹脂層 4 1 の切断面と同一平面を形成し、該同一平面に露出する。ダイシング工程においては裏面側（スリット孔 4 2 を設けた側）にブルーシート（たとえば、商品名：UV シート、リンテック株式会社製）を貼り付け、前記ダイシングブレード 4 7 がブルーシートの表面に到達するような切削深さで切断する。この時に、あらかじめ形成した合わせマーク 3 7 をダイシング装置側で自動認識し、これを位置基準として用いてダイシングする。本実施の形態では、合わせマーク 3 7 を長方形の形状とし、該長方形の長辺を基準位置とした。更に、ダイシングブレードの板厚は第 2 のスリット孔 4 2 a の幅よりも薄い（例えば、幅 0.1 mm）ものを用い、スリット孔 4 2 の中心線に沿って、ダイシングブレード 4 7 がリード端子 3 3 の凹部 3 6 上を通過するようにダイシングした。これで、切断後のリード端子 3 3 の先端部が先細りの形状となり、樹脂 4 1 から容易には抜け落ちない形状に加工できる。

20

30

【 0 0 3 2 】

図 7 は斯かる製造方法によって形成した完成後の半導体装置を示す、（ A ）側面図、（ B ）裏面図、（ C ）側面図である。

【 0 0 3 3 】

半導体チップ 3 9 とボンディングワイヤ 4 0 を含めて、アイランド 3 3 とリード端子 3 4 が樹脂 4 1 でモールドされて、大略直方体のパッケージ形状を形成する。樹脂 4 1 は熱硬化性エポキシ樹脂である。アイランド 3 3 とリード端子 3 4 は、厚さが約 0.2 mm の銅系の金属材料から成る。樹脂 4 1 の外形寸法は、縦×横×高さが、約 0.7 mm×1.0 mm×0.6 mm である。

40

【 0 0 3 4 】

直方体のパッケージ外形を形成する 6 面のうち、少なくとも側面 4 1 a、4 1 b、4 1 c、4 1 d は樹脂 4 1 を切断した（第 7 工程参照）切断面で構成される。該切断面に沿ってリード端子 3 4 の切断面が露出する。アイランド 3 3 には切断されたリード端子 3 4 の名残である突起部 3 3 a と連結部 3 5 の名残である突起部 3 3 b を有し、これらの突起部 3 3 a、3 3 b の切断面も露出する。

【 0 0 3 5 】

図 8 は斯かる装置を裏面側からみたときの斜視図である。側面 4 1 b、4 1 d の裏面側

50

には第4、第5工程で形成したスリット孔42、42aの名残である段差部48を有し、該段差部48の表面にアイランド33の突出部33aの裏面側と、リード端子34の裏面側の一部が露出する。リード端子34の先端は、スリット孔42aの側壁が残ることによって傾斜している。更に、段差部48に露出したアイランド33とリード端子34の表面は第6工程で形成した金属メッキ層45で被覆される。尚、リード端子34の露出部分とアイランド33の露出部との間は、樹脂41で被覆される。

【0036】

この装置をプリント基板上に実装した状態の断面図を図9に示す。実装基板24上に形成した素子間接続用のプリント配線25に対して段差部48に露出したリード端子34とアイランド33の突起部33aとを位置合わせし、半田26等によって両者を接続する。この時、リード端子34の先端にはスリット孔42、42aの側壁に対応する部分まで上記の第6工程で形成した金属メッキ層45が形成されており、これが半田の濡れ性を良好にし、半田26を高く盛り上げて半田フィレットを形成する。第7工程で切断した部分のリード端子34端面にはメッキ層45が被覆しないので、そこまでは半田が盛り上がらない。

【0037】

以上の方法によって製造された半導体装置は、以下のメリットを有する。

【0038】

本発明の製造方法によって製造した半導体装置は、金属製リード端子がパッケージから突出しないので、実装面積を半導体装置の大きさと同じ程度の大きさにすることができる。従って、半導体装置の実装面積に対する能動部分（半導体チップ39のチップサイズを意味する）の比である実装有効面積を、図10に示したものに比べて大幅に向上できる。これにより、実装基板上に実装したときの実装面積のデッドスペースを小さくすることができ、実装基板の小型化に寄与することができる。

【0039】

分割された半導体装置の各外部接続用電極の表面には、スリット孔42、42aを設けたことによりメッキ層45が残されているので、実装基板上に半田固着した際に該半田26が切断面の上部まで（スリット孔42、42aの側壁に相当する部分）容易に盛り上がって半田フィレットを形成する。従って半田接合力が向上し熱ストレス等の応力による劣化を防止することができる。また、端面が傾斜していることにより、半田26が回り込みやすい構造であり、これも接着強度を上げる効果がある。

【0040】

この装置のアイランド33や外部接続用リード端子34は、段差部48に露出し、段差部48と段差部48との間の領域は樹脂41によって被覆されるので露出しない。従って実装基板24上に実装した際に半田26と半田26との距離を比較的大きく設計でき、半田ブリッジによる外部接続端子間の短絡事故を防止できる。

【0041】

分割された半導体装置のリード端子34の終端は、図7(B)に示すように、半導体装置の終端付近で先細りに形成されるために、リード端子34が樹脂層41の側面から抜け落ちることを防止している。尚くさび形状以外にも、コの字型に凹ませた形状でも良い。

【0042】

多数個の素子をまとめてパッケージングするので、個々にパッケージングする場合に比べて無駄にする材料を少なくでき、材料費の低減につながる。

【0043】

パッケージの外形をダイシング装置のブレードで切断することにより構成したので、リードフレーム30のパターンに対する樹脂41外形の位置あわせ精度を向上できる。即ち、トランスファーマールド技術によるモールド金型とリードフレーム30との合わせ精度がプラス・マイナス50μ程度であるのに対して、ダイシング装置によるダイシングブレードとリードフレーム30との合わせ精度はプラス・マイナス10μ程度に小さくできる。合わせ精度を小さくできることは、アイランド33の面積を増大して、搭載可能な半導

10

20

30

40

50

体チップ３９のチップ面積を増大できることを意味し、これも上記有効実装面積効率を向上させる。この時、あらかじめリードフレーム３０の外枠３２に位置あわせマーク３７を形成しておき、該マーク３７を使用してダイシングを行うことにより、上記ダイシング装置の合わせ精度を活用でき、樹脂４１外形とアイランド３３などとの間隔を狭めることができるのである。

【００４４】

尚、上述した実施形態では、３端子用のリードフレームを用いて説明をしたが、リード端子を３本以上具備するような装置にも適用が可能である。

【００４５】

また、上述した実施形態では、各アイランドに１つの半導体チップ３９を固着したが、１つのアイランドに、例えばトランジスタを複数個固着すること、及び、トランジスタと縦型パワーＭＯＳＦＥＴ等の他の素子との複合固着も可能である。

【００４６】

さらに、本実施形態では、半導体チップ３９にトランジスタを形成したが、例えば、パワーＭＯＳＦＥＴ、ＩＧＢＴ、ＨＢＴ等のデバイスを形成した半導体チップであっても、本発明に応用できることは説明するまでもない。加えて、リード端子の本数を増大することでＢＩＰ、ＭＯＳ型等の集積回路等にも応用することができる。

【００４７】

以上説明したように、本発明によれば、リード端子３４がパッケージから突出しない半導体装置を得ることができる。従って、半導体装置を実装したときのデッドスペースを削減し、高密度実装に適した半導体装置を得ることができる。

【００４８】

外部接続端子と外部接続端子との間を樹脂層４１で被覆した構造にできるので、装置を実装したときの半田ブリッジ等による端子間短絡の事故を防止できる。

【００４９】

パッケージの外形をダイシングブレードによる切断面で構成することにより、アイランド３３と樹脂４１の端面との寸法精度を向上できる。従って、アイランド３３の面積を増大して、収納可能な半導体チップ３９のチップサイズを増大できる。

【００５０】

リードフレーム３０のパターン全体を樹脂４１で埋設したにもかかわらず、あらかじめ枠体３２に合わせマーク３７を形成しておき、これを位置基準としてダイシングするようにしたので、ダイシング装置の合わせ精度を最大限に活用することができる。

【００５１】

ダイシングで切断するリード端子に、あらかじめＶ字型またはＵ字型のスリット孔４２ａを形成し、この表面に金属メッキ層４５を形成して、切断後も金属メッキ層４５を残すようにしたので、実装時に半田２６がリード端子３４の端部で容易に盛り上がり、これが半導体装置の固着強度を増大する。

【図面の簡単な説明】

【００５２】

【図１】本発明の製造方法を説明する為の（Ａ）平面図、（Ｂ）断面図である。

【図２】本発明の製造方法を説明する為の（Ａ）平面図、（Ｂ）断面図である。

【図３】本発明の製造方法を説明する為の（Ａ）平面図、（Ｂ）断面図である。

【図４】本発明の製造方法を説明する為の（Ａ）平面図、（Ｂ）断面図である。

【図５】本発明の製造方法を説明する為の（Ａ）平面図、（Ｂ）断面図である。

【図６】本発明の製造方法を説明する為の（Ａ）平面図、（Ｂ）断面図である。

【図７】本発明の半導体装置を説明する為の（Ａ）断面図、（Ｂ）裏面図、（Ｃ）側面図である。

【図８】本発明の半導体装置を裏面側からみた斜視図である。

【図９】本発明の半導体装置を実装したときの状態を説明する断面図である。

【図１０】従来の半導体装置を説明する図である。

10

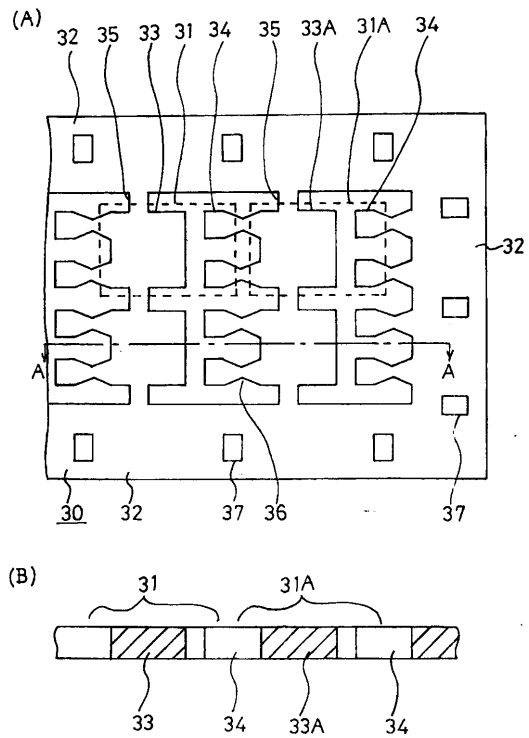
20

30

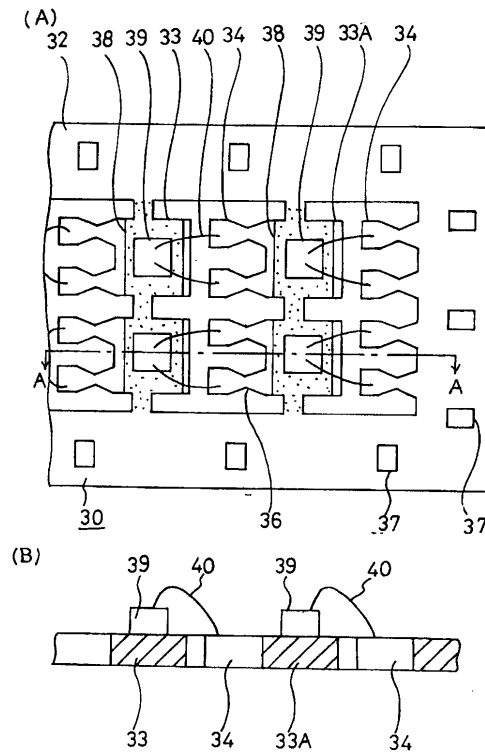
40

50

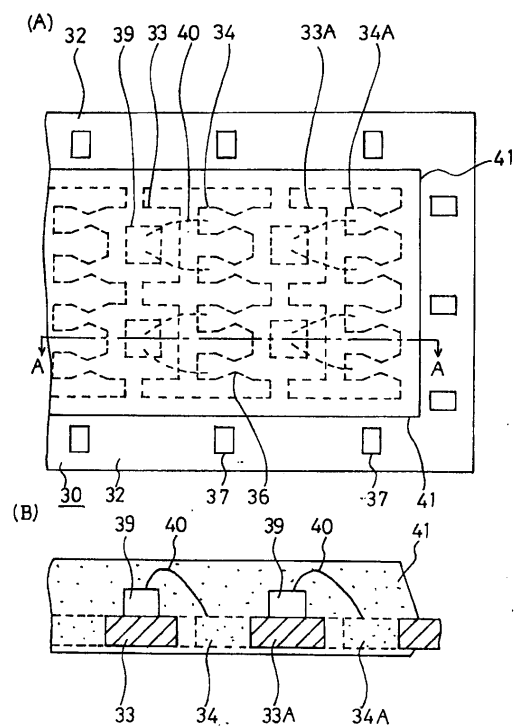
【図 1】



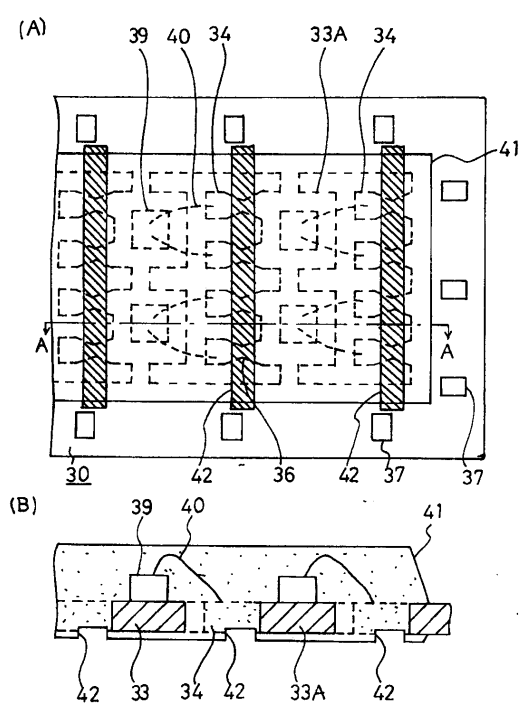
【図 2】



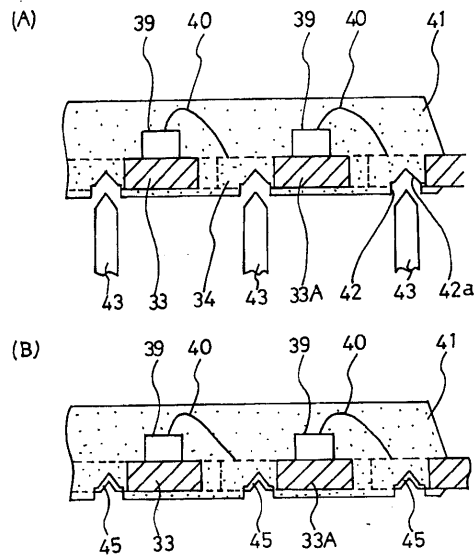
【図 3】



【図 4】

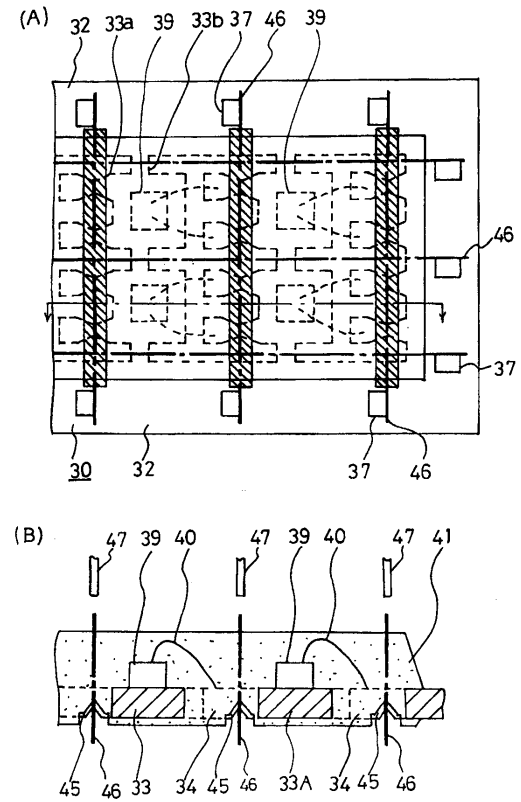


【図 5】

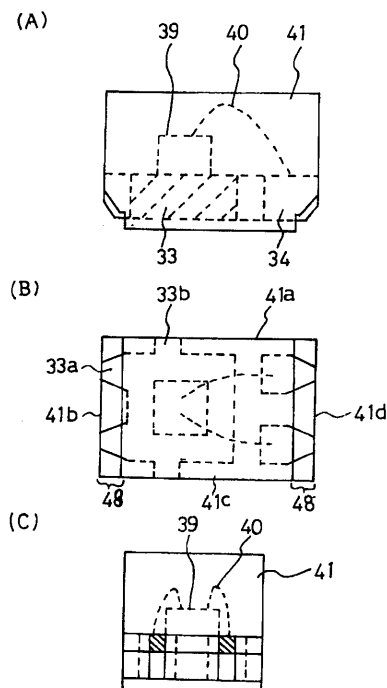


33:アイランド
39:半導体チップ
42 42a:スリット孔
34:リード端子
41:基板
43:ダイシングブレード

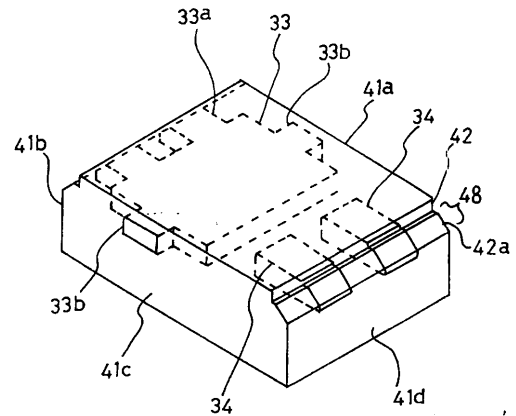
【図 6】



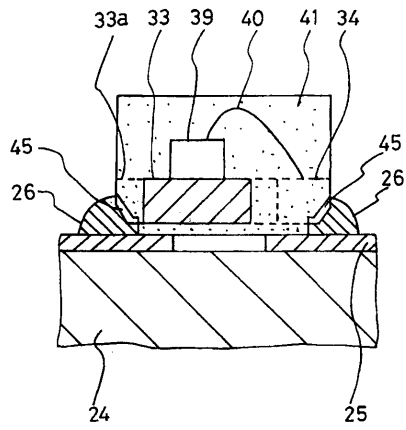
【図 7】



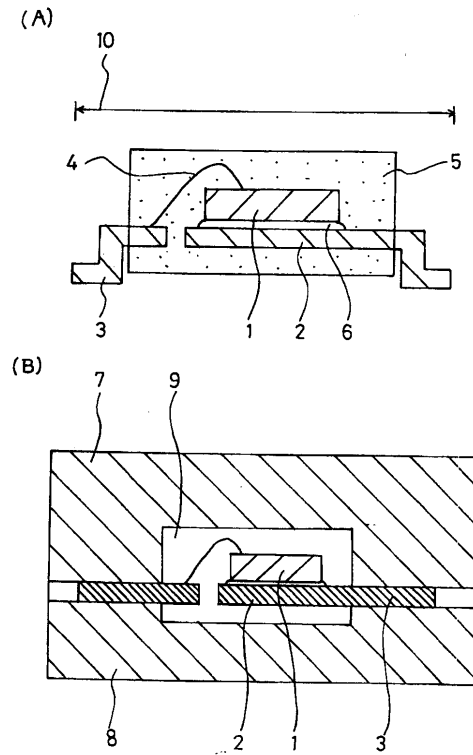
【図 8】



【図 9】



【図 10】



フロントページの続き

- (72)発明者 兵藤 治雄
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
- (72)発明者 谷 孝行
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
- (72)発明者 渋谷 隆生
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

審査官 市川 裕司

- (56)参考文献 特開平09-082741(JP,A)
特開平09-298256(JP,A)
特開昭62-150868(JP,A)
特開平11-163007(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 23/12
H01L 23/50