



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년03월20일
H04B 1/707 (2006.01)	(11) 등록번호	10-0697406
	(24) 등록일자	2007년03월13일

(21) 출원번호	10-2000-7009058	(65) 공개번호	10-2001-0041026
(22) 출원일자	2000년08월17일	(43) 공개일자	2001년05월15일
심사청구일자	2004년12월10일		
번역문 제출일자	2000년08월17일		
(86) 국제출원번호	PCT/EP1999/009817	(87) 국제공개번호	WO 2000/38344
국제출원일자	1999년12월13일	국제공개일자	2000년06월29일

(81) 지정국 국내특허 : 중국, 일본, 대한민국,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴,

(30) 우선권주장 09/216,260 1998년12월18일 미국(US)

(73) 특허권자 코닌클리ске 필립스 일렉트로닉스 엔.브이.
네덜란드 엔엘-5621 베에이 아인드호펜 그로네보르세베그 1

(72) 발명자 모힌드라리쉬
네덜란드엔엘-5656에이에이아인드호펜홀스트란6

(74) 대리인 김창세
장성구

심사관 : 김광식

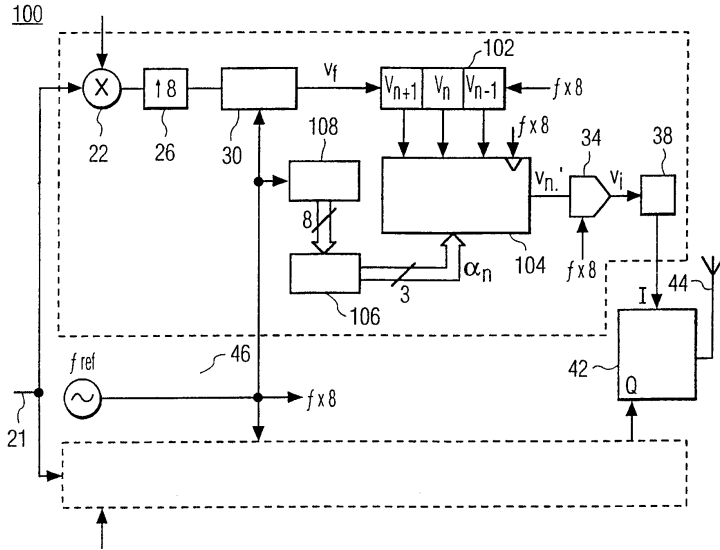
전체 청구항 수 : 총 16 항

(54) 확산 스펙트럼 통신 시스템, 송신기 및 위상 에러 보상 방법

(57) 요약

본 발명의 CDMA 역방향 링크는 CDMA 역방향 링크에서의 클럭 지터에 의해 야기된 위상 에러의 보상을 제공하는 시스템을 가진다. 필터링된 후에 파일럿 시퀀스에 의한 데이터 확산은 내부 클럭의 순차 사이클을 위한 다수의 데이터 샘플을 생성하는 쉬프트 레지스터에 공급된다. 메모리는 각각의 내부 클럭 사이클의 미리 계산된 클럭 지터를 나타내는 보상 계수를 저장한다. 카운터는 내부 클럭 사이클을 계수하여 메모리에 현재 내부 클럭 사이클의 보상 계수를 저장하는 메모리 위치를 지시하는 어드레스 신호를 공급한다. 데이터 샘플과 보상 계수에 기초하여, 보간기는 보간 알고리즘을 수행하여 내부 클럭에서 지터에 의해 야기된 위상 에러를 보상하는 조정된 확산 데이터 값을 결정한다.

대표도



특허청구의 범위

청구항 1.

확산 스펙트럼 통신 시스템에 있어서,

PN 시퀀스에 의해 데이터를 확산시키고 상기 확산된 데이터를 필터링하는 데이터 확산 회로와,

기준 클럭 신호에 기초하여 내부 클럭 신호를 생성하는 클럭 생성 회로(46)와,

상기 데이터 확산 회로에 의해서 형성된 필터링된 확산 데이터의 보간을 수행하여, 상기 내부 클럭 신호 내의 지터에 의해 야기된 위상 에러를 보상하는 조정된 확산 데이터 값을 결정하는 보간 회로(104, 102, 106, 108)를 포함하는 확산 스펙트럼 통신 시스템.

청구항 2.

제 1 항에 있어서,

상기 보간 회로는 순차적인 내부 클럭 사이클에 대하여 상기 필터링된 확산 데이터의 샘플을 생성하기 위해 상기 내부 클럭 신호에 의해서 제어된 쉬프트 레지스터(102)를 포함하는 확산 스펙트럼 통신 시스템.

청구항 3.

제 2 항에 있어서,

상기 보간 회로는 상기 내부 클럭 지터에 의한 위상 에러를 보상하기 위해 각 내부 클럭 사이클에 대하여 미리 계산된 보상 계수를 저장하는 메모리(106)를 더 포함하는 확산 스펙트럼 통신 시스템.

청구항 4.

제 3 항에 있어서,

상기 보상 계수는 상기 내부 클럭 지터를 나타내는 확산 스펙트럼 통신 시스템.

청구항 5.

제 4 항에 있어서,

상기 보간 회로는, 내부 클럭 신호에 의해서 제어되어, 현재의 내부 클럭 사이클에 대한 보상 계수를 저장하는 메모리 위치를 지시하는 어드레스 신호를 상기 메모리에 제공하는 카운터(108)를 더 포함하는 확산 스펙트럼 통신 시스템.

청구항 6.

제 5 항에 있어서,

상기 보간 회로는 상기 필터링된 확산 데이터의 샘플 및 보상 계수에 응답하여, 상기 조정된 확산 데이터 값을 계산하는 보간기(104)를 더 포함하는 확산 스펙트럼 통신 시스템.

청구항 7.

제 6 항에 있어서,

상기 보간 회로는 선형 보간 알고리즘을 수행하여 상기 조정된 확산 데이터 값을 계산하는 확산 스펙트럼 통신 시스템.

청구항 8.

제 7 항에 있어서,

상기 조정된 확산 데이터 값에 응답하여, 상기 클럭 지터에 대한 보상된 전압을 생성하는 디지털 아날로그 변환기(34)를 더 포함하는 확산 스펙트럼 통신 시스템.

청구항 9.

제 1 항에 있어서,

상기 클럭 생성 회로는 상기 기준 클럭 신호의 사이클을 적어도 제 1 및 제 2 분할비(division rate)를 이용하여 상기 내부 클럭 신호의 사이클로 변환시키는 확산 스펙트럼 통신 시스템.

청구항 10.

제 9 항에 있어서,

상기 클럭 생성 회로는 상기 제 1 분할비를 사용하여 생성된 상기 내부 클럭 사이클에 대해 상기 제 2 분할비를 사용하여 생성된 내부 클럭 사이클을 균일하게 분포시키는 확산 스펙트럼 통신 시스템.

청구항 11.

기준 클럭 신호에 기초하여 내부 클럭 신호를 생성하는 클럭 생성기와 상기 내부 클럭 신호내의 지터에 의해 야기된 위상 에러를 보상하는 시스템을 구비하는 송신기에 있어서,

상기 위상 에러 보상 시스템은

PN 시퀀스에 의해서 확산되고 필터에 의해서 필터링된 디지털 데이터에 응답하여, 순차 내부 클럭 사이클에 대한 확산 데이터 샘플을 생성하는 샘플링 회로와,

상기 내부 클럭 지터를 나타내는 보상 계수를 저장하는 메모리(106)와,

상기 확산 데이터 샘플과 보상 계수에 응답하여, 필터링된 확산 데이터의 보간을 수행함으로써 내부 클럭 지터에 의해 야기된 위상 에러를 보상하는 조정된 확산 데이터 값을 결정하는 보간기(104)를 포함하는

송신기.

청구항 12.

제 11 항에 있어서,

상기 내부 클럭 신호에 의해서 제어되어, 요구된 내부 클럭 사이클에 대한 보상 계수를 저장하는 메모리 위치를 지시하는 어드레스 신호를 상기 메모리에 공급하는 카운터(108)를 더 포함하는 송신기.

청구항 13.

제 11 항에 있어서,

상기 샘플링 회로는 상기 내부 클럭 신호에 의해 제어된 쉬프트 레지스터(102)를 포함하는 송신기.

청구항 14.

제 11 항에 있어서,

상기 보상 계수는 상기 내부 클럭 지터와 상기 내부 클럭 신호의 주기에 기초하여 미리 계산되는 송신기.

청구항 15.

기준 신호에 기초하여 내부 클럭 신호를 생성하는 내부 클럭 생성기를 가진 확산 스펙트럼 시스템에서 상기 내부 클럭 내의 지터에 의해서 야기된 위상 에러를 보상하는 방법에 있어서,

PN 시퀀스에 의해서 확산되고 필터에 의해서 필터링된 디지털 데이터를 샘플링하여 다수의 순차 내부 클럭 사이클에 대한 확산 데이터 샘플을 생성하는 단계와

보상 계수를 사용하여 상기 확산 데이터 샘플을 보간함으로써, 상기 클럭 지터에 의해서 야기된 상기 위상 에러를 보상하는 조정된 확산 데이터 값을 결정하는 단계를 포함하는 위상 에러 보상 방법.

청구항 16.

제 15 항에 있어서,

상기 샘플링 단계는 상기 내부 클럭 신호에 의해서 제어된 상기 확산 디지털 데이터를 쉬프트하는 단계를 포함하는 위상 에러 보상 방법.

명세서

발명의 배경

발명의 분야

본 발명은 일반적으로 무선 통신 시스템, 보다 구체적으로는 클럭 지터에 의한 위상 에러를 보상하는 회로를 구비한 코드 분할 다중 접근 방식(CDMA) 통신 시스템에 관한 것이다.

배경기술

코드 분할 다중 접근방식(CDMA)은 모든 음성 비트에 코드를 부여하며, 부호화된 음성을 공중을 통해서 스크램블 전송(scrambled transmission)한 후 음성을 원래의 형태로 재조합하는 일종의 디지털 셀룰러 전화 서비스이다. CDMA는 각각의 전화 통화를, 오직 하나의 셀룰러 폰이 공중에서 뽑아낸 코드와 결합시킨다.

CDMA는 확산 스펙트럼 전송과 관련하여 작동한다. 송신기는 원래의 정보 신호를 취하여 고유의 상관 코드와 결합시켜서 원래의 신호보다 훨씬 넓은 대역폭을 차지하는 무선 주파수(RF) 신호를 생성한다. 여러개의 송신기로부터의 RF 신호는 동일한 광대역 주파수 스펙트럼에 걸쳐 확산된다. 확산된 신호는 코드를 알고 있는 수신기에 의해서 배경 잡음으로부터 뽑아내어진다. 각각의 송신기에 고유의 상관 코드를 할당함으로써 다수의 동시 대화가 같은 주파수 할당을 공유할 수 있다.

전형적인 CDMA 시스템은 다수의 셀, 즉 지정된 지역과 각각의 셀과 다수의 이동 유닛과 연관된 기지국으로 이루어진다. CDMA 시스템은 최대 수의 이동 유닛이 최소량의 간섭으로 수용될 수 있도록 하기 위해서 할당된 주파수 대역을 효율적으로 사용할 수 있는 송신 체계를 필요로한다. CDMA 표준에 따라, 이동 유닛으로부터 기지국으로의 통신 링크를 역방향 링크라고 하며, 기지국으로부터 이동 유닛으로의 링크를 순방향 링크라고 한다. 역방향 링크 통신은 기지국이 특정한 셀 내에 위치한 이동 유닛으로부터 전송된 모든 정보 신호를 구분해야 하기 때문에 특히 어렵다. 역방향 링크 통신을 제공하기 위해서 CDMA 이동 유닛은 정보 신호에 기초하여 RF 캐리어 신호를 생성하는 송신기를 가진다.

도 1에 도시된 바와 같이 전형적인 CDMA 이동 전화 세트의 송신기(20)는 전송될 이진 정보 시퀀스를 제공하는 데이터 입력(21)을 가진다. 예를 들면, 입력 신호는 1과 0이 반대극성의 교대하는 고전압과 저전압에 의해 표시되는 부호화 방법인 비복귀 기록(NRZ) 부호화 방법을 이용하여 부호화될 것이다. 전체의 이용가능한 채널 대역폭을 이용하기 위해서 캐리어의 위상은 의사 잡음(PN) 시퀀스에 따라 의사 임의적으로 변환된다. CDMA 셀룰러 시스템에서 의사 랜덤 데이터 확산은 이중 모드 광대역 확산 스펙트럼 셀룰러 시스템을 위한 이동국 기지국간 호환 표준이라는 통신 산업 위원회 (TIA)/ 전자 산업 위원회(EIA) 잠정 표준 TIA/EIA/IS-95-A(1995년 5월)내에 정의되었으며, 이는 본 명세서에서 참조로서 인용된다.

직교 데이터 확산을 제공하기 위하여 입력 데이터는 TIA/EIA/IS-95-A 표준에 정의된 동위상과 직교위상 파일럿 의사 잡음(PN) 시퀀스 PNI와 PNQ를 각각 이용하여 송신기(20)의 동위상(in-phase)(I)과 직교위상(quadrature-phase)(Q) 채널에서 처리된다. 이 표준에 따라 PNI와 PNQ 시퀀스는 특성 다항식에 기초하여 1.2288 Mchip/sec의 레이트로 생성된 주기 신호이다.

배율기(22,24)는 각각 I와 Q 채널에 배열되어서 입력 신호에 PNI와 PNQ 시퀀스를 곱한다. 업샘플링(up-sampling) 회로(26,28)는 각각 배율기(22,24)의 출력치를 계수 8로(by a factor of 8) 업샘플링한다. 부가적으로 Q 채널은 회로(28)의 출력치를 1/2 칩 즉 4 샘플씩 지연하는 지연회로를 포함하고 있다. 회로(26,29)의 출력은 I 채널과 Q 채널에 각각 배열된 n탭 유한 임펄스 응답(FIR) 필터(30,32)에 각각 공급된다. 업샘플링 회로(26,28), 지연 회로(29)와 FIR 필터(30,32)는 계수 4의 업샘플링을 위한 TIA/EIA/IS-95-A 표준에 정의되어있다.

FIR 필터의 출력(30,32)은 디지털 아날로그 (D/A) 변환기(34,36)에 각각 공급된다. 예를 들면, FIR 필터(30,32)의 출력은 10 비트의 디지털 신호로 표현될 것이다. D/A 변환기(34,36)는 각각 아날로그 신호 Vi와 Vq를 생성하여 에일리어싱 제거 저주파 대역 통과 필터(LPF)(38,40)를 거쳐서 변조된 무선 주파수 신호를 생성하는 가감 직교 위상 쉬프트 키잉(QPSK)을 수행하는 송신 회로(42)의 I와 Q의 입력으로 공급되어 안테나(44)를 이용하여 기지국으로 송신된다.

I와 Q 채널에서 처리중인 신호를 동기화시키기 위해서, 송신기(20)는 외부 클럭 신호에 반응하여 내부 클럭 신호를 생성하는 디지털 합성기(46)를 포함한다. 내부 클럭 신호는 FIR 필터(30,32)와 D/A 변환기(34,36)에 공급된다.

I 채널과 Q 채널의 신호처리를 지원하기 위하여 송신기(20)의 내부 클럭 주파수는 칩 레이트의 8배와 같아야 한다. 표준 칩 레이트가 1.2288 Mchip/sec 이므로 내부 클럭은 $fx8$ 즉 9.8304 MHz의 주파수로 생성되어야 한다. 그러나, CDMA 이동 전화의 주파수 계획 요구를 충족시키기 위해서 송신기(20)에 공급되는 기준 클럭은 9.8304 MHz와는 다른 주파수 f_{ref} 를 가질 것이다. 예를 들면, f_{ref} 는 14.4 MHz가 될 것이다.

이 경우에, $f_{ref}/fx8 = 14.4 \text{ MHz} / 9.8304 \text{ MHz} = 375/256 = 1.468$ 이다. 따라서 기준 클럭 375사이클에서 내부 클럭 256사이클이 생성된다. 그러므로, 256사이클의 내부 클럭 신호를 생성하기 위해서는 375사이클의 기준 클럭에서 119클럭 사이클이 제거되어야 한다.

1.468의 가장 가까운 디지털 분할비(division rate)는 1.5이다. 만약 이 분할비가 기준 클럭의 M사이클에서 발생한다면, M사이클에서 제거된 내부 클럭 사이클의 수 N은 $N = M - (M/1.5)$ 와 같이 표현될 것이다. 그러므로 $M = 357$ 이 된다. 따라서 375 기준 클럭 사이클중 357은 분할비 1.5에 의해서 변환되고 남은 18사이클의 분할비는 1이 된다.

이렇게 해서 기준 클럭의 내부 클럭으로의 변환 과정 동안에 분할비는 예를 들면 1.5에서 1로 변하게 된다. 결과적으로, 내부 클럭에 지터가 생기게 된다..

예를 들면, 분할비가 1.5에서 1로 변하게 된다면, 기준시 t 는 기준 클럭의 반 사이클에 의해서 변하게 된다. 기준 시간 변화 Δt 는 $1/14.4 \text{ MHz}$ 의 $1/2 = 1/28.8 \text{ MHz} = 34.7$ 나노 세컨드가 된다.

클럭 지터는 도 2에 나타난 바와 같이 기생적인 램프트 위상 변조로 간주된다. 이와 같은 변조는 송신 회로(42)의 출력 부분에서의 중대한 위상 에러를 야기한다. 예를 들면, 기준 시간 변화 Δt 에 의해서 야기된 기생적인 위상 스텝 $\Delta\theta_{p-p}$ 는 다음과 같이 표현될 수 있다.

$$\theta_{p-p} = (\Delta t/Tx8) \times 2\pi,$$

여기서 $Tx8$ 은 내부 클럭의 주기이다.

따라서, $\theta_{p-p} = (9.8304/28.8) \times 2\pi = 2.143 \text{ radian} = 1\text{사이클의 } 34\% \text{이다. 위에서 기술된 예에서, 클럭 지터의 결과로서 생성된 평균 제곱근 위상 에러 } \theta_{rms} \text{는 } \theta_{rms} = \Delta\theta / \sqrt{12} = 0.6186 \text{ 라디안으로 표현될 수 있다.}$

클럭 지터에 의한 위상 에러는 D/A 변환기의 출력에 에러 전압을 야기한다. 결과적으로 송신기(20)는 할당된 CDMA 채널 밖의 주파수에서 높은 레벨의 스퓨리어스(spurious) 방출을 하게된다. 통상적인 CDMA 역방향 링크에서 전송된 RF 신호의 시뮬레이트된 스펙트럼을 표시한 도 3에 도시한 바와 같이, 송신된 RF 신호는 만족스럽지 못한 할당된 CDMA 채널밖의 스퓨리어스 방출을 특성 짓는 인접 채널 전력비(ACPR)를 가진다. 스퓨리어스 방사와 그 측정 방법은 이중 모드 광대역 확산 스펙트럼 셀룰러 이동국에 대한 권고 최소 수행 표준이라는 TIA/EIA/IS-98-A 잠정 표준에 정의되어 있다. ACPR은 인접 채널의 전력과 채널안의 신호의 전력의 비이다. TIA/EIA/IS-98-A 잠정 표준에 따르면 30 kHz의 대역폭에 대한 인접 채널 전력은 채널안의 신호의 중심 주파수로부터 900kHz의 차이를 두고서 측정된다. 도 3에서 보여진 예에서 채널안의 중심 주파수에서의 신호 전력은 약 43 dBm이며, 인접 채널 전력은 약 14 dBm 이다. 따라서 ACPR을 나타내는 이 값들의 차이는 약 29 dB 이다.

CDMA 전화 세트의 ACPR을 개선하기 위해서 클럭 지터에 의해서 야기된 위상 에러를 보상하는 것이 바람직하다.

발명의 요약

따라서 본 발명의 이점은 클럭 지터에 의해서 야기되는 위상 에러를 보상하여 CDMA 송수신기의 ACPR을 개선하는 것이다.

본 발명의 여러 이점은 PN 시퀀스에 의한 데이터 확산과 확산 데이터의 필터링을 위한 데이터 확산 회로, 기준 클럭 신호에 기초한 내부 클럭을 생성하는 클럭 생성 회로, 그리고 내부 클럭 신호의 지터에 의한 위상 에러를 보상하는 조정된 확산 값을 생성하기 위해 데이터 확산에 의해 형성된 필터링된 확산 데이터의 보간을 수행하는 보간 회로를 포함하는 확산 스펙트럼 통신 장치를 제공함으로써 적어도 부분적으로 얻을 수 있다.

본 발명에서 바람직한 실시예에 따르면, 보간회로는 내부 클럭 신호에 의해 제어되는 쉬프트 레지스터를 포함하여 순차적인 내부 클럭 사이클의 필터링된 확산 데이터의 샘플을 생성한다. 그 밖에 보간 회로는 내부 클럭 지터를 나타내는 보상 계수를 저장하는 메모리를 포함한다. 보상 계수는 각각의 내부 클럭 사이클마다 미리 계산될 수 있다. 내부 클럭 신호에 의해 제어되는 어드레스 생성기는 현재 내부 클럭 사이클의 보상 계수를 저장하는 메모리 위치를 지시하는 어드레스 신호를 메모리에 제공한다.

필터링된 확산 데이터의 샘플과 보상 계수에 기초하여 보간기는 조정된 확산 데이터 값을 계산한다. 예를 들면, 보간 회로는 선형 보간 알고리즘을 수행하여 조정된 확산 데이터 값을 결정한다. 조정된 확산 데이터 값에 응답하여 디지털 아날로그 변환기는 클럭 지터를 보상한 전압을 생성한다.

클럭 생성 회로는 기준 클럭 신호의 사이클을 최소한 제 1 및 제 2 분할비를 이용하여 내부 클럭 신호의 사이클로 변환할 수 있다. 클럭 지터를 줄이기 위해서 제 2 분할비를 이용하여 생성된 내부 클럭 사이클은 제 1 분할비를 이용해 생성된 내부 클럭 사이클에 걸쳐 균일하게 분포할 수 있다.

본 발명의 일 측면에 따르면, 클럭 지터에 의해서 야기된 위상 에러를 보상하는 시스템이 CDMA 역방향 링크에 제공된다. 보상회로는 PN 시퀀스에 의해서 확산되고 필터에 의해서 필터링된 디지털 데이터에 응답하여 순차 내부 클럭 사이클에 대한 확산 데이터 샘플을 생성하는 샘플링 회로, 내부 클럭 지터를 나타내는 보상 계수를 저장하는 메모리, 그리고 확산 데이터의 보간을 수행하여 클럭 지터에 의해 야기된 위상 에러를 보상하는 조정된 확산 데이터 값을 결정하는 보간기를 포함한다.

본 발명의 방법에 따르면, 내부 클럭 신호의 지터에 의해서 야기된 위상 에러의 보상을 제공하기 위해,

PN 시퀀스에 의해서 확산되고 필터에 의해서 필터링된 디지털 데이터를 샘플링하여 다수의 순차적인 내부 클럭 사이클에 대한 확산 데이터 샘플을 생성하는 단계와,

보상 계수를 사용하여 상기 확산 데이터 샘플을 보간하는 것에 의해 클럭 지터에 의해서 야기된 위상 에러를 보상하는 조정된 확산 데이터 값을 결정하는 단계가 실행된다.

본 발명의 다른 목적과 이점이 다음의 상세한 설명으로부터 당업자에게 쉽사리 명확해지겠지만, 여기에서는 단순히 최상의 모드만을 설명함으로써 본 발명의 바람직한 실시예만이 보여지고 설명된다. 후에 알게되겠지만, 본 발명은 다른 실시예가 가능하며 다수의 세부사항은 모두 다양한 분명한 측면에서 변형이 본 발명을 벗어나지 않고서도 가능하다. 따라서 도면과 설명은 제한적인 것이 아니라 순전히 예시적인 것으로 간주될 것이다.

도면의 간단한 설명

도 1은 CDMA 전화 세트의 통상적인 수신기의 블록 다이어그램,

도 2는 클럭 신호에서 지터에 의해서 야기된 위상 에러를 설명하는 다이어그램,

도 3은 통상적인 CDMA 역방향 링크에서의 송신된 RF 신호의 시뮬레이트된 스펙트럼의 다이어그램,

도 4는 본 발명의 CDMA 전화 세트의 송신기의 블록 다이어그램,

도 5는 본 발명에 따른 클럭 지터 보상 기법을 설명하는 다이어그램,

도 6은 본 발명의 CDMA 역방향 링크에서의 송신된 RF 신호의 시뮬레이트된 스펙트럼의 다이어그램.

발명의 상세한 설명

본 발명은 전반적으로 신호처리 분야에서 적용되지만, 본 발명을 실현하는 최상의 모드는 CDMA 시스템에서의 역방향 링크의 구현 일부에 기반을 두고 있다.

도 4는 본 발명에 따른 CDMA 이동 전화 세트의 송신기(100)를 나타낸다. 도 1에 도시된 것과 유사한 송신기(100)의 구성 요소는 같은 참조 번호를 가진다. 송신기 (100)는 각각 송신 회로(42)의 동상과 직교 위상의 입력을 구동하는 동상(I) 채널과 직교위상(Q) 채널을 포함하여 안테나(44)를 이용하여 기지국으로 송신되는 QAM 라디오 주파수 신호를 생성한다. NRZ 부호화 기법을 이용해서 부호화된 소정의 정보 시퀀스는 데이터 입력(21)을 경유하여 I와 Q 채널에 공급된다.

확산 스펙트럼 셀룰러 시스템에 대한 TIA/EIA/IS-95-A 표준에 따라 동위상 파일럿 PN 시퀀스 PNI가 I 채널에 공급되고, 직교 위상 파일럿 PN 시퀀스 PNQ가 Q 채널에 공급된다. 이 주기 시퀀스는 1.2288 Mchip/sec와 동일한 레이트로 특성 다항식에 기초하여 생성된다.

이동 전화 세트에 공급되는 기준 신호는 요구되는 CDMA 채널 주파수를 유지하도록 주파수 f_{ref} 를 가진다. 예를 들면, f_{ref} 는 14.4 MHz가 될 것이다. 기준 신호에 기초하여 디지털 합성기(46)는 주파수 $f_{x8} = 9.8304$ MHz 즉 8배된 칩 레이트인 내부 클럭 신호를 생성한다. 내부 클럭 신호는 I와 Q 채널에 공급되어 동작의 동기화를 제공한다.

위에서 논의된 바와 같이, 만약 $f_{ref} = 14.4$ 이고 $f_{x8} = 9.8304$ MHz이면, 디지털 합성기(46)는 기준 클럭의 375사이클에서 내부 클럭의 256사이클을 생성한다. 따라서 기준 클럭 신호가 내부 클럭으로 변환될때 119사이클의 내부 클럭이 375 기준 클럭으로부터 제거되어야 한다. 기준 클럭 신호를 내부 클럭 신호로 변환하는데에 하나의 분할비만이 사용될 수 없기 때문에 375기준 클럭 사이클중 357사이클이 분할비 1.5로써 변환되어야 하며, 남은 18사이클에 대해서는 분할비가 1이 될 것이다. 이 분할비의 변화는 변환의 결과로서 생성된 내부 클럭의 지터를 야기한다.

클럭 지터를 줄이기 위해 디지털 합성기(46)는 375기준 클럭 사이클에 걸쳐 남은 18사이클을 균일하게 분포시킨다. $375/18 = 20.8333... = 20 + 0.8333...$ 이므로, 20사이클은 분할비 1.5로 변환된 19사이클과 이에 후속하는 분할비 1의 한 사이클의 반복 형태로 사용된다. 따라서, 분할비가 1.5인 $18 \times 0.8333... = 15$ 사이클이 남게 된다. 디지털 합성기(46)는 20사이클인 3블록(분할비 1.5인 19사이클과 분할비 1인 1사이클)이 잇따르는 21사이클인 15블록(분할비 1.5인 19사이클과 분할비 1인 한 사이클)을 생성하기 위하여 이 15사이클을 18사이클에 걸쳐 균일하게 확산시킨다. 클럭 지터를 좀더 줄이기 위하여 디지털 합성기(46)는 다음과 같은 시퀀스를 형성하여 21사이클의 15블록에 걸쳐 20사이클의 3블록을 균일하게 분포시킨다.

- 분할비 1.5를 가지는 20블록과 분할비 1인 1사이클의 21사이클의 5사이클
- 분할비 1.5를 가지는 19사이클과 분할비 1인 1사이클의 20사이클의 1블록
- 분할비 1.5를 가지는 20블록과 분할비 1인 1사이클의 21사이클의 5사이클
- 분할비 1.5를 가지는 19사이클과 분할비 1인 1사이클의 20사이클의 1블록
- 분할비 1.5를 가지는 20블록과 분할비 1인 1사이클의 21사이클의 5사이클, 그리고
- 분할비 1.5를 가지는 19사이클과 분할비 1인 1사이클의 20사이클의 1블록

위에서 기술된 예는 14.4 MHz 기준 클럭을 9.8304 MHz의 CDMA 내부 클럭으로의 변환을 설명하지만, 당업자는 소개된 기술이 어떠한 기준 클럭으로부터 어떠한 주파수의 클럭 신호를 생성하는 데에도 응용될 수 있다는 것을 알 수 있을 것이다.

전술한 클럭 변환 기술은 클럭 지터를 줄이는 것을 가능하게 한다. 그러나 감소된 클럭 지터일지라도 상당한 위상 에러를 야기한다. 그러므로 본 발명에 따라서 CDMA 송신기(100)의 I와 Q 채널은 각각 클럭 지터에 의해서 야기된 위상 에러의 보상을 제공하는 위상 에러 보상 시스템을 포함한다.

본 발명에 따르면 CDMA 송신기(100)의 I와 Q 채널은 Q 채널에 제공된 1/2 칩 지연외에는 비슷한 구조를 가진다. 그러므로 단지 I 채널의 구성 요소만이 도 4에 나타나 있으며, 아래에 기술되어 있다.

동상 파일럿 PN 시퀀스에 의한 데이터 확산을 다루는 CDMA 송신기(100)의 I 채널은 PNI 시퀀스에 의한 데이터 입력(21)으로부터의 NRZ 데이터를 배율하는 배율기를 포함한다. 배율기(22)의 출력은 배율기 출력치를 계수 8의 업샘플링을 제공하는 업샘플링 회로(26)에 결합된다. 업샘플링 회로(26)에 의해서 생성된 업샘플링 값은 TIA/EIA/IS-95-A 표준에 의해서 규정된 신호 필터링을 수행하는 n탭 필터(30)에 공급된다. 내부 클럭 신호 $fx8$ 은 FIR 필터(30)에 제공되어 신호 필터링을 지원한다.

FIR 필터(30)의 출력에서 생성된 신호 V_f 는 3단 쉬프트 레지스터(102)에 공급된다. 예를 들면, 신호 V_f 는 10 비트의 워드로 표현될 것이다. 쉬프트 레지스터(102)는 내부 클럭 $fx8$ 에 의해서 제어되어서 내부 클럭의 세 개의 순차 사이클에 해당하는 신호 V_f 의 세 개의 샘플 V_{n-1} , V_n 그리고 V_{n+1} 을 생성한다.

보간기(104)는 쉬프트 레지스터(102)에 접속되어, 샘플 V_{n-1} , V_n , V_{n+1} 을 받는다. 후에 좀더 상술되는 바와 같이, 보간기(104)는 선형 보간 알고리즘을 수행하여 내부 클럭 지터에 의해서 야기된 위상 에러를 보상하기 위해서 값 V_n 을 조정한다. 메모리(106)에 저장된 보상 계수 α_n 은 보간을 수행하는데 이용된다. 메모리(106)는 내부 클럭 $fx8$ 의 256사이클 각각에 대한 내부 클럭 지터를 나타내는 3 비트 보상 계수 α_n 을 저장하기 위한 256 개의 위치를 가지고 있다. 보상 계수 α_n 을 이용하여 보간기(104)는 FIR 필터의 출력에서 생성된 확산 데이터의 조정된 값 V_n' 를 생성한다. 보간기(104)는 규정된 보간 알고리즘을 수행하는데 필요한 논리 동작을 수행하는 하드웨어나 소프트웨어에 의해서 수행된다. 모듈러스(modulus) 256 카운터(108)는 내부 클럭 사이클을 계수하여 현재 내부 클럭 사이클에 대한 보상 계수 α_n 을 저장한 메모리 위치를 지시하는 8 비트 어드레스 신호를 제공한다.

조정된 값 V_n' 는 내부 클럭 $fx8$ 에 의해서 제어되는 디지털 아날로그(D/A) 변환기(34)에 공급되어서 조정된 I 채널 신호의 아날로그 표현 V_i 를 생성한다. 알리아싱(aliasing) 방지 회로 저주파 대역 통과 필터(38)를 통해서 아날로그 신호 V_i 는 송신회로(42)의 I 입력에 공급된다.

본 발명에 따른 보상 기법을 설명하기 위해서 제 5도는 각각 D/A 변환기(34)의 출력의 클럭 지터를 가지는 그리고 가지지 않는 예시적인 신호 V_i 를 나타내는 곡선 A,B를 도시한다. D/A 변환기(34)에 공급된 내부 클럭의 지터 $\Delta t_n = t_n' - t_n$ 에 기인하여, 에러 전압이 $\Delta V_n = V_n' - V_n$ 으로 표현된 D/A 변환기(34)의 출력 전압에서 발생한다. 따라서 보상이 없다면 전압 V_n' 대신에, 보상되지 않은 라인 A 상에서 전압 V_n 이 시간 t_n' 에서 생성될 것이다.

본 발명에 따르면 보간기(104)는 선형 보간을 수행하여 시간 t_n' 에서의 값 V_n' 를 계산하며, 그렇지 않을 경우 이 순간에 생성되었을 V_n 대신에 계산치 V_n' 를 출력한다. V_n' 를 계산하는데 이용될 수 있는 선형 보간 알고리즘은 다음과 같다.

$\Delta t_n > 0$ 인 경우, $V_n'(t_n') = V_n + (\Delta t_n / T_{x8})(V_{n+1} - V_n)$.

$\Delta t_n < 0$ 인 경우, $V_n'(t_n') = V_n + (\Delta t_n / T_{x8})(V_n - V_{n-1})$.

여기서 $T_{x8} = 1/f_{x8}$ 은 내부 클럭의 주기이다.

이 표현을 간략히 하기 위해서 $\Delta t_n / T_{x8}$ 은 보상 계수 α_n 으로 대체될 수 있다. 그러면 보간기 104에 의해서 수행된 선형 보간 알고리즘은 다음과 같이 표현될 수 있다.

$V_n'(t_n') = V_n + \alpha_n(V_{n+1} - V_n)$, $\alpha_n > 0$ 인 경우

$V_n'(t_n') = V_n + \alpha_n(V_n - V_{n-1})$, $\alpha_n < 0$ 인 경우

$V_n'(t_n') = V_n$, $\alpha_n = 0$ 인 경우.

위에서 논의된 바와 같이 클럭 지터에 의해서 야기된 위상 간격 $\Delta \theta_{p-p}$ 는 1사이클의 34%이다. 그러므로 보상 계수의 절대치 $|\alpha_n| \leq 0.34$ 이다. 보간 알고리즘을 수행하는데 이용된 하드웨어를 간단히 하기 위해서 값 α_n 은 0.1의 스텝으로 라운딩될 수 있다. 따라서,

$\alpha_n \in \{-0.3, -0.2, -0.1, 0, 0.1, 0.2, 0.3\}$ 이다.

그러므로, 내부 클럭 신호 $fx8$ 에 의해서 제어되는 쉬프트 레지스터(102)는 내부 클럭의 세 개의 순차 사이클에 대하여 샘플 V_{n+1}, V_n 그리고 V_{n-1} 을 생성한다. 카운터(108)는 내부 클럭의 사이클을 계수하여 내부 클럭의 현재 사이클을 지시하는 어드레스 신호를 생성한다. 메모리(106)는 각각의 256내부 클럭 사이클에 대하여 미리 계산된 보상 계수 $\alpha_n = \Delta t_n / T_{x8}$ 을 저장한다. 어드레스 신호는 메모리(106)에 공급되어서 현재 사이클의 보상 계수 α_n 을 복귀시킨다.

메모리(106)에서 읽어들이는 보상 계수 α_n 에 기초하여 보간기(104)는 위에서 정의된 선형 보간 알고리즘을 수행하여, I 파일럿 PN 시퀀스에 의해 확산되고 필터(30)에 의해 필터링된 데이터의 조정된 값 V_n' 를 결정한다. 따라서 보간기(104)는 각 내부 클럭 사이클에 대하여 조정된 값 V_n' 를 출력하여 클럭 지터에 의해서 야기된 위상 에러를 보상한다. 그 결과, D/A 변환기(34)에 의해서 생성된 신호 V_i 는 상당한 정도로 클럭 지터에 의해 야기된 위상 에러가 없다. 본 발명은 선형 보간 알고리즘의 예로써 기술되어 있기는 하지만, 당업자는 보간기가 어떤 규정된 보간 알고리즘을 수행하더라도 클럭 지터에 때문에 야기된 위상 에러를 보상하는 확산 데이터 조정치를 생성할수 있다는 것을 알게될 것이다.

저주파 대역 통과 필터(38)를 경유하여 신호 V_i 는 송신 회로(42)의 동상 입력 I에 공급된다. 위에서 논의된 바와 같이, 송신 회로(42)의 직교 위상 입력 Q는 송신기(100)의 Q 채널에 의해서 생성된 신호 V_q 에 의해서 구동된다. Q 채널은 I 채널의 쉬프트 레지스터(102) 및 보간기(104)와 유사한 보간기와 쉬프트 레지스터를 가진다. 메모리(106)와 카운터(108)는 I와 Q 채널에 의해서 공유되어서 양 채널의 보간기에 공통된 보상 계수 α_n 을 제공한다.

I 채널의 구성요소에 추가하여, Q 채널은 샘플링 회로의 출력신호를 TIA/EIA/IS/-95-A에 정의된 바와 같이 1/2 칩만큼 지연시켜서 송신회로(42)가 가감 직교 위상 쉬프트 키잉(QPSK)을 수행하는 것을 가능하게 하는 지연 회로(29)를 포함한다. 송신 회로(42)에 의해서 생성된 변조된 무선 주파수 신호는 안테나(44)를 경유하여 기지국으로 전송된다.

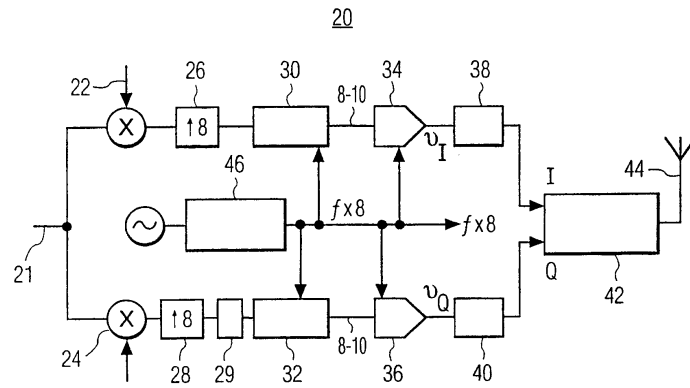
따라서 본 발명은 클럭 지터에 의해서 야기된 위상 에러에 대한 보상을 제공한다. 본 발명의 CDMA 역방향 링크에서 송신된 무선 주파수 신호의 시플레이트 스펙트럼을 설명한 도 6에 나타난 바와 같이, 무선 주파수 신호의 인접 채널 전력비(ACPR)는 통상적인 CDMA 시스템과 비교하여 상당히 개선되었다. 제 6도에 설명된 예에서 중심주파수로부터 900 kHz 가감된 곳에서 측정된 인접 채널 전력이 약 -40dBm인 반면에, 중심 주파수에서 채널내의 전력은 약 6 dBm이다. ACPR을 나타내는 이 값들의 차이는 약 46 dB이다.

지금까지 CDMA 역방향 링크에서 클럭 지터에 의해서 야기된 위상 에러의 보상을 제공하는 시스템이 기술되었다. 필터링된 후에 파일럿 PN 시퀀스에 의한 데이터 확산은 내부 클럭의 순차 사이클에 대한 수 개의 데이터 샘플을 생성하는 쉬프트 레지스터에 제공된다. 메모리는 각 내부 클럭의 사이클에 대해 미리 계산된 보상 계수를 저장한다. 카운터는 내부 클럭 사이클을 계수하여 메모리에 현재 내부 클럭 사이클에 대한 보상 계수를 저장하는 메모리 위치를 지시하는 어드레스 신호를 제공한다. 데이터 샘플과 보상 계수에 기초하여, 보간기는 보간 알고리즘을 수행하여 내부 클럭의 지터에 의해서 야기된 위상 에러를 보상하는 조정된 확산 데이터 값을 생성한다.

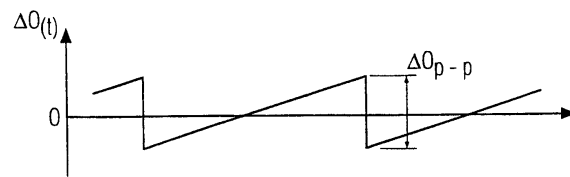
본 명세서에서 단지 발명의 바람직한 실시예만이 보여지고 기술되었지만 본 발명은 여기에 표현된 발명적 개념내의 범위 안에서 변화와 변형이 가능함을 이해할 것이다.

도면

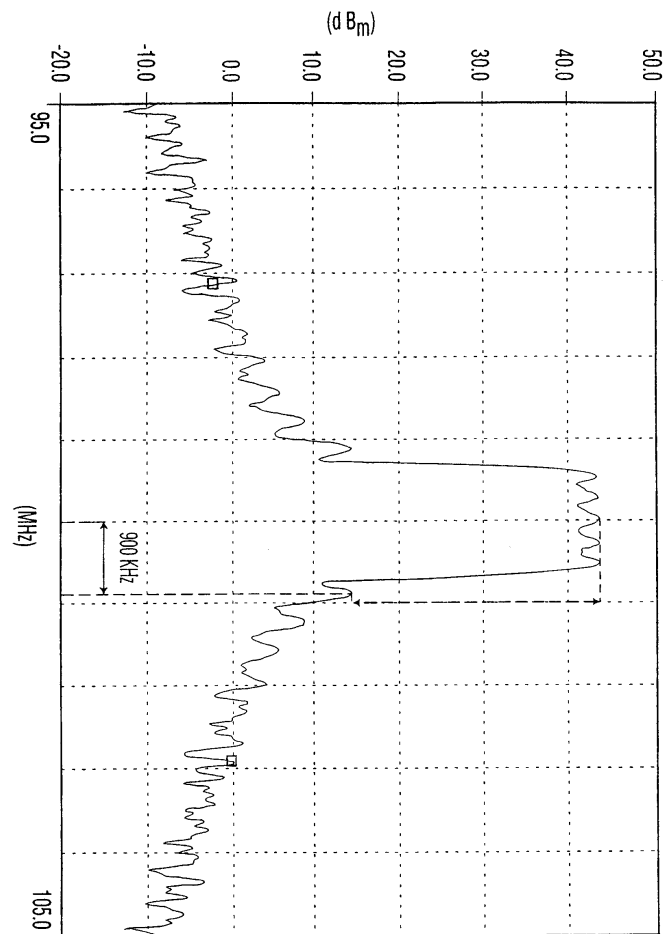
도면1



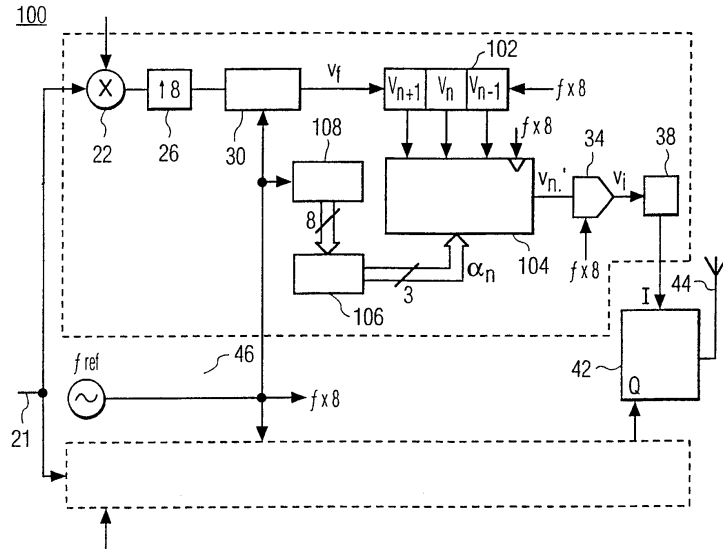
도면2



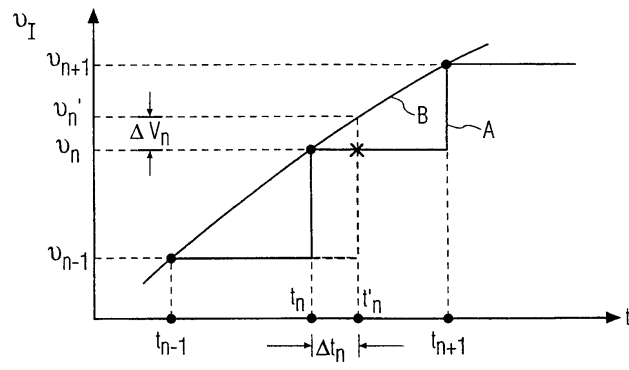
도면3



도면4



도면5



도면6

