



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

218 897

K AUTORSKÉMU OSVĚDČENÍ

(11)

(B1)

(61)

(23) Výstavní priorita

(22) Přihlášeno

08 06 79

(21) (PV 4041-79)

(89) 137 171

(32)(31)(33)

DD

Právo přednosti od 12 06 78

(WP H 03 D/205 949) DD

(51) Int. Cl.³ H 03 J 3/00

(40) Zveřejněno

25 06 82

(45) Vydáno

01 07 84

(75)

Autor vynálezu

WETTENGEL ILJA dr.ing.,

TSCHERNAJAVSKI VALENTIN dipl.ing., BERLIN (DD)

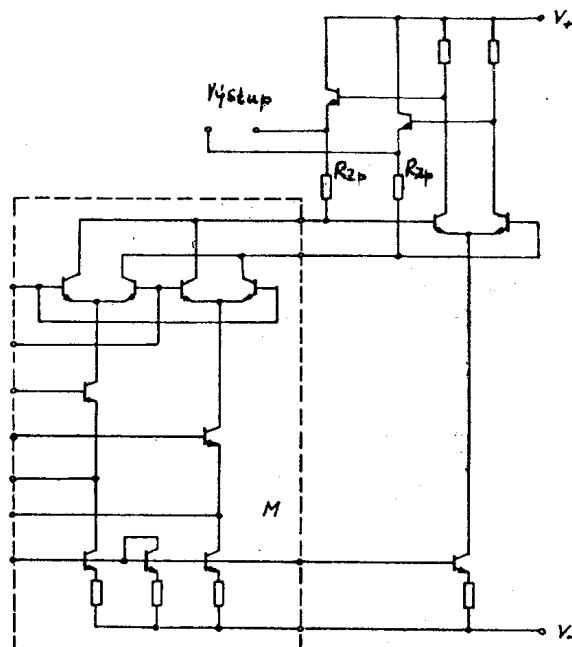
(54)

Rychlý násobič s malou dynamickou nelinearitou

218 897

Vynález se týká čtyřkvadrantového násobiče s dvojitým vyvážením, používaného ve sdělovací a regulační technice jako fázového detektoru, směšovače a regulátoru zesílení.

Účelem vynálezu je podstatně rozšířit výstupní kmitočtové pásmo násobiče při současném odstranění zkreslení charakteristiky při vysokých kmitočtech. Podle vynálezu se toho dosahuje tím, že výstupy aktivního násobiče jsou spojeny se vstupy diferenciálního zesilovače, která má větší součinitel zesílení při chodu naprázdno, přičemž symetrické výstupy diferenciálního zesilovače jsou spojeny s jeho vstupy přes identické odpory záporné zpětné vazby.



Obr. 1

218 897

БЫСТРОДЕЙСТВУЮЩИЙ УМНОЖИТЕЛЬ С МАЛОЙ ДИНАМИЧЕСКОЙ НЕЛИНЕЙНОСТЬЮ

ОБЛАСТЬ ПРИМЕНЕНИЯ ИЗОБРЕТЕНИЯ

Изобретение относится к четырёхквadrантному умножителю с двойной балансировкой, применяемому в технике связи и регулирования в качестве фазового детектора, смесителя, а также регулятора усиления, в частности, в широкополосных ВЧ-схемах.

ХАРАКТЕРИСТИКА ИЗВЕСТНЫХ ТЕХНИЧЕСКИХ РЕШЕНИЙ

Такие умножители в общем выполняются на базе активных узлов в качестве крестообразно связанных двойных балансных дифференциальных усилителей. Известными примерами исполнения в интегральной технике являются схемы $\mu A 796$ (Fairchild USA) и MA 401 (СССР). Недостаток этих умножителей состоит в том, что их выходная ширина полосы частот прямо ограничивается ёмкостью нагрузки коллектора применяемых на умножительном каскаде транзисторов. Другой недостаток, который особенно сказывается при использовании схемы фазовой автоподстройки частоты^x, состоит в динамической несимметрии выходной проводимости и проводимости обратной связи, которая вследствие модуляции напряжением коллекторов появляется и тогда, если применяемые транзисторы являются идеально идентичными. Вследствие этого производится декомпенсация умножителя по отношению к подавлению несущей частоты и сигналов,

^x

/(phase-lock)

при регулировании что высказывается в искажении характеристики умножителя. Появляющиеся на выходе остатки входных сигналов тогда и с помощью офсетной коррекции на входах умножителя больше не устранить.

ЦЕЛЬ ИЗОБРЕТЕНИЯ

Цель изобретения состоит в существенном расширении выходной полосы частот умножителя при одновременном устранении динамических искажений характеристики на высоких частотах, что одновременно даёт возможность расширять входную полосу частот.

ИЗЛОЖЕНИЕ СУЩНОСТИ ИЗОБРЕТЕНИЯ

Задача изобретения состоит в изменении активного четырёх-квadrантного умножителя с помощью схемы усилителя таким образом, что модуляция напряжением на выходах умножителя подавляется и, тем самым, его выходная проводимость и проводимость обратной связи больше не влияют на параметры умножителя.

Применением активного умножителя и дифференциального усилителя с отрицательной обратной связью в качестве выходного каскада, решается задача согласно изобретению тем, что идентичные сопротивления отрицательной обратной связи присоединены с выходами активного умножителя.

Дифференциальное входное сопротивление $R_{вх}$ усилителя с линейной отрицательной обратной связью на коэффициент отрицательной обратной связи меньше, чем дифференциальное входное сопротивление несвязанного дифференциального усилителя. Это очень низкое входное сопротивление действует в качестве сопротивления нагрузки коллекторной цепи. Таким образом, модуляция напряжением на коллекторах транзисторов умножителя становится пренебрежимо малой, обратная связь коллек-

тора уменьшается по отношению

$$\frac{R_{\text{вх диф}}}{R_{\text{обр}}} \quad \Bigg| \quad R_{\text{обр}} - \text{идентичное сопротивление обратной связи}$$

Отсутствие обратной связи коллектора позволяет любую точную коррекцию смещения входов и, тем самым, динамическое подавление несущей частоты сверх 60 дБ.

Симметричный дифференциальный усилитель с отрицательной обратной связью подавляет синфазный сигнал на выходах смесителя; обратная связь лишь влияет на симметричные составляющие тока. Таким образом, выходные сигналы смесителя подлежат дополнительному принудительному симметрированию, причем изменения рабочих точек в умножителе не влияют ни на рабочую точку на выходе, ни на симметрию выходных сигналов. Обратная связь внутри выходного каскада умножителя повышает выходную ширину полосы частот умножителя почти на коэффициент отрицательной обратной связи. Одновременно существенно увеличивается допустимая нагрузка выхода благодаря уменьшению выходного сопротивления и возможности свободного выбора тока выходных каскадов.

Возможно исполнение компоновки схемы в качестве микросхемы. Если предположим, что, например, в планарном процессе все транзисторы обладают одинаковыми ВЧ-данными, то по сравнению с известным четырёхквadrантным умножителем выходная ширина полосы при расчёте размеров с одинаковым коэффициентом умножения в 4 до 10 раз больше, а входная ширина полосы на базисной стороне умножителя по меньшей мере больше в 2 раза. Подавление несущей частоты улучшается в пределах от 10 до 20 дБ.

ПРИМЕР ВЫПОЛНЕНИЯ

Изобретение поясняется ниже на примере выполнения.

Рис. 1: принципиальная схема умножителя.

Рис. 2: выходной каскад умножителя.

Представленный на рис. I смеситель с двойной балансировкой (М) можно выполнить на основе интегральной схемы или отдельных элементов. В зависимости от желаемого выходного потенциала симметричный выходной каскад может быть реализован с помощью транзисторов $n-p-n$ - типа или $p-n-p$ - типа.

Входное сопротивление дифференциального усилителя по отношению к симметричным сигналам является очень малым; оно примерно составляет

$$R_{\text{вх диф}} \approx \frac{R_2}{B_2 \cdot V_{\text{эфф}}}$$

и лишь увеличивается при более высоких частотах.

Ширина полосы выходного усилителя без обратной связи согласно рисунку 2 определяется $C_2 \cdot R_2$. Отрицательная обратная связь расширяет эту выходную ширину полосы на коэффициент обратной связи.

Синфазное входное сопротивление дифференциального усилителя равно сопротивлению обратной связи $R_{\text{обс}}$. Синфазная передача определяется соотношением выходного сопротивления и сопротивления обратной связи и, итак, является пренебрежимой.

ФОРМУЛА ИЗОБРЕТЕНИЯ

Быстродействующий умножитель с малой динамической нелинейностью, пригоден в качестве широкополосного модулятора и демодулятора, а также регулятора усиления, особенно в качестве смесителя в высокочастотных цепях регулировки фаз, примененном дифференциального усилителя с отрицательной обратной связью и симметричными выходами в качестве выходного усилителя, отличающийся тем, что идентичные сопротивления отрицательной обратной связи соединены с выходами активного умножителя.

БЫСТРОДЕЙСТВУЮЩИЙ УМНОЖИТЕЛЬ С МАЛОЙ ДИНАМИЧЕСКОЙ НЕЛИНЕЙНОСТЬЮ

Изобретение относится к четырёхквadrантному умножителю с двойной балансировкой, применяемому в технике связи и регулировании в качестве фазового детектора, смесителя, а также регулятора усиления.

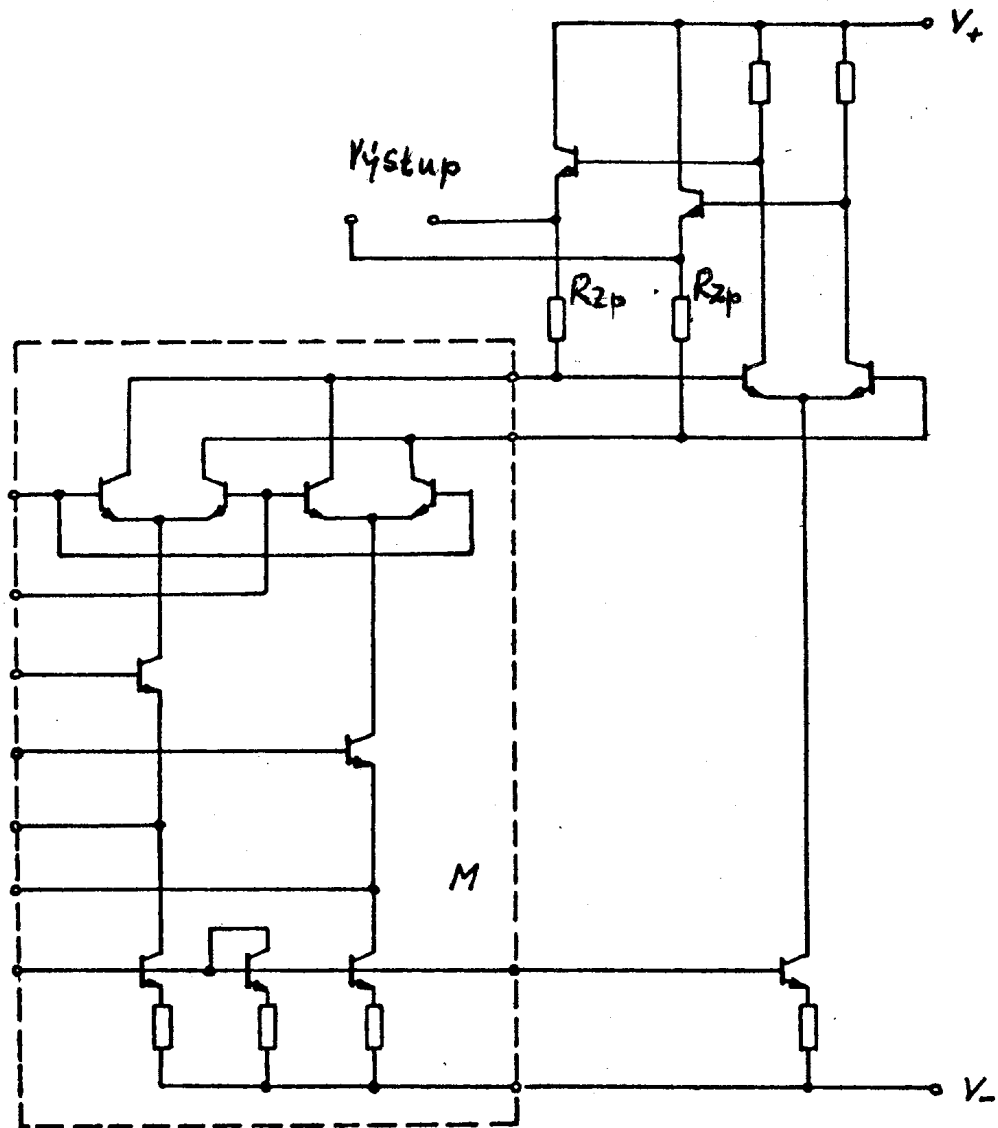
Назначение изобретения состоит в существенном расширении выходной полосы частот умножителя при одновременном устранении искажений характеристики на высоких частотах. Согласно изобретению это достигается тем, что выходы активного умножителя соединены со входами дифференциального усилителя, обладающего большим коэффициентом усиления на холостом ходу; симметричные выходы дифференциального усилителя соединены с его входами через идентичные сопротивления отрицательной обратной связи.

P Ř E D M Ě T V Y N Á L E Z U

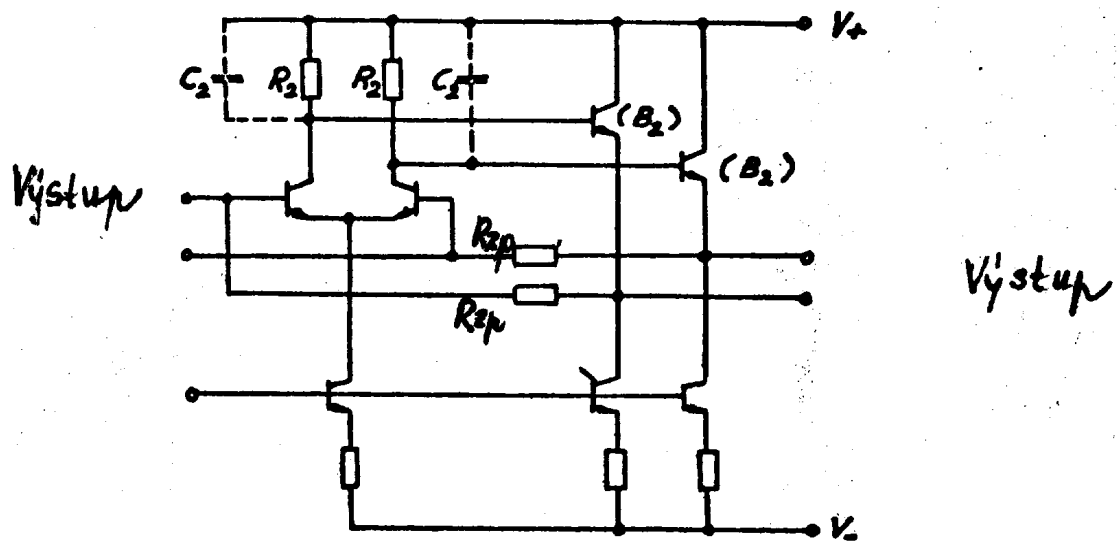
Rychlý násobič s malou dynamickou nelinearitou, vhodný jako širokopásmový modulátor a demodulátor a také jako regulátor zesílení, zejména jako směšovač ve vysokofrekvenčních obvodech pro regulaci fází, obsahující zesilovač se zápornou zpětnou vazbou a symetrickými výstupy jako výstupní zesilovač, vyznačující se tím, že identické odpory (Rzp) záporné zpětné vazby jsou spojeny s výstupy aktivního násobiče (M).

Uznáno vynálezem na základě výsledků expertizy, provedené Úřadem pro vynálezectví a patentnictví, Berlín, DD

2 výkresy



Obr. 1



Obr. 2